[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11C 16/02 (2006.01)

[12] 发明专利申请公布说明书

[21] 申请号 200710153200.0

[43] 公开日 2008 年 4 月 2 日

[11] 公开号 CN 101154446A

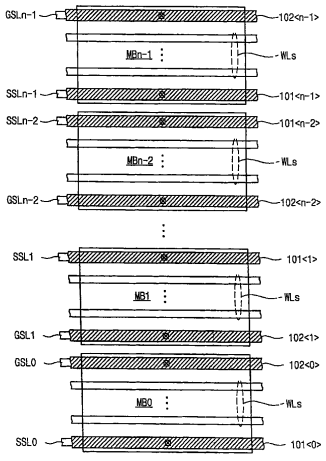
[22] 申请日 2007.9.29
[21] 申请号 200710153200.0
[30] 优先权
[32] 2006. 9.29 [33] KR [31] 95908/06
[71] 申请人 三星电子株式会社
地址 韩国京畿道
[72] 发明人 金灿镐
[74] 专利代理机构 北京市柳沈律师事务所
代理人 邵亚丽
权利要求书 3 页 说明书 8 页 附图 6 页

[54] 发明名称

包括与选择线连接的跨接线的快闪存储器设备

[57] 摘要

NAND 快闪阵列包括耦合到第一选择线的第一选择晶体管、耦合到第二选择线的第二选择晶体管、用于耦合到字线并且串联在第一和第二选择晶体管之间的存储单元、和与第一选择线电连接的跨接线。



1. 一种 NAND 快闪阵列，包括:

耦合到第一选择线的第一选择晶体管;

耦合到第二选择线的第二选择晶体管;

用于耦合到字线并且串联在第一和第二选择晶体管之间的存储单元; 和

与第一选择线电连接的跨接线。

2. 如权利要求 1 所述的 NAND 快闪阵列，进一步包含包括位线的跨接区域。

3. 如权利要求 2 所述的 NAND 快闪阵列，其中将该跨接线经过在该跨接区域中的位线上形成的触点焊盘与该第一选择线电连接。

4. 如权利要求 3 所述的 NAND 快闪阵列，其中将除用于该触点焊盘的位线分段之外的位线分段加偏压以阻止浮动电压状态。

5. 如权利要求 4 所述的 NAND 快闪阵列，其中除用于该触点焊盘的位线分段之外的位线分段被电连接到金属线，该金属线向该存储单元所处的袋形 P-阱提供阱偏压。

6. 如权利要求 1 所述的 NAND 快闪阵列，其中该跨接线由导电材料形成并且比第一选择线宽。

7. 如权利要求 1 所述的 NAND 快闪阵列，其中该第一选择线是串选择线以及该第二选择线是接地选择线。

8. 如权利要求 1 所述的 NAND 快闪阵列，其中第一跨接线由包括金属的材料的金属线形成。

9. 一种 NAND 快闪阵列，包括:

耦合到第一选择线的第一选择晶体管;

耦合到第二选择线的第二选择晶体管;

用于耦合到字线并且串联在第一和第二选择晶体管之间的存储单元;

与第一选择线电连接的第一跨接线; 和

与第二选择线电连接的第二跨接线。

10. 如权利要求 9 所述的 NAND 快闪阵列，其中该第一选择线是串选择线以及该第二选择线是接地选择线。

11. 如权利要求 9 所述的 NAND 快闪阵列，进一步包含包括位线的跨接区

域。

12. 如权利要求 11 所述的 NAND 快闪阵列，其中将该第一和第二跨接线经过由包括在该跨接区域中的位线形成的触点焊盘与该第一和第二选择线电连接。

13. 如权利要求 11 所述的 NAND 快闪阵列，其中将除用于该触点焊盘的位线分段之外的位线分段加偏压以阻止浮动电压状态。

14. 如权利要求 13 所述的 NAND 快闪阵列，其中除用于该触点焊盘的位线分段之外的位线分段被电连接到金属线，该金属线向该存储单元所处的袋形 P-阱提供阱偏压。

15. 一种 NAND 快闪阵列，包括:

包括存储单元的单元区域;

被布置在单元区域中的包括位线的跨接区域;

在单元区域中排列的串选择线;

在单元区域中排列的接地选择线;

在该串和接地选择线之间排列的字线; 和

经过由在该跨接区域中的位线形成的第一触点焊盘与该串选择线电连接的第一跨接线。

16. 如权利要求 15 所述的 NAND 快闪阵列，进一步包括经过由在该跨接区域中排列的位线形成的第二触点焊盘与该接地选择线电连接的第二跨接线。

17. 如权利要求 16 所述的 NAND 快闪阵列，其中将除用于该第一和第二触点焊盘的位线分段之外的位线分段加偏压以阻止浮动电压状态。

18. 如权利要求 17 所述的 NAND 快闪阵列，其中除用于该第一和第二触点焊盘的位线分段之外的位线分段被电连接到金属线，该金属线向该存储单元所处的袋形 P-阱提供阱偏压。

19. 如权利要求 15 所述的 NAND 快闪阵列，进一步包括:

公共源极线; 和

经过由包括在该跨接区域中的位线形成的第一触点焊盘与该公共源极线电连接的第二跨接线。

20. 一种 NAND 快闪阵列，包括:

多个存储块;

其中每个存储块包含多个串，每个串被连接至第一位线，

其中每个串包含:

被连接到串选择线的串选择晶体管;

被连接到接地选择线和公共源极线的接地选择晶体管;

用于耦合到字线并且串联在该串和接地选择晶体管之间的存储单元; 和

与该串选择线电连接的第一跨接线。

21. 如权利要求 20 所述的 NAND 快闪阵列，其中将每个存储块划分成在其中形成该存储单元的单元区域和在其中排列第二位线的跨接区域。

22. 如权利要求 21 所述的 NAND 快闪阵列，其中该跨接区域被布置在该单元区域中。

23. 如权利要求 21 所述的 NAND 快闪阵列，进一步包括与该接地选择线电连接的第二跨接线。

24. 如权利要求 23 所述的 NAND 快闪阵列，其中将该第一跨接线经过由在该跨接区域中排列的第二位线形成的第一触点焊盘与该串选择线电连接，并且将该第二跨接线经过由在该跨接区域中排列的第二位线形成的第二触点焊盘与该接地选择线电连接。

25. 如权利要求 24 所述的 NAND 快闪阵列，其中将除用于该第一和第二触点焊盘的位线分段之外的位线分段加偏压以阻止浮动电压状态。

26. 如权利要求 25 所述的 NAND 快闪阵列，其中除用于该第一和第二触点焊盘的位线分段之外的位线分段被电连接到金属线，该金属线向该存储单元所处的袋形 P-阱提供阱偏压。

27. 如权利要求 20 所述的 NAND 快闪阵列，进一步包括: 经过由在该跨接区域中排列的位线形成的触点焊盘与该公共源极线电连接的第二跨接线。

包括与选择线连接的跨接线的快闪存储器设备

技术领域

本公开一般涉及半导体存储器设备，以及更具体地，涉及电可擦除和可编程的半导体存储器设备。

背景技术

半导体存储器被广泛地使用在诸如例如数字逻辑电路和微处理器一样的电子元件中。可以在宽泛的从卫星通信到消费电子的种种应用范围中使用这些和其他此类元件。随着诸如减少尺寸和增加在这些应用中的操作速度一样的需求增加，存在相应的对来自半导体设备的诸如高集成密度和高操作频率一样的特征的需求。因此为了满足此种需求有提高在制造半导体存储器中使用的技术的必要。

一般将半导体存储器设备分类成易失性存储器设备和非易失性存储器设备。在易失性半导体存储器设备中，基于临时存储信息。这可以多种方式实现。例如，在易失性存储器设备中，可以当处于静态随机存取存储器（SRAM）中时通过设置双稳态多谐振荡器循环的逻辑条件或当处于动态随机存取存储器（DRAM）中时通过电容性充电效应存储逻辑信息。此外，当通电时易失性半导体存储器存储和读数据，但是当切断电源时释放该存储的数据。

另一方面，该非易失性半导体存储器，诸如，例如，MROM 、PROM、EPROM、和 EEPROM，能够即便切断电源也能保留其数据。此外，可以依照用于制造该半导体存储器的制作技术将在该非易失性存储器中的存储条件设计成不变的或可重新编程的。由于其在其他事情中的能力：在缺电时保留数据，非易失性半导体存储器设备被用于宽泛的种种应用中。例如，非易失性存储器设备被用于存储在各应用中的程序文件和微代码，例如，计算机、航空工程、电子工程、通信和消费电子。

在非易失性半导体存储器中，MROM 、PROM、和 EPROM 具有使得对于一般用户为其设备重新编程会不方便的特征。为这些设备重新编程的困难在于这些设备的设计特征，其使得向这些设备擦除和写数据困难。另一方面，

能够电擦除和利用数据编程 EEPROM。电擦除和编程 EEPROM 存储器的能力使得 EEPROM 存储器广泛地受电子设备的一般用户欢迎。此外，能够制作具有高集成密度的快闪 EEPROM（下文称为“快闪存储设备”）而不必妥协其存储大量数据的能力。这种特征使得作为大容量辅助存储单元的快闪 EEPROM 受欢迎。

快闪存储设备一般包括存储单元阵列。典型地，每个存储单元由浮动栅极晶体管形成。此外，该存储单元阵列由多个存储块组成。如图 1 所示，每个存储块包括串（甚至称为“NAND 串”或“NAND 单元”），其每个由浮动栅极晶体管 MCm~MC0 形成。此外，该浮动栅极晶体管被串联在串选择晶体管 SST 和接地选择晶体管 GST 之间，其二者均是每个串的一部分。此外，电气耦合该串至位线 BL0~BLn-1。而且，排列多个字线 WL0~WLm-1 从而它们与该 NAND 串交叉。明确地，多个字线 WL0~WLm-1 被耦合到在 NAND 串中的浮动栅极晶体管的控制栅极。

在编程浮动栅极晶体管（即存储单元）之前，首先擦除该浮动栅极晶体管以具有负的门限电压（如-1V 或低于 0V）。这一步骤可以确保当在该单元中编程新数据之前去掉任何非有意地存在于该单元中的数据。当编程该存储单元时，向选择的存储单元的字线施加预定时间的高电压。当施加该高电压时，在该选择的存储单元中的电压电平变成具有较高的门限电压，同时其余的存储单元，即未选择的单元，保持其门限电压而没有对其电压电平的任何改变。

但是，以上面提及的方式向包括要编程的存储单元的字线施加高门限电压会导致问题。明确地，当施加该高电压到该选择的字线时，被连接到包括选择的单元的字线的未选择的存储单元会被非有意地编程。耦合到选择的字线的未选择的存储单元的这种非有意地编程被称为“编程干扰”。

防止编程干扰的一种技术是使用自举方案的编程禁止。特别地，利用自举方案的编程禁止的方法被公开在编号 5677873 题目为“*METHOD OF PROGRAMMING FLASH EEPROM INTERGRATED CIRCUIT MEMORY DEVICES TO PREVENT INADVERTENT PROGRAMMING OF NONDESIGNATED NAND MEMORY CELLS THEREIN*”的美国专利，和编号 5991202 题目为“*METHOD FOR REDUCING PROGRAM DISTURB DURING SELE-BOOSTING IN A NAND FLASH MEMORY*”的美国专利中，其二者均通

过引用并入此申请中。

一般而言，在使用自举方案的编程禁止的方法中，通过施加 0V 电压至该接地选择晶体管 GST 的栅极来中断朝向接地电压的电流路径。即，施加 0V 电压至该接地选择线 GSL。此外，提供 0V 作为编程电压给选择的位线，同时提供电源电压（Vcc）作为编程禁止电压给未选择的位线。具体地，该电源电压被施加到该串选择晶体管 SST 的栅极，即，到该串选择线 SSL，并且通路电压（pass voltage）（Vpass）被施加到所有的字线。该电压的偏压条件使得在将该串选择晶体管 SST 的源极充电至 Vcc-Vth(Vth 是该串选择晶体管的门限电压）之后切断该串选择晶体管 SST。在此过程中，编程禁止的存储单元的沟道电压被增强，这阻止在其浮动栅极和沟道之间的 F-N 隧道效应。结果，将编程禁止的单元晶体管保持在它的初始擦除状态。因此，当编程电压 Vpgm 被施加在选择的字线时，通过该 F-N 隧道效应仅编程选择的存储单元。

理想地，如图 2 所示，当将通路电压 Vpass 施加到字线时，该串选择线 SSL 的电压将处于目标电压。但是，在大多数情况下，当将通路电压 Vpass 施加到字线时，该串选择线 SSL 的电压会由于与其相邻的字线的耦合效应而提升。在许多情况下，当提升该串选择线 SSL 的电压超过目标电压时，该切断的串选择晶体管 SST 被导通。此外，串选择晶体管 SST 会在有限期的时间内保持导通状态。这是因为，过了一些时间之后，该串选择线 SSL 的提升的电压返回目标电压。

该串选择线 SSL 的提升的电压恢复到目标电压的时间（下文中称为“稳定化时间”）通常取决于在该串选择线 SSL 上的 RC 负载的模式。明确地，如此稳定化时间可以与该 RC 负载成正比例。此外，由于该不需要的 SSL 电压的提升和随后花费的用于该提升的电压返回目标电压的时间（图 2 所示的 Dt1），推迟了到选择的字线的编程电压 Vpgm 的施加。而且，由于在施加该程序电压 Vpgm 至选择的字线中的延迟，整个编程时间会增加。在要求比单位快闪存储设备更多编程循环的多位快闪存储设备中，该问题将被加剧。此外，当该切断的串选择晶体管 SST 通过该串选择线 SSL 的提升电压被导通时，将会降低该编程禁止的存储单元的沟道电压。该沟道电压的降低导致前述的编程干扰，因而减少该通路电压的窗口裕量。此外，由于在该串选择线 SSL 上的信号扭曲前述的问题将更加严重。由于在来自行解码器 SSL 上的不同 SST 之间的距离中的不同，信号扭曲发生。

本公开专注于克服以上列出的在传统快闪存储器编程操作中的一个或多个缺点。

发明内容

本公开的一方面包括NAND快闪阵列。该NAND快闪阵列包括耦合到第一选择线的第一选择晶体管、耦合到第二选择线的第二选择晶体管、用于耦合到字线并且串联在第一和第二选择晶体管之间的存储单元、和与第一选择线电连接的跨接（strapping）线。

本公开的另一方面包括NAND快闪阵列。该阵列包括耦合到第一选择线的第一选择晶体管、耦合到第二选择线的第二选择晶体管、用于耦合到字线并且串联在第一和第二选择晶体管之间的存储单元、与第一选择线电连接的第一跨接线、和与第二选择线电连接的第二跨接线。

本公开的再一方面包括NAND快闪阵列。该NAND快闪阵列包括包括存储单元的单元区域、布置在单元区域中的包括位线的跨接区域、，在单元区域中排列的串选择线、在单元区域中排列的接地选择线、在该串和接地选择线之间排列的字线、和经过由位线形成的第一触点焊盘与该串选择线电连接的第一跨接线。

本公开的再一方面包括NAND快闪阵列。该NAND快闪阵列包括多个存储块，其中每个存储块包含多个串，每个串被连接至第一位线，其中每个串包含连接到串选择线的串选择晶体管、连接到接地选择线和公共源极线的接地选择晶体管、用于耦合到字线并且串联在该串和接地选择晶体管之间的存储单元、和与串选择线电连接的第一跨接线。

可以通过参考本说明书的剩余部分和附图进一步理解本发明在此的特性和特征。

附图说明

将参考以下附图描述本发明的非限制和非穷尽的实施例，其中除了另外指定外相似的标记贯穿各图中指示相似的部分，其中：

图1是说明在快闪存储设备中的阵列结构的电路图；

图2是说明在串选择线上的RC负载效应所引起的一或多个问题的波形图；

图 3 是依照公开的示范性实施例的快闪存储设备的阵列结构的图;

图 4 和 5 是说明图 3 中所示的阵列结构的布局图; 和

图 6 是说明依照公开的示范性实施例的存储系统的框图。

具体实施方式

下面将参考附图更详细地描述本发明的示范性实施例，作为说明依照本发明的结构的和操作上的特征的例子展示快闪存储设备。但是，本发明可以以不同形式具体化并且不应当解释为对在此提出的实施例的限制。另外，提供这些实施例从而此公开将彻底和完整，并且将向本领域的技术人员充分传达本发明的范围。贯穿附图相似的标记指示相似的元件。

在示范性实施例中，配置快闪存储设备以具有特征: 其可以克服诸如，例如在串选择线上的信号扭曲、编程时间的增加、通路电压的窗口裕量的减少等问题。明确地，能够通过在串选择线和金属线之间形成电连接来减少串选择线的阻性元件。例如，如图 3 说明的，在存储块 MB0~MBn-1 的每个中排列的串选择线 SSLi（i=0~n-1）被电连接到金属线 101<i>(i=0~n-1)。 可以以多种办法形成该电连接。例如，该电连接可以通过诸如触点插头的互连元件形成。明确地，如后述的，该互连元件可以通过利用位线触点焊盘实现。虽然金属线 101<i>出于说明的方便被排列在该串选择线 SSLi 上，其排列图案可以不局限于此。例如，可允许如此方式排列金属线 101<i>从而金属线 101<i>不会与该串选择线 SSLi 重叠。

此外，接地选择线 GSL0~GSLn-1 每个以如该串选择线 SSL0~SSLn-1 相同的方式被电连接到金属线 102i（i=0~1）。在示范性实施例中，可以使用金属线 101<i>和 102<i>作为跨接线。此外，虽然图 3 说明该串选择和金属线仅在一点彼此被电气互连，其允许在多个位置在该串选择和金属线之间形成电气互连。

该串选择线和作为跨接线的金属线之间的互连可以提供多个特征。例如，通过该串选择线和作为跨接线的金属线之间的互连可以减少沿该串选择线 SSLi 的电阻。沿该串选择线 SSLi 的电阻的减少可以导致在该串选择线 SSLi 上的 RC 负载的减少。此外，RC 负载的减少可以减少沿该串选择线 SSLi 的信号扭曲。

如上提及的，当与该串选择线 SSLi 相邻的字线被利用通路电压 Vpass

驱动时，由于在该字线和该串选择线之间的耦合，该串选择线 SSLi 的电压将被提升而超过目标电压。虽然由于与该相邻字线的耦合效应，该串选择线 SSLi 的电压将被提升而超过目标电压，在示范性实施例中，由于在该串选择线 SSLi 上的 RC 负载的减少，快闪存储设备将能够在较短的时间内将该提升的该串选择线 SSLi 的电压稳定到目标电压。这意味着该稳定化时间（在图 2 中说明的 Dt1）（即，用于恢复（或稳定化）该提升的该串选择线 SSLi 的电压至目标电压的时间）能够被缩短。如此减少该稳定化时间可以帮助减少向选择的字线施加该编成电压 Vpgm 的延迟。结果，将可能缩短该快闪存储设备的编程时间。特别是，在该串选择线 SSLi 上的 RC 负载的减少可以有效地减少具有极大量的编程循环的多位快闪存储设备以及单一位快闪存储设备的编程时间。

此外，随着在该串选择线 SSLi 上的 RC 负载的减少，该串选择线 SSLi 的电压（其当通路电压 Vpass 被施加到相邻字线时提升），即，峰值电压可以被按与在其上减少的 RC 负载成比例地降低。因此，与图 2 中说明的通路电压窗口比较，可以随着该提升的峰值电压的降低而提高在示范性实施例中的通路电压窗口裕量。

图 4 是部分说明依照示范性公开的实施例的图 3 中所示的存储块的阵列结构的布局图。明确地，图 4 展示具有三个存储块（例如 MBj-1、MBj、MBj+1）的布局平面图案。

存储块 MBj 可以包括多个字线 WL、多个位线 BL、串选择线 SSLj、和接地选择线 GSLj。 特别是，字线 WL 和选择线 SSLj 和 GSLj 被排列成行，而位线 BL 被排列成列。此外，将存储块 MBj 划分成单元区域 302 和跨接区域 301。可选地，跨接区域 301 也可以被限制在单元区域 302 中。位线 BL 被排列在单元区域 302 和跨接区域 301 中。特别是，在跨接区域 301 中排列的位线被用来连接金属线（其作为跨接线被提供）和接地选择线以及串选择线。

例如，将存储块 MBj 的串选择线 SSLj 与布置在跨接区域 301 中的位线触点焊盘 201 电连接。位线触点焊盘 201 也与跨接金属线 101<j>连接。在图 4 中，201a 表示触点（称为“焊盘 SSL 触点”），其电连接触点焊盘 201 和串选择线 SSLj，而 201b 表示用于电连接跨接金属线 101<j>和触点焊盘 201 的触点（称为“金属焊盘触点”）。相似地，将存储块 MBj 的接地选择线 GSLj 与布置在跨接区域 301 中的位线触点焊盘 202 电连接。此外，也将位线触点

焊盘 202 连接到跨接金属线 102<j>。在图 4 中，202a 表示触点（称为“焊盘 GSL 触点”），其电连接触点焊盘 202 和接地选择线 GSLj，而 202b 表示其电连接跨接金属线 102<j>和触点焊盘 202 的触点（称为“金属焊盘触点”）。

相似地，将存储块 MBj-1 的串选择线 SSLj-1 与布置在跨接区域 301 中的位线触点焊盘 203 电连接。位线触点焊盘 203 也与跨接金属线 101<j-1>连接。在图 4 中，203a 表示触点（称为“焊盘 SSL 触点”），其电连接触点焊盘 203 和串选择线 SSLj-1，而 203b 表示其电连接跨接金属线 101<j-1>和触点焊盘 203 的触点（称为“金属焊盘触点”）。

同样如图 4 说明的，形成的存储块 MBj+1 的接地选择线 GSLj+1 被沿存储块 MBj 的接地选择线 GSLj 共享，以及公共源极线 CSL 被其相邻存储块（例如 MBj 和 MBj+1）共享。此外，公共源极线 CSL 被跨接区域 301 划分成两部分。另外，该公共源极线 CSL 的划分部分经过其相应的位线焊盘与跨接金属线 103 电连接。

如图 4 可见，以三条位线形成一个位线触点焊盘。因此，在跨接区域 301 中排列了 15 条位线。但是，可以依照排列位线触点焊盘的任何方案或任何设计规则来调整在跨接区域 301 中排列的位线数量。在示范性实施例中，用于接地选择线 GSLi/GSLi+1 的位线触点焊盘 202 被布置在用于串选择线 SSLj 的位线触点焊盘 201 和用于串选择线 SSLj-1 的位线触点焊盘 203 之间。

如图 4 所示，在跨接区域中用于位线焊盘的位线分段被从其他位线分段中电气隔离。更具体地，其他位线分段有条件地处于浮动状态。但是，在正常操作期间处于浮动状态的位线分段可以影响其相邻的位线。因此，在示范性实施例中，如图 5 所示，在跨接区域 301 中排列的该浮动的位线可以被电连接到金属线 105。金属线 105 与包括存储单元的袋形 P-阱（pocket P-well）电气链接。在 No.6611460 题目为“*NONVOLATILE SEMICONDUCTORMEMORY DEVICE ANDPROGRAMMINGMETHOD THEREOF*”的美国专利中示范性地描述了一种用于袋形 P-阱的跨接方案，其通过引用被并入。

图 6 是示意说明依照公开的示范性实施例的存储系统的框图。参考图 6，存储系统 1000 由集成电路 NAND 快闪存储设备 1100 和存储控制器 1200 组成。NAND 快闪存储设备 1100 包括具有快闪存储单元的阵列 1110、地址解码器 1120、行存取电路 1130、列存取电路 1140、控制器 1150、输入/输出电

路 1160 和地址缓冲器 1170。快闪存储单元的阵列 1110 可以配置成如图 3 至图 5 所示的。此外，存储控制器（或微控制器）1200 被耦合到作为电子系统的组件用于存储器存取的存储设备 1100。明确地，存储设备 1100 从存储控制器 1200 中接收地址信号并且通过地址解码器 1120 解码该输入的地址信号从而存取存储设备 1100。另外，地址缓冲器 1170 响应于控制信号和地址信号锁存该地址信号。也允许以其他电路和控制信号使用该存储系统。

可以在任何非易失性存储设备中使用以上描述的存储系统。如上描述的，本公开的存储系统可以通过将该串选择线与用作跨接线的金属线相连来减少在该串选择线上的 RC 负载率。在该串选择线上的 RC 负载的减少可以通过减少沿该串选择线的信号扭曲、通过减少编程时间、以及通过提升该通路电压窗口裕量来改进快闪存储设备的操作。

将以上公开的主题考虑为说明性的，且非限制性的，并且所附的权利要求意在覆盖所有如此的修改、增强、和其他实施例，其落入本公开的真实精神和范围内。因此，对于由法律允许的最大的范围，本公开的范围将由下列权利要求和其等同物的最宽地可允许的解释来确定，且不应当为前述的详细说明所限制。

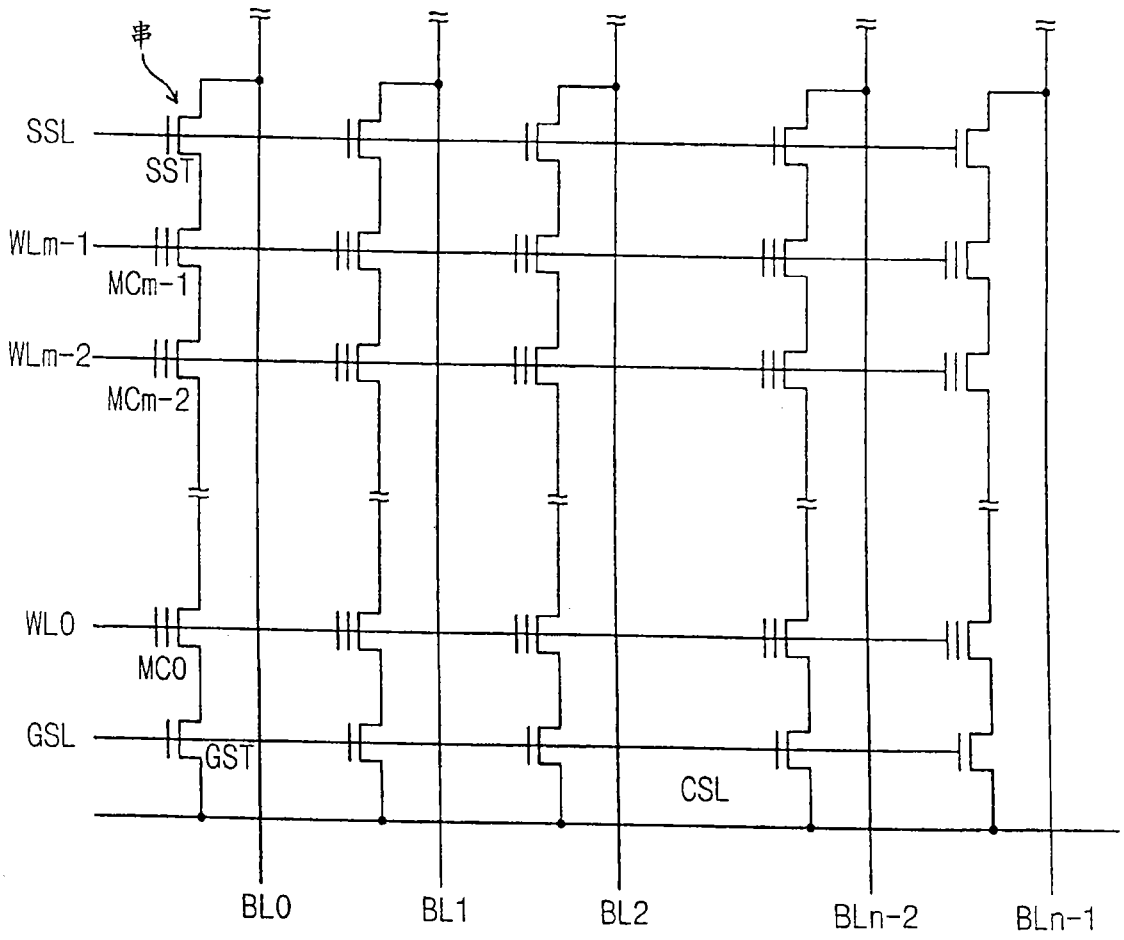

串
SSL
SST
WLm-1
MCm-1
WLm-2
MCm-2
WL0
MC0
GSL
GST
CSL
BL0
BL1
BL2
BLn-2
BLn-1

图 1

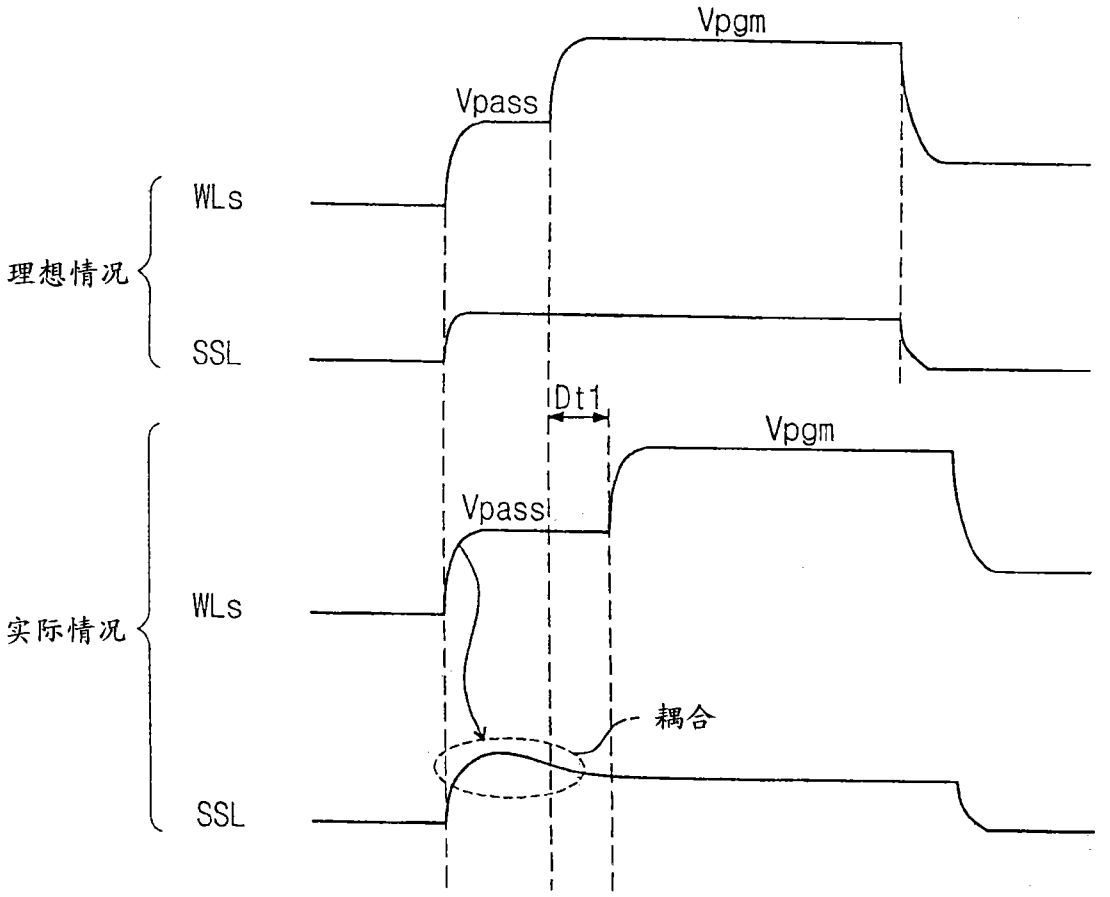


图 2

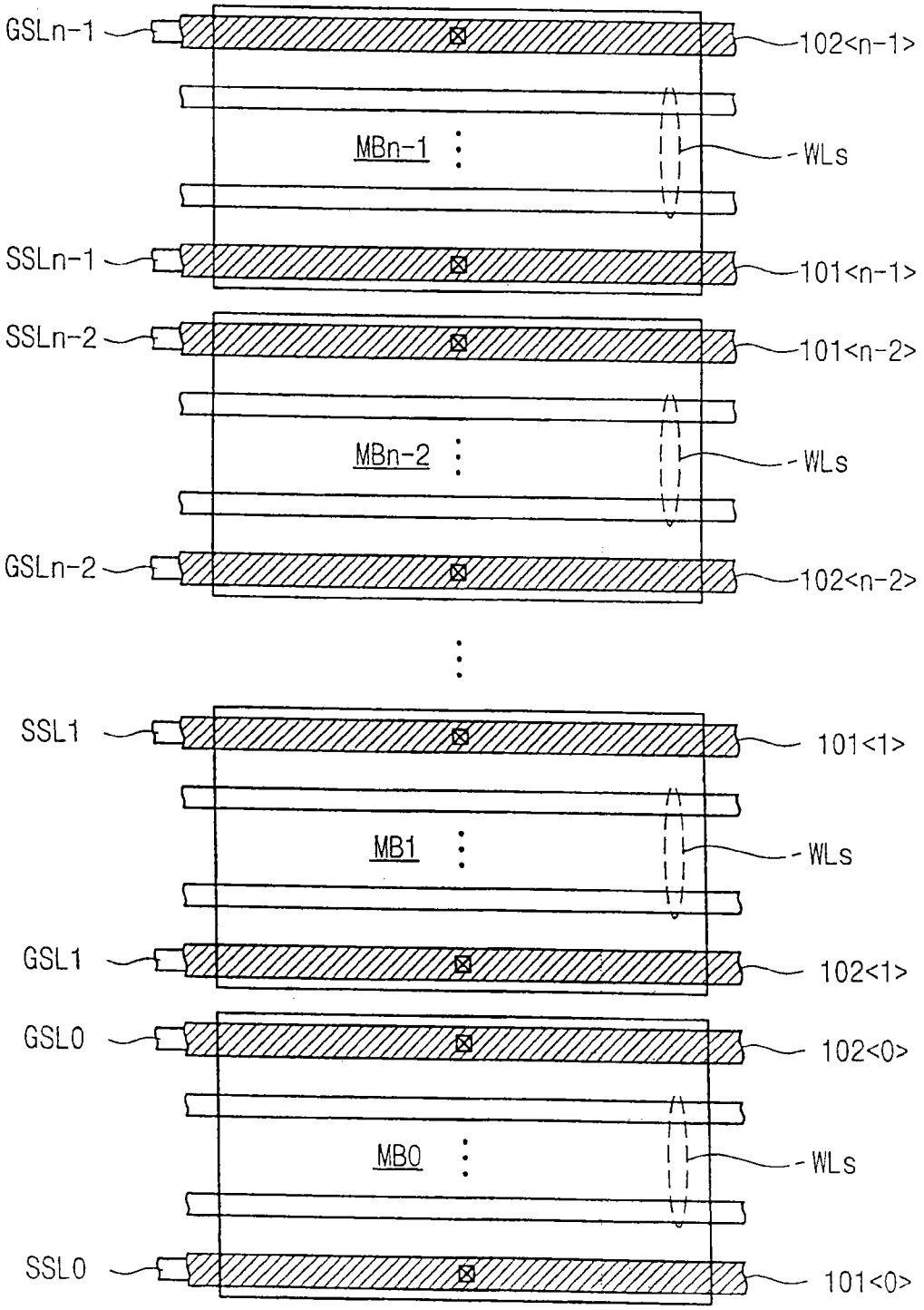

GSLn-1
102<n-1>
MBn-1
WLs
SSLn-1
101<n-1>
SSLn-2
101<n-2>
MBn-2
WLs
GSLn-2
102<n-2>
SSL1
101<1>
MB1
WLs
GSL1
102<1>
GSL0
102<0>
MB0
WLs
SSL0
101<0>

图 3

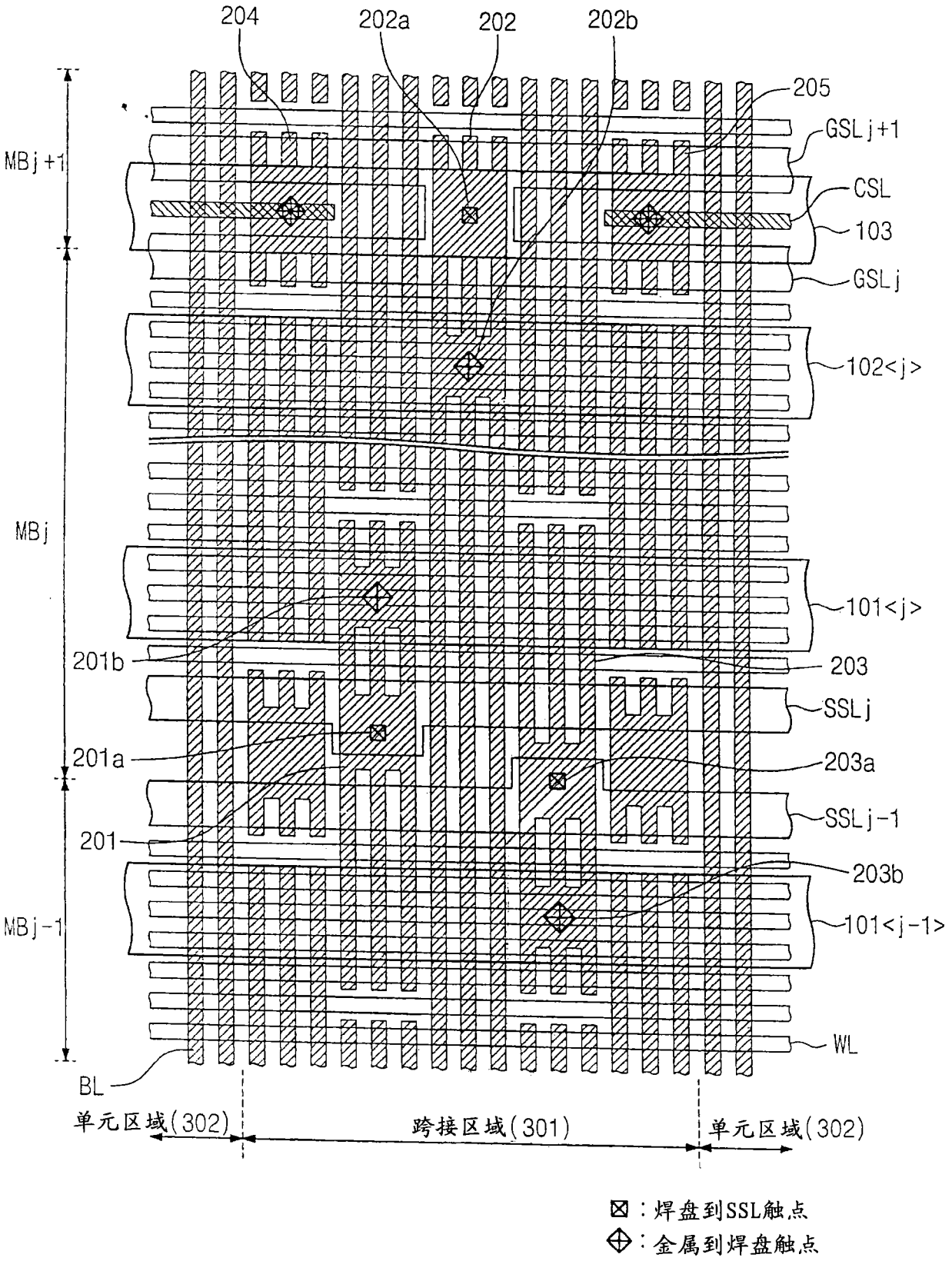

204
202a
202
202b
205
GSLj+1
CSL
103
GSLj
102<j>
101<j>
203
SSLj
203a
SSLj-1
203b
101<j-1>
WL
MBj+1
MBj
MBj-1
201b
201a
201
BL
单元区域(302)
跨接区域(301)
单元区域(302)
⊠：焊盘到SSL触点
⊕：金属到焊盘触点

图 4

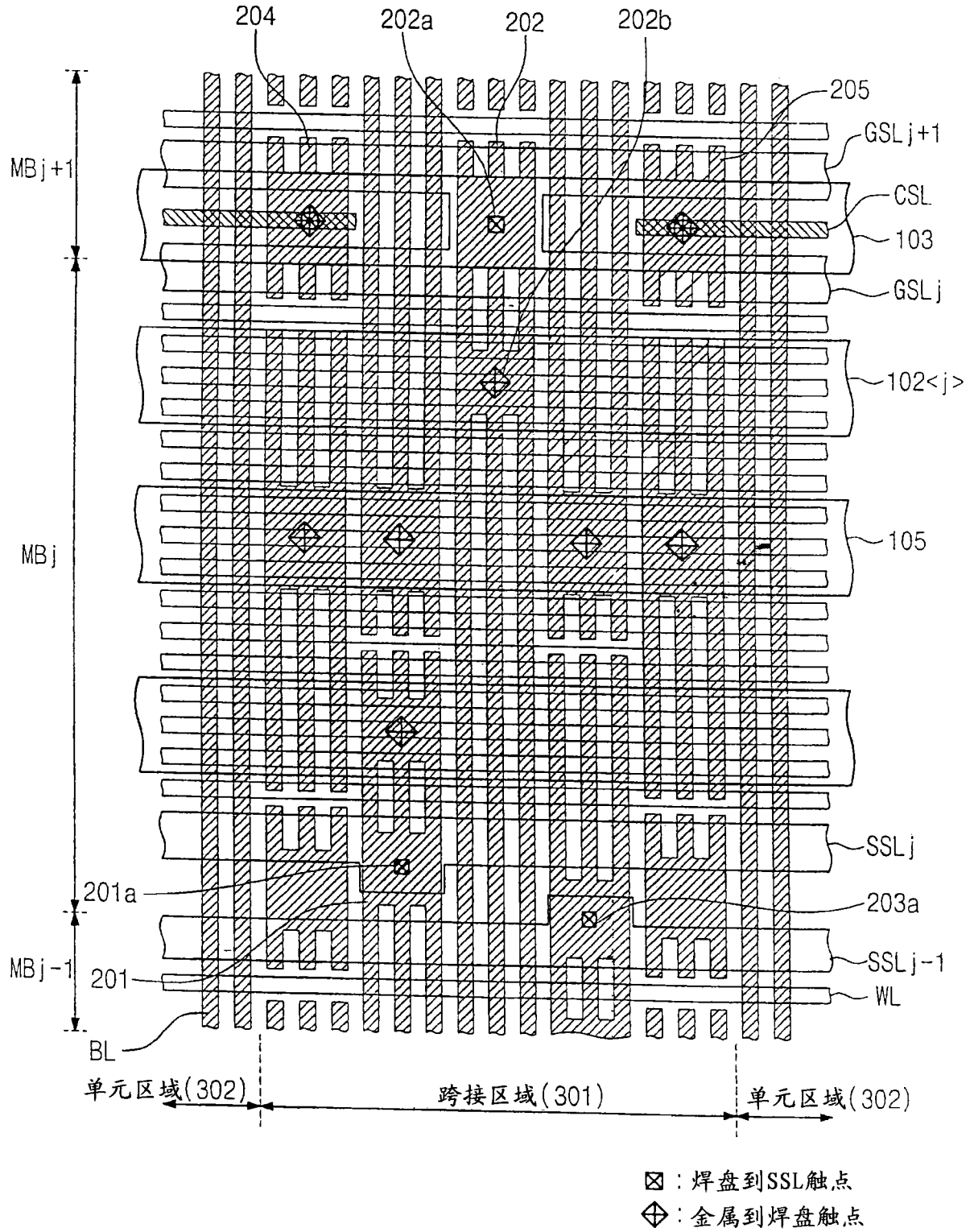

204
202a
202
202b
205
GSLj+1
CSL
103
GSLj
102<j>
105
SSLj
203a
SSLj-1
WL
201a
201
BL
MBj+1
MBj
MBj-1
单元区域(302)
跨接区域(301)
单元区域(302)
⊠：焊盘到SSL触点
⊕：金属到焊盘触点

图 5

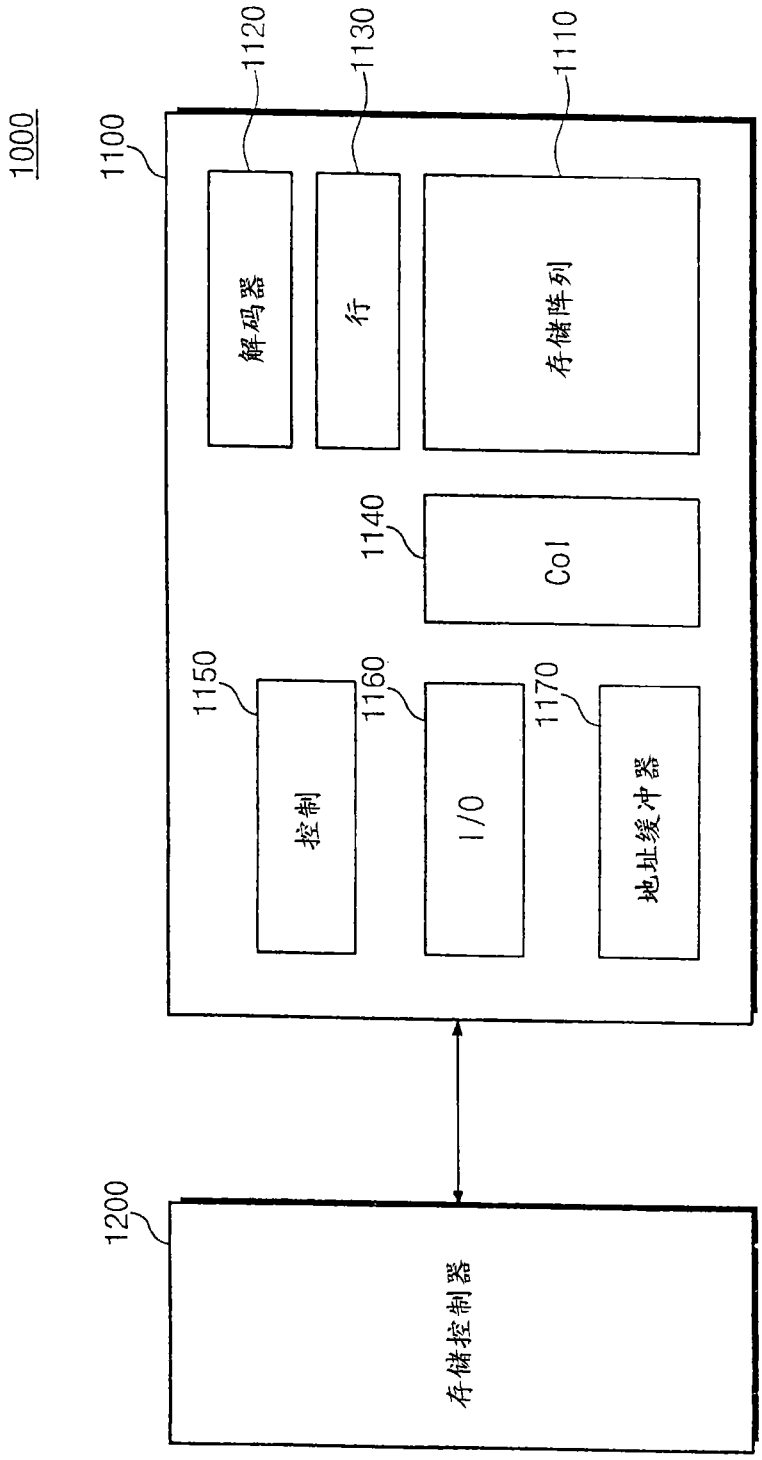

1000
1100
1120
1130
1110
解码器
行
存储阵列
1140
Col
1150
1160
1170
控制
I/O
地址缓冲器
1200
存储控制器

图 6