

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年5月28日(28.05.2015)



(10) 国際公開番号
WO 2015/076014 A1

- (51) 国際特許分類:
H02M 1/00 (2007.01) H03K 17/08 (2006.01)
- (21) 国際出願番号: PCT/JP2014/075346
- (22) 国際出願日: 2014年9月25日(25.09.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-242221 2013年11月22日(22.11.2013) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 寺沢 徳保 (TERASAWA, Noriho); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 百瀬 康之(MOMOSE, Yasuyuki); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 大菅 義之(OSUGA, Yoshiyuki); 〒1020084 東京都千代田区二番町8番地20 二番町ビル3F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: POWER SEMICONDUCTOR MODULE DRIVE CONTROL SYSTEM AND POWER SEMICONDUCTOR MODULE CONTROL CIRCUIT

(54) 発明の名称: パワー半導体モジュールのドライブ制御方式およびパワー半導体モジュールの制御回路

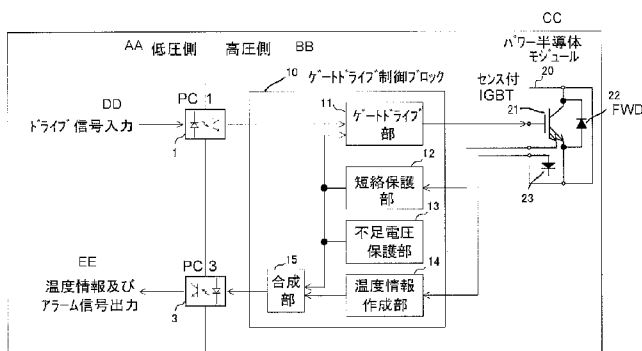
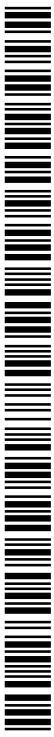


FIG. 4:
 10 Gate drive control block
 11 Gate drive unit
 12 Short-circuit protection unit
 13 Undervoltage protection unit
 14 Temperature information generating unit
 15 Synthesizing unit
 21 IGBT with sensing function
 AA Low voltage side
 BB High voltage side
 CC Power semiconductor module
 DD Drive signal input
 EE Temperature information and alarm signal output

(57) Abstract: In the present invention, an insulated gate bipolar transistor (IGBT) that is provided on the high voltage side detects a current using sensing functions of the IGBT, and when it is determined that the current detected by means of a short-circuit protection unit is an overcurrent, breakage of the IGBT due to the overcurrent is eliminated by means of a gate drive unit. The short-circuit protection unit outputs alarm signals to a synthesizing unit when the overcurrent is detected. Furthermore, a temperature in a power semiconductor module is detected by means of a temperature detection element, the detected temperature is converted into digital signals by means of a temperature information generating unit, and the digitized temperature information is outputted to the synthesizing unit. The synthesizing unit synthesizes the temperature information and the alarm signals into a synthesized output, and transmits the synthesized output to a control unit on the low voltage side.

(57) 要約: 高圧側に設けられた IGBT は、当該 IGBT のセンス機能を利用して電流検出を行い、短絡保護部が検出した電流が過電流であると判断するとゲートドライブ部を通じて過電流による IGBT の破壊を防止する。短絡保護部は、過電流を検出するとアラーム信号を合成部に出力する。また温度検出素子による温度検出を温度情報作成部でデジタル信号に変換し、温度情報とアラーム信号を合成して一つの合成出力としたものを低圧側の制御部に伝達する。

りパワー半導体モジュール内の温度を検出し、検出した温度を温度情報作成部でデジタル信号に変換し、温度情報とアラーム信号を合成して一つの合成出力としたものを低圧側の制御部に伝達する。



WO 2015/076014 A1

明 細 書

発明の名称：

パワー半導体モジュールのドライブ制御方式およびパワー半導体モジュールの制御回路

技術分野

[0001] 本発明は、高圧側のパワー半導体モジュールから取得された温度情報とアラーム信号とを合成してフォトカプラなどの一つの絶縁素子を介して低圧側の制御部に信号を伝達して高圧側と低圧側の界面に設けられる絶縁素子の数を低減するパワー半導体モジュールのドライブ制御方式および制御回路に関する。

背景技術

[0002] パワー半導体デバイス的一种であるセンス機能付きIGBT(Insulated Gate Bipolar Transistor)(以下、単にIGBTと称する)と、IGBTに並列に接続されIGBTに流れる電流と逆方向に電流を流すフリーホイーリングダイオード(Free Wheeling Diode(以下、単にFWDと称する))と、モジュール内の温度を検出する温度検出用ダイオードとを備えたパワー半導体モジュールは、インバータやチョッパ回路等の電力変換装置に広く採用されている。なお、このパワー半導体モジュールの構成要素となるIGBT、FWDおよび温度検出用ダイオードは、一つまたは複数の半導体チップに形成されている。

[0003] 上記のようなパワー半導体モジュールを制御するために、一般には、出力電流(具体的にはIGBTのセンス領域に流れる電流)の検出を行って短絡の有無を検出してパワー半導体モジュールの破壊を防止すると共にモジュール内の温度を検出してパワー半導体モジュールの温度上昇を抑制する手法を採ることが知られている(下記特許文献2参照)。

[0004] 図1は、従来のパワー半導体モジュールのドライブ制御方式の構成を示す図である。図1において、高圧側に設けられたゲートドライブ部51は、IGBT61のゲートに所定の駆動電圧を印加してIGBTを動作させるとともに後述す

る半導体モジュールの異常に対処する保護部としての短絡保護部52および不足電圧保護部53から出力される信号をゲートドライブ部51で受け取ってIGBT61を保護する。不足電圧保護部53は、ゲートドライブ部51に印加される直流電圧(図示せず)の低下を検知して電圧不足を補填してゲートドライブ部51を保護する。また短絡保護部52は以下に示すように動作してゲートドライブ部51を保護しひいてはパワー半導体モジュール60を保護する。

[0005] すなわち、高圧側に設けられたIGBT61は、当該IGBTのセンス機能を利用してIGBTに流れる主電流の検出を行い、検出した主電流があらかじめ設定してある過電流保護レベルを所定期間連続して超えたか否かを短絡保護部52で検出して過電流を判定し、過電流であればゲートドライブ部51によるIGBT61のスイッチ制御を遮断することで過電流によるIGBTの破壊を防止する。その一方、短絡保護部52は、過電流を検出するとアラーム信号を高圧側と低圧側の間に設けられたフォトカプラ72(PC2)を介して低圧側に設けたアラーム信号出力端より制御部(図示せず)に伝えられる。通常、アラーム信号にはラッチ期間が設定されていて、ラッチ期間の間はアラーム状態が維持され、アラームラッチ期間終了までの間にアラームに対する処置(例えばアラーム解除が可能であれば解除を行う等)が実施される。

[0006] 一方、パワー半導体モジュール60を搭載する基板(半導体基板(チップ)やプリント基板など)に設けた温度検出素子(例、温度検出ダイオード)63を用いてパワー半導体モジュールを含む基板温度を検出し、検出した温度を温度情報作成部54でデジタル信号(後述する)に変換し、デジタル化された温度情報を高圧側と低圧側の間に設けられたフォトカプラ73(PC3)を介して低圧側に設けた温度情報出力端より制御部(図示せず)に伝えられる。

[0007] 以上において、ゲートドライブ部51と、短絡保護部52と、不足電圧保護部53と、温度情報作成部54とでゲートドライブ制御ブロック50を構成し、通常、このゲートドライブ制御ブロック50は、IC化されている。

- [0008] 低圧側に設けられている制御部（図示せず）は、例えば、中央制御ユニット（CPU）又は論理IC、或いは論理ICとCPUが搭載されたシステムLSIなどで構成され、高圧側からフォトカップラ72（PC2）、フォトカップラ73（PC3）を介して送られてきたアラーム信号、温度情報をそれぞれ受信し、それらの内容を解析して所定の処理を行わせるべくドライブ信号入力端、フォトカップラ71（PC1）を介してゲートドライブ部51に指示する。例えば制御部（図示せず）は、アラーム状態の解析によりパワー半導体モジュール60を過電流から保護すべきと判断したら、ドライブ信号入力端、フォトカップラ71（PC1）を介してゲートドライブ部51にIGBT61のオンオフ動作を停止させてオフに固定させるよう指示する。
- [0009] また制御部（図示せず）は、取得した温度情報が所定のしきい値を超えていたならば、パワー半導体モジュール60の温度を下げるために、例えば、過負荷を軽減する指示を上記したと同様にドライブ信号入力端、フォトカップラ71（PC1）を介してゲートドライブ部51に送り、過負荷を軽減するように動作させる。このような制御を行うシステムの概要は、例えば下記特許文献2に開示されている。
- [0010] 図2は、従来のパワー半導体モジュールのドライブ制御方式における温度情報とアラーム信号に係る信号波形を示す図である。図中の温度情報は、温度検出素子63が検出した温度によりそのパルスON幅のデューティ(Duty)比が定まるPWM信号であり、温度情報作成部54からフォトカップラ73（PC3）を経由して低圧側の制御部（図示せず）に送られる。また図中のアラーム信号は、アラーム出力無しの正常動作時にはハイレベル状態を示し、アラーム出力有りの保護動作時にはローレベル状態を示すように二値状態で構成される波形を示すもので短絡保護部52からフォトカップラ72（PC2）を経由して低圧側の制御部（図示せず）に送られる。
- [0011] 図3は、従来のパワー半導体モジュールのドライブ制御方式における温度情報に対する上記パルスON幅のデューティ(Duty)比の設定を示す図である。

[0012] 図3は、 -50°C ～ 200°C におけるIGBTの接合部温度 ($T_j^{\circ}\text{C}$ =ジャンクション温度)を横軸に、またそれに対応するパルスON幅の所定周期に対するデューティ(Duty)比(範囲は5%～95%)を縦軸にとって、温度情報に対するパルスON幅のデューティ比の設定を示すものである。図2の温度情報の出力に利用されるPWM信号の周波数は通常数kHzに設定されており、温度情報を正確に表現するには温度情報の出力に利用されるPWM信号のデューティ(Duty)比の変移を精密に図示する必要があるが、図があまりにも煩雑になるためPWM信号を表す細かなパルスON幅については図示を省略している。

[0013] 下記特許文献1には、上アームと下アームに分けられ、双方のアームにセンス機能付きIGBT等で構成されるスイッチング素子SWU, SWDが設けられ、スイッチング素子SWU, SWDは各々保護機能付きゲートドライバIC8, 7によって駆動されるとともに保護機能付きゲートドライバIC側から、SU2, SD2のアラーム出力(アラーム信号)とSU3, SD3の温度情報出力とがそれぞれ絶縁トランスTU2, TD2; TU3, TD3を介して別々に制御回路側に伝達される、空芯型絶縁トランスを用いた信号伝送回路が開示されている。

[0014] 下記特許文献2には、信号の数だけ絶縁素子と端子を設けるインテリジェントパワーモジュールが開示されている。具体的には、警報信号伝播手段11がフォトカプラ(絶縁素子)で構成され、また温度情報伝播手段12も同様にフォトカプラで構成されている。さらにインテリジェントパワーモジュール1から、警報信号伝播手段11と温度情報伝播手段12に、警報信号と温度情報とが平行に出力されることが開示されている。

[0015] 図1に示すように、フォトカプラは1相のIGBTに対して3個必要であり、大規模なIPM(インテリジェントパワーモジュール(Intelligent Power Module))になるとフォトカプラの数が多くなり、その送受端の端子数も増加するので、それらの搭載スペースが大きくなり、コストも増加する。例えば、3相インバータを備える6相のIPMでは、フォトカプラ数が、3(個/相)×6相=18個も必要となり、これらのフォトカプラへの接続端子も増大する

ため装置構成が大きくなり、コストも増大するという課題がある。

[0016] 上記特許文献1に記載された従来技術は、アラーム信号と温度情報とがそれぞれ別個に2つの絶縁トランス（絶縁素子）で絶縁されて出力される構成になっているため、絶縁素子の個数が増大し、また絶縁素子で受信可能とするための入出力端における端子数が増大してしまうという問題があった。

[0017] また上記特許文献2に記載された従来技術は、絶縁素子にフォトカプラを使用し、警報信号と温度情報とをそれぞれ別にして別個のフォトカプラで電氣的に絶縁して出力する構成になっているため、上記特許文献1と同様に絶縁素子の個数が増大し、また絶縁素子を介して信号を送受信するための入出力端における端子数も増大してしまうという問題があった。

[0018] このように上記従来構成のパワー半導体モジュールのドライブ制御方式では、温度情報とアラーム信号とが別々の回路で作られて別々のフォトカプラ等の絶縁素子経由で温度情報およびアラーム信号が送られる構成になっているため、絶縁素子の個数が増大し、また絶縁素子を介して信号を送受信するための入出力端における端子数も増大してしまうという問題があった。

特許文献1：特開2008-277484号公報（図1）

特許文献2：特開平07-115354号公報（図1、図3）

発明の開示

[0019] 本発明の第1の課題は、高圧側のパワー半導体モジュールから取得された温度情報とアラーム信号を合成して一つの絶縁素子を介して低圧側の制御部に伝達することで、入出力間を電氣的に完全に絶縁するための絶縁素子の数を低減することにある。

[0020] また本発明の第2の課題は、高圧側のパワー半導体モジュールから取得された温度情報とアラーム信号を合成して一つの絶縁素子を介して低圧側の制御部に伝達することで、高圧側から低圧側への信号伝達のための端子数を低減することにある。

[0021] そのため、本発明のパワー半導体モジュールのドライブ制御方式は、高圧側にドライブ制御部とパワー半導体モジュールとが配置され、低圧側に上記

高圧側に配置された上記ドライブ制御部を制御する制御部とを備えてなるパワー半導体モジュールのドライブ制御方式において、上記ドライブ制御部は、パワー半導体デバイスのゲートに所定の電圧を印加して該パワー半導体デバイスのオンオフを制御するゲートドライブ部と、上記パワー半導体デバイスの異常状態に対処するとともに異常状態を検出するとアラーム信号を出力する保護部と、上記パワー半導体モジュールの基板に配置された温度検出素子で検出された温度をデジタル信号に変換して温度情報を作成する温度情報作成部と、上記アラーム信号及び上記温度情報作成部で作成された温度情報が入力されて、該入力されたアラーム信号及び温度情報を合成する合成部とを含み、該合成部は、上記パワー半導体モジュールから取得した温度情報とアラーム信号とを合成し、その合成出力を上記高圧側と上記低圧側の間に設けられる一つの絶縁素子に出力するようにしている。

[0022] 上記において、上記保護部は、上記パワー半導体デバイスの過電流を検出すると上記ゲートドライブ部による上記パワー半導体デバイスのオンオフ制御を遮断するとともに過電流アラーム信号を出力する短絡保護部を有し、上記アラーム信号が上記過電流アラーム信号によるものであるようにしている。

[0023] また上記において、上記保護部は、上記パワー半導体デバイス半導体モジュールの過熱保護を行うとともに過熱アラーム信号を出力する過熱保護部を有し、上記アラーム信号が上記過熱アラーム信号によるものであるようにしている。

[0024] また上記において、上記合成部は、上記温度情報と上記アラーム信号との論理積をとるアンド回路で構成される。

[0025] また上記において、上記合成部は、上記温度情報の入出力経路に挿入されて入力された上記温度情報と上記アラーム信号とを合成し出力するもので、上記アラーム信号に応じて上記温度情報の入力を遮断／通過させるスイッチで構成される。

[0026] さらに上記において、上記スイッチは、温度情報入出力端と基準電位との

間に接続され、そのオンオフが上記アラーム信号により制御されるようにしている。

[0027] また上記において、上記スイッチは、NPNトランジスタで構成され、該NPNトランジスタのコレクタが上記温度情報入出力端に接続され、エミッタが上記基準電位に接続され、ベースが反転回路の出力側に接続され、該反転回路の入力側が上記アラーム信号入力端に接続されるようにしている。

[0028] また上記において、上記スイッチは、PNPトランジスタで構成され、該PNPトランジスタのエミッタが上記温度情報入出力端に接続され、コレクタが上記基準電位に接続され、ベースが上記アラーム信号入力端に接続されるようにしている。

[0029] さらに上記において、上記絶縁素子がフォトカプラであることが望ましい。

[0030] また本発明のパワー半導体モジュールの制御回路は、高圧側に設けられて、高圧側に設けられたパワー半導体モジュールを制御する制御回路であって、パワー半導体デバイスのゲートに所定の電圧を印加して該パワー半導体デバイスのオンオフを制御するゲートドライブ部と、上記パワー半導体デバイスの過電流を検出すると上記ゲートドライブ部による上記パワー半導体デバイスのオンオフ制御を遮断するとともにアラーム信号を出力する短絡保護部と、上記パワー半導体モジュールの基板に配置された温度検出素子で検出された温度をデジタル信号に変換して温度情報を作成する温度情報作成部と、上記アラーム信号及び上記温度情報作成部で作成された温度情報が入力されて、該入力されたアラーム信号及び温度情報を合成する合成部とを有し、該合成部は、上記パワー半導体モジュールから取得した温度情報とアラーム信号とを合成し、その合成出力を上記高圧側と低圧側の間に設けられる一つの絶縁素子に出力するようにしている。

[0031] 本発明によれば、従来に比べ、1相のIGBT毎に必要なフォトカプラなどの絶縁素子の数を一つ減ずることができるため、6相のIPMを備える3相インバータのような大きなシステムに適用した場合のフォトカプラなどの絶縁素子

の数を大幅に削減する（6相のIPMで6個削減可能となる）ことで搭載スペースおよびコスト面での有利性を確保することができる。

[0032] また本発明によれば、フォトカップラに要する入出力間の信号伝達のための端子数を削減することが可能となるため、搭載スペースおよびコスト面での有利性を確保することができる。

図面の簡単な説明

[0033] [図1]従来のパワー半導体モジュールのドライブ制御方式の構成を示す図である。

[図2]従来のパワー半導体モジュールのドライブ制御方式における温度情報とアラーム信号の信号波形を示す図である。

[図3]従来のパワー半導体モジュールのドライブ制御方式における温度情報に対するパルスON幅のデューティ(Duty)比の設定を示す図である。

[図4]本発明の実施形態に係るパワー半導体モジュールのドライブ制御方式の構成を示す図である。

[図5]本発明の実施形態にかかる温度情報とアラーム信号との合成出力後の信号波形を示す図である。

[図6]本発明の実施形態にかかる合成部の第1の実施例を示す図である。

[図7]本発明の実施形態にかかる合成部の第2の実施例を示す図である。

発明を実施するための最良の形態

[0034] 以下、本発明の実施の形態を、図面を参照しながら説明する。

[0035] 図4は、本発明の実施形態に係るパワー半導体モジュールのドライブ制御方式の構成を示す図である。

[0036] 図4に示されるパワー半導体モジュール20は、図1に示した従来例と同様に、パワー半導体デバイスの一種であるセンス機能付きIGBT(Insulated Gate Bipolar Transistor)(以下、単にIGBTと称する)21と、IGBTに並列に接続されIGBTに流れる電流と逆方向に電流を流すフリーホイーリングダイオード(Free Wheeling Diode(以下、単にFWDと称する))22と、モジュール内の温度を検出する温度検出ダイオード23とを備えている。なお、このパワ

一半導体モジュールの構成要素となるIGBT、FWDおよび温度検出用ダイオードは、一つまたは複数の半導体チップに形成されている。また、温度検出用ダイオードはサーミスタなどの他の温度検出素子に置き換えてもよい。

[0037] 図4において、高圧側に設けられたゲートドライブ部11は、IGBT21のゲートに所定の駆動電圧を印加してIGBT21を動作させるとともに後述する半導体モジュールの異常に対処する保護部としての短絡保護部12および不足電圧保護部13から出力される信号を受け取ってIGBT21を保護する。不足電圧保護部13は、ゲートドライブ部11に印加される直流電圧(図示せず)の低下を検知して電圧不足を補填してゲートドライブ部11を保護する。また短絡保護部12は以下に示すように動作してゲートドライブ部11を保護しひいてはパワー半導体モジュール20を保護する。すなわち、

高圧側に設けられたIGBT21は、当該IGBTのセンス機能を利用してIGBTに流れる主電流の検出を行い、検出した主電流があらかじめ設定してある過電流保護レベルを所定期間連続して超えたか否かを短絡保護部12で検出して過電流を判定し、過電流であればゲートドライブ部11によるIGBT21のスイッチ制御を遮断することで過電流によるIGBTの破壊を防止する。その一方、短絡保護部12は、過電流を検出すると、アラーム信号を合成部15に出力する。通常、アラーム信号にはラッチ期間が設定されていて、ラッチ期間の間はアラーム状態が維持され、アラームラッチ期間の終了までの間にアラームに対する処置(例えばアラーム解除が可能であれば解除を行う等)が実施される。

[0038] 一方、パワー半導体モジュール20を搭載する基板(半導体基板(チップ)やプリント基板など)に設けた温度検出素子(例、温度検出ダイオード)23を用いてパワー半導体モジュール20を含む基板温度を検出し、検出した温度を温度情報作成部14でデジタル信号(後述する)に変換し、デジタル化された温度情報を合成部15に出力する。合成部15では、図5に示されるように、アラーム出力無しの正常動作時には温度情報のみが出力され、またアラーム出力有りの保護動作時には温度情報とアラーム信号との出力が合

成され、その合成出力であるローレベルの信号が高圧側と低圧側の間に設けられたフォトカプラ3(PC3)を介して低圧側に設けた温度情報及びアラーム信号出力端より制御部(図示せず)に伝えられる。

[0039] 以上において、ゲートドライブ部11と、短絡保護部12と、不足電圧保護部13と、温度情報作成部14と、合成部15とでゲートドライブ制御ブロック(制御回路)10を構成し、通常、このゲートドライブ制御ブロック10は、IC化されている。

[0040] 低圧側に設けられている制御部(図示せず)は、例えば、中央制御ユニット(CPU)又は論理IC、或いは論理ICとCPUが搭載されたシステムLSIなどで構成され、高圧側からフォトカプラ3(PC3)を介して得られた温度情報及びアラーム信号出力の内容を解析して所定の処理を行わせるべく、ドライブ信号入力端、フォトカプラ1(PC1)を介してゲートドライブ部11に指示する。例えば制御部(図示せず)は、合成部15を介してフォトカプラ3(PC3)で得られたアラーム信号の解析によりパワー半導体モジュール20を過電流から保護すべきと判断したらドライブ信号入力端、フォトカプラ1(PC1)を介してゲートドライブ部11にIGBT21のオンオフ動作を停止させてオフに固定させるよう指示する。

[0041] また制御部(図示せず)は、合成部15を介してフォトカプラ3(PC3)で得られた温度情報出力の内容を解析してパワー半導体モジュール20の温度を下げる処理を行わせるべくドライブ信号入力端、フォトカプラ1(PC1)を介してゲートドライブ部11に指示する。パワー半導体モジュール20の温度を下げる処理としては、例えば、過負荷を軽減するための指示をドライブ信号入力端、フォトカプラ1(PC1)を介してゲートドライブ部11に送り、過負荷を軽減するように動作させる。

[0042] このように図4に示す本発明の実施形態に係るパワー半導体モジュールのドライブ制御方式では、高圧側で得られた温度情報とアラーム信号との合成出力を一つのフォトカプラ3(PC3)を介して低圧側に設けた制御部(図示せず)に伝えるように構成したため、従来構成に比してフォトカプラの数を

減らす（具体的には1相のIGBTにつき1個減らす）ことができる。

[0043] また、図4に示す本発明の実施形態に係るパワー半導体モジュールのドライブ制御方式では、高圧側で得られた温度情報とアラーム信号との合成出力を一つのフォトカップラ3(PC3)を介して低圧側に設けた制御部（図示せず）に伝えるように構成したため、従来構成に比して入出力間における信号伝達のための端子数を減らすことができる。つまり、端子を減らせば、信号をやりとりする相手も対応する端子を減らすことが可能になるため、一般的には、装置規模を小さくすることができ、その分、コストも減らすことができる。

[0044] 図5は、本発明の実施形態に係るパワー半導体モジュールのドライブ制御方式における温度情報とアラーム信号との合成出力後の信号波形を示す図である。

[0045] 図5に示されるように、正常動作（アラーム出力無し）時における合成出力後の信号波形は、温度情報出力のみが出力され、一方、保護動作（アラーム出力有り）時における合成出力後の信号波形は、温度情報出力は出力されず、アラーム出力（アラーム信号）のみが出力される。つまり、保護動作（アラーム出力有り）時における温度情報とアラーム信号との合成出力波形はローレベルに固定され（具体例については後述する）、温度情報出力を示すPWM（パルス幅変調）信号は出力されない。そして、アラーム信号にはラッチ期間が設定されていてローレベルのアラーム信号を所定期間に亘り維持するように設定されているので、温度情報出力を示すPWM信号のローレベルとアラーム信号のローレベルとをその継続時間で識別すればよい。したがい、当該ローレベルがどちらのものであるかを示す別の信号は必要ない。

[0046] この点をさらに説明すると、上述したように、温度情報作成部14において温度検出素子23が検出した温度（アナログ信号）をパルス幅変調（PWM）してデジタル情報に変換する。この場合、通常では当該温度情報の出力を示すPWM信号の被変調周波数としては、数kHzが採用されている。そこで上記したアラーム出力有りを示すローレベル期間が被変調周波数1kHzのPWM信号におけ

るものとしたとしても、ローレベル期間 = $1 / 1 \text{ kHz} \times 95\% = 950 \mu\text{s}$ (但し、95%は図3に示したパルスON幅 (ローレベルとなっている期間) のデューティ (Duty) 比の最大値) となり、アラーム信号のローレベルをラッチする期間 (=ラッチ期間) が通常で約10ms以上あるので、アラーム信号を受ける低圧側でこのローレベル期間 (=アラーム出力期間) を識別 (例えば、温度情報出力を示すPWM信号のデューティ比が最大の95%であったとしたときのローレベル期間との識別) することが可能となる。

[0047] 図6は、図4に示した本発明の実施形態にかかる合成部の第1の実施例を示す図である。図6において、合成部30は、温度情報とアラーム信号との論理積をとるアンド回路31によって構成される。正常動作 (アラーム出力無し) 時にはアラーム信号はハイレベルに設定されているため、温度情報の出力を示すPWM信号がアンド回路31を通過して出力側に出力される。つまり、アンド回路31を通過したPWM信号がフォトカップラ3 (PC3) の発光ダイオードのアノードに印加されるのでこれを低圧側の制御部 (図示せず) で検出することができる。

[0048] 一方、保護動作 (アラーム出力有り) 時にはアラーム信号はローレベルに設定されるため、温度情報の出力を示すPWM信号のアンド回路31の通過を阻止して出力側には温度情報の出力を示すPWM信号は出力されない。そしてアンド回路31の出力側はアラーム信号のローレベル期間だけローレベルに設定され、このローレベルの信号がフォトカップラ3 (PC3) の発光部ドに入力される。これにより合成部30から温度情報とアラーム信号との合成出力としてアラーム有りが出力されたことを低圧側の制御部 (図示せず) で検出することができる。

[0049] ラッチ期間中にアラームを起こした原因が解決されていると、アンド回路31の出力側がアラーム有りのローレベル期間だけローレベルが出力された後にアラーム信号は再びハイレベルに設定されるため、温度情報の出力を示すPWM信号がアンド回路31を通過してフォトカップラ3 (PC3) の発光ダイオードのアノードに印加される。これにより再び温度情報の出力を示すPWM

信号を低圧側の制御部（図示せず）で検出することができる。

[0050] 図7は、図4に示した本発明の実施形態にかかる合成部の第2の実施例を示す図である。図7の左上において、合成部40は、温度情報の入出力経路に挿入されて入力された温度情報とアラーム信号とを合成し出力するもので、アラームの有無に応じて温度情報の入力を遮断／通過させるスイッチ41で構成される。アラーム出力があるとスイッチ41がONし、そのときの温度情報とアラーム信号との合成出力は、アラーム出力有りを呈する期間（ラッチ期間またはアラームを発生させる原因が継続している期間）で温度情報の入出力経路がローレベルに固定されるため、合成部40の出力端からは、温度情報入力端のPWM信号が出力されずに基準電位（グランド、すなわちローレベル）が出力される。一方、アラーム出力がないとスイッチ41はOFFし、温度情報の入出力経路が基準電位に接続されないため、合成部40の出力端からは温度情報のPWM信号が出力される。

[0051] 図7の右部に示す（a）は、上記においてアラーム出力無しでスイッチ41がOFFしているとき、合成部40から、その温度情報入力端に入力されるPWM信号が継続してフォトカプラ3（PC3）の発光部に出力される様子を示している。一方、図7の右部に示す（b）は、アラーム出力有りでスイッチ41がONしたとき、温度情報とアラーム信号との合成出力は、アラーム出力有りを呈する期間で温度情報の入出力経路がローレベルに固定されるため、温度情報入力端のPWM信号が出力側（フォトカプラ3（PC3）の発光部）に出力されない様子を示している。

[0052] 図7の左下に示される回路は上述した合成部40におけるスイッチの具体例1及び具体例2を示す図である。スイッチの具体例1は、NPNトランジスタ411のコレクタが合成部40の温度情報入出力端に接続され、エミッタが基準電位（グランド）に接続され、ベースがインバータ（反転回路）412の出力側に接続され、インバータ（反転回路）412の入力側がアラーム入力端に接続されている。

[0053] アラーム出力有り（アラーム信号がローレベル）でインバータ412の入

力側がローレベルになると、インバータ412の出力側がハイレベルになり、このハイレベル信号がNPNトランジスタ411のベースに印加されてNPNトランジスタ411が導通する。これにより、合成部40における温度情報とアラーム信号との合成出力は、アラーム出力有りを呈する期間で温度情報の入出力経路がローレベルに固定されるため、温度情報入力端のPWM信号が出力側（フォトカプラ3(PC3)の発光部）に伝達されることなく、基準電位（グランド）に固定される。

[0054] 一方、アラーム出力無し（アラーム信号がハイレベル）でインバータ412の入力側がハイレベルになると、インバータ412の出力側がローレベルになり、このローレベル信号がNPNトランジスタ411のベースに印加されてNPNトランジスタ411が非導通となる。これにより、合成部40における温度情報とアラーム信号との合成出力は、温度情報の入出力経路が基準電位に接続されないため、温度情報入力端に入力されるPWM信号と等しくなり、PWM信号が継続して出力側（フォトカプラ3(PC3)の発光部）に出力される。

[0055] スイッチの具体例2は、PNPトランジスタ413のエミッタが合成部40の温度情報入出力端に接続され、コレクタが基準電位（グランド）に接続され、ベースがアラーム入力端に接続されている。

[0056] アラーム出力有り（アラーム信号がローレベル）でアラーム入力端がローレベルになると、PNPトランジスタ413が導通する。これにより、合成部40における温度情報とアラーム信号との合成出力は、アラーム出力有りを呈する期間で温度情報の入出力経路がローレベルに固定されるため、温度情報入力端のPWM信号が出力側（フォトカプラ3(PC3)の発光部）に伝達されることなく、基準電位（グランド）に固定される。一方、アラーム出力無し（アラーム信号がハイレベル）でアラーム入力端がハイレベルになると、PNPトランジスタ413が非導通となる。これにより、合成部40における温度情報とアラーム信号との合成出力は、温度情報の入出力経路が基準電位に接続されないため、温度情報入力端に入力されるPWM信号と等しくなり、PW

M信号が継続して出力側（フォトカプラ3（PC3）の発光部）に出力される。

[0057] なお本発明の実施形態に係るパワー半導体モジュールのドライブ制御方式における温度情報とパルスON幅（デューティ(Duty)比）の設定については、上述した図3に示したパワー半導体モジュールのドライブ制御方式における温度情報とパルスON幅（デューティ(Duty)比）の設定と同じなのでここでは再説しない。

[0058] また、温度情報をデジタル化する手法については、上記以外にも周波数変調や温度情報をコード化して伝達するなどの手法を用いることができる。いずれも、ローレベルの最長期間がアラーム信号のラッチ期間より短ければよい。

[0059] また、アラーム出力有りの保護動作時に合成出力波形をローレベルに固定すると記述したが、アラーム出力有りの時に温度情報出力を出力側に伝えるための変調方式とは異なる周波数変調などを行うことによって信号受け側（低圧側）でアラーム出力有りの情報を得ることができる。低圧側で受取り可能な変調方式であれば変調方式が周波数変調のみに限定されないことは言うまでもない。

[0060] 以上に説明したことから明らかなように本発明によれば、従来、1相のIGBTに対して3個必要としていたフォトカプラを2個とすることができるため、6相のIPMを備える3相インバータのような大きなシステムに適用した場合のフォトカプラの個数を削減する（6相のIPMでは6個削減可能となる）ことで搭載スペースおよびコスト面での有利性を確保することができる。

[0061] また本発明によれば、フォトカプラに要する入出力間の信号伝達のための端子数を削減することが可能となるため、搭載スペースおよびコスト面での有利性を確保することができる。

[0062] また、保護部の例として短絡に関するアラーム信号を出力する短絡保護部について説明してきたが、これに限るものではない。例えば、過熱保護部を有し、当該過熱保護部は温度情報を基に半導体モジュールの過熱を検出すると、高圧側で半導体モジュールの過熱保護を行うとともに過熱に関するアラ

ーム信号を出力するようにし、この過熱に関するアラーム信号単独または短絡などの他の要因によるアラーム信号と組み合わせて一つのアラーム信号としたものを、本発明に係るアラーム信号としてもよい。

[0063] また、今まで絶縁素子としてフォトカプラを用いた実施の形態について説明してきたが、これに限定するものではなく、たとえば絶縁素子として絶縁トランスを用いてもよい。

[0064] また、合成部として、アラーム信号により温度情報と基準電位のいずれかを選択して出力するマルチプレクサを適用してもよい。

[0065] また、パルスON幅をパルスがローレベルとなっている期間として説明したが、ハイレベルとなっている期間としてもよい。

産業上の利用可能性

[0066] 本発明は、高圧側から低圧側への信号伝送の絶縁素子としてフォトカプラを例にして説明したが、他の信号伝送の絶縁素子、例えば、アイソレータICなどの絶縁素子を用いることでも実現することが可能である。

請求の範囲

- [請求項1] 高圧側にドライブ制御部とパワー半導体モジュールとが配置され、低圧側に前記高圧側に配置された前記ドライブ制御部を制御する制御部とを備えてなるパワー半導体モジュールのドライブ制御方式において、前記ドライブ制御部は、
- パワー半導体デバイスのゲートに所定の電圧を印加して該パワー半導体デバイスのオンオフを制御するゲートドライブ部と、
- 前記パワー半導体デバイスの異常状態に対処するとともに異常状態を検出するとアラーム信号を出力する保護部と、
- 前記パワー半導体モジュールの基板に配置された温度検出素子で検出された温度をデジタル信号に変換して温度情報を作成する温度情報作成部と、
- 前記アラーム信号及び前記温度情報作成部で作成された温度情報が入力されて、該入力されたアラーム信号及び温度情報を合成する合成部とを含み、
- 該合成部は、前記パワー半導体モジュールから取得した温度情報とアラーム信号とを合成し、その合成出力を前記高圧側と前記低圧側の間に設けられる一つの絶縁素子に出力することを特徴とするパワー半導体モジュールのドライブ制御方式。
- [請求項2] 前記保護部は、前記パワー半導体デバイスの過電流を検出すると前記ゲートドライブ部による前記パワー半導体デバイスのオンオフ制御を遮断するとともに過電流アラーム信号を出力する短絡保護部を有し、前記アラーム信号が前記過電流アラーム信号によるものであることを特徴とする請求項1に記載のパワー半導体モジュールのドライブ制御方式。
- [請求項3] 前記保護部は、前記パワー半導体デバイス半導体モジュールの過熱保護を行うとともに過熱アラーム信号を出力する過熱保護部を有し、前記アラーム信号が前記過熱アラーム信号によるものであることを特

徴とする請求項 1 に記載のパワー半導体モジュールのドライブ制御方式。

[請求項4] 前記合成部は、前記温度情報と前記アラーム信号との論理積をとるアンド回路で構成されることを特徴とする請求項 1 に記載のパワー半導体モジュールのドライブ制御方式。

[請求項5] 前記合成部は、前記温度情報の入出力経路に挿入されて入力された前記温度情報と前記アラーム信号とを合成し出力するもので、前記アラーム信号に応じて前記温度情報の入力を遮断／通過させるスイッチで構成されることを特徴とする請求項 1 に記載のパワー半導体モジュールのドライブ制御方式。

[請求項6] 前記スイッチは、温度情報入出力端と基準電位との間に接続され、そのオンオフが前記アラーム信号により制御されることを特徴とする請求項 5 に記載のパワー半導体モジュールのドライブ制御方式。

[請求項7] 前記スイッチは、NPNトランジスタで構成され、該NPNトランジスタのコレクタが前記温度情報入出力端に接続され、エミッタが前記基準電位に接続され、ベースが反転回路の出力側に接続され、該反転回路の入力側が前記アラーム信号入力端に接続されていることを特徴とする請求項 6 に記載のパワー半導体モジュールのドライブ制御方式。

[請求項8] 前記スイッチは、PNPトランジスタで構成され、該PNPトランジスタのエミッタが前記温度情報入出力端に接続され、コレクタが前記基準電位に接続され、ベースが前記アラーム信号入力端に接続されていることを特徴とする請求 6 に記載のパワー半導体モジュールのドライブ制御方式。

[請求項9] 前記絶縁素子がフォトカプラであることを特徴とする請求項 1 ないし 8 のいずれか 1 項に記載のドライブ制御方式。

[請求項10] 高圧側に設けられて、高圧側に設けられたパワー半導体モジュールを制御する制御回路であって、

パワー半導体デバイスのゲートに所定の電圧を印加して該パワー半導体デバイスのオンオフを制御するゲートドライブ部と、

前記パワー半導体デバイスの過電流を検出すると前記ゲートドライブ部による前記パワー半導体デバイスのオンオフ制御を遮断するとともにアラーム信号を出力する短絡保護部と、

前記パワー半導体モジュールの基板に配置された温度検出素子で検出された温度をデジタル信号に変換して温度情報を作成する温度情報作成部と、

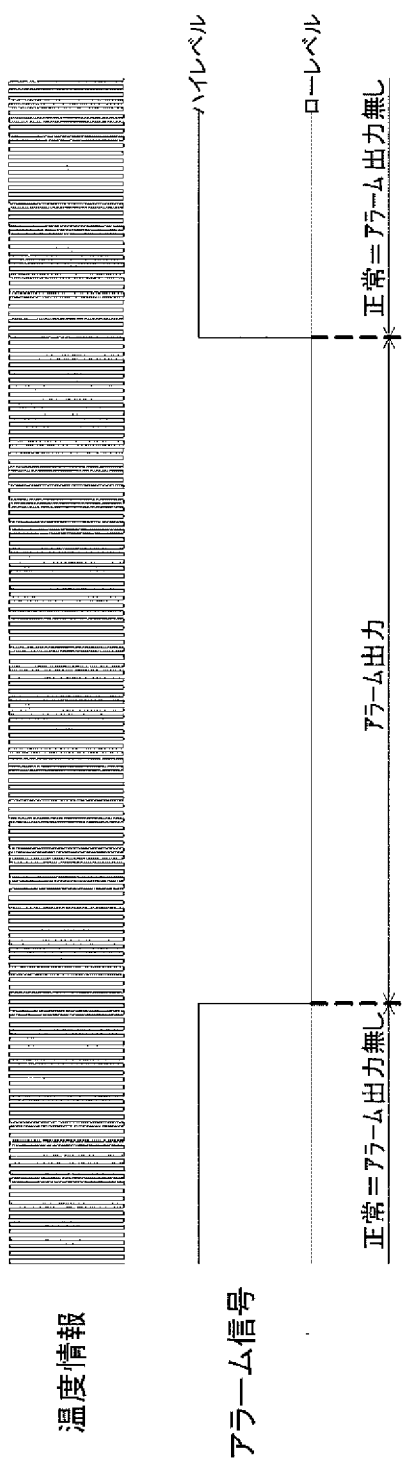
前記アラーム信号及び前記温度情報作成部で作成された温度情報が入力されて、該入力されたアラーム信号及び温度情報を合成する合成部とを有し、

該合成部は、前記パワー半導体モジュールから取得した温度情報とアラーム信号とを合成し、その合成出力を前記高圧側と低圧側の間に設けられる一つの絶縁素子に出力することを特徴とするパワー半導体モジュールの制御回路。

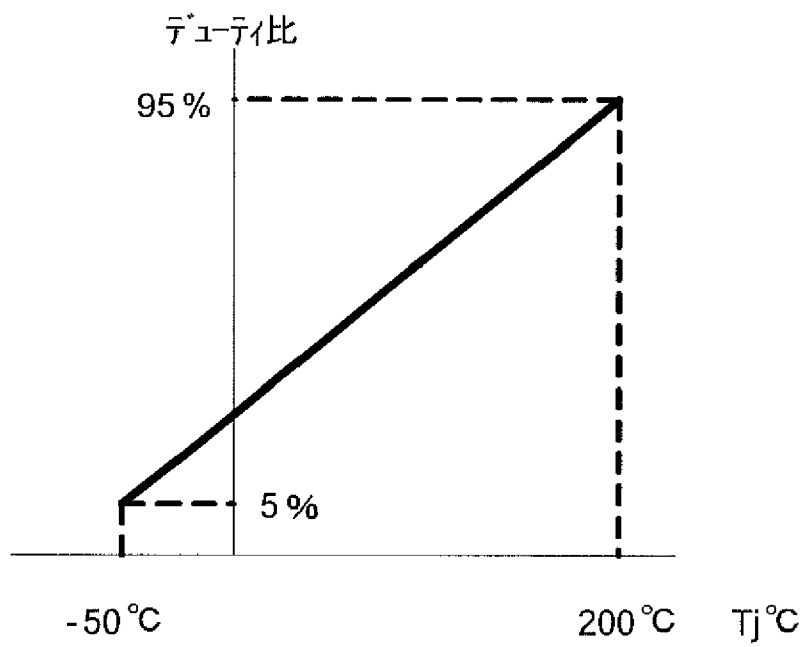
[図1]



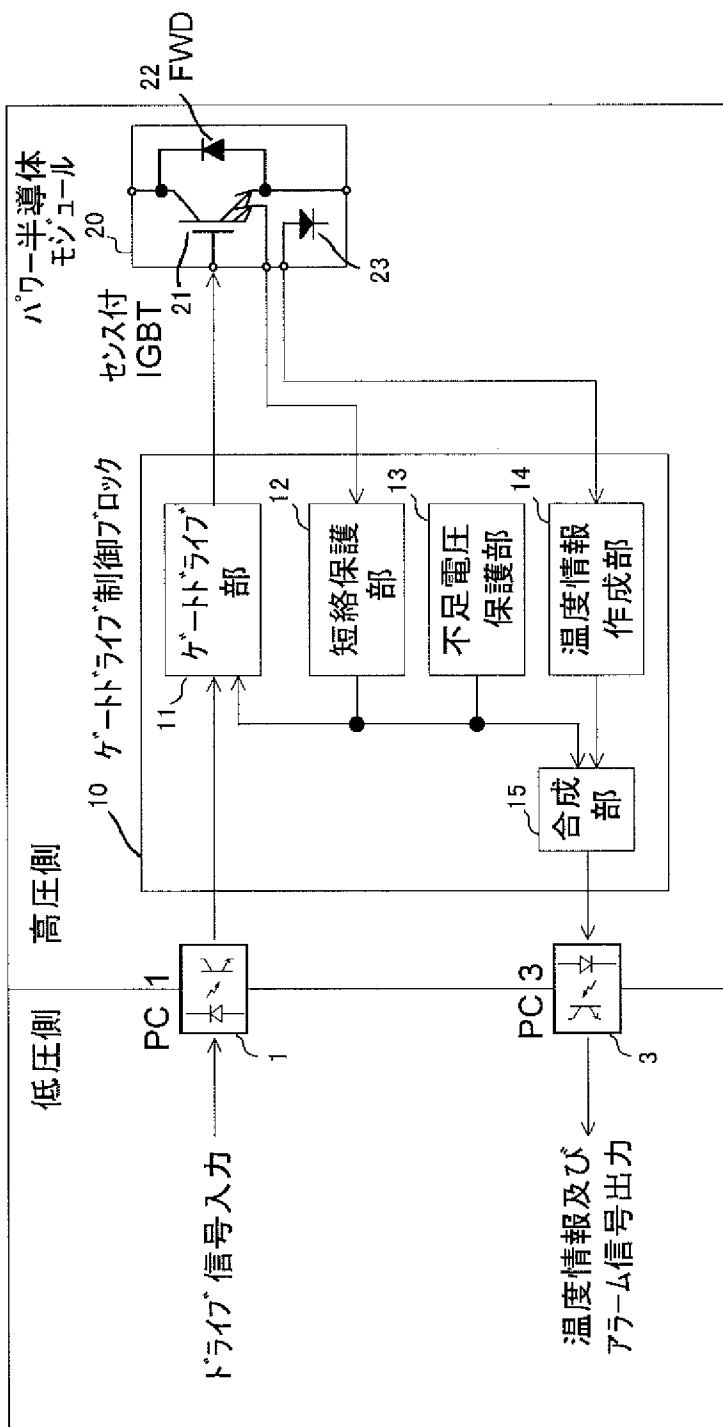
[図2]



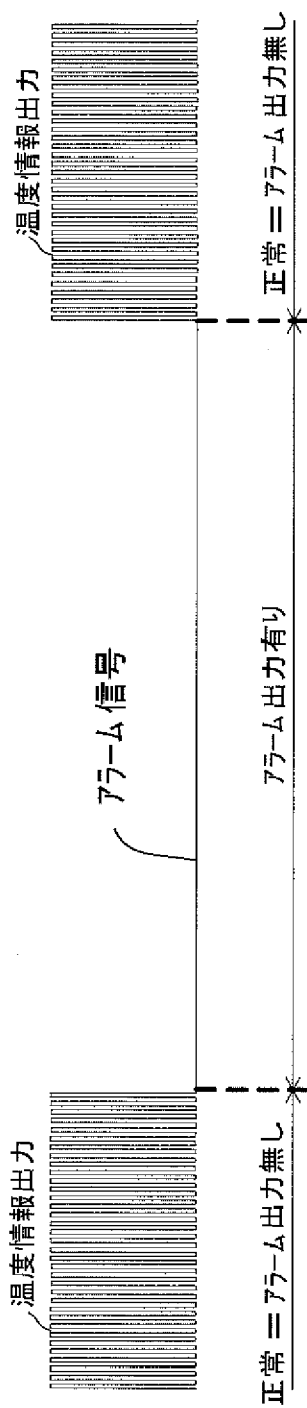
[図3]



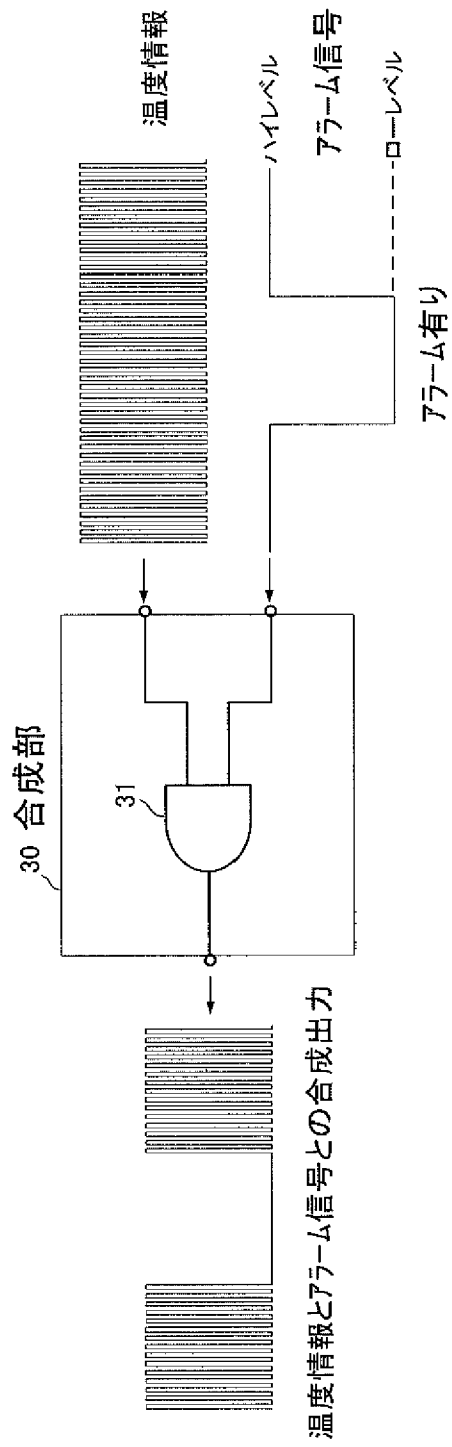
[図4]



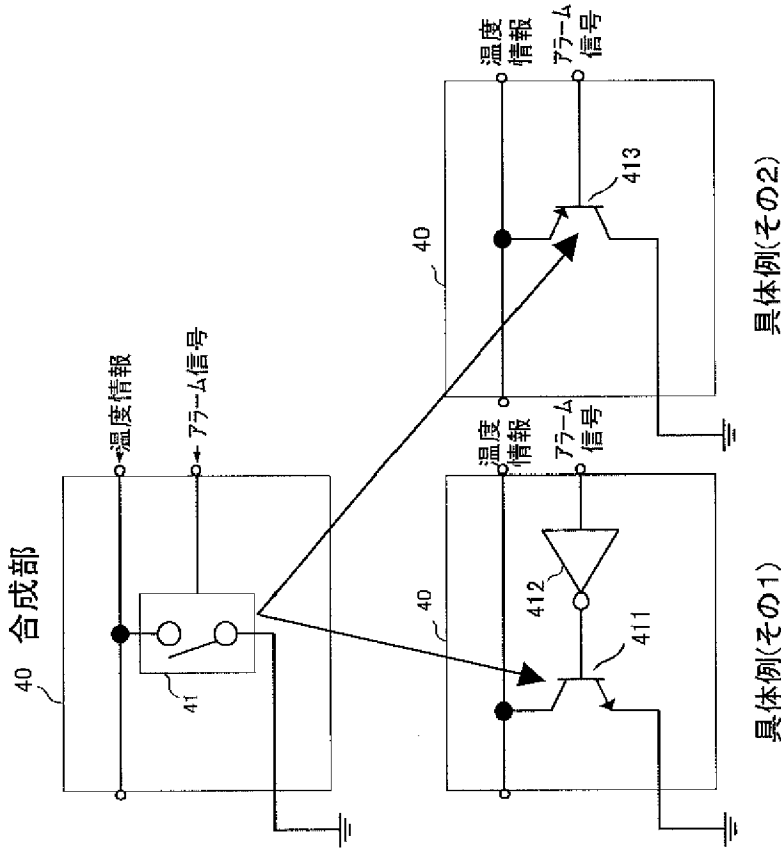
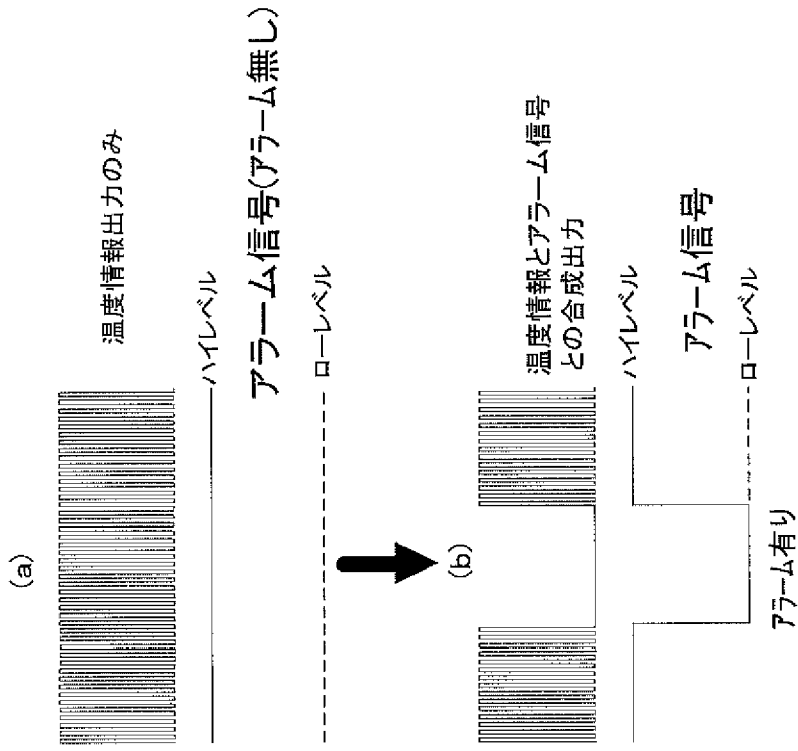
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/075346

A. CLASSIFICATION OF SUBJECT MATTER

H02M1/00(2007.01)i, H03K17/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M1/00, H03K17/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2011-101466 A (Mitsubishi Electric Corp.), 19 May 2011 (19.05.2011), paragraphs [0002] to [0099] (Family: none)	1-3, 9-10 4-8
Y A	JP 2008-270548 A (Fuji Electric Device Technology Co., Ltd.), 06 November 2008 (06.11.2008), paragraphs [0036] to [0049]; fig. 1 (Family: none)	1-3, 9-10 4-8
A	JP 2002-027665 A (Fuji Electric Co., Ltd.), 25 January 2002 (25.01.2002), paragraphs [0001] to [0040]; fig. 1 to 2 & US 2002/0039269 A1	1-10

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
02 December, 2014 (02.12.14)

Date of mailing of the international search report
09 December, 2014 (09.12.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/075346

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-017508 A (Toshiba Corp.), 22 January 1999 (22.01.1999), paragraphs [0001] to [0039] (Family: none)	1-10
A	JP 2009-171312 A (Denso Corp.), 30 July 2009 (30.07.2009), paragraphs [0027] to [0049] (Family: none)	1-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H02M1/00(2007.01)i, H03K17/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H02M1/00, H03K17/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2014年
日本国実用新案登録公報	1996-2014年
日本国登録実用新案公報	1994-2014年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2011-101466 A (三菱電機株式会社) 2011.05.19, 段落 0002-0099 (ファミリーなし)	1-3, 9-10 4-8
Y A	JP 2008-270548 A (富士電機デバイステクノロジー株式会社) 2008.11.06, 段落 0036-0049, 図1 (ファミリーなし)	1-3, 9-10 4-8
A	JP 2002-027665 A (富士電機株式会社) 2002.01.25, 段落 0001-0040, 図1-2 & US 2002/0039269 A1	1-10

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

02.12.2014

国際調査報告の発送日

09.12.2014

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴木 重幸

3V

9653

電話番号 03-3581-1101 内線 3357

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 11-017508 A (株式会社東芝) 1999. 01. 22, 段落 0001-0039 (ファミリーなし)	1-10
A	JP 2009-171312 A (株式会社デンソー) 2009. 07. 30, 段落 0027-0049 (ファミリーなし)	1-10