

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6601667号  
(P6601667)

(45) 発行日 令和1年11月6日 (2019. 11. 6)

(24) 登録日 令和1年10月18日 (2019. 10. 18)

(51) Int. Cl.

F I

G 1 1 C 19/28 (2006. 01)  
 G 0 9 G 3/20 (2006. 01)  
 G 0 9 G 3/36 (2006. 01)  
 G 0 9 G 3/30 (2006. 01)

G 1 1 C 19/28 2 3 O  
 G 0 9 G 3/20 6 2 2 E  
 G 0 9 G 3/36  
 G 0 9 G 3/30 J  
 G 0 9 G 3/20 6 1 1 A

請求項の数 11 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2015-156162 (P2015-156162)  
 (22) 出願日 平成27年8月6日 (2015. 8. 6)  
 (65) 公開番号 特開2016-110684 (P2016-110684A)  
 (43) 公開日 平成28年6月20日 (2016. 6. 20)  
 審査請求日 平成30年7月26日 (2018. 7. 26)  
 (31) 優先権主張番号 特願2014-244762 (P2014-244762)  
 (32) 優先日 平成26年12月3日 (2014. 12. 3)  
 (33) 優先権主張国・地域又は機関  
 日本国 (JP)

(73) 特許権者 303018827  
 Tianma Japan株式会社  
 神奈川県川崎市幸区鹿島田一丁目1番2号  
 (74) 代理人 100114557  
 弁理士 河野 英仁  
 (72) 発明者 野中 義弘  
 神奈川県川崎市中原区下沼部1753番地  
 NLTテクノロジー株式会社内

審査官 津幡 貴生

最終頁に続く

(54) 【発明の名称】 シフトレジスタ回路及びゲートドライバ並びに表示装置

(57) 【特許請求の範囲】

【請求項 1】

単一導電型トランジスタで構成されたシフトレジスタ回路であって、  
 出力端子と第1の電源とをつなぐ第1の出力トランジスタを有するシフトレジスタ部と

、  
 前記第1の出力トランジスタのゲート端子にその出力端子が接続された第1のゲート制御回路とを含み、

前記第1のゲート制御回路が、タイミング生成部とバッファ部とで構成され、

前記バッファ部は、ブートストラップ回路であり、

入力信号が入力される前記タイミング生成部の出力を前記バッファ部の入力とし、前記  
 バッファ部の出力を前記第1のゲート制御回路の出力としており、

前記バッファ部が、少なくとも、

前記バッファ部の出力と第1のクロック信号とをつなぐ第2のトランジスタと、

前記第2のトランジスタのゲート端子と前記タイミング生成部の出力とをつなぎ、第2  
 のクロック信号によりゲート制御される第3のトランジスタと、

前記バッファ部の出力と前記第1の電源とをつなぎ、前記第2のクロック信号によりゲ  
 ート制御される第4のトランジスタとを含むブートストラップ回路である

ことを特徴とするシフトレジスタ回路。

【請求項 2】

前記タイミング生成部が、

前記第 1 のゲート制御回路の入力によりゲート制御され、前記第 1 の電源と前記バッファ部の入力とをつなぐ第 5 のトランジスタと、

前記バッファ部の入力と前記第 2 のクロック信号とを接続する第 1 の容量とで構成される

ことを特徴とする請求項 1 に記載のシフトレジスタ回路。

【請求項 3】

前記タイミング生成部が、

前記第 1 のゲート制御回路の入力によりゲート制御され、前記第 1 の電源と前記バッファ部の入力とをつなぐ第 6 のトランジスタと、

前記バッファ部の入力と第 2 の電源とをつなぎ、ゲート端子を前記第 2 の電源に接続した第 7 のトランジスタとで構成される

ことを特徴とする請求項 1 に記載のシフトレジスタ回路。

【請求項 4】

単一導電型トランジスタで構成されたシフトレジスタ回路であって、

出力端子と第 1 の電源とをつなぐ第 1 の出力トランジスタを有するシフトレジスタ部と

、  
前記第 1 の出力トランジスタのゲート端子にその出力端子が接続された第 1 のゲート制御回路とを含み、

前記第 1 のゲート制御回路が、タイミング生成部とバッファ部とで構成され、

前記バッファ部は、ブートストラップ回路であり、

入力信号が入力される前記タイミング生成部の出力を前記バッファ部の入力とし、前記バッファ部の出力を前記第 1 のゲート制御回路の出力としており、

前記シフトレジスタ部が、

ソース端子に前記シフトレジスタ回路の出力端子を接続し、ドレイン端子に第 2 の電源を接続した第 8 の出力トランジスタと、

ゲート端子に第 1 のクロック信号を入力し、ドレイン端子に前記入力信号とは異なる別の入力信号を入力し、ソース端子を前記第 8 の出力トランジスタのゲート端子に接続した第 9 のトランジスタとを含む

ことを特徴とするシフトレジスタ回路。

【請求項 5】

単一導電型トランジスタで構成されたシフトレジスタ回路であって、

出力端子と第 1 の電源とをつなぐ第 1 の出力トランジスタを有するシフトレジスタ部と

、  
前記第 1 の出力トランジスタのゲート端子にその出力端子が接続された第 1 のゲート制御回路とを含み、

前記第 1 のゲート制御回路が、タイミング生成部とバッファ部とで構成され、

前記バッファ部は、ブートストラップ回路であり、

入力信号が入力される前記タイミング生成部の出力を前記バッファ部の入力とし、前記バッファ部の出力を前記第 1 のゲート制御回路の出力としており、

前記シフトレジスタ部が、前記出力端子と前記第 1 の電源とをつなぐ第 10 の出力トランジスタを含み、

前記第 10 の出力トランジスタのゲート端子にその出力端子が接続された第 2 のゲート制御回路を含み、

前記第 2 のゲート制御回路が、タイミング生成部とバッファ部とで構成され、

入力信号が入力される前記タイミング生成部の出力を前記バッファ部の入力とし、前記バッファ部の出力を前記第 2 のゲート制御回路の出力とする

ことを特徴とするシフトレジスタ回路。

【請求項 6】

請求項 5 に記載のシフトレジスタ回路を複数段連結させたゲートドライバであって、

第  $n - 2$  ( $n$  は 3 以上の整数) 段目の前記シフトレジスタ回路の出力を第  $n - 1$  段目の

前記シフトレジスタ部および前記第 1 又は第 2 のゲート制御回路の入力とし、

第  $n - 1$  段目の前記第 1 又は第 2 のゲート制御回路の出力を、第  $n - 1$  段目の前記シフトレジスタ部および第  $n$  段目の前記シフトレジスタ部の入力とする

ことを特徴とするゲートドライバ。

【請求項 7】

前記第 1 のゲート制御回路の前記バッファ部が、少なくとも、第 2 の出力を有し、  
前記バッファ部の第 2 の出力と前記第 1 の電源とをつなぐ第 1 1 のトランジスタと、  
前記バッファ部の第 2 の出力と前記バッファ部の第 1 の出力とをつなぐ第 1 2 のトランジスタと、

前記第 1 2 のトランジスタのゲート端子と第  $n + 2$  段目のシフトレジスタの出力をつなぐ第 1 3 のトランジスタとを含み、

前記第 1 1 のトランジスタが前記第 2 のクロック信号に制御され、

前記第 1 3 のトランジスタが第 2 の電源で制御されるブートストラップ回路である

ことを特徴とする請求項 1 に記載のシフトレジスタ回路。

【請求項 8】

前記第 1 の出力トランジスタのゲート端子にその第 2 の出力端子が接続された請求項 7 に記載の第 1 のゲート制御回路を含む

ことを特徴とするシフトレジスタ回路。

【請求項 9】

請求項 7 に記載のシフトレジスタ回路を複数段連結させたゲートドライバであって、

第  $n - 2$  ( $n$  は 3 以上の整数) 段目の前記シフトレジスタ回路の出力を第  $n - 1$  段目の前記シフトレジスタ部および前記第 1 のゲート制御回路の入力とし、

第  $n + 2$  段目の前記シフトレジスタ回路の出力を前記第  $n - 1$  段目の第 1 のゲート制御回路の入力とし、

前記第  $n - 1$  段目のゲート制御回路の前記第 1 の出力を、第  $n - 1$  段目の前記シフトレジスタ部および第  $n$  段目の前記シフトレジスタ部の入力とし、

第  $n - 1$  段目の前記第 1 のゲート制御回路の前記第 2 の出力を、第  $n$  段目の前記シフトレジスタ部の入力とする

ことを特徴とするゲートドライバ。

【請求項 10】

請求項 6 または請求項 9 に記載のゲートドライバを搭載したマトリクス型表示装置であって、

複数のゲート線と複数のデータ線との交差部に画素素子を配置した表示部を備え、

前記ゲートドライバの出力を前記ゲート線に接続し、

前記ゲート線の複数本を同時に選択する期間を有するオーバーラップ走査とし、

前記ゲート線の選択期間がスタート信号のパルス幅により制御される

ことを特徴とする表示装置。

【請求項 11】

単一導電型トランジスタで構成されたシフトレジスタ回路であって、

出力端子と第 1 の電源とをつなぐ第 1 の出力トランジスタを有するシフトレジスタ部と

前記第 1 の出力トランジスタのゲート端子にその出力端子が接続された第 1 のゲート制御回路とを含み、

前記第 1 のゲート制御回路が、タイミング生成部とバッファ部とで構成され、

前記バッファ部は、ブートストラップ回路であり、

入力信号が入力される前記タイミング生成部の出力を前記バッファ部の入力とし、前記バッファ部の出力を前記第 1 のゲート制御回路の出力としており、

前記バッファ部が、少なくとも、

前記バッファ部の出力と第 1 のクロック信号とをつなぐ第 2 のトランジスタと、

前記第 2 のトランジスタのゲート端子と前記タイミング生成部の出力とをつなぐ第 3 の

トランジスタとで構成されたブートストラップ回路であり、

前記第 1 のゲート制御回路の前記バッファ部が、少なくとも、第 2 の出力を有し、  
前記バッファ部の第 2 の出力と前記バッファ部の第 1 の出力とをつなぐ第 1 2 のトランジスタと、

前記第 1 2 のトランジスタのゲート端子と第  $n + 2$  段目のシフトレジスタの出力とをつなぐ第 1 3 のトランジスタとを含み、

前記第 1 3 のトランジスタが第 2 の電源で制御されるブートストラップ回路であることを特徴とするシフトレジスタ回路。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、シフトレジスタ回路及び当該シフトレジスタ回路を備えるゲートドライバ並びに当該ゲートドライバを搭載した表示装置に関する。

【背景技術】

【0002】

スイッチ素子としてトランジスタをマトリクス状に配列したアクティブマトリクス型半導体装置は、小型、低電力で信頼性の高い装置を実現できるため、広く利用されている。例えば、液晶や EL (エレクトロルミネッセンス) 材料を用いた表示装置やフォトダイオードなどの受光素子を備えたセンサー装置は、薄型、軽量などの特性から、携帯型情報端末機器などの入出力インターフェースとして広く活用されている。近年では、表示画素を駆動するスイッチ素子や微弱な感受信号を増幅する素子として薄膜トランジスタ (TFT: Thin Film Transistor) を絶縁基板であるアレイ基板に配置するとともに、アレイ配置された TFT を駆動する周辺回路、例えば走査線駆動回路や信号線駆動回路をスイッチ素子と同じ基板上に TFT で形成するアクティブマトリクス型装置の開発が盛んである。その特徴は、アレイ基板に周辺回路を集積化することで、表示または感受部アクティブマトリクスの有効面積を広げることができ、また周辺回路に要していたコストを削減することができることである。

20

【0003】

前出のアレイ配置された TFT は N 型あるいは P 型の単一導電性トランジスタであることが多く、周辺回路についても同じ単一導電性トランジスタのみで構成すると、その製造工程においてマスク露光や不純物注入などの工程をアレイ配置された TFT と共通化することが可能なため、製造コストの低減につながる。周辺回路のうち、走査線駆動回路 (ゲートドライバ) を単一導電性トランジスタのみで構成したシフトレジスタの連結により実現した例は特許文献 1 に開示されている。

30

【0004】

近年の表示画面の大型化高精細化に伴い、ゲート線の持つ負荷容量、負荷抵抗は増加し、一方でゲート線を選択している時間、一般には 1 水平期間は短縮しているため、ゲートドライバのゲート線駆動能力への要求が高まっている。それに対して、複数のゲート線を選択期間を重ねるオーバーラップ走査を実施することで選択期間を延ばし、駆動能力要求を緩和する方法が特許文献 1 や 2 に開示されている。その方法は、非オーバーラップのクロック信号 CLK1 と CLK3 の 2 相クロックで動作する第 1 のゲートドライバと、非オーバーラップのクロック信号 CLK2 と CLK4 の 2 相クロックで動作する第 2 のゲートドライバとを独立に設け、CLK1、CLK3 と CLK2、CLK4 の間にオーバーラップ区間を与えることで実現している。ここでゲートドライバは N 型トランジスタのみで構成されている。しかしながら、特許文献 1 や 2 に開示されている方法では、複数のゲート線を選択期間をオーバーラップして各々のゲート線を選択している期間を延ばすためには、クロック信号の数を増やしていく必要がある。

40

【0005】

また、オーバーラップ走査において、ゲート選択開始、すなわち単一導電性を N 型とした場合のゲート線電圧の立ち上げに時間が掛かり遅延することは、ゲート選択期間の延長

50

により緩和される。一方で、ゲート選択終了、すなわちゲート線電圧の立ち下げについては、遅延を緩和させる効果がなく、画素に書き込むデータ電圧の切り換わり（データアイドリング）時間を超えて立ち下げ時間が遅延すると、データクロストーク、すなわち次の画素に書き込まれるデータ電圧と混同した電圧が書き込まれる問題が発生してしまう。非特許文献１には、クロック信号を２相のみでオーバーラップ走査を実行するゲートドライバが開示されている。図１７はこの従来のゲートドライバのシフトレジスタ回路の回路図、図１８はこのシフトレジスタ回路の動作波形を示すタイミングチャート図である。図１７に示すように、ゲートドライバ出力の立ち下げを、出力トランジスタN１０とそれを制御するインバータ（トランジスタN７とN８とで構成）により行っている。ここで示されたインバータは、トランジスタN７とN８を介して、電源VDDからVSSに貫通電流が流れる課題がある。特にゲートドライバ出力の立ち下げを高速に行うためには、トランジスタN１０、N７、N８のすべてを、大電流を流せるように大きなサイズ（トランジスタチャネル幅）で構成する必要がある、貫通電流が消費電力の増大を招く。

10

【先行技術文献】

【特許文献】

【０００６】

【特許文献１】特開２００６－１０６３９４号公報

【特許文献２】WO２０１２／０７３４６７号公報

【特許文献３】特開２００９－１８１６１２号公報

【特許文献４】特開２００８－２９９９４１号公報

20

【非特許文献】

【０００７】

【非特許文献１】Eunji Song and Hyongsik Nam、SID2013 Digest、35.4（2013）

【発明の概要】

【発明が解決しようとする課題】

【０００８】

単一導電性トランジスタのみで構成されるゲートドライバで、オーバーラップ走査を行うためにクロック信号数が増加すると、クロックバスラインの駆動に必要な消費電力の増加、端子数の増加、高振幅のクロック信号を生成するレベルシフト回路の増加が課題となる。また、ゲート線の選択を終了するゲート線電圧の立ち下げを高速に行うための消費電力の増加も課題となる。

30

【０００９】

本発明は、高速動作及び低消費電力を実現できる、単一導電性トランジスタで構成されたシフトレジスタ回路及びゲートドライバ並びに表示装置を提供することを目的とする。特に、クロック信号数を増やさずにオーバーラップ走査を行い、無効な貫通電流を回避した省電力の、単一導電性トランジスタで構成されたシフトレジスタ回路及びゲートドライバ並びに表示装置を提供することを目的とする。

【課題を解決するための手段】

【００１０】

第１の発明のシフトレジスタ回路は、単一導電型のトランジスタで構成されたシフトレジスタ回路であり、少なくとも前記シフトレジスタ回路の出力端子と第１の電源VSSとをつなぐ第１の出力トランジスタM１を有するシフトレジスタ部と、前記第１の出力トランジスタM１のゲート端子にその出力端子が接続された第１のゲート制御回路とを含み、前記第１のゲート制御回路が、タイミング生成部とバッファ部とで構成され、前記バッファ部がブートストラップ回路であり、入力O[n-2]が入力される前記タイミング生成部の出力をバッファ部の入力とし、バッファ部の出力を第１のゲート制御回路の出力とするシフトレジスタ回路である。

40

【００１１】

第２の発明のシフトレジスタ回路では、前記第１のゲート制御回路の前記バッファ部が、少なくとも、第１のクロック信号XCLKと出力Q[n]とをつなぐ第２のトランジスタ

50

タM11と、前記第2のトランジスタM11のゲート端子と前記タイミング生成部の出力端子とをつなぐ第3のトランジスタM12とで構成されたブートストラップ回路である。

【0012】

第3の発明のシフトレジスタ回路では、前記第1のゲート制御回路のバッファ部が、少なくとも、前記バッファ部の出力Q[n]と前記第1のクロック信号XCLKとをつなぐ第2のトランジスタM11と、前記バッファ部の入力Q1と第2のトランジスタM11のゲート端子Q2とをつなぎ、第2のクロック信号CLKによりゲート制御される第3のトランジスタM12と、前記バッファ部の出力Q[n]と第1の電源VSSとをつなぎ、前記第2のクロック信号CLKによりゲート制御される第4のトランジスタM13とを含む。

10

【0013】

第4の発明のシフトレジスタ回路では、前記第1のゲート制御回路のタイミング生成部が、前記第1のゲート制御回路の入力O[n-2]によりゲート制御され、前記第1の電源VSSと前記バッファ部の入力Q1とをつなぐ第5のトランジスタM14と、前記バッファ部の入力Q1と前記第2のクロック信号CLKとをつなぐ第1の容量C1とで構成される。

【0014】

第5の発明のシフトレジスタ回路では、前記第1のゲート制御回路のタイミング生成部が、前記第1のゲート制御回路の入力O[n-2]によりゲート制御され、前記第1の電源VSSと前記バッファ部の入力Q1とをつなぐ第6のトランジスタM15と、前記バッファ部の入力Q1と前記第2の電源VDDとをつなぎ、ゲート端子を前記第2の電源VDDに接続した第7のトランジスタM16とで構成される。

20

【0015】

第6の発明のシフトレジスタ回路では、前記シフトレジスタ部が、ソース端子に前記シフトレジスタ回路の出力端子を接続し、ドレイン端子に前記第2の電源VDDを接続した第8の出力トランジスタM2と、ゲート端子に前記第1のクロック信号XCLKを入力し、ドレイン端子に入力O[n-1]を接続し、ソース端子を前記第8の出力トランジスタM2のゲート端子P[n]に接続した第9のトランジスタM3とを含む。

【0016】

第7の発明のシフトレジスタ回路は、単一導電型のトランジスタで構成されたシフトレジスタ回路であり、少なくとも、前記シフトレジスタ回路の出力端子と第1の電源VSSとをつなぐ第1の出力トランジスタM1を有するシフトレジスタ部と、前記第1の出力トランジスタM1のゲート端子にその出力端子が接続された第1のゲート制御回路とを含み、前記シフトレジスタ部が、前記シフトレジスタの出力端子と前記第1の電源VSSとをつなぐ第10の出力トランジスタM4を含み、第10の出力トランジスタM4のゲート端子にその出力端子が接続された第2のゲート制御回路を含み、前記各ゲート制御回路が、タイミング生成部とバッファ部とで構成され、入力O[n-2]又は入力O[n-1]が入力される前記タイミング生成部の出力をバッファ部の入力とし、バッファ部の出力を第2のゲート制御回路の出力とするシフトレジスタ回路である。

30

【0017】

第8の発明のシフトレジスタ回路では、前記第1のゲート制御回路を構成するバッファ部が前記第1のクロック信号を出力するブートストラップ回路であり、前記第2のゲート制御回路を構成するバッファ部が前記第2のクロック信号を出力するブートストラップ回路である。

40

【0018】

第9の発明のゲートドライバは、前記第7の発明のシフトレジスタ回路を複数段つなげたゲートドライバであり、第n-2(nは3以上の整数)段目の前記シフトレジスタ回路の出力O[n-2]を第n-1段目の前記シフトレジスタ部および前記第1又は第2のゲート制御回路の入力とし、第n-1段目の前記第1又は第2のゲート制御回路の出力Q[n]を、前記第n-1段目の前記シフトレジスタ部および第n段目の前記シフトレジスタ

50

部に入力する（第  $n - 1$  段目の前記シフトレジスタ回路の出力  $O[n - 1]$  を第  $n$  段目の前記シフトレジスタ部および前記第 2 又は第 1 のゲート制御回路の入力とし、第  $n$  段目の前記第 2 又は第 1 のゲート制御回路の出力  $Q[n + 1]$  を、前記第  $n$  段目の前記シフトレジスタ部および第  $n + 1$  段目の前記シフトレジスタ部に入力する）ゲートドライバである。

【0019】

第 10 の発明のシフトレジスタ回路では、前記第 1 のゲート制御回路を構成するバッファ部が、少なくとも、第 2 の出力  $Q2[n]$  を有し、出力  $Q2[n]$  と前記第 1 の電源  $VSS$  とをつなぐ第 11 の出力トランジスタ  $M17$  と、出力  $Q2[n]$  と前記出力  $Q[n]$  とをつなぐ第 12 のトランジスタ  $M18$  と、前記第 12 のトランジスタ  $M18$  のゲート端子と第  $n + 2$  段目のシフトレジスタの出力とをつなぐ第 13 のトランジスタ  $M19$  とを含み、前記第 11 の出力トランジスタ  $M17$  が前記第 2 のクロック信号  $CLK$  に制御され、前記第 13 のトランジスタ  $M19$  が前記第 2 の電源  $VDD$  で制御されるブートストラップ回路であり、このブートストラップ回路を前記第 3 の発明のバッファ部に追加している。

【0020】

第 11 の発明のシフトレジスタ回路では、前記第 1 の出力トランジスタ  $M1$  のゲート端子に、第 10 の発明のゲート制御回路の第 2 の出力  $Q2[n]$  を接続している。

【0021】

第 12 の発明のゲートドライバは、前記第 10 の発明のシフトレジスタ回路を複数段連結させたゲートドライバであり、第  $n - 2$ （ $n$  は 3 以上の整数）段目の前記シフトレジスタ回路の出力  $O[n - 2]$  を第  $n - 1$  段目の前記シフトレジスタ部および前記第 10 の発明のゲート制御回路の入力とし、第  $n + 2$  段目の前記シフトレジスタ回路の出力  $O[n + 2]$  を前記第  $n - 1$  段目のゲート制御回路の入力とし、前記第  $n - 1$  段目のゲート制御回路の第 1 の出力を、第  $n - 1$  段目の前記シフトレジスタ部および第  $n$  段目の前記シフトレジスタ部の入力とし、前記第  $n - 1$  段目のゲート制御回路の第 2 の出力を、第  $n$  段目の前記シフトレジスタ部の入力とするゲートドライバである。

【0022】

第 13 の発明の表示装置は、前記第 9 又は第 12 の発明のゲートドライバを搭載したマトリクス型表示装置であり、ゲートドライバには 2 相のクロック信号を入力し、ゲートドライバの初段のシフトレジスタの入力としてスタート信号  $ST$  を入力し、ゲート線の選択期間がスタート信号  $ST$  のパルス幅により制御され、同時に複数のゲート線が重なって選択されるオーバーラップ走査とする表示装置である。

【発明の効果】

【0023】

本発明のシフトレジスタ回路では、各シフトレジスタの出力パルスの幅は、クロック信号のパルス幅ではなく、入力パルス、例えば、前段のシフトレジスタ回路の出力パルスの幅で決まる。そのため、シフトレジスタ回路を複数段連結してゲートドライバを構成した際、オーバーラップ走査でもクロック信号は 2 相で良い。

【0024】

本発明によれば、高速かつ、低消費電力なゲートドライバが実現される。なぜならば、ゲート線の電位を高速に立ち下げるための出力トランジスタのゲート制御を、バッファ部であるクロック駆動のブートストラップ回路で行うため、大きな負荷の駆動を、貫通電流などの消費電力を回避して高速に行うことができるからである。また、ゲート制御回路を省面積とすることができる。なぜならば、ブートストラップ回路をバッファ部とするため、ゲート制御回路を構成するタイミング生成部のトランジスタサイズや容量サイズを小さくできるからである。また、ブートストラップ回路を駆動するクロック信号は外部入力信号とすることで、高速動作が可能となる。

【0025】

また、本発明によれば、ゲート制御回路のうちタイミング生成部のタイミングマージンを拡大でき、高速動作の要求を緩和できる。なぜならば、タイミング生成部の信号の伝達

10

20

30

40

50

には、クロック半周期期間のタイミングマージンが与えられ、タイミング生成部の出力立ち上がり時間が直接シフトレジスタ回路の出力立下り時間に反映しないからである。

【0026】

また、本発明によれば、トランジスタの閾値シフトによる信頼性低下を抑えることができる。なぜならば、出力トランジスタのゲート端子には、ゲート制御回路により、2相のクロック信号に同期した電圧が印加されるため、出力トランジスタの長期間導通状態を避け、閾値シフトを緩和できるからである。

【0027】

また、本発明によれば、クロック信号の負荷および消費電力を抑えることができる。なぜならば、ゲート制御回路の出力Q2[n]の反転は、1本のゲート線が駆動される、1フレームに1回程度に限られるからである。すなわちQ2[n]にゲート端子を制御される出力トランジスタM1のゲート負荷容量の充放電回数が限られ、その充放電を行うクロック信号の負荷および消費電力が抑えられる。

【0028】

本発明のゲートドライバを搭載したマトリクス型表示装置では、狭額縁の表示装置が可能となる。なぜならば、表示画面の周辺に配置するゲートドライバの構成要素であるタイミング生成部を省面積にすることができ、ゲートドライバを駆動するクロック信号線が2本であるため、その配線レイアウト面積を小さくできるからである。

【0029】

本発明のマトリクス型表示装置では、ゲート電位の高振幅を有するクロック信号が2本と少ないため、高振幅信号を生成するレベルシフト回路の個数を低減し、部材コストを抑えることができる。

【図面の簡単な説明】

【0030】

【図1】本発明の第1の実施の形態のシフトレジスタ回路の回路図である。

【図2】本発明の第1の実施の形態のシフトレジスタ回路の動作波形を示すタイミングチャート図である。

【図3】本発明の第1の実施の形態のゲート制御回路の回路図である。

【図4】本発明の第1の実施の形態のゲート制御回路の動作波形を示すタイミングチャート図である。

【図5】本発明の第2の実施の形態のゲート制御回路の回路図である。

【図6】本発明の第2の実施の形態のゲート制御回路の動作波形を示すタイミングチャート図である。

【図7】本発明の第3の実施の形態のシフトレジスタ回路の回路図である。

【図8】本発明の第3の実施の形態のシフトレジスタ回路の動作波形を示すタイミングチャート図である。

【図9】本発明の第4の実施の形態のゲートドライバの回路図である。

【図10】本発明の第5の実施の形態のゲート制御回路の回路図である。

【図11】本発明の第5の実施の形態のゲート制御回路の動作波形を示すタイミングチャート図である。

【図12】本発明の第6の実施の形態のシフトレジスタ回路の回路図である。

【図13】本発明の第6の実施の形態のシフトレジスタ回路の動作波形を示すタイミングチャート図である。

【図14】本発明の第7の実施の形態のゲートドライバの回路図である。

【図15】本発明の第8の実施の形態のマトリクス型表示装置を示す図である。

【図16】本発明の第8の実施の形態のマトリクス型表示装置におけるゲートドライバの動作波形を示すタイミングチャート図である。

【図17】従来のシフトレジスタ回路の回路図である。

【図18】従来のシフトレジスタ回路の動作波形を示すタイミングチャート図である。

【発明を実施するための形態】

10

20

30

40

50



## 【 0 0 3 1 】

次に、本発明の実施の形態について図面を参照して詳細に説明する。

## 【 0 0 3 2 】

## 〔 第 1 の実施の形態 〕

図 1 は、第 1 の実施の形態のシフトレジスタ回路の構成を示す図である。図 1 に示すように、本実施の形態のシフトレジスタ回路 1 は、単一導電型（本実施の形態では N 型）トランジスタで構成されたシフトレジスタ回路であって、第 1 の電源  $V_{SS}$  とシフトレジスタ回路 1 の出力  $O[n]$  とを結ぶ出力トランジスタ  $M1$ 、第 2 の電源  $V_{DD}$  とシフトレジスタ回路 1 の出力  $O[n]$  とを結ぶ出力トランジスタ  $M2$ 、出力トランジスタ  $M2$  のゲート端子でブートストラップノードの出力  $P[n]$  と前段のシフトレジスタ回路の出力  $O[n-1]$  とを結ぶトランジスタ  $M3$  から構成されるシフトレジスタ部 2、および出力トランジスタ  $M1$  のゲート端子にその出力を接続したゲート制御回路 3 からなる。ゲート制御回路 3 は、タイミング生成部 5 とバッファ部 4 にて構成される。

10

## 【 0 0 3 3 】

シフトレジスタ回路 1 の動作を説明するために動作波形を図 2 に示す。シフトレジスタ回路 1 の出力  $O[n-1]$  がロウレベルであると、クロック信号  $CLK$  のレベルがロウからハイに反転した際、ブートストラップノードの出力  $P[n]$  は、トランジスタ  $M3$  によりロウレベルに固定され、出力トランジスタ  $M2$  は非導通になる。一方、ゲート制御回路 3 の出力  $Q[n]$  がハイレベルとなると、出力トランジスタ  $M1$  が導通して、シフトレジスタ回路 1 の出力  $O[n]$  はロウレベル（第 1 の電源  $V_{SS}$ ）に固定される。

20

## 【 0 0 3 4 】

シフトレジスタ回路 1 の出力  $O[n-1]$  がハイレベルに反転した後、クロック信号  $CLK$  がハイレベルに反転すると、ノードの出力  $P[n]$  はハイレベルに向かって上昇し、出力トランジスタ  $M2$  のゲート・ソース間電圧を広げ、それにより出力トランジスタ  $M2$  が導通状態となる。すると、第 2 の電源  $V_{DD}$  からの電流供給により、シフトレジスタ回路 1 の出力  $O[n]$  のレベルが第 2 の電源  $V_{DD}$  まで上昇し、ブートストラップ効果により、ノードの出力  $P[n]$  の電位は第 2 の電源  $V_{DD}$  以上にまで達する。このとき、出力の上昇を妨害せず、第 2 の電源  $V_{DD}$  から第 1 の電源  $V_{SS}$  への貫通電流を流さないように、出力トランジスタ  $M1$  は非導通状態であることが望ましく、ゲート制御回路 3 の出力  $Q[n]$  がロウレベルを保つようにタイミング生成部 5 で信号を生成する。

30

## 【 0 0 3 5 】

再びシフトレジスタ回路 1 の出力  $O[n-1]$  がロウレベルに反転した後、クロック信号  $CLK$  がハイレベルに反転すると、ノードの出力  $P[n]$  はロウレベルに固定されるため、出力トランジスタ  $M2$  は非導通になる。一方、ゲート制御回路 3 の出力  $Q[n]$  がハイレベルに再び反転することで、出力トランジスタ  $M1$  を介してシフトレジスタ回路 1 の出力  $O[n]$  はロウレベルである第 1 の電源  $V_{SS}$  まで立ち下げられる。

## 【 0 0 3 6 】

次に、本実施の形態のゲート制御回路 3 について、図 3 を用いて詳細に説明する。

## 【 0 0 3 7 】

まず、ゲート制御回路 3 を構成するバッファ部 4 について説明する。バッファ部 4 は、少なくとも、ゲート制御回路 3 の出力  $Q[n]$  とクロック信号  $CLK$  とをつなぐトランジスタ  $M11$  と、バッファ部 4 の入力端子  $Q1$  とトランジスタ  $M11$  のゲート端子  $Q2$  とをつなぎ、クロック信号  $CLK$  によりゲート制御されるトランジスタ  $M12$  と、ゲート制御回路 3 の出力  $Q[n]$  と第 1 の電源  $V_{SS}$  とをつなぎ、クロック信号  $CLK$  によりゲート制御されるトランジスタ  $M13$  とで構成されるブートストラップ回路である。ここで、クロック信号  $CLK$  と  $\overline{CLK}$  とは互いに相反する 2 相のクロック信号である。なお、トランジスタ  $M11$  のブートストラップ効果を高めるために、トランジスタ  $M11$  のゲート・ソース端子間に容量  $C2$  を設けても良い。

40

## 【 0 0 3 8 】

次に、ゲート制御回路 3 を構成するタイミング生成部 5 について説明する。タイミング

50

生成部 5 は、ゲート制御回路 3 の入力  $O[n-2]$  によりゲート制御され、第 1 の電源  $V_{SS}$  とタイミング生成部 5 の出力  $Q_1$  とをつなぐトランジスタ  $M_{14}$  と、タイミング生成部 5 の出力  $Q_1$  とクロック信号  $CLK$  とをつなぐ容量  $C_1$  とで構成される。

#### 【0039】

図 3 に示したゲート制御回路 3 の動作について、図 4 に示した動作波形を基に以下に説明する。ゲート制御回路 3 の入力、すなわち、前々段のシフトレジスタ回路の出力  $O[n-2]$  がロウレベルであるとき、タイミング生成部 5 の出力  $Q_1$  は、容量  $C_1$  によるカップリングでクロック信号  $CLK$  に同期する。クロック信号  $CLK$  とタイミング生成部 5 の出力  $Q_1$  とがハイレベルにある期間  $T_1$  では、トランジスタ  $M_{12}$  を介してトランジスタ  $M_{11}$  のゲート  $Q_2$  はハイレベルよりもトランジスタ  $M_{12}$  の閾値電圧程度低い電位まで引き上げられる。この電位は容量  $C_2$  により保持される。一方、クロック信号  $CLK$  はロウレベルであるから、トランジスタ  $M_{11}$  を介してゲート制御回路 3 の出力  $Q[n]$  はロウレベルに固定される。同様に、トランジスタ  $M_{13}$  によっても、ゲート制御回路 3 の出力  $Q[n]$  はロウレベルに固定される。

#### 【0040】

次にクロック信号が反転し、 $CLK$  がロウレベルに、 $CLK$  がハイレベルに変わる期間  $T_2$  に移ると、トランジスタ  $M_{12}$  および  $M_{13}$  は非導通状態となる。一方で、容量  $C_2$  およびトランジスタ  $M_{11}$  のゲート・ソース間容量に保持された電位差によってトランジスタ  $M_{11}$  は導通状態を保ち、ブートストラップ効果によりトランジスタ  $M_{11}$  のゲート  $Q_2$  の電位はクロック信号のハイレベル以上に上昇し、ゲート制御回路 3 の出力  $Q[n]$  はクロック信号  $CLK$  のハイレベルまで上昇する。そして、再びクロック信号が反転する期間  $T_3$  に移ると、トランジスタ  $M_{11}$  および  $M_{13}$  により、ゲート制御回路 3 の出力  $Q[n]$  はロウレベルに引き下げられる。すなわち、バッファ部 4 は、クロック信号  $CLK$  をトランジスタ  $M_{11}$  を介して出力するブートストラップ回路として働く。この動作は、前々段のシフトレジスタ回路の出力  $O[n-2]$  がロウレベルである間、繰り返される。

#### 【0041】

一方、前々段のシフトレジスタ回路の出力  $O[n-2]$  がハイレベルとなる期間  $T_4$  に入ると、トランジスタ  $M_{14}$  が導通し続けるため、タイミング生成部 5 の出力  $Q_1$  はクロック信号  $CLK$  には同期せず、ロウレベルに固定される。クロック信号  $CLK$  がハイレベルとなる期間  $T_5$  では、トランジスタ  $M_{12}$  を介してバッファ部 4 のノード  $Q_2$  はロウレベルに固定される。よって、トランジスタ  $M_{11}$  のドレイン端子であるクロック信号  $CLK$  はロウレベル、ソース端子であるゲート制御回路 3 の出力  $Q[n]$  もロウレベルであるが、ゲート端子である  $Q_2$  もロウレベルであるため、トランジスタ  $M_{11}$  は非導通状態を保つ。また、トランジスタ  $M_{11}$  のゲート・ソース間、ゲート・ドレイン間の容量にも電荷は充電されていない。そのため、期間  $T_6$  に移り、クロック信号  $CLK$  が反転し、ハイレベルに上昇した際にもブートストラップ効果は働かず、トランジスタ  $M_{11}$  のゲート端子  $Q_2$  およびソース端子はクロック信号  $CLK$  に追従しない。この動作は、前々段のシフトレジスタの出力  $O[n-2]$  がハイレベルである間継続し、ゲート制御回路 3 の出力  $Q[n]$  はロウレベルのままである。また、クロック信号  $CLK$  がハイレベルに反転する期間  $T_5$  において、容量  $C_1$  との結合のために瞬間的にノード  $Q_1$  が上昇し、あるいは容量  $C_2$  に充電されていた電荷を放電し、ノード  $Q_2$  をロウレベルへ低下させる動作が緩やかであったとしても、期間  $T_6$  に移る前までにそれぞれをロウレベルに低下させておけば、期間  $T_6$  ではブートストラップ効果は働かない。

#### 【0042】

図 3 に示したゲート制御回路 3 の出力  $Q[n]$  は、図 1 に示したゲート制御回路 3 の出力  $Q[n]$  に合致しており、 $n$  番目のシフトレジスタ回路の出力  $O[n]$  がハイレベルに上昇する際に、それを阻害しないように、出力トランジスタ  $M_1$  を非導通とする、所望の波形となる。また、同波形は図 3 に示したタイミング生成部 5 により生成され、タイムシフトされた結果である。

## 【 0 0 4 3 】

このように、ゲート線の電位を高速に立ち下げるための出力トランジスタのゲート制御を、バッファ部であるクロック駆動のブートストラップ回路で行うため、大きな負荷の駆動を、貫通電流などの消費電力を回避して高速に行うことができる。また、ブートストラップ回路をバッファ部とするため、ゲート制御回路 3 を構成するタイミング生成部 5 のトランジスタサイズや容量サイズを小さくでき、ゲート制御回路 3 を省面積とすることができる。また、ブートストラップ回路を駆動するクロック信号を外部入力信号とすることで、高速動作が可能となる。

## 【 0 0 4 4 】

## [ 第 2 の実施の形態 ]

次に、本発明の第 2 の実施の形態について図 5 を用いて説明する。第 1 の実施の形態との違いは、タイミング生成部 5 の構成にある。タイミング生成部 5 は、ゲート制御回路 3 の入力  $O[n-2]$  によりゲート制御され、第 1 の電源  $VSS$  とタイミング生成部 5 の出力  $Q1$  とをつなぐトランジスタ  $M15$  と、タイミング生成部 5 の出力  $Q1$  と第 2 の電源  $VDD$  とをつなぎ、そのゲート端子が第 2 の電源  $VDD$  に接続されたトランジスタ  $M16$  と、で構成される。

## 【 0 0 4 5 】

図 5 に示したゲート制御回路 3 の動作について、図 6 に示した動作波形を基に以下に説明する。ゲート制御回路 3 の入力、すなわち、前々段のシフトレジスタ回路の出力  $O[n-2]$  がロウレベルであるとき、タイミング生成部 5 の出力  $Q1$  は、ダイオード接続されたトランジスタ  $M15$  により、ハイレベルよりもトランジスタ  $M15$  の閾値電圧分低いハイレベルに保たれる。一方、前々段のシフトレジスタ回路の出力  $O[n-2]$  がハイレベルであると、タイミング生成部 5 の出力  $Q1$  はロウレベルに保たれる。すなわち、タイミング生成部 5 は、ゲート制御回路 3 の入力  $O[n-2]$  の反転信号を出力するインバータとして働く。

## 【 0 0 4 6 】

タイミング生成部 5 の出力  $Q1$  がハイレベルに保たれ、クロック信号  $CLK$  がハイレベルにあると、トランジスタ  $M12$  を介して、トランジスタ  $M11$  のゲート  $Q2$  はハイレベルよりもトランジスタ  $M12$  の閾値電圧程度低い電位まで引き上げられる。一方、クロック信号  $XCLK$  はロウレベルであるから、トランジスタ  $M11$  を介してゲート制御回路 3 の出力  $Q[n]$  はロウレベルに固定される。同様に、トランジスタ  $M13$  によってもロウレベルに固定される。次に、クロック信号が反転し、 $CLK$  がロウレベルに、 $XCLK$  がハイレベルにそれぞれ変わると、トランジスタ  $M12$  および  $M13$  は非導通状態となる。一方で、トランジスタ  $M11$  は導通状態を保ち、ブートストラップ効果により、トランジスタ  $M11$  のゲート  $Q2$  の電位はクロック信号のハイレベル以上に上昇し、ゲート制御回路 3 の出力  $Q[n]$  はクロック信号  $XCLK$  のハイレベルまで上昇する。そして、再びクロック信号が反転すると、トランジスタ  $M11$  および  $M13$  により、ゲート制御回路 3 の出力  $Q[n]$  はロウレベルに引き下げられる。この動作は、前々段のシフトレジスタ回路 1 の出力  $O[n-2]$  がロウレベルである間、繰り返される。

## 【 0 0 4 7 】

一方、タイミング生成部 5 の出力  $Q1$  がロウレベルに保たれると、クロック信号  $CLK$  がハイレベルのとき、トランジスタ  $M12$  を介してバッファ部 4 のノード  $Q2$  はロウレベルに固定される。よって、トランジスタ  $M11$  のドレイン端子であるクロック信号  $XCLK$  はロウレベル、ソース端子であるゲート制御回路 3 の出力  $Q[n]$  もロウレベルであるが、ゲート端子である  $Q2$  もロウレベルであるため、トランジスタ  $M11$  は非導通状態を保つ。また、トランジスタ  $M11$  のゲート・ソース間、ゲート・ドレイン間の容量にも電荷は充電されていない。そのため、クロック信号  $XCLK$  が反転し、ハイレベルに上昇した際にもブートストラップ効果は働かず、トランジスタ  $M11$  のゲート端子  $Q2$  およびソース端子は追従しない。この動作は、前々段のシフトレジスタ回路 1 の出力  $O[n-2]$  がハイレベルである間継続し、ゲート制御回路 3 の出力  $Q[n]$  はロウレベルのままであ

10

20

30

40

50

る。

【 0 0 4 8 】

本実施の形態の特徴は、シフトレジスタ回路 1 の出力トランジスタのゲートを制御するゲート制御回路 3 に、クロック駆動のブートストラップ回路をバッファ部 4 として設けている点である。これにより、ゲート制御回路 3 は、クロック信号をトランジスタ M 1 1 を介して、振幅の低減もなく、遅延もなく出力することができる。

【 0 0 4 9 】

従来技術で説明した公知例の中には、ゲート制御回路 3 を本発明のタイミング生成部 5 のみで構成している例が開示されている。すなわち、図 3 に示した容量とトランジスタで構成されたタイミング生成部 5 や、図 5 に示したインバータを用いたタイミング生成部 5 を直接シフトレジスタ回路の出力トランジスタのゲートに接続している例が、特許文献 3 や非特許文献 1 に開示されている。シフトレジスタ回路 1 の出力トランジスタ M 1 を駆動する、特に導通させるということは、そのゲート容量負荷  $C_g$  の充電を行い、ゲート電位を高電位にすることであり、高速動作にはゲート容量負荷  $C_g$  の高速かつ高電位への充電が必要になる。

【 0 0 5 0 】

特許文献 3 でも示された容量  $C_1$  とトランジスタ M 1 4 で構成されたタイミング生成部 5 でシフトレジスタ回路 1 の出力トランジスタ M 1 を直接駆動する場合、ゲート充電電圧の電位劣化が問題となる。すなわち、ゲート充電電位は、タイミング生成部 5 の容量  $C_1$  と出力トランジスタ M 1 のゲート容量  $C_g$  の分圧比で決まるため、高電圧を得るためには  $C_1 \gg C_g$  が要求される。その容量  $C_1$  を得るためには出力トランジスタ M 1 以上のレイアウト面積が必要となる。

【 0 0 5 1 】

また、非特許文献 1 にも示されたインバータ（図 5 のトランジスタ M 1 5 と M 1 6）で構成されたタイミング生成部 5 を用いる場合、消費電流が問題となる。すなわち、ゲート容量負荷  $C_g$  を高速に充電するためには、トランジスタ M 1 6 は大電流を流せるように大きなサイズが必要となる。一方で、トランジスタ M 1 5 を導通させたときには、トランジスタ M 1 6 と M 1 5 を介して第 2 の電源  $V_{DD}$  と第 1 の電源  $V_{SS}$  との間に貫通電流が流れる。また、出力トランジスタ M 1 のゲート電位をロウレベルとするために、トランジスタ M 1 6 と M 1 5 のサイズ関係は  $M 1 5 > M 1 6$  が必要となる。よって、共に大きなサイズのトランジスタ M 1 5 と M 1 6 を介して大きな貫通電流が流れることを回避できない。

【 0 0 5 2 】

同様に、バッファ部 4 をインバータとした例が、特許文献 4 の図 2 に示されている。すなわち、トランジスタ T 1 3 と T 1 4 とで構成されるインバータをバッファ部 4 とし、トランジスタ T 1 1 b と T 1 2 b とで構成される回路をタイミング生成部 5 とした例である。ここでの課題は、トランジスタ T 1 6 のゲート端子に出力 B 点をつないだインバータでトランジスタ T 1 6 のゲート容量負荷を高速に充電するために、非特許文献 1 と同様にインバータに大きな貫通電流が流れる点である。

【 0 0 5 3 】

公知例にあるように、タイミング生成部 5 の出力で直接シフトレジスタ回路 1 の出力トランジスタ M 1 のゲートを駆動する場合には、上記の他に高速動作時のタイミングマージンに課題がある。すなわち、タイミング生成部 5 の入力信号の反転が、直接シフトレジスタ回路 1 の出力トランジスタのゲート電位の反転につながる。よってタイミング生成部 5 には動作遅延が許されない。

【 0 0 5 4 】

一方、本発明の場合、出力トランジスタのゲート電位の反転は、クロック駆動のブートストラップのバッファ部 4 によって行われる。タイミング生成部 5 はその半クロック周期前の期間 T 5 で反転動作を行い、バッファ部 4 が動作する期間 T 6 に移る前までに反転を完了していれば良いため、最大で半クロック周期期間の反転動作マージンが許されている。このように、タイミング生成部 5 の出力立ち上がり時間が直接シフトレジスタ回路 1 の

出力立下り時間に反映しないため、高速動作の要求を緩和できる。

【 0 0 5 5 】

[ 第 3 の実施の形態 ]

次に、本発明の第 3 の実施の形態について図 7 を用いて説明する。本実施の形態は単一導電型のトランジスタで構成されたシフトレジスタ回路であり、以下のように構成される。シフトレジスタ回路 1 の出力  $O[n]$  と第 1 の電源  $VSS$  とをつなぐ出力トランジスタ  $M1$  と、シフトレジスタ回路 1 の出力  $O[n-2]$  を入力とし、その出力  $Q[n]$  を出力トランジスタ  $M1$  のゲート端子に接続した第 1 のゲート制御回路 3 と、シフトレジスタ回路 1 の出力  $O[n]$  と第 1 の電源  $VSS$  とをつなぐ第 2 の出力トランジスタ  $M4$  と、シフトレジスタ回路 1 の出力  $O[n-1]$  を入力とし、その出力  $Q[n+1]$  を出力トランジスタ  $M4$  のゲート端子に接続した第 2 のゲート制御回路 3 とを含む。さらに、シフトレジスタ回路 1 の出力  $O[n]$  と第 2 の電源  $VDD$  とをつなぐ出力トランジスタ  $M2$  と、そのゲート端子  $P[n]$  とシフトレジスタ回路 1 の出力  $O[n-1]$  とをつなぎ、クロック信号  $XCLK$  にてゲート制御されるトランジスタ  $M3$  にて構成される。ここで、複数段のシフトレジスタ回路 1 は出力  $O[n-2]$ 、 $O[n-1]$ 、 $O[n]$  の順に連結されているとする。第 1 及び第 2 のゲート制御回路 3 は、第 1 又は第 2 の実施の形態に記載のゲート制御回路 3 と同様の構成で良い。本実施の形態と第 1 の実施の形態との違いは、出力トランジスタ  $M4$  とそれを制御する第 2 のゲート制御回路 3 とが追加されている点である。

【 0 0 5 6 】

本実施の形態の動作について図 8 に示した動作波形を用いて説明する。第 1 のゲート制御回路 3 の出力  $Q[n]$  と第 2 のゲート制御回路 3 の出力  $Q[n+1]$  は、それぞれの入力信号がロウレベルである間、クロック信号  $XCLK$  に同期し、互いに半周期シフトしたクロック信号である。すなわち、第 1 のゲート制御回路 3 を構成するバッファ部がクロック信号  $XCLK$  を出力するブートストラップ回路となり、第 2 のゲート制御回路 3 を構成するバッファ部がクロック信号  $CLK$  を出力するブートストラップ回路となる。これにより、出力トランジスタ  $M1$  あるいは  $M4$  のいずれか一方が導通状態となるため、シフトレジスタ回路 1 の出力  $O[n]$  はロウレベルに固定されることとなる。一方、入力信号がハイレベルに反転すると、ゲート制御回路 3 の出力  $Q[n]$  と  $Q[n+1]$  はロウレベルに固定されるため、シフトレジスタ回路 1 の出力  $O[n]$  は出力トランジスタ  $M1$  および  $M4$  によりロウレベルに固定されることはない。その間にシフトレジスタ部 2 の出力トランジスタ  $M2$  および  $M3$  が機能して、シフトレジスタ回路 1 の出力  $O[n]$  はハイレベルに反転する。その詳細については第 1 の実施の形態と同様である。

【 0 0 5 7 】

本実施の形態により、シフトレジスタ回路 1 の出力  $O[n]$  をハイレベルとする期間以外は、2 つのゲート制御回路 3 により、シフトレジスタ回路 1 の出力  $O[n]$  が安定してロウレベルに固定されるシフトレジスタが提供される。

【 0 0 5 8 】

[ 第 4 の実施の形態 ]

次に、本発明の第 4 の実施の形態について図 9 を用いて説明する。本実施の形態は、第 3 の実施の形態のシフトレジスタ回路 1 を複数段連結したゲートドライバ 10 であり、第  $n-2$  段目 ( $n$  は 3 以上の整数) のシフトレジスタ回路 1 の出力  $O[n-2]$  を、第  $n-1$  段目のシフトレジスタ部 2 およびゲート制御回路 3 の入力とし、第  $n-1$  段目のゲート制御回路 3 の出力  $Q[n]$  を、第  $n-1$  段目のシフトレジスタ部 2 および第  $n$  段目のシフトレジスタ部 2 それぞれに入力している。すなわち、ゲート制御回路 3 の出力  $Q[n]$  を 2 つの連続するシフトレジスタ部 2 で共有している点が特徴である。この構成により、ゲートドライバの回路規模の縮減が図れる。なぜならば、図 7 に示した 1 段分のシフトレジスタ回路 1 では 2 つのゲート制御回路 3 を記載しているが、複数の連続するシフトレジスタ回路 1 間でゲート制御回路 3 を共有することで、ゲート制御回路 3 の個数を減らせるからである。

【 0 0 5 9 】

## 〔第5の実施の形態〕

次に、本発明の第5の実施の形態について図10を用いて説明する。本実施の形態は、第1の実施形態に示されたゲート制御回路3のバッファ部4に第2の出力 $Q2[n]$ を追加したゲート制御回路である。以下、図10に示したゲート制御回路3の追加部について説明する。バッファ部4には、少なくとも、ゲート制御回路3の第2の出力 $Q2[n]$ と第1の電源 $VSS$ とをつなぐトランジスタ $M17$ と、第2の出力 $Q2[n]$ と第1の出力 $Q[n]$ をつなぐトランジスタ $M18$ と、トランジスタ $M18$ のゲート端子と第 $n+2$ 段目のシフトレジスタの出力 $O[n+2]$ とをつなぐトランジスタ $M19$ が追加され、トランジスタ $M17$ のゲート端子はクロック信号 $CLK$ により制御される。

## 【0060】

10

図10に示したゲート制御回路3の動作について、図11に示した動作波形を基に、以下に説明する。後々段のシフトレジスタ回路の出力 $O[n+2]$ がハイレベルとなる期間 $T0$ では、トランジスタ $M19$ のゲートおよびドレインがハイレベルとなるため、ソース端子である $Q3$ はハイレベルよりトランジスタ $M19$ の閾値電圧程度低い電位まで引き上げられ、トランジスタ $M18$ が導通状態となる。ただし、期間 $T0$ では第1の出力 $Q[n]$ はロウレベルであるため、トランジスタ $M18$ を介して第2の出力 $Q2[n]$ もロウレベルとなる。

## 【0061】

次に、期間 $T1$ に移りクロック信号が反転し、 $CLK$ がハイレベルに、 $XCLK$ がロウレベルになると、トランジスタ $M13$ および $M17$ の導通により、 $Q[n]$ および $Q2[n]$ は第1の電源 $VSS$ のロウレベルへの固定が継続する。

20

## 【0062】

次に、期間 $T2$ に移りクロック信号が反転し、 $CLK$ がロウレベルに、 $XCLK$ がハイレベルになると、出力 $Q[n]$ はクロック信号 $XCLK$ のハイレベルまで上昇する。それに伴い、導通状態を保っていたトランジスタ $M18$ のソース端子である第2の出力 $Q2[n]$ もハイレベルまで引き上げられる。その際、ブートストラップ効果により、トランジスタ $M18$ のゲート端子である $Q3$ のレベルはハイレベル以上に上昇するが、トランジスタ $M19$ ではその上昇を妨げることができない。なぜならば、トランジスタ $M19$ のソース端子が後々段のシフトレジスタ出力 $O[n+2]$ へ、ドレイン端子が $Q3$ へと入れ替わり、ゲート端子とソース端子が同じハイレベルであるため、トランジスタ $M19$ が非導

30

## 【0063】

次に、期間 $T3$ に移りクロック信号が反転し、 $CLK$ がハイレベルに、 $XCLK$ がロウレベルになると、トランジスタ $M13$ および $M17$ の導通により、 $Q[n]$ および $Q2[n]$ は第1の電源 $VSS$ のロウレベルに固定される。

## 【0064】

期間 $T3$ 以降では、後々段のシフトレジスタ回路の出力 $O[n+2]$ がロウレベルとなるため、トランジスタ $M19$ の導通により、トランジスタ $M18$ のゲート端子である $Q3$ はロウレベルに固定され、トランジスタ $M18$ が非導通となるため、第2の出力 $Q2[n]$ は、第1の出力 $Q[n]$ に同期してハイレベルに上昇することではなく、トランジスタ $M17$ とクロック信号 $CLK$ により逐次ロウレベルにリセットされる。

40

## 【0065】

図10に示したゲート制御回路3の第2の出力 $Q2[n]$ は、図1に示したシフトレジスタ部のトランジスタ $M1$ のゲートに、 $Q[n]$ の代わりに用いることができる。すなわち $n$ 番目のシフトレジスタ回路の出力 $O[n]$ をロウレベルに反転させるよう、出力トランジスタ $M1$ を導通とさせるためのゲート信号として、 $Q2[n]$ は十分な信号である。

## 【0066】

$Q[n]$ の代わりに $Q2[n]$ を用いる利点は、クロック信号の負荷軽減と消費電力の低減である。ゲート線の電位を高速に立ち下げるための出力トランジスタは、チャネルサイズの大きなトランジスタであり、そのゲート容量も大きい。そのため出力トランジスタ

50

のゲート容量負荷を充放電するためには、大きな電力を要する。出力トランジスタのゲート制御に $Q[n]$ を用いた場合、ゲート線の電位を立ち下げる時以外のタイミング、すなわちゲート線の電位をロウレベルに固定する時にも、クロック信号に同期してゲート容量負荷を充放電することになる。そのための電力はゲート制御回路3を通してクロック信号から供給され、クロック信号の負荷が大きくなる。

【0067】

一方、ゲート容量負荷の大きな出力トランジスタのゲート制御に $Q2[n]$ を用いた場合、図11に示すようにゲート容量負荷の充放電は、ゲート線の電位を立ち下げる期間 $T2$ に限定される。それ以外の期間ではクロック信号と同期しないため、ゲート容量負荷の充放電は行わず、クロック信号からの電力供給もない。出力トランジスタの大きなゲート容量負荷の充放電回数を軽減することで、クロック信号の負荷および消費電力を軽減することができる。

【0068】

[第6の実施の形態]

次に、本発明の第6の実施の形態について図12を用いて説明する。本実施の形態は、シフトレジスタ回路1の出力 $O[n]$ と第1の電源 $VSS$ とをつなぐ出力トランジスタ $M5$ を追加し、出力トランジスタ $M1$ 、 $M4$ 、 $M5$ のゲート制御を、第1の実施形態のゲート制御回路の代わりに第5の実施形態のゲート制御回路で行う点で、第3の実施形態と異なる。出力トランジスタ $M1$ のゲート制御は、第1のゲート制御回路の第2の出力 $Q2[n]$ 、出力トランジスタ $M4$ のゲート制御は、第2のゲート制御回路の第1の出力 $Q[n+1]$ 、出力トランジスタ $M5$ のゲート制御は、第1のゲート制御回路の第1の出力 $Q[n]$ にて行う。

【0069】

本実施の形態の動作について、図13に示した動作波形を用いて説明する。本実施の形態は、第1のゲート制御回路3の第2の出力 $Q2[n]$ により出力トランジスタ $M1$ をゲート制御している点で、第3の実施形態と異なる。第2の出力 $Q2[n]$ は、入力信号 $O[n+2]$ がハイレベルである間、第1の出力 $Q[n]$ に同期していることが特徴である。すなわち $Q2[n]$ がハイレベルに反転するのは、シフトレジスタ回路の出力 $O[n]$ をハイレベルからロウレベルへ立ち下げる時のみである。 $Q2[n]$ によりゲート制御される出力トランジスタ $M1$ が導通するのは、出力 $O[n]$ を立ち下げる時に限られる。一方、第1および第2のゲート制御回路3の第1の出力 $Q[n]$ 、 $Q[n+1]$ にゲート制御される出力トランジスタ $M4$ および $M5$ は、出力 $O[n]$ がハイレベルを出力しない期間はいずれか一方が導通し、出力 $O[n]$ をロウレベルに固定する。

【0070】

出力トランジスタのチャンネルサイズに関しては、出力トランジスタ $M1$ は高速にゲート線の電位を立ち下げるために、大きなチャンネル幅が必要となるが、出力トランジスタ $M4$ 、 $M5$ はゲート線の電位をロウレベルに固定することが目的であるため、大きなチャンネル幅は必要ではない。

【0071】

[第7の実施の形態]

次に、本発明の第7の実施の形態について、図14を用いて説明する。本実施の形態は、第5の実施の形態のシフトレジスタ回路1を複数段連結したゲートドライバ10である。第 $n-2$ 段目( $n$ は3以上の整数)のシフトレジスタ回路1の出力 $O[n-2]$ を、第 $n-1$ 段目のシフトレジスタ部2およびゲート制御回路3の入力とする。第 $n-1$ 段目のゲート制御回路3の第1の出力 $Q[n]$ を、第 $n-1$ 段目のシフトレジスタ部2および第 $n$ 段目のシフトレジスタ部2それぞれに入力している。さらに第 $n-1$ 段目のゲート制御回路3の第2の出力 $Q2[n]$ を、第 $n$ 段目のシフトレジスタ部2に入力している。すなわち、ゲート制御回路3の出力 $Q[n]$ を2つの連続するシフトレジスタ部2で共有している点が特徴である。この構成により、ゲートドライバの回路規模の縮減が図れる。なぜならば、図12に示した1段分のシフトレジスタ回路1では、2つのゲート制御回路3を

記載しているが、複数の連続するシフトレジスタ回路 1 間でゲート制御回路 3 を共有することで、ゲート制御回路 3 の個数を減らせるからである。

#### 【 0 0 7 2 】

##### 〔 第 8 の実施の形態 〕

次に、本発明の第 8 の実施の形態について図 1 5 及び図 1 6 を用いて説明する。本実施の形態は第 4 の実施の形態または第 7 の実施の形態のゲートドライバ 1 0 を搭載したマトリクス型表示装置 1 5 であり、図 1 5 に示すように複数のゲート線 1 3 と複数のデータ線 1 4 とその交差部に配置された画素素子で構成された画素アレイ（表示部） 1 1 の、複数のゲート線 G 1、G 2、... を前出のゲートドライバ 1 0 の出力 O [ 1 ]、O [ 2 ]、... に接続している。また、ゲートドライバ 1 0 には C L K と X C L K の 2 相のクロック信号を  
10  
入力し、ゲートドライバ 1 0 の初段のシフトレジスタ回路 1 の入力としてスタート信号 S T を入力する。ゲートドライバ 1 0 は図 1 6 に示した波形のように動作し、複数の連続したゲート線 1 3 が同時に選択される（ハイレベルになる）期間を有するオーバーラップ走査を行う。各ゲート線 1 3 の選択期間は、スタート信号 S T のパルス幅によって制御される。また、各ゲート線選択期間の時間差はクロック信号 C L K、X C L K の半周期で制御される。

#### 【 0 0 7 3 】

本実施の形態のマトリクス型表示装置では、ゲート電位の高振幅を有するクロック信号が 2 本と少ないため、高振幅信号を生成するレベルシフト回路の個数を低減し、部材コストを抑えることができる。また、クロック信号線の配線レイアウト面積を小さくすること  
20  
ができ、狭額縁の表示装置が可能となる。

#### 【 0 0 7 4 】

なお、本発明は上記実施の形態に限られたものではなく、本発明の趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、実施の形態に示したトランジスタは N 型に限っているが、P 型トランジスタへ置き換えても良く、それぞれのトランジスタとしては、多結晶シリコントランジスタやアモーフラスシリコントランジスタあるいはシリコン以外の酸化物半導体や有機半導体であっても良い。

#### 【 0 0 7 5 】

本発明は、シフトレジスタ回路及び当該シフトレジスタ回路を備えるゲートドライバ並びに当該ゲートドライバを搭載した表示装置に利用可能である。  
30

#### 【 符号の説明 】

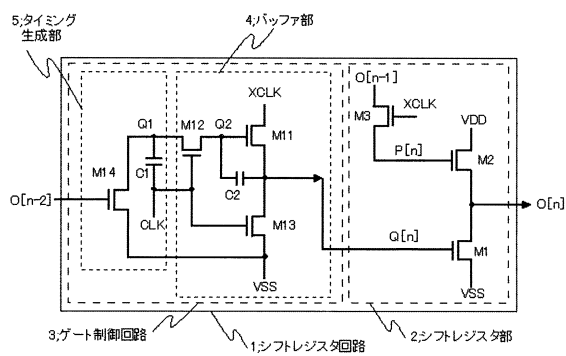
#### 【 0 0 7 6 】

- 1 シフトレジスタ回路
- 2 シフトレジスタ部
- 3 ゲート制御回路
- 4 バッファ部
- 5 タイミング生成部
- 1 0 ゲートドライバ
- 1 1 画素アレイ（表示部）
- 1 2 データドライバ  
40
- 1 3 ゲート線
- 1 4 データ線
- 1 5 マトリクス型表示装置
- C L K、X C L K クロック信号
- V S S 第 1 の電源
- V D D 第 2 の電源
- M 1、M 2、M 3、M 4、M 5、M 1 1、M 1 2、M 1 3、M 1 4、M 1 5、M 1 6、  
M 1 7、M 1 8、M 1 9 トランジスタ
- C 1、C 2 容量
- O [ n ]、O [ n - 1 ]、O [ n - 2 ] シフトレジスタ出力  
50

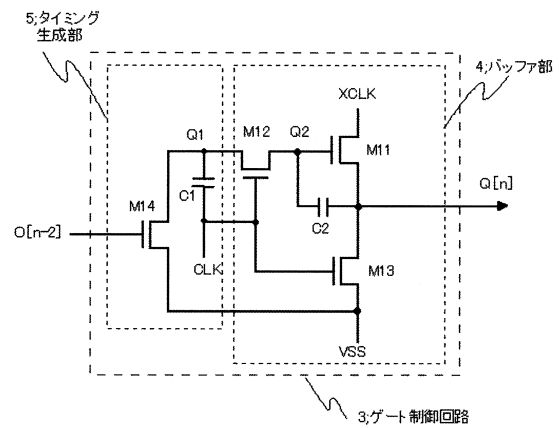


$P[n]$  ブートストラップノード  
 $Q[n]$ 、 $Q[n+1]$  ゲート制御回路出力  
 $ST$  スタート信号  
 $Q2[n]$ 、 $Q2[n+1]$  ゲート制御回路第2の出力

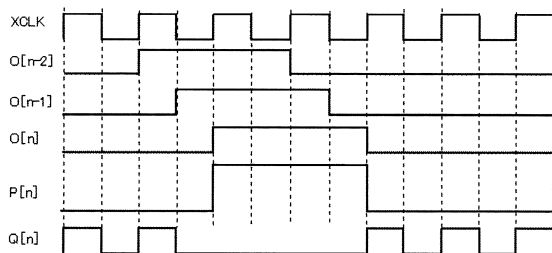
【図1】



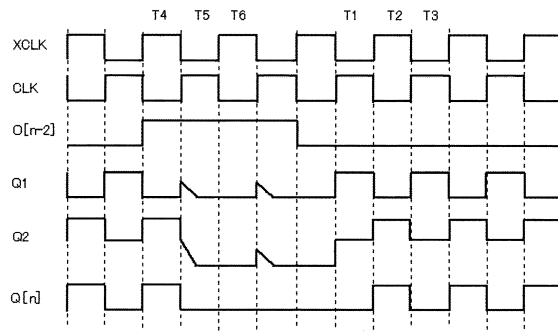
【図3】



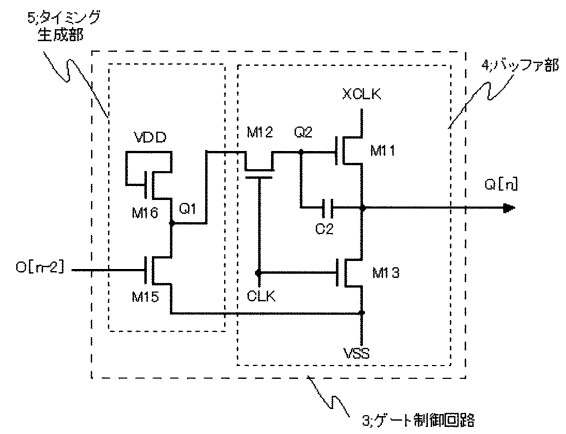
【図2】



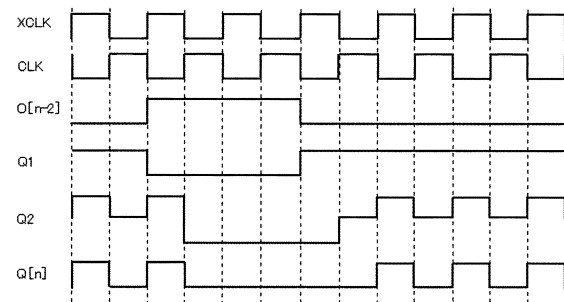
【図 4】



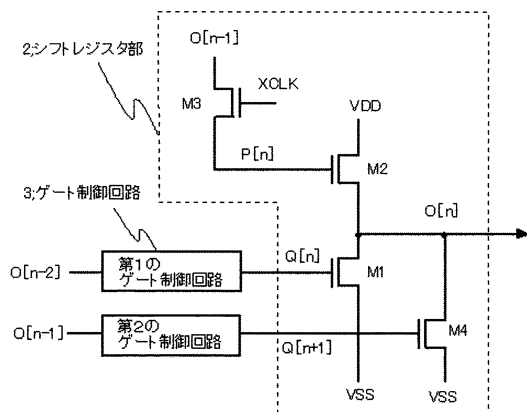
【図 5】



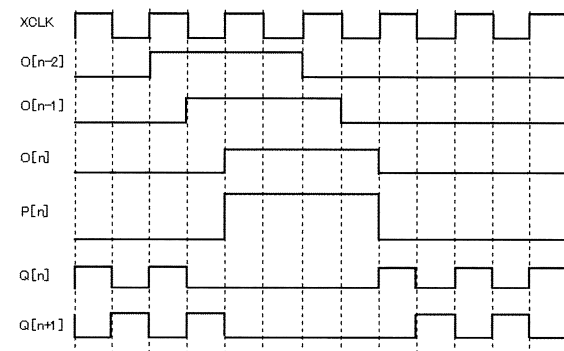
【図 6】



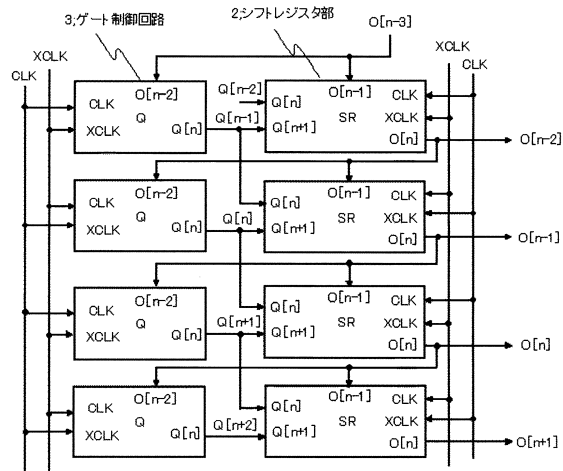
【図 7】



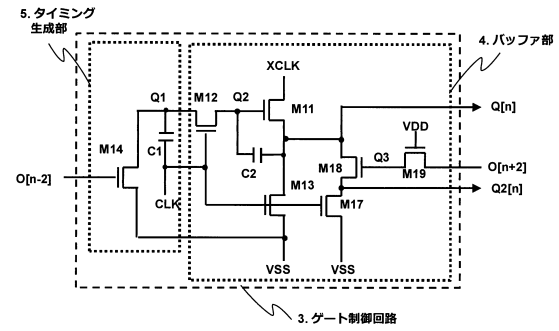
【図 8】



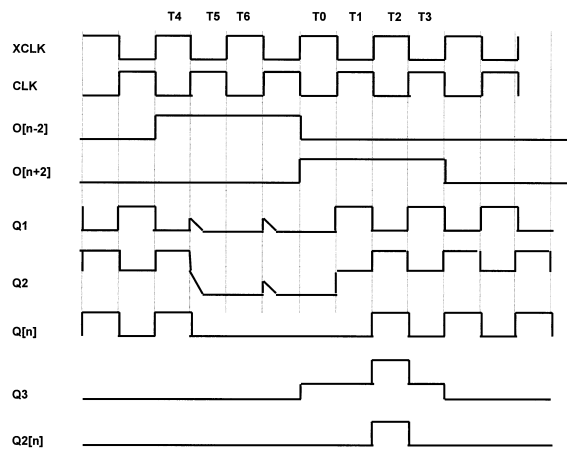
【図 9】



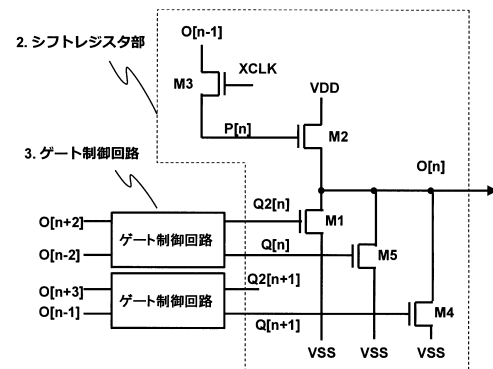
【図 10】



【図 11】



【図 12】





---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 8 0 G  
G 0 9 G 3/20 6 2 2 G

(56)参考文献 特開 2 0 1 3 - 2 1 1 0 8 8 ( J P , A )  
国際公開第 2 0 1 4 / 0 7 3 3 6 2 ( W O , A 1 )  
米国特許出願公開第 2 0 0 8 / 0 2 7 9 3 2 7 ( U S , A 1 )

(58)調査した分野(Int.Cl. , D B 名)  
G 1 1 C 1 9 / 2 8