

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2016-510471

(P2016-510471A)

(43) 公表日 平成28年4月7日 (2016. 4. 7)

(51) Int. Cl.	F I	テーマコード (参考)
G06F 9/50 (2006.01)	G06F 9/46 4 6 2 A	5 B 0 6 0
G06F 12/06 (2006.01)	G06F 12/06 5 1 5 L	
G06F 12/02 (2006.01)	G06F 12/06 5 1 5 J	
	G06F 12/06 5 1 5 H	
	G06F 12/02 5 1 0 A	
審査請求 未請求 予備審査請求 有 (全 28 頁)		

(21) 出願番号 特願2015-556089 (P2015-556089)
 (86) (22) 出願日 平成26年1月29日 (2014. 1. 29)
 (85) 翻訳文提出日 平成27年9月29日 (2015. 9. 29)
 (86) 国際出願番号 PCT/US2014/013468
 (87) 国際公開番号 W02014/120698
 (87) 国際公開日 平成26年8月7日 (2014. 8. 7)
 (31) 優先権主張番号 13/758, 613
 (32) 優先日 平成25年2月4日 (2013. 2. 4)
 (33) 優先権主張国 米国 (US)

(71) 出願人 314015767
 マイクロソフト テクノロジー ライセン
 シング, エルエルシー
 アメリカ合衆国 ワシントン州 9805
 2 レッドモンド ワン マイクロソフト
 ウェイ
 (74) 代理人 100140109
 弁理士 小野 新次郎
 (74) 代理人 100075270
 弁理士 小林 泰
 (74) 代理人 100101373
 弁理士 竹内 茂雄
 (74) 代理人 100118902
 弁理士 山本 修

最終頁に続く

(54) 【発明の名称】 異種メモリの動的管理

(57) 【要約】

コンピューティングデバイスを動作させる方法が、異なるタイプのアプリケーションからのワークロードまたは要求に基づいて、少なくとも2つのタイプのメモリを動的に管理するステップを含む。第1のタイプのメモリは、コンピューティングデバイスにおける第2のタイプのメモリよりも、高い帯域幅、低いメモリ待機時間、および/または低い電力消費を有することができる高性能メモリであってよい。一実施形態において、コンピューティングデバイスは、1つまたは複数のプロセッサコアと共に位置付けられたワイドI/O DRAMを含むシステムオンチップ (SoC) を含む。低電力ダブルデータレート3動的ランダムアクセスメモリ (LPDDR3 DRAM) メモリは、SoCに外部的に接続される、またはSoCの埋め込み部分である。実施形態において、コンピューティングデバイスは、少なくとも、携帯電話、モバイルデバイス、埋め込みシステム、ビデオゲーム、メディアコンソール、ラップトップコンピューター、デスクトップコンピューター、サーバー、および/またはデータセンターに含まれてよい。

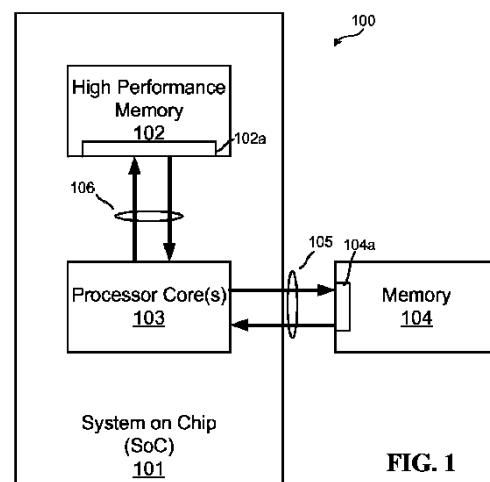


FIG. 1

【特許請求の範囲】**【請求項 1】**

集積回路メモリのタイプを、コンピューティングデバイスによって処理されるアプリケーションに割り当てるための方法であって、

前記コンピューティングデバイスにおいて前記アプリケーションに利用可能な集積回路メモリのタイプを判定するステップであって、利用可能な集積回路メモリの前記タイプが、第 1 のタイプの集積回路メモリおよび第 2 のタイプの集積回路メモリを含む、判定するステップと、

前記第 1 のタイプの集積回路メモリを使用するための、前記アプリケーションからの要求を受信するステップと、

前記アプリケーションからの前記要求に応答して、前記アプリケーションによって使用されるように前記第 1 のタイプの集積回路メモリを割り当てるステップとを含む方法。

【請求項 2】

前記第 1 のタイプの集積回路メモリが、前記第 2 のタイプの集積回路メモリよりも優れている少なくとも 1 つまたは複数の性能特性を有する、請求項 1 に記載の方法。

【請求項 3】

前記第 1 のタイプの集積回路メモリが、前記第 2 のタイプの集積回路メモリよりも、高い帯域幅、低いメモリ待機時間、または低い電力消費のうちの少なくとも 1 つを有する、請求項 1 に記載の方法。

【請求項 4】

前記判定するステップが、メモリ性能特性のリストから、前記第 1 のタイプの集積回路メモリおよび前記第 2 のタイプの集積回路メモリの性能特性にアクセスするステップを含む、請求項 1 に記載の方法。

【請求項 5】

性能特性の前記リストが、インターネットを介して取得され、性能特性の前記リストが、プロセッサ可読フォーマットで記憶される、請求項 1 に記載の方法。

【請求項 6】

前記受信するステップが、前記アプリケーションからの前記要求が前記第 1 のタイプの集積回路メモリを使用するための要求を含むことを指し示す、アプリケーションマニフェスト上の属性情報を読み出すステップを含む、請求項 1 に記載の方法。

【請求項 7】

前記割り当てるステップが、前記コンピューティングデバイスにおける物理メモリ領域へのメモリページの割り当てを管理する、メモリコントローラーの仮想メモリアロケータまたは物理メモリアロケータのうちの少なくとも 1 つに、前記要求を転送するステップを含む、請求項 1 に記載の方法。

【請求項 8】

前記第 1 のタイプの集積回路メモリにおいて、メモリロケーションおよび前記アプリケーションの使用を監視するステップをさらに含む請求項 1 に記載の方法。

【請求項 9】

前記アプリケーションを、前記コンピューティングデバイスにおけるアプリケーションの記憶されたリストと比較するステップをさらに含み、

前記アプリケーションが前記記憶されたリスト上にあることに応答して、前記第 1 のタイプの集積回路メモリを割り当てるステップが、前記アプリケーションによって使用されるように前記第 2 のタイプの集積回路メモリを割り当てるステップに取って代えられ、

前記アプリケーションの使用が前記第 1 のタイプの集積回路メモリの物理メモリ空間を超えることになるとき、前記第 1 のタイプの集積回路メモリを前記割り当てるステップが、前記アプリケーションによって使用されるように前記第 2 のタイプの集積回路メモリを割り当てるステップに取って代えられる、

10

20

30

40

50

請求項 1 に記載の方法。

【請求項 1 0】

前記アプリケーションによってアクセス可能なキャッシュメモリとして前記第 1 のタイプの集積回路メモリを割り当てるステップをさらに含む請求項 1 に記載の方法。

【請求項 1 1】

前記判定するステップが、前記第 1 のタイプの集積回路メモリおよび前記第 2 のタイプの集積回路メモリへの前記集積回路メモリに関する情報を求める要求を開始するステップを含み、前記集積回路メモリに関する前記情報が、メモリ構成または電力管理のうちの 1 つから選択される、請求項 1 に記載の方法。

【請求項 1 2】

1 つまたは複数のプロセッサと、
第 1 の性能特性を有する第 1 のプロセッサ可読メモリ、および第 2 の性能特性を有する第 2 のプロセッサ可読メモリであって、前記第 1 の性能特性が前記第 2 の性能特性よりも優れている、第 1 のプロセッサ可読メモリおよび第 2 のプロセッサ可読メモリと、

1 つまたは複数のソフトウェアアプリケーションと、
プロセッサ可読命令を含むオペレーティングシステムと
を含む装置であって、

前記 1 つまたは複数のプロセッサが、前記オペレーティングシステムの前記プロセッサ可読命令を実行して、

1 つまたは複数のソフトウェアアプリケーションが前記第 1 のプロセッサ可読メモリの使用を要求するかどうかを判定し、

前記 1 つまたは複数のソフトウェアアプリケーションが使用するプロセッサ可読メモリの量を判定し、

前記第 1 のプロセッサ可読メモリの使用を求める要求、および前記 1 つまたは複数のソフトウェアアプリケーションが使用するプロセッサ可読メモリの前記量に応答して、前記 1 つまたは複数のソフトウェアアプリケーションのうちの少なくとも 1 つに、前記第 1 のプロセッサ可読メモリへのアクセスを許可する、
装置。

【請求項 1 3】

前記第 1 の性能特性および前記第 2 の性能特性が、帯域幅、メモリ待機時間、または電力消費のうちの 1 つから選択される、請求項 1 2 に記載の装置。

【請求項 1 4】

前記 1 つまたは複数のプロセッサおよび第 1 のプロセッサ可読メモリが、第 1 のパッケージによって収容される単一の半導体ダイに集積され、前記第 2 のプロセッサ可読メモリが、第 2 のパッケージによって収容される第 2 の半導体ダイに含まれる、請求項 1 2 に記載の装置。

【請求項 1 5】

前記 1 つまたは複数のプロセッサが、第 1 の半導体ダイに含まれ、前記第 1 のプロセッサ可読メモリが、第 2 の半導体ダイに含まれ、前記第 1 のダイおよび前記第 2 のダイが、第 1 のパッケージによって収容され、前記第 2 のプロセッサ可読メモリが、第 2 のパッケージによって収容される第 3 の半導体ダイに含まれる、請求項 1 2 に記載の装置。

【発明の詳細な説明】

【背景技術】

【0001】

[0001] オペレーティングシステム (OS) は、コンピュータハードウェアリソースを管理するプロセッサ可読命令を含み、アプリケーションプログラム (アプリケーション) などのプロセッサ可読命令を有する他のコンピューティングプログラムに、共通のサービスを提供する。通常、OS は、アプリケーションとコンピュータハードウェアとの間の仲介としての役割を果たす。OS は、通常、コンピューティングリソースの効率的な使用のためのタスクをスケジュールする。OS は、通常、キーボードからの入力を認識する、ディ

10

20

30

40

50

スプレイスクリンに出力を送る、ファイルおよびディレクトリの経過を追う、ならびにプリンターおよびディスクドライブなどの周辺デバイスを制御するなどの、基本タスクを実施する。

【発明の概要】

【課題を解決するための手段】

【0002】

[0002] コンピューティングデバイスを動作させる方法が、異なるタイプのアプリケーションからのワークロードまたは要求に基づいて、少なくとも2つのタイプのメモリ（異種メモリ）を動的に管理するステップを含む。第1のタイプのメモリは、コンピューティングデバイスにおける第2のタイプのメモリよりも、高い帯域幅、低いメモリ待機時間（latency）、摩耗（wear-out）前の多い書き込み数、および/または低い電力消費を有することができる高性能メモリであってよい。一実施形態において、コンピューティングデバイスは、1つまたは複数のプロセッサコアに隣接して位置付けられたワイドI/O DRAM（より高性能なメモリの例）を含むシステムオンチップ（SoC: system on a chip）を含む。低電力ダブルデータレート3動的ランダムアクセスメモリ（LPDDR3 DRAM: Low Power Double Data Rate 3 dynamic random access memory）メモリ（従来のメモリの例）が、内部的または外部的のいずれかでSoCに接続される。実施形態において、コンピューティングデバイスは、少なくとも、携帯電話、モバイルデバイス、埋め込みシステム、ビデオゲームコンソール、メディアコンソール、ラップトップコンピューター、デスクトップコンピューター、サーバー、および/またはデータセンターに含まれてよい。

10

20

【0003】

[0003] 一実施形態において、OSは、より高性能なメモリを、特定のワークロードまたは機能（たとえば、レイトレーシング、フレーム/ビデオバッファリング、NUI（ナチュラルユーザーインターフェイス）データバッファリング）を有する一定のアプリケーションに割り当てる。OSは、新しいデータがより高性能なメモリを占有する必要があるときには、より高性能なメモリからデータを転送することができる。OSおよび1つまたは複数のプロセッサは、メモリコントローラ論理ハードウェアおよび/またはソフトウェアと共に、データ完全性を維持するためのエラー訂正もまた実施する。異なるタイプのメモリの能力および/または性能特性を判定する目的のために、メモリ特性のオンライン（web）プロセッサ可読カタログが、OSによってアクセスされてよい。

30

【0004】

[0004] 一実施形態において、アプリケーションは、特定のアプリケーションが高性能メモリの使用から利益を得ることをOSに指示する属性フラグまたは属性情報を、アプリケーションマニフェストに有する。要求するアプリケーションがアプリケーションマニフェスト上にないとき、または要求するアプリケーションが利用可能であるよりも多い量の高性能メモリを要求するとき、OSは、高性能メモリへのアクセスを許可しなくてもよい。一実施形態において、OSは、アプリケーションの実行を監視し、メモリロケーションアクセスおよび使用パターンの経過を追う。実施形態において、OSは、属性フラグまたは属性情報を、メモリコントローラまたはメモリマネージャーなどの、仮想メモリアロケータまたは物理メモリアロケータに渡すことができる。

40

【0005】

[0005] 一実施形態において、高性能メモリは、仮想キャッシュメモリ、またはキャッシュメモリとして使用されてよい。

[0006] OSまたはメモリコントローラはまた、実施形態において、メモリ動作の詳細を取得するために異なるタイプのメモリを問い合わせるだけでなく、健全性および性能情報について定期的に異なるタイプのメモリを問い合わせることができる。OSまたはメモリコントローラはまた、異なるタイプのメモリの電力消費状態を管理することができる。

50

【 0 0 0 6 】

【0007】方法の実施形態が、メモリのタイプを、コンピューティングデバイスによって処理されるアプリケーションに割り当てる。方法は、コンピューティングデバイスにおいて利用可能な集積回路メモリのタイプを判定するステップを含む。利用可能な集積回路メモリのタイプは、第1の高性能タイプのメモリと、第2のタイプの高性能メモリではないメモリとを含む。高性能メモリを使用するための、アプリケーションからの要求が受信される。要求に応答して、高性能メモリがアプリケーションに割り当てられる。

【 0 0 0 7 】

【0008】装置の実施形態が、1つまたは複数のプロセッサと、第1の性能特性を有する第1のプロセッサ可読メモリとを含む。装置はまた、第2の性能特性を有する第2のプロセッサ可読メモリを含む。第1の性能特性は、第2の性能特性よりも優れている。1つまたは複数のプロセッサは、OSのプロセッサ可読命令を実行して、1つまたは複数のソフトウェアアプリケーションが第1のプロセッサ可読メモリの使用を要求するかどうか、および1つまたは複数のアプリケーションが使用するプロセッサ可読メモリの量を判定する。1つまたは複数のプロセッサは、OSのプロセッサ可読命令を実行して、第1のプロセッサ可読メモリの使用を求める要求、および1つまたは複数のアプリケーションが使用するプロセッサ可読メモリの量に応答して、1つまたは複数のアプリケーションのうちの少なくとも1つに、第1のプロセッサ可読メモリへのアクセスを許可する。

【 0 0 0 8 】

【0009】別の実施形態において、1つまたは複数のプロセッサ可読メモリデバイスが、実行されるときに、1つまたは複数のプロセッサに、高性能メモリをアプリケーションに割り当てる方法を実施させる命令を含む。高性能メモリを使用するためのアプリケーションからの要求、およびアプリケーションが使用することになるメモリの量が受信される。利用可能である高性能メモリの量について判定がなされる。アプリケーションが使用することになるメモリの量、および利用可能な高性能メモリの量に応答して、アプリケーションは、高性能メモリを割り当てられる。

【 0 0 0 9 】

【0010】本概要は、詳細な説明において以下でさらに説明される概念の選択を、簡略化された形式において導入するために提供される。本概要は、特許請求される主題の重要な特徴または必須の特徴を識別するには意図されず、特許請求される主題の範囲を特定する補助として使用されることも意図されない。

【 図面の簡単な説明 】

【 0 0 1 0 】

【図1】【0011】コンピューティングデバイスの例示的なハードウェアアーキテクチャの高レベルブロック図である。

【図2】【0012】異なるタイプのメモリにアクセスするための例示的なソフトウェアアーキテクチャの高レベルブロック図である。

【図3A】【0013】異なるタイプのメモリにアクセスするための例示的なOSアーキテクチャの高レベルブロック図である。

【図3B】【0014】例示的な異種メモリの動的管理ソフトウェアの高レベルブロック図である。

【図4】【0015】異なるタイプのメモリを1つまたは複数のアプリケーションに割り当てるための例示的な方法の流れ図である。

【図5A】【0016】高性能メモリを仮想キャッシュとして使用するための例示的な方法の流れ図である。

【図5B】【0017】高性能メモリをキャッシュとして使用するための例示的な方法の流れ図である。

【図6A】【0018】構成、性能、および健全性を含むメモリ情報を取得するために、異なるタイプのメモリをクエリするための例示的な方法の流れ図である。

【図6B】【0019】異なるタイプのメモリ電力を管理するための例示的な方法の流れ図であ

10

20

30

40

50

る。

【図 7】[0020]例示的なゲーミングおよびメディアシステムの等角図である。

【図 8】[0021]図 7 に示されたゲーミングおよびメディアシステムのコンポーネントの例示的な機能ブロック図である。

【発明を実施するための形態】

【0011】

[0022] SoC (SoC としてもまた知られている) は、コンピューティングデバイスまたは他の電子システムの、電子コンポーネントおよび / またはサブシステムを、単一のパッケージ内に収容される単一の半導体基板および / または単一のチップに集積した、集積回路 (IC) である。たとえば、以前はパーソナルコンピュータ (PC) のメモリモジュールサブシステムにあったメモリは、現在は、SoC に含まれてもよい。同様に、メモリ制御論理は、別々にパッケージされたメモリコントローラーにではなく、SoC のプロセッサに含まれてもよい。

10

【0012】

[0023] SoC の 1 つまたは複数のプロセッサはまた、異なるタイプのメモリ特性を有する異なるタイプのメモリにアクセスすることができる。メモリ特性または性能パラメータは、限定はされないが、帯域幅、メモリ待機時間、電力消費、摩耗前の書き込み数、および / または熱発生を含むことができる。より高い帯域幅を有する (または、時間周期ごとに、他のメモリよりも多くのデータを送信もしくは受信することができる) メモリなどの高性能メモリは、より高価であってよく、特定の高性能特性を有さないメモリほどには利用可能でないことがある。

20

【0013】

[0024] 図 1 は、コンピューティングデバイスの実施形態の例示的なハードウェアアーキテクチャの高レベルブロック図である。実施形態において、コンピューティングデバイス 100 は、少なくとも、携帯電話、モバイルデバイス、埋め込みシステム、ビデオゲームコンソール、メディアコンソール、ラップトップコンピューター、デスクトップコンピューター、サーバー、および / またはデータセンターに含まれてよい。

【0014】

[0025] コンピューティングデバイス 100 は、一実施形態において、SoC 101 と、メモリ 104 とを含む。SoC は、コンピューティングデバイスまたは他の電子システムのコンポーネントを、単一のチップまたは半導体基板に集積した IC である。SoC 101 は、1 つまたは複数のプロセッサコア 103 と、高性能メモリ 102 とを含む。プロセッサコア 103 は、内部信号経路 106 を用いて、高性能メモリ 102 と通信する。一実施形態において、高性能メモリ 102 は、信号経路 106 に結合されたインターフェイス 102a を含む。プロセッサコア 103 はまた、外部信号経路 105 を用いて、外部メモリ 104 と通信する。一実施形態において、信号経路 106 および 105 は、OS、および SoC 101 内の埋め込みメモリコントローラーによって制御される別々の信号経路である。

30

【0015】

[0026] 一実施形態において、メモリ 104 は、SoC 101 の外部にあり、マザーボードなどのプリント回路板上の、メモリモジュールまたははんだ付けコンポーネントとして構成されてよい。一実施形態において、メモリ 104 は、プリント回路板上の少なくともトレースまたは信号線を含む信号経路 105 に結合されたインターフェイスを含む。一実施形態において、SoC 101 はまた、信号経路 105 を含む同じプリント回路板に結合される。

40

【0016】

[0027] 当業者が認めるように、他の電子コンポーネントが SoC 101 に含まれてもよい。SoC 101 は、デジタル回路、アナログ回路、混合信号回路、および / または無線周波数回路のうちの 1 つまたは複数、単一の半導体基板上に含むことができる。SoC 101 は、発振器、位相ロックループ、カウンタタイマー、リアルタイムタイマー、電

50

源オンリセット生成器、外部インターフェイス（たとえば、ユニバーサルシリアルバス（USB）、IEEE 1394インターフェイス（ファイヤーワイヤー）、イーサネット（登録商標）、ユニバーサル非同期受信機/送信機（USART: Universal Asynchronous Receiver/Transmitter）、およびシリアル周辺バス（SPI: Serial Peripheral Bus）、アナログインターフェイス、電圧調整器、および/または電力管理回路を含むことができる。

【0017】

[0028]代替実施形態において、SoC 101は、システムインパッケージ（SiP: System in package）、またはパッケージオンパッケージ（PoP: package on package）に取って代えられてもよい。SiPにおいては、複数のチップまたは半導体基板が、単一のパッケージに収容される。SiP実施形態において、プロセッサコア103は、1つの半導体基板上にあることになり、高性能メモリ102は、第2の半導体基板上にあることになり、両方が、単一のパッケージに収容されることになる。一実施形態において、第1の半導体基板は、ワイヤーボンディングによって第2の半導体基板に結合されることになる。

【0018】

[0029]PoP実施形態においては、プロセッサコア103は、第1のパッケージに収容される1つの半導体ダイ上にあることになり、高性能メモリ102は、第2の異なるパッケージに収容される第2の半導体ダイ上にあることになる。第1のパッケージおよび第2のパッケージは次いで、標準インターフェイスでスタックされて、パッケージ間で、特に半導体ダイの間で信号をルーティングすることができる。スタックされたパッケージは次いで、一実施形態において、コンポーネントとしてのメモリ104を有するプリント回路板に結合されてよい。

【0019】

[0030]実施形態において、プロセッサコア103は、メモリに記憶されたプロセッサ（またはマシン）可読命令を実行する（または読み出す）1つまたは複数のプロセッサを含む。プロセッサ可読命令の例は、コンピューティングデバイス100のための、OSおよび/またはアプリケーションソフトウェアプログラム（アプリケーション）（図2に示されるOS 205およびアプリケーション202~204など）を含むことができる。プロセッサコア103は、OSおよびアプリケーションのプロセッサ可読命令の実行にตอบสนองして、高性能メモリ102およびメモリ104を使用する。一実施形態において、プロセッサコア103は、プロセッサおよびメモリコントローラーを含むことができ、または代替的に、メモリコントローラーによって同様に実施されるメモリ管理機能もまた実施するプロセッサを含んでもよい。プロセッサコア103はまた、コントローラー、中央処理ユニット（CPU）、グラフィックス処理ユニット（GPU）、デジタル信号プロセッサ（DSP）、および/またはフィールドプログラマブルゲートアレイ（FPGA）を含むことができる。一実施形態において、高性能メモリ102は、プロセッサコア103の上部に位置付けられる。

【0020】

[0031]一実施形態において、高性能メモリ102は、帯域幅、メモリ待機時間、熱発生、摩耗前の書き込み数、および/または電力消費などの、少なくとも1つまたは複数のメモリ特性を有し、そのメモリ特性は、性能においてメモリ104よりも優れている。たとえば、高性能メモリ102は、メモリ104よりも高い帯域幅を有するワイドI/O DRAMであってよい。メモリ104は、低電力ダブルデータレート3動的ランダムアクセスメモリ（LPDDR3 DRAM）メモリ（低電力DDR、モバイルDDR（MDDR）またはmDDRとしても知られる）であってよい。一実施形態において、メモリインターフェイス102aは、信号経路106上で信号を送受信するワイドI/O DRAMインターフェイスであり、一方、メモリインターフェイス104aは、信号経路105上で信号を送受信するLPDDR3 DRAMインターフェイスである。

【0021】

[0032]実施形態において、高性能メモリ102およびメモリ104は、別々の半導体基板上に配置されたICにおいて、メモリセルの1つまたは複数のアレイを含む。一実施形態において、高性能メモリ102およびメモリ104は、別々にパッケージされたデバイスに収容されたそれぞれの集積モノリシック回路に含まれる。実施形態において、高性能メモリ102およびメモリ104は、揮発性および/または不揮発性メモリを含むことができる。

【0022】

[0033]揮発性メモリのタイプには、動的ランダムアクセスメモリ(DRAM)、分子電荷ベース(molecular charge-based)の(ZettaCore)DRAM、フローティングボディDRAM、および静的ランダムアクセスメモリ(「SRAM」)が含まれるが、これらに限定はされない。特定のタイプのDRAMは、ダブルデータレートSDRAM(「DDR」)、または後世代SDRAM(たとえば、「DDRn」)を含む。

10

【0023】

[0034]不揮発性メモリのタイプには、電氣的に消去可能なプログラム読み出し専用メモリ(「EEPROM」)、FLASH(NANDおよびNOR FLASHを含む)、ONOFFRASH、磁気抵抗または磁気RAM(「MRAM」)、強誘電体(ferroelectric)RAM(「FRAM(登録商標)」)、ホログラフィックメディア、オボニック/相変化(ovonic/phase change)、ナノ結晶体、ナノチューブRAM(NRAM-Nantero)、MEMS走査プローブシステム、MEMS 20
カンチレバー(cantilever)スイッチ、ポリマー、分子、ナノフローティングゲート、および単一電子のタイプが含まれるが、これらに限定はされない。

20

【0024】

[0035]実施形態において、信号経路105/106は、信号を転送するメディアであり、たとえば、相互接続、伝導要素、接触子、ピン、半導体基板における領域(region)、ワイヤー、金属トレース/信号線、または光電導体の単独または組合せである。一実施形態において、複数の信号経路が、図に示された単一の信号経路に取って代わってもよく、単一の信号経路が、図に示された複数の信号経路に取って代わってもよい。実施形態において、信号経路は、バスおよび/またはポイントツーポイント接続を含むことができる。一実施形態において、信号経路は、制御信号線およびデータ信号線を含む。代替実 30
施形態において、信号経路は、データ信号線または制御信号線を含む。さらに他の実施形態において、信号経路は、単方向(一方向に移動する信号)、または双方向(2方向に移動する信号)、あるいは単方向信号線および双方向信号線の両方の組合せである。

30

【0025】

[0036]図2は、異なるタイプのメモリにアクセスするための例示的なソフトウェアアーキテクチャ200の高レベルブロック図である。OS205、および特に異種メモリの動的管理(DMHM:dynamic management of heterogeneous memory)308が、機能の中でもとりわけ、どのアプリケーション202~204が高性能メモリ208を割り当てられ、どのアプリケーション202~204がメモリ209を割り当てられるかを判定する。実施形態において、高性能メモリ208 40
は、本明細書で説明され図1に示された高性能メモリ102に対応し、メモリ209は、本明細書で説明され図1に示されたメモリ104に対応する。DMHM308は、アプリケーション202~204のうちの1つが属性フラグまたは属性情報を用いて高性能メモリを要求したかどうかにも基づいて、アプリケーション202~204のうちのどれが高性能メモリ208にアクセスできることになるかを判定する。特定のアプリケーションが特定のメモリタイプ(高性能メモリ208か、メモリ209のどちらか)を割り当てられることになるという判定がなされると、適切なデバイスドライバ206が、OS205と共に使用される。

40

【0026】

[0037]OS205、特にDMHM308はまた、電力制御インターフェイス(ACPI 50

50

: advanced configuration and power interface) ドライバー、レジスタ、基本入力/出力システム (BIOS) およびテーブル (ひとまとめにして ARBT) 207 を使用して、本明細書で詳細に説明されるように、高性能メモリ 208 およびメモリ 209 の健全性、電力、および性能の監視などの、他の機能を実施する。ACPI ドライバーは、メモリなどのハードウェアコンポーネントを発見し、構成し、電力管理し、監視する。たとえば、OS 205 は、使用されていないときの周辺デバイスをオフにするために、ACPI ドライバーを使用することができる。BIOS は、入力および出力動作を制御するファームウェアにおける一組のコンピューター命令であり、これは通常、不揮発性メモリに記憶される。一実施形態において、ACPI ドライバーは、OS 205 に、BIOS と通信して、BIOS に周辺機器の電力を落とすよう命令することを許可する。

10

【0027】

[0038] 図 3 A は、異なるタイプのメモリにアクセスするための OS アーキテクチャ 300 の高レベルブロック図である。一実施形態において、OS 205 は、図 3 A に示されるソフトウェアコンポーネントのうちの 1 つまたは複数を含む。一実施形態において、ソフトウェアコンポーネントは、ソフトウェアプログラム、ソフトウェアオブジェクト、ソフトウェア関数、ソフトウェアサブルーチン、ソフトウェアメソッド、ソフトウェアインスタンス、スクリプト、および/またはコードフラグメントを、単独で、または組み合わせで含むことができる。たとえば、OS 205 は、プロセス管理 301、メモリ管理 302、I/O デバイス管理 303、ファイル管理 304、ネットワーク管理 305、ユーザーインターフェイス 306、および保護 307 のうちの 1 つまたは複数を含む。さまざまな OS ソフトウェアコンポーネントによって実施され得る 1 つまたは複数の例示的な機能が、以下で説明される。代替実施形態において、より多い、もしくはより少ないソフトウェアコンポーネント、および/または以下で説明されるソフトウェアコンポーネントの機能が使用されてもよい。

20

【0028】

[0039] 実施形態において、OS 205 の少なくとも一部は、プロセッサ可読メモリデバイスに記憶される。一実施形態において、OS 205 の少なくとも一部は、図 1 に示された高性能メモリ 102 および/またはメモリ 104 に記憶される。

【0029】

[0040] プロセス管理 301 は、ユーザープロセスおよびシステムプロセスを作成し、削除することを担当する。プロセス管理 301 は、プロセスの中断および再開もまた担当することができる。プロセス管理 301 は、プロセスの同期および通信もまた担当する。プロセス管理 301 は、デッドロック処理もまた担当する。

30

【0030】

[0041] メモリ管理 302 は、特定のソフトウェアコンポーネントまたはアプリケーションによって、異なるタイプのメモリにおいてメモリのどの部分が現在使用されているかの経過を追うことを担当する。メモリ管理 302 はまた、メモリ空間が利用可能になるときに、どのプロセスがメモリにロードされるのかを決める。メモリ管理はまた、必要に応じて、メモリ空間を割り当て、割り当てを解除する。

40

【0031】

[0042] 一実施形態において、異種メモリの動的管理 (DMHM) 308 は、メモリ管理 302 に含まれる。DMHM 308 は、利用可能なメモリのタイプを判定する、特定のタイプのメモリを特定のアプリケーションに割り当てる、アプリケーションのメモリ使用を監視する、エラー検出および訂正を実施する、利用可能なキャッシュを判定する、メモリを実際のキャッシュまたは仮想キャッシュとして使用する、メモリの性能、健全性、および構成を監視する、および異なるタイプのメモリの電力を管理することを担当するが、これらに限定はされない。一実施形態において、DMHM 308 の機能のうちの 1 つまたは複数を実施するためのソフトウェアコンポーネントが、図 3 B に示される。

【0032】

50

[0043]一実施形態において、DMHM308は、図3Bに示されるように、メモリタイプ310、割り当て311、使用監視312、検出およびエラー訂正313、キャッシュ管理314、性能、健全性および構成監視315、ならびに/または、電力管理316のソフトウェアコンポーネントのうちの1つまたは複数を含む。

【0033】

[0044]メモリタイプ310は、コンピューティング環境において何のタイプのメモリが利用可能であるかを判定することを担当する。一実施形態において、メモリタイプ310は、コンピューティング環境をクエリして、何のタイプのメモリが利用可能であるかを判定する。一実施形態において、メモリタイプ310は、いずれかの高性能メモリが利用可能であるかどうかを判定する。一実施形態において、メモリタイプ310は、コンピューティングデバイス100などのコンピューティング環境において、リストされたアプリケーションに関連付けられたメモリのタイプについての能力および/または性能特性を判定する目的のために、インターネットを介して、アプリケーション特性のオンライン(web)カタログにアクセスする。特定のメモリが、所定の閾値よりも高い帯域幅を有するなど、アプリケーションに適切な一定の能力および/または性能特性を有するとき、メモリタイプ310は、特定のメモリを、高性能メモリとして指定することになる。メモリが所定の閾値を満たす特定の能力および/または性能特性を有さないとき、メモリタイプ310は、そのメモリを高性能として指定しない。一実施形態において、メモリ能力および/または性能特性のオンラインカタログは、新しいメモリデバイスが利用可能になると、更新/修正される。一実施形態において、OSは、メモリ識別と関連させてメモリの性能特性を追跡および測定し、測定された性能特性を、インターネットを介してオンラインカタログにアップロードする。一実施形態において、ユーザーが、ジェスチャ、タッチ、または音声を用いて、コンソール1002に入力することができる。一実施形態において、光学I/Oインターフェイス1135が、ユーザーのジェスチャを受信し、変換する。別の実施形態において、コンソール1002が、ユーザーからの音声およびジェスチャ入力を受信し、変換するためのナチュラルユーザーインターフェイス(NUI)を含む。代替実施形態において、フロントパネル・サブアセンブリ1142が、ユーザーの音声コマンドなどのタッチまたは音声を受信し、変換するためのタッチサーフェスおよびマイクロフォンを含む。なおさらなる実施形態において、メモリ能力および/または性能特性のカタログは、永続的なメモリにローカルに記憶される。

【0034】

[0045]割り当て311は、高性能メモリなどの特定のタイプのメモリを、高性能メモリを要求している可能性のある特定のアプリケーションに割り当ててを担当する。一実施形態において、高性能メモリから利益を得ることができるアプリケーションは、高性能メモリを要求する属性フラグまたは属性情報を有する。割り当て311は、アプリケーションを特定のタイプのメモリに指定する前に、属性情報を確認する。一実施形態において、割り当て311は、アプリケーションのための属性情報のリストを含み、リストにおける特定のアプリケーションのための記憶された属性情報を、アプリケーションのマニフェストにあり得る属性情報と比較する。

【0035】

[0046]一実施形態において、割り当て311は、属性情報を仮想メモリアロケーターに渡すことができ、仮想メモリアロケーターは、物理メモリ領域(area)へのメモリページの割り当てを管理する。別の実施形態において、割り当て311は、メモリコントローラーを介して、属性情報を物理メモリアロケーターに渡すことができる。

【0036】

[0047]一実施形態において、割り当て311は、高性能メモリを要求している特定のアプリケーションが使用することになるメモリの量を判定し、高性能メモリの十分な量が利用可能でないときには、要求を拒否することになる。別の実施形態において、割り当て311は、すべての稼働中または実行中のアプリケーションのランタイム優先度を比較し、一実施形態において、高性能メモリがより高い優先度のアプリケーションにマップされる

ときには、要求を拒否することになる。

【 0 0 3 7 】

[0048]一実施形態において、割り当て 3 1 1 はまた、高性能メモリを要求するアプリケーションをリストと比較して、アプリケーションを高性能メモリに割り当てるかどうかを判定する。一実施形態において、割り当て 3 1 1 は、一定のアプリケーションがより高性能なメモリにアクセスするのを防ぐ目的のために、ブラックリストされたアプリケーションのリストを含む。代替として、割り当て 3 1 1 は、アプリケーションの属性情報が高性能メモリを要求していなくても、より高性能なメモリを使用することができるホワイトリストされたアプリケーションのリストを含む。アプリケーションのこのリストは、割り当て 3 1 1 にローカルに存在してもよく、またはインターネットを介してオンラインでアクセス可能な、プロセッサ可読形式の別の場所に存在し、更新されてもよい。一実施形態において、適切な属性情報を有さないために高性能メモリを指定されていない、またはアプリケーションがブラックリスト上にあるためにブロックされているアプリケーションは、高性能ではないメモリを指定されることになる。

10

【 0 0 3 8 】

[0049]より高性能なメモリは、より速い（より大きい帯域幅、より低いメモリ待機時間）だけでなく、よりよい電力効率であり得るので、コンピューティングデバイスがよりよい電力効率であり得るように、高性能メモリが利用可能であるときには、アプリケーションが適切な属性情報を有さないときでさえ、一定のアプリケーションは、高性能メモリを割り当てられる。

20

【 0 0 3 9 】

[0050]使用監視 3 1 2 は、特定のタイプのメモリを指定されているアプリケーションのメモリ使用を監視することを担当する。使用監視 3 1 2 は、メモリの量がコンピューティング環境において利用可能な物理的に利用可能なメモリを超えないように、使用されているメモリの量を監視する。使用監視 3 1 2 はまた、割り当て 3 1 1 がアプリケーションを高性能メモリに割り当てることができるように、いつ高性能メモリが利用可能であるかを識別する。一実施形態において、使用監視 3 1 2 は、メモリコントローラーまたはドライバを使用して、特定のアプリケーションが使用する高性能メモリの量を管理し、追跡する。一実施形態において、使用監視 3 1 2 は、アクセスされたメモリのアプリケーションの使用の概要をまとめ、アプリケーションの使用の概要を、永続的なメモリに記憶することができ、場合によっては、記憶された情報を、インターネットを介してオンラインカタログにアップロードする。

30

【 0 0 4 0 】

[0051]エラー検出および訂正 3 1 3 は、特定のアプリケーションが割り当てられたタイプのメモリを使用するときのエラーを検出し、訂正することを担当する。さまざまな実施形態において、異なるタイプの検出方法およびエラー訂正方法が使用されてよい。たとえば、ハッシュ関数法またはチェックサム法が使用されてよい。別の実施形態においては、エラー訂正コード（ECC）または前方エラー訂正（FEC）法においてパリティビット法が使用されてもよい。

【 0 0 4 1 】

[0052]キャッシュ管理 3 1 4 は、高性能メモリを、1つまたは複数のプロセッサのためのキャッシュとして使用することを担当する。代替実施形態において、キャッシュ管理 3 1 4 は、高性能メモリを仮想キャッシュとして使用する。

40

【 0 0 4 2 】

[0053]一実施形態において、高性能メモリは、L 1 / L 2 / L 3 キャッシュメモリのための、仮想化された保持空間または仮想キャッシュを作成するために使用される。これは、キャッシュメモリがより大きくなるのを可能にし、L 1 / L 2 / L 3 キャッシュメモリがそれ自体の目的のために利用可能なメモリ空間をプールするのを許可する。一実施形態において、キャッシュ管理 3 1 5 は、推測フェッチング（speculative fetching）を使用して、L 1 / L 2 / L 3 キャッシュメモリによって使用されそうな

50

データを、高性能メモリ（仮想キャッシュ）に記憶する。

【 0 0 4 3 】

[0054] キャッシュ管理 3 1 5 は、仮想キャッシュメモリ帯域幅（速度）が典型的な L 1 / L 2 / L 3 キャッシュ帯域幅よりも遅いことを考慮に入れる。一実施形態において、より高性能なメモリへのデータを推測的に先読みするための軽減方法が使用される。キャッシュ管理 3 1 5 はまた、L 1 / L 2 / L 3 キャッシュにフィードされるために、いつ高性能メモリからデータがなくなるのかを識別する。

【 0 0 4 4 】

[0055] 代替実施形態において、より高性能なメモリは、より高いレベルのキャッシュとして使用される。たとえば、ワイド I / O D R A M は、S o C 1 0 1 における L 3 キャッシュよりも高いレベルのキャッシュの役割を果たし、したがって、性能を押し上げるためのタスクを実施することになる。

【 0 0 4 5 】

[0056] 性能、健全性および構成監視（性能監視）3 1 5 は、特定のタイプのメモリの、帯域幅、健全性などの性能、およびメモリランクなどの構成を監視することを担当する。一実施形態において、性能監視 3 1 5 は、電源投入時および / または定期的に、各タイプのメモリをクエリして、帯域幅および / または熱などのメモリの詳細を取得する。一実施形態において、性能監視 3 1 5 はまた、電源投入時に、特定のメモリ構成について異なるタイプのメモリをクエリすることになる。一実施形態において、性能監視 3 1 5 は、図 2 に示されたような A C P I ドライバーを使用して、さまざまなメモリタイプの性能、健全性、および構成を監視する。一実施形態において、性能監視 3 1 5 は、環境的なパラメータに関連した特定のメモリの健全性プロファイルをまとめて、そのような健全性プロファイルを、インターネットを介してオンラインカタログに定期的にアップロードする。

【 0 0 4 6 】

[0057] 電力管理 3 1 6 は、異なるタイプのメモリの電力を管理することを担当する。一実施形態において、電力管理 3 1 6 は、管理可能な電力を有するメモリタイプの電力を管理する。一実施形態において、電力管理 3 1 6 は、そのステータスおよび / または構成に応じて、異なるタイプのメモリに提供される電力の量を、削減する、および / または増加させることになる。一実施形態において、プロセッサコア 1 0 3 における埋め込みメモリコントローラーが、高性能メモリ 1 0 2 に適用される電力を管理することになる。一実施形態において、電力管理 3 1 6 は、図 2 に示されたような A C P I ドライバーを使用して、さまざまなメモリタイプの電力を管理する。

【 0 0 4 7 】

[0058] D M H M 3 0 8 は、O S 2 0 5 において実装されているように説明されるが、代替実施形態においては、D M H M 3 0 8 が、コンピューティングデバイス 1 0 0 のファームウェアでエンコードされてもよい。

【 0 0 4 8 】

[0059] O S 2 0 5 の他のソフトウェアコンポーネントに戻ると、I / O デバイス管理 3 0 3 は、I / O デバイスを管理することを担当する。一実施形態において、個別のハードウェアの特色は、ユーザーから隠されている。一実施形態において、デバイスドライバが、個別のデバイスの特色を知っている。たとえば、I / O デバイス管理 3 0 3 は、空き空間管理、メモリ割り当て、断片化、除去、およびヘッドスケジューリングなどの、ディスク管理機能を担当することができる。

【 0 0 4 9 】

[0060] ファイル管理 3 0 4 は、ファイルおよびディレクトリを作成すること、および削除することを担当する。ファイル管理 3 0 4 は、階層ファイルシステムをサポートすることができる。ファイル管理 3 0 4 はまた、ファイルをセカンダリメモリ上にバックアップすることができる。

【 0 0 5 0 】

[0061] ネットワーク管理 3 0 5 は、接続 / ルーティング方法を提供することを含む、ネ

10

20

30

40

50

ットワークとの通信を担当する。ネットワーク管理 3 0 5 はまた、他のコンピューティングデバイスへのデータ / プロセス移行を担当することができる。

【 0 0 5 1 】

[0062] ユーザーインターフェイス 3 0 6 は、文字ユーザーインターフェイスおよび / またはグラフィクスユーザーインターフェイスをユーザーに提供し、入力を受信し、ユーザーに出力を提供することを担当する。

【 0 0 5 2 】

[0063] 保護 3 0 7 は、プログラム、プロセス、および / またはユーザーの、コンピューティングデバイスのリソースへのアクセスを制御することを担当する。たとえば、保護 3 0 7 は、CPU サイクル、メモリ、ファイル、および / または I / O デバイスなどのリソースへのアクセスを制御することを担当する。保護 3 0 7 はまた、ユーザー認証および通信を担当する。

10

【 0 0 5 3 】

[0064] 図 4 ~ 図 6 B は、異種メモリを動的に管理する例示的な方法を示す流れ図である。実施形態において、図 4 ~ 図 6 B に示されたステップは、ハードウェア（たとえば、プロセッサ、メモリ、回路）、ソフトウェア（たとえば、OS、アプリケーション、ドライバー、マシン / プロセッサ可読命令）、またはユーザーの動作を、単独で、または組み合わせて表す。当業者が理解するように、実施形態は、示されるよりも多いまたは少ないステップを含むことができる。

【 0 0 5 4 】

20

[0065] 図 4 は、異なるタイプのメモリを 1 つまたは複数のソフトウェアアプリケーションに割り当てるための例示的な方法の流れ図である。ステップ 4 0 0 は、図 1 に示されたコンピューティングデバイス 1 0 0 などのコンピューティングデバイスにおいて利用可能なメモリのタイプを判定するステップを示す。一実施形態において、DMHM 3 0 8 のメモリタイプ 3 1 0 が、コンピューティングデバイスにおいて利用可能なメモリのタイプを判定する。一実施形態において、メモリタイプ 3 1 0 は、利用可能な高性能メモリがあるかどうか、または利用可能な異なる性能のタイプのメモリの階層があるかどうかを判定する。

【 0 0 5 5 】

[0066] ステップ 4 0 1 は、サービスおよびメモリのタイプを求めるアプリケーションからの要求を受信するステップを示す。一実施形態において、アプリケーションは、OS 2 0 5 にサービスを要求し、DMHM 3 0 8、および特に割り当て 3 1 1 が、サービスを要求するアプリケーションが高性能メモリもまた要求しているかどうかを判定する。一実施形態において、割り当て 3 1 1 は、関連付けられたアプリケーションマニフェストを読み出して、要求するアプリケーションが高性能メモリもまた要求するかどうかを判定する。一実施形態において、要求するアプリケーションは、図 1 に示されたような高性能メモリ 1 0 2 を要求する。

30

【 0 0 5 6 】

[0067] ステップ 4 0 2 は、要求するアプリケーションに関連付けられた属性情報を取得し、アプリケーションのマニフェストからの属性情報と比較するステップを示す。一実施形態において、割り当て 3 1 1 は、ARBT 2 0 7（特に、アプリケーションテーブルに）に記憶されたアプリケーションに関連付けられた属性を読み出し、その属性情報を、要求するアプリケーションのマニフェストにおける情報と比較する。

40

【 0 0 5 7 】

[0068] ステップ 4 0 3 は次いで、ステップ 4 0 2 の比較に応答して、アプリケーションが高性能メモリを要求しているかどうかを判定する。要求するアプリケーションのアプリケーションマニフェストにおける属性情報が ARBT 2 0 7 における属性情報と合致すると、ステップ 4 0 4 および 4 0 5 に示されるように、高性能メモリが利用可能であるとき、およびアプリケーションがブラックリスト（ARBT 2 0 7 に含まれるブラックリストテーブル）上にないとき、ならびに、ステップ 4 0 6 で示され本明細書で説明されるよう

50

に、要求するアプリケーションが利用可能であるよりも多いメモリを要求しないとき、要求するアプリケーションは、高性能メモリを割り当てられることになる。

【 0 0 5 8 】

[0069]ステップ 4 0 4 は、要求するアプリケーションがどのくらいのメモリを使用することになるかを判定するステップを示す。一実施形態において、使用監視 3 1 2 が、コンピューティングデバイスのメモリにおけるアプリケーションの使用を監視する。

【 0 0 5 9 】

[0070]ステップ 4 0 5 は、要求するアプリケーションがホワイトリスト上にあるか、ブラックリスト上にあるかを判定する。要求するアプリケーションがホワイトリスト上にあるとき、高性能メモリが利用可能であって、アプリケーションが利用可能であるよりも多い高性能メモリを必要としない限り、アプリケーションの属性情報がそのように指し示さなくても、アプリケーションは、高性能メモリを割り当てられる。アプリケーションがブラックリスト上にあるとき、一実施形態において、高性能メモリが利用可能であるかどうかに関わらず、アプリケーションは、高性能メモリの割り当てを拒否される。一実施形態において、ブラックリストおよびホワイトリストは、A R B T 2 0 7 のテーブルに記憶される。代替実施形態において、ブラックリストおよびホワイトリストは使用されない。

【 0 0 6 0 】

[0071]ステップ 4 0 6 は、高性能メモリが利用可能であるかどうかを判定するステップを示す。一実施形態において、使用監視 3 1 2 が、高性能メモリの可用性について割り当て 3 1 1 を更新する。

【 0 0 6 1 】

[0072]ステップ 4 0 7 は、要求するアプリケーションが、1) 適切な属性情報を有する、2) ブラックリスト上にない(または一実施形態において適切な属性情報の欠如を無視するホワイトリスト上にある)、3) 高性能メモリが利用可能である、4) 利用可能な高性能メモリの量が要求するアプリケーションによって使用されることになるメモリの量よりも多いときに、要求するアプリケーションに高性能メモリを割り当てるステップを示す。一実施形態において、割り当て 3 1 1 は、上の条件が満たされるときに、高性能メモリを、要求するアプリケーションに割り当てる。一実施形態において、上の条件よりも少ない条件が満たされて、高性能メモリを、要求するアプリケーションに割り当てることができる。そうでない場合、割り当て 3 1 1 は、高性能ではないメモリ(代替メモリ)を、要求するアプリケーションに割り当てる。一実施形態において、高性能メモリが割り当てられないときには、メモリ 1 0 4 が割り当てられる。

【 0 0 6 2 】

[0073]一実施形態において、メモリの量を求めるアプリケーションからの要求を割り当てるタスクは、十分なサイズの未使用メモリのブロックを突き止めることからなる。メモリ要求は、「ヒープ」として知られるメモリの大きなプールから、一部を割り当てることによって満たされる。任意の所与の時間に、ヒープのある部分は使用中であり、一方ある部分は「空き」(未使用)であり、したがって今後の割り当てのために利用可能である。

【 0 0 6 3 】

[0074]ステップ 4 0 8 は、D M H M 3 0 8 がコンピューティングデバイスにおける異なるタイプのメモリの使用を監視するステップを示す。特に、使用監視 3 1 2 は、1 つまたは複数のアプリケーションによって使用されている高性能メモリの使用、および高性能ではない他のタイプのメモリの使用を監視する。使用監視 3 1 2 は、高性能メモリにおけるメモリ空間が利用可能になるとき、ならびに一実施形態において、他のタイプのメモリにおけるメモリ空間が利用可能になるとき、割り当て 3 1 1 に通知する。

【 0 0 6 4 】

[0075]ステップ 4 0 9 は、1 つまたは複数のアプリケーションがさまざまなタイプのメモリを使用している間に、エラー検出および訂正を実施するステップを示す。一実施形態において、D M H M 3 0 8 のエラー検出および訂正 3 1 3 が、この機能を実施する。

【 0 0 6 5 】

10

20

30

40

50

[0076]図5 Aは、高性能メモリを仮想キャッシュメモリとして使用するための例示的な方法の流れ図である。ステップ5 0 0は、コンピューティングデバイスにおいて利用可能なメモリのタイプを判定するステップを示す。一実施形態において、ステップ5 0 0は、本明細書で説明されたようなステップ4 0 0と同様に実施される。一実施形態において、メモリタイプ3 1 0および/またはキャッシュ管理3 1 4が、判定を行う。

【0 0 6 6】

[0077]ステップ5 0 1は、キャッシュメモリが利用可能であるかどうかを判定するステップを示す。一実施形態において、キャッシュ管理3 1 4が、キャッシュメモリが利用可能かどうか、および利用可能であるキャッシュメモリの量を判定する。ステップ5 0 1は次いで、仮想キャッシュメモリとしての高性能メモリがコンピューティングデバイスの性能を増加させることになるかどうかを判定する。一実施形態において、キャッシュ管理3 1 4は、利用可能なキャッシュメモリの量を所定の閾値と比較する。利用可能なキャッシュメモリの量が所定の閾値よりも少ないとき、キャッシュ管理3 1 4は、ステップ5 0 2に示されるように、高性能メモリを仮想キャッシュメモリとして指定する。代替実施形態において、そのような指定から利益を得ることができる特定のアプリケーションがOS 3 0 2にサービスを要求するとき、キャッシュ管理3 1 4は、高性能メモリを仮想キャッシュメモリとして指定する。

10

【0 0 6 7】

[0078]ステップ5 0 3は、使用されそうなデータを、仮想キャッシュメモリとして使用される高性能メモリに記憶するステップを示す。一実施形態において、推測フェッチングが使用される。

20

【0 0 6 8】

[0079]ステップ5 0 4は、実際のキャッシュメモリと比較して、仮想キャッシュメモリとして使用される高性能メモリの比較的遅い速度を軽減するステップを示す。一実施形態において、より高性能なメモリへのデータを推測的に先読みするための軽減方法が使用される。

【0 0 6 9】

[0080]図5 Bは、高性能メモリをキャッシュメモリとして使用するための例示的な方法の流れ図である。ステップ5 1 0は、ステップ5 0 0と同様に、キャッシュメモリが利用可能であるかどうかを判定するステップを示す。一実施形態において、キャッシュ管理3 1 4が、キャッシュメモリが利用可能かどうか、および利用可能であるキャッシュメモリの量を判定する。ステップ5 1 1は次いで、キャッシュメモリとしての高性能メモリがコンピューティングデバイスの性能を増加させることになるかどうかを判定する。一実施形態において、キャッシュ管理3 1 4は、利用可能なキャッシュメモリの量を所定の閾値と比較する。利用可能なキャッシュメモリの量が所定の閾値よりも少ないとき、キャッシュ管理3 1 4は、ステップ5 1 2に示されるように、高性能メモリをキャッシュメモリとして指定する。代替実施形態において、そのような指定から利益を得ることができる特定のアプリケーションがOS 3 0 2にサービスを要求するとき、キャッシュ管理3 1 4は、高性能メモリをキャッシュメモリとして指定する。

30

【0 0 7 0】

[0081]ステップ5 1 3および5 1 4は、高性能メモリが、仮想キャッシュメモリの代わりにキャッシュメモリとして使用されることを除いて、ステップ5 0 3および5 0 4と同様に実施される。

40

【0 0 7 1】

[0082]図6 Aは、構成、性能、および健全性を含むメモリ情報を取得するために、異なるタイプのメモリをクエリするための例示的な方法の流れ図である。ステップ6 0 0は、メモリ構成情報について、コンピューティングデバイスにおける異なるタイプのメモリの各々をクエリするステップを示す。実施形態において、メモリ構成は、タイプ、サイズ、帯域幅、幅、ランク、待機時間、クロック、タイミングパラメーター、および/または他のメモリ構成パラメーターに関する情報を含むことができる。一実施形態において、さま

50

ざまな異なるタイプのメモリ（システムまたは構成メモリなど）に常駐しない、構成情報を有するストレージロケーションが、実際のメモリそれら自体の代わりにクエリされる。

【0072】

[0083]一実施形態において、1つまたは複数のプロセッサが、OS 205、および特にDMHM 308を実行して、メモリ構成情報を取得する。一実施形態において、性能監視315が、タイプのメモリごとに構成情報を取得することを担当する。一実施形態において、プロセッサコア103が、OS 205を実行して、高性能メモリ102およびメモリ104への信号経路106および105上に制御信号を生成する。各メモリは次いで、制御信号に応答して構成情報を戻す。一実施形態において、制御信号は、信号経路105および106上に出力される別々のコマンドを含むことができる。一実施形態において、制御信号は、起動時におよび/または定期的に出力される。

10

【0073】

[0084]ステップ601は、コンピューティングデバイスにおける異なるタイプのメモリの性能を監視するステップを示す。一実施形態において、プロセッサコア103が、ステップ600と同様にOS 205を実行して、実際の帯域幅および/または実際のメモリ待機時間などの性能情報を取得する。代替実施形態において、OS 205、および特にDMHM 308の性能監視315が、異なるタイプのメモリに書き込み、異なるタイプのメモリから読み出すことによって、実際の帯域幅および/またはメモリ待機時間を測定する。テストパターンがメモリに書き込まれ、次いでそれぞれのタイプのメモリの性能特性を測定する、および/または計時する間に、読み出されてよい。

20

【0074】

[0085]ステップ602は、コンピューティングデバイスにおける異なるタイプのメモリから、健全性情報またはステータス情報を取得するステップを示す。実施形態において、プロセッサコア103が、ステップ600および601と同様にOS 205を実行して、異なるタイプのメモリの温度（熱）および/または電力消費などの健全性情報を取得する。それぞれのメモリは、プロセッサコア103から信号経路105および106上に出力された制御信号に応答して、それぞれのタイプのメモリによって出力されたステータス情報において、温度および消費された電力を含む健全性情報を提供することができる。上と同様に、これらの制御信号は、起動時または定期的に生成されてよい。やはり上と同様に、テストパターンが、異なるタイプのメモリに書き込まれ、異なるタイプのメモリから読み出されてよく、メモリが正しくデータを記憶し、データを出力しているかどうかを判定するために送られたテストパターンと比較されてよい（エラー検出）。

30

【0075】

[0086]図6Bは、コンピューティングデバイスにおける異なるタイプのメモリのための電力を管理するための例示的な方法の流れ図である。ステップ610は、コンピューティングデバイスにおける異なるタイプのメモリから、電力管理情報を取得するステップを示す。一実施形態において、プロセッサコア103が、上のステップと同様にOS 205を実行して、特定のタイプのメモリデバイスが管理され得る電力を有することができるかどうかに関する電力情報を取得する。一実施形態において、それぞれのタイプのメモリのための電力管理情報は、システムまたは構成メモリなどのそれぞれのタイプのメモリに常駐していないメモリに記憶され、上で説明されたように取り出されてよい。

40

【0076】

[0087]ステップ611は、コンピューティングデバイスにおける異なるタイプのメモリの電力を管理するステップを示す。ステップ610で、特定のメモリが管理可能な電力を有することができるという判定がなされたとき、一実施形態において、識別されたメモリデバイスの電力は、DMHM 308の電力管理316によって管理される。たとえば、電力管理316を実行するプロセッサコア103が、スリープモードまたは休止状態モードなどにおいてメモリデバイスが電力を必要としないときに、電力を削減することになる制御信号を、電力管理可能なメモリデバイスに出力する。

【0077】

50

【0088】一実施形態において、コンピューティングデバイス 100 のうちの 1 つまたは複数は、限定はされないが、ビデオゲームおよび / またはメディアコンソールであってよい。次に図 7 が、例示的なビデオゲームおよびメディアコンソールを説明するために使用されることになる、またはより一般的には、ゲームおよびメディアコンソールを含む例示的なゲーミングおよびメディアシステム 1000 を説明するために使用されることになる。図 7 の以下の議論は、本明細書で提示されるコンセプトがそれを用いて実装され得る好適なコンピューティングデバイスの簡潔で一般的な説明を提供するように意図される。図 7 のシステムは、例のみを目的とすることが理解される。さらなる例において、本明細書で説明される実施形態は、クライアントコンピューティングデバイスに常駐し、クライアントコンピューティングデバイスによって実行されるブラウザアプリケーションまたはソフトウェアアプリケーションのいずれかを介して、さまざまなクライアントコンピューティングデバイスを使用して実装されてよい。図 7 に示されるように、ゲーミングおよびメディアシステム 1000 は、ゲームおよびメディアコンソール（これ以下、「コンソール」）1002 を含む。一般に、コンソール 1002 は、クライアントコンピューティングデバイスの 1 つのタイプである。コンソール 1002 は、コントローラ 1004₁ および 1004₂ によって表されるような、1 つまたは複数のワイヤレスコントローラを適応させるように構成される。コンソール 1002 は、内部ハードディスクドライブと、ポータブルメディアドライブ 1006 とを備えており、ポータブルメディアドライブ 1006 は、光学ストレージディスク 1008 によって表されるような、さまざまな形態のポータブルストレージメディアをサポートする。好適なポータブルストレージメディアの例には、DVD、CD-ROM、ゲームディスク、その他が含まれる。コンソール 1002 はまた、リムーバブル・フラッシュタイプメモリユニット 1040 を受け入れるための、2 つのメモリユニットカード・レセプタクル 1025₁ および 1025₂ を含む。コンソール 1002 上のコマンドボタン 1035 は、ワイヤレス周辺サポートを有効および無効にする。

10

20

【0078】

【0089】図 7 に図示されるように、コンソール 1002 はまた、1 つまたは複数のデバイスとワイヤレスに通信するための光学ポート 1030 と、追加的なコントローラ、または他の周辺機器のためのワイヤード接続をサポートするための 2 つの USB ポート 1010₁ および 1010₂ とを含む。いくつかの実装形態において、追加的なポートの数および配置は変更されてもよい。電源ボタン 1012 およびイジェクトボタン 1014 もまた、コンソール 1002 の前面に位置付けられる。電源ボタン 1012 は、ゲームコンソールに電源を適用するために選択され、他の特徴および制御へのアクセスを提供することもでき、イジェクトボタン 1014 は、ポータブルメディアドライブ 1006 のトレイを交互に開閉して、光学ストレージディスク 1008 の挿入および拔出しを可能にする。

30

【0079】

【0090】コンソール 1002 は、A/V インターフェイスケーブル 1020 を介して、テレビまたは他のディスプレイ（ディスプレイ 1050 など）に接続する。一実装形態において、コンソール 1002 は、A/V ケーブル 1020（たとえば、高解像度ディスプレイ 1050 または他のディスプレイデバイス上の高解像度マルチメディアインターフェイス「HDMI（登録商標）」ポートに結合するのに好適な A/V ケーブル）を使用するコンテンツセキュアなデジタル通信のために構成された、専用 A/V ポートを備える。電源ケーブル 1022 は、ゲームコンソールに電力を提供する。コンソール 1002 は、インターネットなどのネットワークへのアクセスを促進するためのケーブルまたはモデムコネクタ 1024 によって表されるように、ブロードバンド能力を備えてさらに構成されてもよい。ブロードバンド能力はまた、ワイヤレス・フィディリティ（Wi-Fi）ネットワークなどのブロードバンドネットワークを通して、ワイヤレスに提供されてもよい。

40

【0080】

【0091】各コントローラ 1004 は、ワイヤードまたはワイヤレスインターフェイスを介して、コンソール 1002 に結合される。示された実装形態において、コントローラ

50

1004はUSB互換であり、ワイヤレスまたはUSBポート1010を介してコンソール1002に結合される。コンソール1002は、幅広いユーザー対話式メカニズムのうちのいずれかを備えていてよい。図7に示される例において、各コントローラー1004は、2つの親指スティック1032₁および1032₂と、D-パッド1034と、ボタン1036と、2つのトリガー1038とを備える。これらのコントローラーは、単に代表的なものであり、他の知られているゲーミングコントローラが、図7に示されるコントローラーに代わりに使われる、またはそれに追加されてもよい。一実施形態において、ユーザーは、ジェスチャ、タッチ、または音声を介して、コンソール1002に入力することができる。一実施形態において、光学I/Oインターフェイス1135が、ユーザーのジェスチャを受信し、変換する。別の実施形態において、コンソール1002は、ユーザーからの音声およびジェスチャ入力を受信し、変換するためのナチュラルユーザーインターフェイス(NUI)を含む。代替実施形態においては、フロントパネル・サブアセンブリ1142が、ユーザーの音声コマンドなどのタッチまたは音声を受信し、変換するためのタッチサーフェスおよびマイクロフォンを含む。

【0081】

[0092]一実装形態において、メモリユニット(MU)1040がまたコントローラー1004に挿入されて、追加的かつポータブルなストレージを提供してもよい。ポータブルMUは、ユーザーが他のコンソール上でプレイするときに使用するためのゲームパラメータを記憶するのを可能にする。この実装形態において、各コントローラーは、2つのMU1040を適応させるように構成されるが、2つよりも多いまたは少ないMUがまた用いられてもよい。

【0082】

[0093]ゲーミングおよびメディアシステム1000は、メモリメディアに記憶されたゲームをプレイするためだけでなく、ゲームをダウンロードしてプレイするために、および電子メディアソースおよびハードメディアソースの両方から予め記録された音楽およびビデオを再生するために、一般に構成される。異なるストレージオフファリングを用いて、タイトルは、ハードディスクドライブから、光学ストレージディスクメディア(たとえば、1008)から、オンラインソースから、またはMU1040からプレイされ得る。ゲーミングおよびメディアシステム1000がプレイすることが可能なメディアのタイプのサンプルは、以下を含む。

【0083】

[0094]CD、DVD、またはより大容量のディスクから、ハードディスクドライブから、またはオンラインソースからプレイされるゲームタイトル。

[0095]ポータブルメディアドライブ1006のCDから、ハードディスクドライブもしくはソリッドステートディスク上のファイル(たとえば、メディアフォーマットにおける音楽)から、またはオンラインストリーミングソースからプレイされるデジタル音楽。

【0084】

[0096]ポータブルメディアドライブ1006のDVDディスクから、ハードディスクドライブ上のファイル(たとえば、Active Streaming Format)から、またはオンラインストリーミングソースからプレイされるデジタルオーディオ/ビデオ。

【0085】

[0097]動作中、コンソール1002は、コントローラー1004からの入力を受信し、情報をディスプレイ1050上に表示するように構成される。たとえば、コンソール1002は、以下で議論されるように、ディスプレイ1050上にユーザーインターフェイスを表示して、ユーザーがコントローラー1004を使用してゲームを選択し、以下で論じられるように状態の解決可能性情報を表示するのを許可することができる。

【0086】

[0098]図8は、ゲーミングおよびメディアシステム1000の機能ブロック図であり、ゲーミングおよびメディアシステム1000の機能コンポーネントをより詳細に示す。コ

10

20

30

40

50

ンソール 1 0 0 2 は、CPU 1 1 0 0 と、フラッシュROM 1 1 0 4、RAM 1 1 0 6、ハードディスクドライブまたはソリッドステートドライブ 1 1 0 8 を含むさまざまなタイプのメモリへのプロセッサアクセスを促進するメモリコントローラー 1 1 0 2 と、ポータブルメディアドライブ 1 0 0 6 とを有する。一実装形態において、CPU 1 1 0 0 は、データを一時的に記憶し、それゆえハードドライブ 1 1 0 8 になされるメモリアクセスサイクルの数を削減するための、レベル 1 キャッシュ 1 1 1 0 およびレベル 2 キャッシュ 1 1 1 2 を含み、それにより、処理スピードおよびスループットを向上させる。

【0087】

[0099] CPU 1 1 0 0、メモリコントローラー 1 1 0 2、およびさまざまなメモリデバイスは、1 つまたは複数のバスを介して相互接続される。この実装形態で使用されるバスの詳細は、本明細書で議論されている問題の主題の理解には特に関係はない。しかしながら、そのようなバスが、さまざまなバスアーキテクチャのうちのいずれかを使用する、シリアルバスおよびパラレルバス、メモリバス、周辺バス、およびプロセッサバスまたはローカルバスのうちの 1 つまたは複数を含むことがあることが理解されるであろう。例として、そのようなアーキテクチャは、業界標準アーキテクチャ (ISA) バス、マイクロチャンネルアーキテクチャ (MCA) バス、拡張 ISA (EISA) バス、ビデオ電子規格協会 (VESA) ローカルバス、および Mezzanine バスとしても知られる周辺コンポーネント相互接続 (PCI) バスを含むことができる。

【0088】

[00100] 一実装形態において、CPU 1 1 0 0、メモリコントローラー 1 1 0 2、ROM 1 1 0 4、および RAM 1 1 0 6 は、共通のモジュール 1 1 1 4 上に集積される。この実装形態において、ROM 1 1 0 4 は、PCI バスおよび ROM バス (どちらも図示せず) を介してメモリコントローラー 1 1 0 2 に接続されるフラッシュROM として構成される。RAM 1 1 0 6 は、複数のダブルデータレート同期動的 RAM (DDR SDRAM)、またはより速いデータレートの DRAM モジュールとして構成されており、これらは、別々のバスを介してメモリコントローラー 1 1 0 2 によって独立して制御される。ハードディスクドライブ 1 1 0 8 およびポータブルメディアドライブ 1 0 0 6 は、PCI バスおよび ATA タッチメント (ATA) バス 1 1 1 6 を介して、メモリコントローラー 1 1 0 2 に接続されて示されている。しかしながら、他の実装形態においては、異なるタイプの専用データバス構造がまた、代替において適用され得る。

【0089】

[00101] 別の実施形態において、少なくとも CPU 1 1 0 0、レベル 1 キャッシュ 1 1 1 0、レベル 2 キャッシュ 1 1 1 2、メモリコントローラー 1 1 0 2、および RAM メモリ 1 1 0 6 が、本明細書で説明され図 1 に示されたような SoC 1 0 1 などの、SoC に含まれる。一実施形態において、RAM メモリ 1 1 0 6 が、ワイド I/O DRAM などの高性能メモリに取って代わり、メモリコントローラー 1 1 0 2 の機能が、プロセッサコア 1 0 3 によって実施される。LPDDR3 DRAM などの、高性能メモリではない別のタイプのメモリは、その場合、本明細書で説明されるように、SoC 1 0 1 に結合されることになる。同様に、OS 2 0 5 は、本明細書で説明されるようなコンソール 1 0 0 2 において SoC 1 0 1 によって使用される。

【0090】

[00102] 3 次元グラフィックス処理ユニット 1 1 2 0 およびビデオエンコーダー 1 1 2 2 は、高速および高分解能 (たとえば、高解像度) グラフィックス処理のためのビデオ処理パイプラインを形成する。データは、グラフィックス処理ユニット 1 1 2 0 から、デジタルビデオバスを介して、ビデオエンコーダー 1 1 2 2 へと搬送される。オーディオ処理ユニット 1 1 2 4 およびオーディオコーデック (コーデック/デコーデック) 1 1 2 6 は、さまざまなデジタルオーディオフォーマットのマルチチャンネルオーディオ処理のための、対応するオーディオ処理パイプラインを形成する。オーディオデータは、通信リンクを介して、オーディオ処理ユニット 1 1 2 4 とオーディオコーデック 1 1 2 6 との間で搬送される。ビデオ処理パイプラインおよびオーディオ処理パイプラインは、テレビまたは他のデ

10

20

30

40

50

イスプレイに送信するために、データを A / V (オーディオ/ビデオ) ポート 1 1 2 8 に出力する。示される実装形態において、ビデオ処理コンポーネントおよびオーディオ処理コンポーネント 1 1 2 0 ~ 1 1 2 8 は、モジュール 1 1 1 4 に搭載されている。

【 0 0 9 1 】

[00103] 図 8 は、U S B ホストコントローラー 1 1 3 0 およびネットワークインターフェイス 1 1 3 2 を含むモジュール 1 1 1 4 を示す。U S B ホストコントローラー 1 1 3 0 は、バス (たとえば、P C I バス) を介して、C P U 1 1 0 0 およびメモリコントローラー 1 1 0 2 と通信して示されており、周辺コントローラー 1 0 0 4₁ ~ 1 0 0 4₄ のためのホストとして働く。ネットワークインターフェイス 1 1 3 2 は、ネットワーク (たとえば、インターネット、ホームネットワーク、その他) へのアクセスを提供し、イーサネット (登録商標) カード、モデム、ワイヤレスアクセスカード、B l u e t o o t h (登録商標) モジュール、ケーブルモデム、その他を含む、幅広くさまざまなワイヤーまたはワイヤレスインターフェイスコンポーネントのうちのいずれかであってよい。

【 0 0 9 2 】

[00104] 図 8 に図示された実装形態において、コンソール 1 0 0 2 は、4 つのコントローラー 1 0 0 4₁ ~ 1 0 0 4₄ をサポートするためのコントローラーサポート・サブアセンブリ 1 1 4 0 を含む。コントローラーサポート・サブアセンブリ 1 1 4 0 は、たとえば、メディアおよびゲームコントローラーなどの外部制御デバイスによるワイヤードおよびワイヤレスの動作をサポートするための、任意のハードウェアコンポーネントおよびソフトウェアコンポーネントを含む。フロントパネル I / O サブアセンブリ 1 1 4 2 は、電源ボタン 1 0 1 2、イジェクトボタン 1 0 1 4、ならびにコンソール 1 0 0 2 の外側面に露出された任意の L E D (発光ダイオード) または他のインジケータの、複数の機能性をサポートする。サブアセンブリ 1 1 4 0 および 1 1 4 2 は、1 つまたは複数のケーブルアセンブリ 1 1 4 4 を介して、モジュール 1 1 1 4 と通信している。他の実装形態において、コンソール 1 0 0 2 は、追加的なコントローラーサブアセンブリを含むことができる。示された実装形態はまた、モジュール 1 1 1 4 に伝達され得る信号を送り、受信するように構成された光学 I / O インターフェイス 1 1 3 5 を示す。

【 0 0 9 3 】

[00105] M U 1 0 4 0₁ および 1 0 4 0₂ は、M U ポート「A」1 0 3 0₁ および「B」1 0 3 0₂ に、それぞれ接続可能であるように示される。追加的な M U (たとえば、M U 1 0 4 0₃ ~ 1 0 4 0₆) が、コントローラー 1 0 0 4₁ および 1 0 0 4₃ に接続可能であるように、すなわち、各コントローラーに 2 つの M U が接続可能であるように、示される。コントローラー 1 0 0 4₂ および 1 0 0 4₄ もまた、M U を受け入れるように構成されてよい。各 M U 1 0 4 0 は、ゲーム、ゲームパラメーター、および他のデータが記憶され得る追加的なストレージを差し出す。いくつかの実装形態において、他のデータは、デジタルゲームコンポーネント、実行可能なゲーミングアプリケーション、ゲーミングアプリケーションを展開するための命令セット、およびメディアファイルのうちのいずれかを含むことができる。コンソール 1 0 0 2 またはコントローラーに挿入されると、M U 1 0 4 0 は、メモリコントローラー 1 1 0 2 によってアクセスされ得る。

【 0 0 9 4 】

[00106] システム電力供給モジュール 1 1 5 0 は、ゲーミングシステム 1 0 0 0 のコンポーネントに電力を提供する。ファン 1 1 5 2 は、コンソール 1 0 0 2 内部の回路を冷やす。

【 0 0 9 5 】

[00107] プロセッサ可読命令を含むアプリケーション 1 1 6 0 は、ハードディスクドライブ 1 1 0 8 上に記憶される。コンソール 1 0 0 2 が電源オンにされると、アプリケーション 1 1 6 0 のさまざまな部分が、C P U 1 1 0 0 での実行のために、R A M 1 1 0 6 ならびに / またはキャッシュ 1 1 1 0 および 1 1 1 2 にロードされ、ここで、アプリケーション 1 1 6 0 は、1 つのそのような例である。さまざまなアプリケーションは、C P U 1 1 0 0 での実行のために、ハードディスクドライブ 1 1 0 8 上に記憶されてもよい。一実

10

20

30

40

50

施形態において、アプリケーション 1160 は、本明細書で説明されたように、高性能メモリなどの特定のタイプのメモリの使用を要求する属性情報を含む。

【0096】

[00108] コンソール 1002 はまた、コンソール 1002 を、1 つまたは複数の他のコンピューティングデバイス（たとえば、他のコンソール）と通信可能に結合するように構成された通信サブシステム 1170 を含むように示される。通信サブシステム 1170 は、1 つまたは複数の異なる通信プロトコルと互換性のある、ワイヤードおよび/またはワイヤレス通信デバイスを含むことができる。非限定的な例として、通信サブシステム 1170 は、ワイヤレス電話ネットワーク、またはワイヤードもしくはワイヤレスのローカルエリアネットワークもしくはワイドエリアネットワークを介した通信のために構成されてよい。いくつかの実施形態において、通信サブシステム 1170 は、インターネットなどのネットワークを介して、コンソール 1002 が他のデバイスにメッセージを送る、および/または他のデバイスからメッセージを受信するのを許可することができる。個別の実施形態において、通信サブシステム 1170 は、ダウンロード要求を送るために、かつデジタルコンテンツのダウンロードおよびアップロードをもたらすために、コーディネーターおよび/または他のコンピューティングデバイスと通信するために使用され得る。より一般的には、通信サブシステム 1170 は、コンソール 1002 がピアツーピア通信に参加するのを可能にすることができる。

10

【0097】

[00109] ゲーミングおよびメディアシステム 1000 は、システムを、ディスプレイ 1050（図 7）、テレビ、ビデオプロジェクター、または他のディスプレイデバイスに単純に接続することによって、スタンドアロンシステムとして動作されてよい。このスタンドアロンモードにおいて、ゲーミングおよびメディアシステム 1000 は、1 人または複数のプレーヤーが、ゲームをプレイする、または、たとえば映画を見たり音楽を聴いたりすることによって、デジタルメディアを楽しむことを可能にする。しかしながら、ネットワークインターフェイス 1132、またはより一般的には、通信サブシステム 1170 を通して利用可能にされるブロードバンド接続性の統合により、ゲーミングおよびメディアシステム 1000 は、ピアツーピアネットワークなどのより大きなネットワークゲーミングコミュニティにおける参加者として、さらに動作されてもよい。

20

【0098】

[00110] 上で説明されたコンソール 1002 は、図 1 およびさまざまな他の図を参照して上で議論されたコンピューティングデバイス 100 の一例にすぎない。上で明らかにされたように、本明細書で説明された実施形態がそれを用いて使用され得るさまざまな他のタイプのコンピューティングデバイスが存在する。

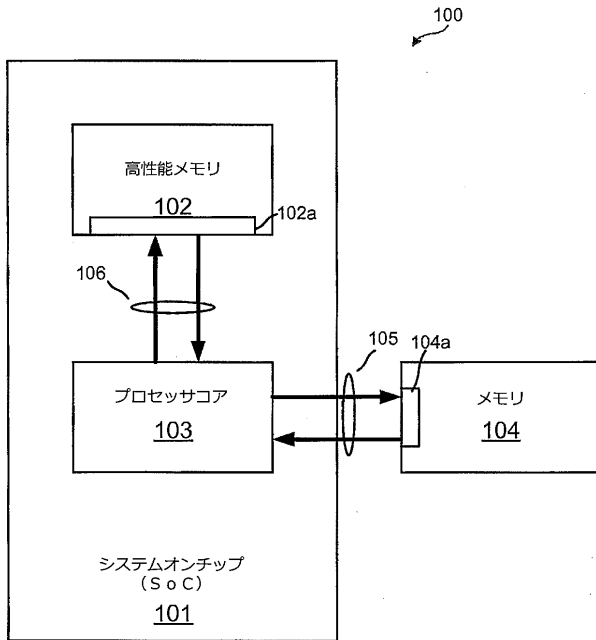
30

【0099】

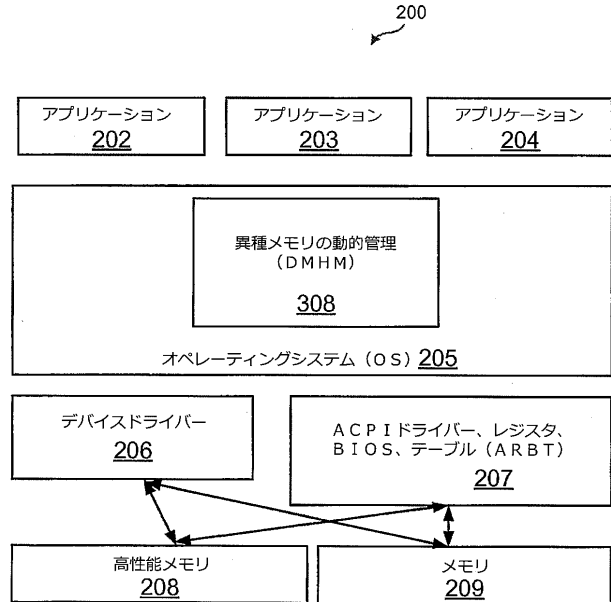
[00111] 本発明のシステムの上述の詳細な説明が、例証および説明の目的のために提示されてきた。説明は、包括的であること、または本発明のシステムを開示された厳密な形態に限定することは意図されない。多くの修正形態および変形形態が、上の教示に照らして可能である。説明された実施形態は、本発明のシステムの原理およびその実践的な用途を最もよく明らかにするために選ばれ、それにより他の当業者が、さまざまな実施形態において、かつ企図された特定の使用に適するようにさまざまな修正形態を用いて、本発明のシステムを最もよく利用することを可能にする。本発明のシステムの範囲は、これに付属される特許請求の範囲によって定義されるように意図される。

40

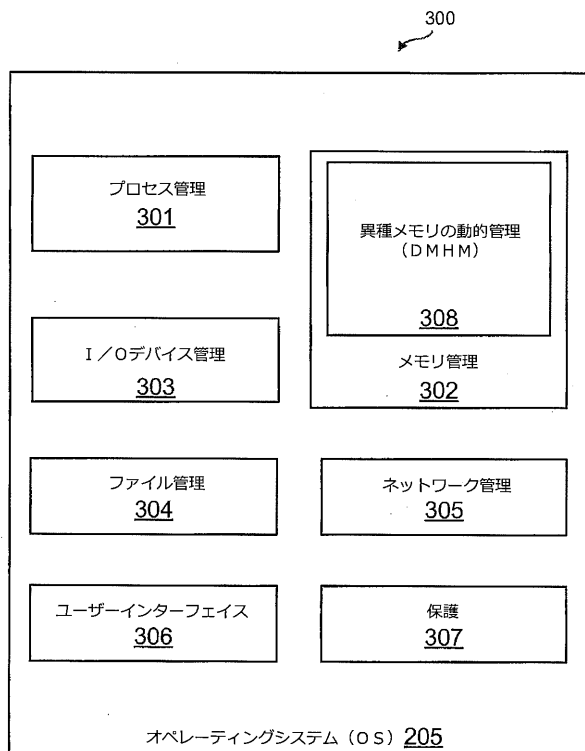
【図 1】



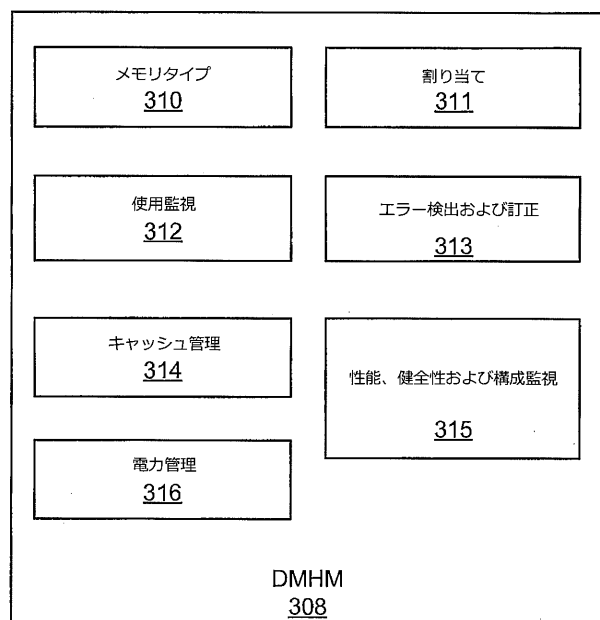
【図 2】



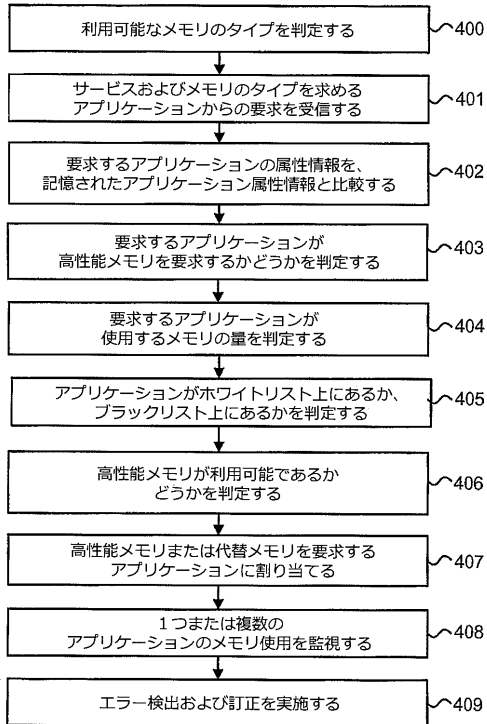
【図 3 A】



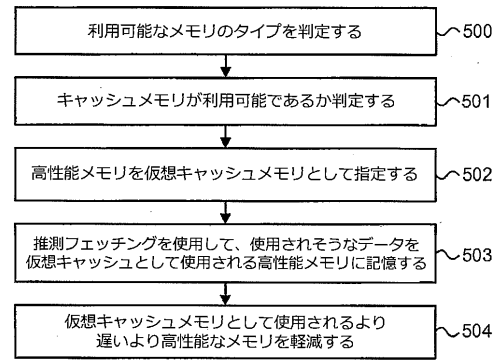
【図 3 B】



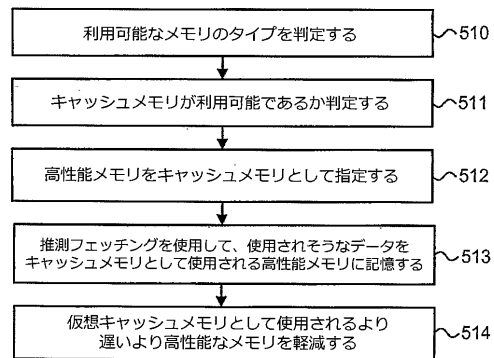
【図 4】



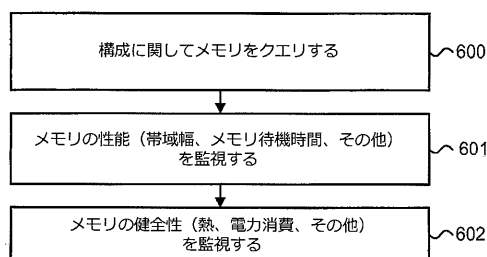
【図 5 A】



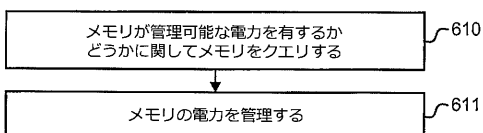
【図 5 B】



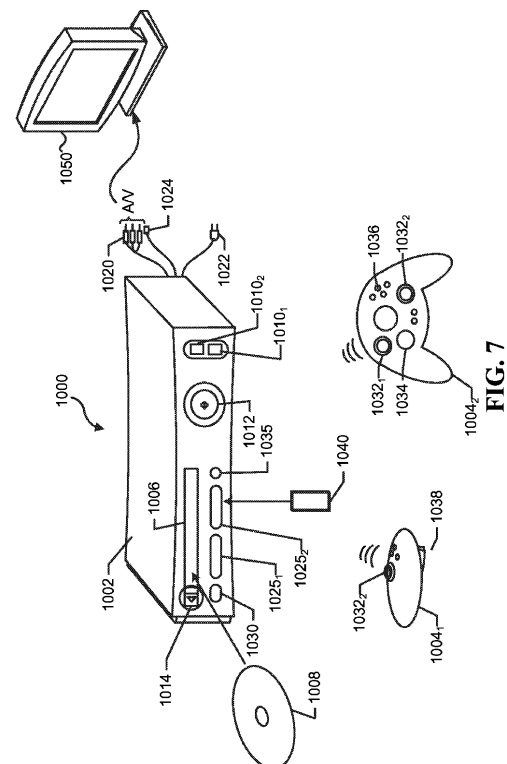
【図 6 A】



【図 6 B】



【図 7】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2014/013468

A. CLASSIFICATION OF SUBJECT MATTER

INV. G06F9/50
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, COMPENDEX, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	MARTINOT L: "Dynamic Memory Allocation Optimizes Integration of Blackfin Processor Software", ANALOG DIALOGUE, ANALOG DEVICES, NORWOOD, MA, US, vol. 37, no. 3, 1 July 2003 (2003-07-01), pages 1-5, XP007908380, ISSN: 0161-3626	1-11
A	page 2, right-hand column, line 19 - page 3, left-hand column, line 3; figure 6 page 3, right-hand column, line 1 - page 5, right-hand column, line 5 ----- -/--	12-15

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

2 May 2014

Date of mailing of the international search report

20/05/2014

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel: (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Carciofi, Andrea

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2014/013468

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	GOOSSENS K G W ED - INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS: "A protocol and memory manager for on-chip communication", ISCAS 2001. THE 2001 IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 6 - 9 MAY 2001, SYDNEY, NSW, AUSTRALIA; [IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS], IEEE SERVICE CENTER, PISCATAWAY, NJ, USA, vol. 2, 6 May 2001 (2001-05-06), pages 225-228, XP010540619, DOI: 10.1109/ISCAS.2001.921048 ISBN: 978-0-7803-6685-5	12-15
A	page 226, left-hand column, line 7 - page 227, right-hand column, line 12 -----	1-11
A	EP 1 691 288 A2 (BROADCOM CORP [US]) 16 August 2006 (2006-08-16) paragraphs [0054], [0060] - [0062] -----	1-15
A	WO 2011/020055 A1 (QUALCOMM INC [US]; KOHLENZ MATHIAS [US]; MIR IDREAS [US]; KHAN IRFAN A) 17 February 2011 (2011-02-17) claims 1-6 -----	1-15

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2014/013468

Patent document cited in search report	Publication date	Patent family member(s)	Publication date	
EP 1691288	A2	16-08-2006	EP 1691288 A2	16-08-2006
			TW I326824 B	01-07-2010
			US 2006184762 A1	17-08-2006
			US 2008276062 A1	06-11-2008
			US 2011010519 A1	13-01-2011

WO 2011020055	A1	17-02-2011	CN 102473117 A	23-05-2012
			EP 2465034 A1	20-06-2012
			JP 2013502016 A	17-01-2013
			US 2011040947 A1	17-02-2011
			WO 2011020055 A1	17-02-2011

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(74)代理人 100162846

弁理士 大牧 綾子

(72)発明者 リー, ブライアン

アメリカ合衆国ワシントン州 9 8 0 5 2 - 6 3 9 9, レッドモンド, ワン・マイクロソフト・ウェイ, マイクロソフト コーポレーション, エルシーエイ - インターナショナル・パテント

(72)発明者 トレンブレイ, マーク

アメリカ合衆国ワシントン州 9 8 0 5 2 - 6 3 9 9, レッドモンド, ワン・マイクロソフト・ウェイ, マイクロソフト コーポレーション, エルシーエイ - インターナショナル・パテント

(72)発明者 ボンド, バリー

アメリカ合衆国ワシントン州 9 8 0 5 2 - 6 3 9 9, レッドモンド, ワン・マイクロソフト・ウェイ, マイクロソフト コーポレーション, エルシーエイ - インターナショナル・パテント

(72)発明者 サドフスキー, グラド

アメリカ合衆国ワシントン州 9 8 0 5 2 - 6 3 9 9, レッドモンド, ワン・マイクロソフト・ウェイ, マイクロソフト コーポレーション, エルシーエイ - インターナショナル・パテント

(72)発明者 ランバーク, マーク・ジョン

アメリカ合衆国ワシントン州 9 8 0 5 2 - 6 3 9 9, レッドモンド, ワン・マイクロソフト・ウェイ, マイクロソフト コーポレーション, エルシーエイ - インターナショナル・パテント

F ターム(参考) 5B060 AC06