

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-5630

(P2017-5630A)

(43) 公開日 平成29年1月5日(2017.1.5)

(51) Int.Cl.

H03M 7/14 (2006.01)

F I

H03M 7/14

テーマコード (参考)

B

審査請求 未請求 請求項の数 11 O L (全 18 頁)

(21) 出願番号 特願2015-120605 (P2015-120605)
 (22) 出願日 平成27年6月15日 (2015. 6. 15)

(71) 出願人 000006747
 株式会社リコー
 東京都大田区中馬込 1 丁目 3 番 6 号
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 官寺 達也
 東京都大田区中馬込 1 丁目 3 番 6 号 株式
 会社リコー内

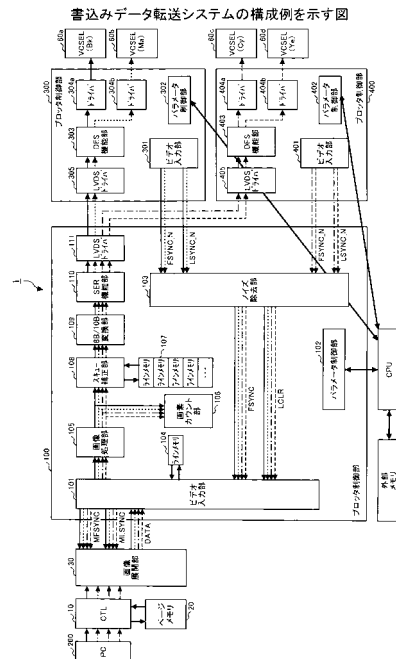
(54) 【発明の名称】 通信装置、通信方法及びプログラム

(57) 【要約】

【課題】 8 B 1 0 B 変換等を用いたデータをシリアル転送する場合に信号の状態をより安定させること。

【解決手段】 送信する対象である対象コードを含むコード列をシリアル送信する通信装置であって、コード列に含まれる各々の第 1 のコードを、当該第 1 のコードよりもビット列の長い第 2 のコードに変換する変換部であって、当該第 2 のコードは第 1 の極性と当該第 1 の極性に係るビット列をビット反転させた第 2 の極性とを含み、第 2 のコードに含まれる 0 及び 1 のビット数が等しい場合、前に送信される第 2 のコードと同じ極性の第 2 のコードに変換し、第 2 のコードに含まれる 0 及び 1 のビット数が異なる場合、前に送信される第 2 のコードと異なる極性の第 2 のコードに変換する変換部と、変換された第 2 のコード毎に下位のビットから順に送信する送信部と、を有する通信装置が開示される。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

送信する対象である対象コードを含むコード列をシリアル送信する通信装置であって、前記コード列に含まれる各々の第 1 のコードを、当該第 1 のコードよりもビット列の長い第 2 のコードに変換する変換部であって、当該第 2 のコードは第 1 の極性と当該第 1 の極性に係るビット列をビット反転させた第 2 の極性とを含み、前記第 2 のコードに含まれる 0 及び 1 のビット数が等しい場合、前に送信される第 2 のコードと同じ極性の第 2 のコードに変換し、前記第 2 のコードに含まれる 0 及び 1 のビット数が異なる場合、前に送信される第 2 のコードと異なる極性の第 2 のコードに変換する変換部と、

前記変換された第 2 のコード毎に下位のビットから順に送信する送信部と、を有する通信装置。

10

【請求項 2】

前記送信部は、前記変換された第 2 のコードをコード毎に上位ビットから順に取得して符号化ブロックの M S B から順に配置した後、当該符号化ブロックの L S B から順にビットを取得して送信する請求項 1 に記載の通信装置。

【請求項 3】

前記送信部は、前記変換された第 2 のコードをコード毎に上位ビットから順に取得して符号化ブロックの L S B から順に配置した後、当該符号化ブロックの M S B から順にビットを取得して送信する請求項 1 に記載の通信装置。

【請求項 4】

8 B 1 0 B 変換を用いて送信する対象である対象コードを含むコード列をシリアル送信する通信装置であって、

前記対象コードの送信開始位置を示し、前記対象コードよりも前に送信される 8 ビットの開始コードと、8 ビットの対象コードとをそれぞれ 1 0 ビットのコードに変換する変換部であって、当該 1 0 ビットのコードに変換された開始コード及び対象コードは第 1 の極性と当該第 1 の極性に係るビット列をビット反転させた第 2 の極性とを含み、前記 1 0 ビットのコードに変換された開始コード及び対象コードに含まれる 0 及び 1 のビット数が等しい場合、前に送信される 1 0 ビットのコードと同じ極性の 1 0 ビットのコードに変換し、前記 1 0 ビットのコードに変換された開始コード及び対象コードに含まれる 0 及び 1 のビット数が異なる場合、前に送信される第 2 のコードと異なる極性の第 2 のコードに変換する変換部と、

20

30

前記 1 0 ビットのコードに変換された開始コード及び対象コードを、コード毎に下位のビットから順に送信する送信部と、を有する通信装置。

【請求項 5】

前記コード列は、さらに前記対象コードの送信終端位置を示し、対象コードの後に送信される終端コードをさらに含み、

前記変換部は、8 ビットの終端コードを、1 0 ビットのコードに変換しており、前記 1 0 ビットのコードに変換された終端コードに含まれる 0 及び 1 のビット数が等しい場合、前に送信される 1 0 ビットのコードと同じ極性の 1 0 ビットのコードに変換し、前記 1 0 ビットのコードに変換された終端コードに含まれる 0 及び 1 のビット数が異なる場合、前に送信される 1 0 ビットのコードと異なる極性の 1 0 ビットのコードに変換する請求項 4 に記載の通信装置。

40

【請求項 6】

前記変換部は、前記開始コードを第 1 のコード群に含まれるいずれかの 1 0 ビットのコードに変換する請求項 4 又は 5 に記載の通信装置。

【請求項 7】

前記変換部は、前記第 1 のコード群のうち、0 又は 1 のビットが 5 回以上連続するコードを除くいずれかの 1 0 ビットのコードに前記開始コードを変換する請求項 6 に記載の通信装置。

【請求項 8】

50

前記変換部は、前記終端コードを第2のコード群に含まれるいずれかの10ビットのコードに変換する請求項5に記載の通信装置。

【請求項9】

前記第2のコード群のうち、0又は1のビットが5回以上連続するコードを除くいずれかの10ビットのコードに前記終端コードを変換する請求項8に記載の通信装置。

【請求項10】

送信する対象である対象コードを含むコード列をシリアル送信する通信方法であって、前記コード列に含まれる各々の第1のコードを、当該第1のコードよりもビット列の長い第2のコードに変換するステップであって、当該第2のコードは第1の極性と当該第1の極性に係るビット列をビット反転させた第2の極性とを含み、前記第2のコードに含まれる0及び1のビット数が等しい場合、前に送信される第2のコードと同じ極性の第2のコードに変換し、前記第2のコードに含まれる0及び1のビット数が異なる場合、前に送信される第2のコードと異なる極性の第2のコードに変換するステップと、

10

前記変換された第2のコード毎に下位のビットから順に送信するステップと、を有する通信方法。

【請求項11】

コンピュータに、請求項10に記載の通信方法を実行させるためのプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、通信装置、通信方法及びプログラムに関する。

【背景技術】

【0002】

高速シリアル通信では、High又はLowレベルのシリアルデータが所定数以上連続して送信されると、信号の状態が不安定になり、伝送エラーが発生しやすくなるという問題がある。

【0003】

例えば、従来技術では、8ビットのデータを10ビットのデータに変換する8B10B変換を用いた高速シリアル通信において、正負2つ極性のコードを切り替えるRD制御を行うことで、High又はLowレベルのシリアルデータが6以上連続しないよう制限していた。以下においてシリアルデータがn個連続する場合をnTと示す。

30

【0004】

さらに、送信側のシリアライザが画像データの前にSTPコードを付与し、画像データの後にENDコードを付与する。受信側のデシリアライザは、STPコード及びENDコードを確認して画像データを受信する。これにより、画像データ転送時の通信品質を安定させる。

【0005】

例えば、RD+及びRD-の2つの極性の10ビットデータを符号化する場合、RD+の次にRD-を送出し、RD-の次にRD+を送出することでDCバランスを調整し、シリアルデータを差動信号により送信する通信方法が知られている(例えば、特許文献1)

40

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、従来技術では、8B10B変換等を用いたデータをシリアル転送する場合に信号の状態が不安定となる問題があった。

【0007】

数GHzの転送クロック数でシリアルデータを転送する場合には、最大5Tになるように制限しても信号の状態が不安定となることがある。例えば、画像データをシリアル転送するときに、STPコード又はENDコードと画像データとの境界に5Tが発生し、DC

50

バランスが低下するため、デシリアライザ側でエラーが発生する。エラーの発生によりデシリアライザ側でSTPコードを検出できなくなり、1ライン分の画像データが破棄される場合がある。

【0008】

そこで、本発明では、8B10B変換等を用いたデータをシリアル転送する場合に信号の状態をより安定させることを目的とする。

【課題を解決するための手段】

【0009】

実施形態では、送信する対象である対象コードを含むコード列をシリアル送信する通信装置であって、前記コード列に含まれる各々の第1のコードを、当該第1のコードよりもビット列の長い第2のコードに変換する変換部であって、当該第2のコードは第1の極性と当該第1の極性に係るビット列をビット反転させた第2の極性とを含み、前記第2のコードに含まれる0及び1のビット数が等しい場合、前に送信される第2のコードと同じ極性の第2のコードに変換し、前記第2のコードに含まれる0及び1のビット数が異なる場合、前に送信される第2のコードと異なる極性の第2のコードに変換する変換部と、前記変換された第2のコード毎に下位のビットから順に送信する送信部と、を有する通信装置が開示される。

10

【発明の効果】

【0010】

8B10B変換等を用いたデータをシリアル転送する場合に信号の状態をより安定させることができる。

20

【図面の簡単な説明】

【0011】

【図1】書込みデータ転送システムの構成例を示す図である。

【図2】正順シリアライザのデータ出力手順を説明する図である。

【図3(A)】逆順シリアライザのデータ出力の第1の手順を説明する図である。

【図3(B)】逆順シリアライザのデータ出力の第2の手順を説明する図である。

【図4】RDルールを説明するための図である。

【図5】シリアライザ出力のタイミングチャートを示す図である。

【図6】変換テーブルの一例を示す図である。

30

【図7】シリアライザ デシリアライザ接続の例を示す図である。

【図8(A)】デシリアライザのデータ出力手順を説明する図である。

【図8(B)】デシリアライザ時に使用する変換テーブルの一例を示す図である。

【図9】STPコードと画像データの先端との間で5Tが発生する組み合わせを例示した図である。

【図10】画像データの末端とENDコードとの間で5Tが発生する組み合わせを例示した図である。

【発明を実施するための形態】

【0012】

以下、本発明の実施形態について添付の図面を参照しながら説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することによって重複した説明を省く。

40

【0013】

[第1実施形態]

図1は、書込みデータ転送システム1の構成例を示す図である。書込みデータ転送システム1は、CTL(Controller)10と、ページメモリ20と、画像展開部30と、CPU40と、外部メモリ50と、VCSEL(Vertical Cavity Surface Emitting LASER)(Bk(Black))60aと、VCSEL(Ma(Magenta))60bと、VCSEL(Cy(Cyan))60cと、VCSEL(Ye(Yellow))60dと、プロッタ制御部100と、PC200と、プロッタ制御部300と、プロッタ制御部400とを有する。なお、

50

以下においては、V C S E L 6 0 a、V C S E L 6 0 b、V C S E L 6 0 c 及び V C S E L 6 0 d を区別しない場合は、V C S E L 6 0 と示す。

【 0 0 1 4 】

プロッタ制御部 1 0 0 は、P C (Personal Computer) 2 0 0 から送信された画像データを面積階調補正、エッジ補正、スキュー補正等によって画像データを補正し、補正後の画像データをプロッタ制御部 3 0 0 及びプロッタ制御部 4 0 0 に高速シリアル転送する。

【 0 0 1 5 】

プロッタ制御部 1 0 0 は、ビデオ入力部 1 0 1 と、パラメータ制御部 1 0 2 と、ノイズ除去部 1 0 3 と、ラインメモリ 1 0 4 と、画像処理部 1 0 5 と、画素カウント部 1 0 6 と、ラインメモリ群 1 0 7 と、スキュー補正部 1 0 8 と、8 B / 1 0 B 変換部 1 0 9 と、S E R (Serializer) 機能部 1 1 0 と、L V D S (Low voltage differential signaling) ドライバ 1 1 1 とを有する。

【 0 0 1 6 】

P C 2 0 0 は、ユーザから印刷指示を受け付けると、プリンタドライバを用いて G I F 又は J P E G 等の画像ファイルを C T L 1 0 に送信する。C T L 1 0 は、受信した画像ファイルをビットマップデータ等の画像データに変換して画像展開部 3 0 に転送する。

【 0 0 1 7 】

画像展開部 3 0 は、ビデオ入力部 1 0 1 と相互に通信することで画像データをプロッタ制御部 1 0 0 に転送する。具体的には、画像展開部 3 0 は、ビデオ入力部 1 0 1 から M F S Y N C 信号が出力された後、M L S Y N C 信号が出力される度に 1 ライン分ずつ画像データをプロッタ制御部 1 0 0 に転送する。なお、M F S Y N C 信号は、ページ先端を示すパルス式の同期信号である。また、M L S Y N C 信号は、ライン先端を示すパルス式の同期信号である。

【 0 0 1 8 】

また、画像展開部 3 0 は、色毎 (ブラック、マゼンタ、シアン及びイエロー) に、ビデオ入力部 1 0 1 から M L S Y N C 信号が出力されるタイミングに合わせて 1 ライン分の画像データをビデオ入力部 1 0 1 に転送する。なお、画像展開部 3 0 は、ブラック、マゼンダ、シアン及びイエロー以外の色の画像データをビデオ入力部 1 0 1 に転送してもよい。

【 0 0 1 9 】

C P U 4 0 は、外部メモリ 5 0 を参照して画像形成の準備の完了を検知した場合に、スタートトリガ信号を生成してパラメータ制御部 3 0 2 及びパラメータ制御部 4 0 2 に送信する。

【 0 0 2 0 】

ビデオ入力部 3 0 1 及びビデオ入力部 4 0 1 は、受信したスタートトリガ信号に基づいてスタートトリガを生成する。ビデオ入力部 3 0 1 は、生成したスタートトリガを起点としてブラック及びマゼンタの F S Y N C _ _ N 信号及び L S Y N C _ _ N 信号を生成してノイズ除去部 1 0 3 に送信する。また、ビデオ入力部 4 0 1 は、生成したスタートトリガを起点としてシアン及びイエローの F S Y N C _ _ N 信号及び L S Y N C _ _ N 信号を生成してノイズ除去部 1 0 3 に送信する。

【 0 0 2 1 】

ノイズ除去部 1 0 3 は、ビデオ入力部 3 0 1 及びビデオ入力部 4 0 1 から受信した F S Y N C _ _ N 信号及び L S Y N C _ _ N 信号に含まれる静電気パルス等のノイズを除去する。

【 0 0 2 2 】

なお、例えば、本書込みデータシステムを搭載した画像形成装置において、1 0 0 P P M を超える超高速印刷に対応するとき、図示しない感光体ドラムやポリゴンモータを高速に動作させる必要がある。そのためには、高出力の駆動モータ、大径サイズの感光体ドラム等が必要になり、各駆動ユニットのサイズが大きくなるため、必然的にユニット間の距離が大きくなる。

【 0 0 2 3 】

それに伴い、各感光体ドラムを露光する V C S E L も離れた位置に配置することになり

10

20

30

40

50

、VCSSELを制御するプロッタ制御部300及びプロッタ制御部400を離れた位置に配置する必要がある。また、プロッタ制御部300及びプロッタ制御部400と接続するプロッタ制御部100も必然的に離れた位置に配置することになり、プロッタ制御部300及びプロッタ制御部400とプロッタ制御部100の距離が数メートル離れる場合がある。

【0024】

そのため、FSYNC__N信号及びLSYNC__N信号は数メートルの信号線を通じてプロッタ制御部300及びプロッタ制御部400からプロッタ制御部100に伝送され、その間でノイズの影響を受ける可能性が高くなる。

【0025】

よって、FSYNC__N信号及びLSYNC__N信号の受信部にはノイズ除去回路が必要になる。

【0026】

また、画像展開部30とプロッタ制御部100には物理的な配置制約は特に無く、近傍に配置することが可能である。そのため、MFSYNC信号及びMLSYNCSIGNAL信号の受信部には、ノイズ除去回路は必須ではない。

【0027】

ノイズ除去部103は、受信したFSYNC__N信号をFSYNC信号としてビデオ入力部101に転送する。

【0028】

また、ノイズ除去部103は、FSYNC信号を起点として4本のLSYNC__N信号毎に1本のLCRL信号を生成し、生成したLCRL (Line Clear) 信号をビデオ入力部101に送信する。具体的には、ノイズ除去部103は、色毎に所定の時間差を設けつつ、LCRL信号を生成してビデオ入力部101に送信する。例えば、ノイズ除去部103は、ブラックに係るLCRL信号、マゼンタに係るLCRL信号、シアンに係るLCRL信号、イエローに係るLCRL信号の順に生成し、生成した順に各々のLCRL信号をビデオ入力部101に送信する。

【0029】

ビデオ入力部101は、受信したLCRL信号を起点として色毎(ブラック、マゼンタ、シアン、イエロー)にMFSYNC信号及びMLSYNCSIGNAL信号を生成して、画像展開部30に送信する。これにより、ビデオ入力部101は、MFSYNC信号及びMLSYNCSIGNAL信号を送信したタイミングに応じて、順次、画像展開部30から色毎に1ライン分の画像データを受信することになる。なお、ビデオ入力部101は、画像展開部30と同じクロックに同期して動作する。

【0030】

ビデオ入力部101は、画像展開部30から受信した1ライン分の画像データをラインメモリ104にライトする。ビデオ入力部101は、4ライン分の画像データがラインメモリ104にライトされた後、LCRL信号を挟んで4ライン分の画像データをリードする。なお、ビデオ入力部101は、LCRL信号間でライト処理及びリード処理のタイミングを設定することが可能である。例えば、ビデオ入力部101は、LCRL信号間の前半部にラインメモリ104に2回ライトし、後半部にラインメモリ104を2回リードするように、ライト処理及びリード処理のタイミングを設定することができる。また、ビデオ入力部101は、第1のLCRL信号の後にラインメモリ104に4回ライトし、第2のLCRL信号の後にラインメモリ104を4回リードするように、ライト処理及びリード処理のタイミングを設定することもできる。

【0031】

続いて、ビデオ入力部101は、画素データに対して面積階調補正を行う。面積階調補正とは、入力側の1画素の座標に対応する出力側の複数の画素を用いて疑似的に階調表現を行う補正である。ビデオ入力部101は、面積階調補正後の画素データを画像処理部105に送信する。なお、後述する画像処理部105が面積階調補正を行ってもよい。

10

20

30

40

50

【 0 0 3 2 】

また、面積階調補正は、L E D Aのように発光デバイスが2値表現のみ出力可能なシステムの場合に実施する。L Dのように、P W Mを用いて多値表現が可能な発光デバイスの場合は実施しなくてもよい。V C S E Lの場合、20～40個のL Dが高密度に配置されているデバイスであり、各L Dが2値表現を行っても十分に高精細な画像(1200×2400dpi)を得ることができる。さらに、各L DをP W M制御することでさらに超高精細(2400×4800dpi)な画像を得ることも可能である。よって、V C S E Lを用いる場合、V C S E Lシステムで2値表現を用いるか否かに応じて、面積階調を実行するか否かを切替えて使用する。

【 0 0 3 3 】

画像処理部105は、受信した画素の集合に対し、例えば、エッジ補正(1)、トリミング補正(2)及び内部パターン重畳(3)等の画像データ処理を行う。

【 0 0 3 4 】

エッジ補正(1)とは、画像データからエッジを検出し、滑らかにする補正である。面積階調補正後の画像データにエッジが発生する場合がある。画像処理部105は、面積階調補正後にエッジ補正を行うことで、面積階調補正した際に画像データに生じたエッジを滑らかにすることができる。

【 0 0 3 5 】

トリミング補正(2)とは、画像データの不要な部分を削除する補正である。画像処理部105は、例えば、主走査方向及び副走査方向にトリミング補正を行い、トリミング境界を用紙上の印字可能範囲と一致させる。

【 0 0 3 6 】

内部パターン重畳(3)とは、テストパターン、偽造防止用パターン及び調整用パターンなどのパターン画像を画像データに重畳させる補正である。調整用パターンには、濃度調整用パターン、色ずれ補正用パターン、ブレード捲れ回避用パターンなどがある。画像処理部105は、V C S E L 60の解像度に一致させて各パターンを生成し、画像データに重畳させることでV C S E L 60に最適化した画像データを生成する。

【 0 0 3 7 】

なお、画像処理部105は、画像データをジャギー補正する場合、不図示のラインメモリを使用して補正を行ってもよい。

【 0 0 3 8 】

画像処理部105は、画像処理した画像データをスキュー補正用のラインメモリ群107にライトする。画像処理部105は、スキュー補正用のラインメモリの1アドレスにMbit記録できる場合、1アドレスにM画素分の画像データをライトするようにしてもよい。これにより、画像処理後の画像データを最小限のメモリで記録することができる。

【 0 0 3 9 】

画素カウント部106は、画像データ処理後の画像データに含まれる画素数をカウントする。例えば、C P U 40は、画素カウント部106においてカウントされた画素数に応じて、利用者に請求する課金額を算出してもよい。また、画素カウント部106は、画像データの画素数に加え、テストパターン、偽造防止用パターン及び調整用パターンなどのパターン画像の画素数をカウントしてもよい。これにより、トナー消費量を正確に把握することができる。

【 0 0 4 0 】

また、プロッタ制御部100は、ビデオ入力部101のラインメモリ104にライトされた4ライン分の画像データを、スキュー補正部のラインメモリ群107にライトするまで4ライン同時にマルチデータパスで処理する。

【 0 0 4 1 】

マルチデータパスを使用することで、画像処理部105は、主走査方向及び副走査方向に数画素ずつ同時に2次元データを参照することができるようになるため、エッジ処理及びジャギー補正等の処理の精度が向上する。また、マルチデータパスを使用することで、

10

20

30

40

50

画像データの転送レートが向上し、印刷処理の速度が向上する。また、高解像度の画像データ及び高解像度のパターンを重畳した画像データを、転送時間を遅延させずに転送することもできる。また、ビデオ入力部101は、主走査方向及び副走査方向にコピーした画像データに対して面積階調補正等の画像処理を行い、高解像度化された画像データをマルチデータパスで転送してもよい。

【0042】

スキュー補正部108は、スキュー補正用のラインメモリ群107に記録された画像データを、画像データの位置に応じてリードするラインメモリを切り替えることでスキュー補正を行う。スキュー補正部108は、画像処理部105によってラインメモリ群107にライトされる周期の1/Nの周期でラインメモリ群107をリードする。これにより、スキュー補正後の画像データの副走査方向の解像度がN倍となり、画像データを高解像度化することができる。

10

【0043】

8B/10B変換部109は、スキュー補正部108から受信した8ビットのコード列(画像データ)を変換テーブルに基づいて10ビットのコード列に変換する。8B/10B変換部109は、変換した10ビットのコード列を符号化ブロックに配列する。

【0044】

SER機能部110は、符号化ブロックに配列された10ビットの平行データ(画像データ)を1ビットずつ、10回に分割して順次出力するシリアルデータに変換する。SER機能部110は、ブラック、マゼンタ、シアン、イエローの画像データのうち、ブラック及びマゼンタの画像データをプロッタ制御部300にシリアル送信し、シアン及びイエローの画像データをプロッタ制御部400にシリアル送信する。なお、シリアライザの手順に関しては、後述する。

20

【0045】

プロッタ制御部300は、ビデオ入力部301と、パラメータ制御部302と、DES機能部303と、ドライバ304aと、ドライバ304bと、LVDSドライバ305とを有する。また、プロッタ制御部400は、ビデオ入力部401と、パラメータ制御部402と、DES機能部403と、ドライバ404aと、ドライバ404bと、LVDSドライバ405とを有する。

【0046】

DES機能部303は、LVDSドライバ305を介してブラック及びマゼンタの10ビットのコード列を受信する。DES機能部303は、ブラック及びマゼンタの10ビットのコード列を8ビットのコード列に変換し、ブラックのコード列をドライバ304aに出力し、マゼンタのコード列をドライバ304bに出力する。ドライバ304aは、出力されたブラックのコード列に基づいてVCSEL60aを点灯させる。また、ドライバ304bは、出力されたマゼンタのシリアルデータに基づいてVCSEL60bを点灯させる。

30

【0047】

DES機能部403は、LVDSドライバ405を介してシアン及びイエローの10ビットのコード列を受信する。DES機能部403は、シアン及びイエローの10ビットのコード列を8ビットに変換し、シアンのコード列をドライバ304cに出力し、イエローのコード列をドライバ304dに出力する。ドライバ304cは、出力されたシアンのコード列に基づいてVCSEL60cを点灯させる。また、ドライバ304dは、出力されたイエローのコード列に基づいてVCSEL60dを点灯させる。

40

【0048】

なお、第1実施形態では、2つのプロッタ制御部にそれぞれ2色分の画像データをシリアル送信する例について説明したが、これに限定されない。例えば、各色(ブラック、マゼンタ、シアン、イエロー)の画像データを4つのプロッタ制御部に別々にシリアル送信してもよい。

【0049】

50

なお、使用する光学系は、V C S E L 以外に、マルチ L D (Laser Diode)、L E D A (LED Array) 等であってもよい。

【 0 0 5 0 】

次に、図 2 及び図 3 を用いて正順シリアルライザの手順と逆順シリアルライザの手順とについて説明する。

【 0 0 5 1 】

図 2 は、正順シリアルライザのデータ出力手順を説明する図である。図 2 の (a) は、8 ビットの符号化ブロックを示す。最下段が L S B (Least Significant Bit) であり、最上段が M S B (Most Significant Bit) である。8 B / 1 0 B 変換部 1 0 9 は、受信した画像データ 8 ビットを上位ビットから順に取得し、符号化ブロックの L S B から順に格納する。例えば、8 ビットのビット列 A B C D E F G H (A が最上位ビット、H が最下位ビット) を 8 ビットの符号化ブロックに格納する場合、(a) のように符号化ブロックには、L S B から順に A、B、C、D、E、F、G、H のビットが格納される。続いて、8 B / 1 0 B 変換部 1 0 9 は、8 ビットのビット列を変換テーブルに基づいて 1 0 ビットのビット列に変換し、1 0 ビットのビット列を上位ビットから順に取得し、符号化ブロックの L S B から順に格納する。図 2 の (b) は、1 0 ビットのビット列を L S B から順に格納した符号化ブロックを示す。例えば、1 0 ビットのビット列 a b c d e i f g h j (a が最上位ビット、j が最下位ビット) を 1 0 ビットの符号化ブロックに格納する場合、(b) のように符号化ブロックには、L S B から順に a、b、c、d、e、i、f、g、h、j のビットが格納される。

10

20

【 0 0 5 2 】

図 2 の (c) は、L V D S ドライバ 1 1 1 によって送信されるビットの送信順序を示す。S E R 機能部 1 1 0 は、1 0 ビットの符号化ブロックに格納されているパラレルデータをシリアルデータに変換し、L V D S ドライバ 1 1 1 に、(c) のように 1 0 ビットのシリアルデータを正順にセットしてプロッタ制御部 3 0 0 及びプロッタ制御部 4 0 0 にシリアル送信する。正順とは、転送される画像データに係るビット列の上位ビットから下位ビットまでの順番を示す。すなわち、(b) の L S B に格納されている a から順に、b、c、d、e、i、f、g、h、j のビットが送信される。以下において、L S B に配置されたデータから順にデータ送信することを正順シリアルライザ送信という。

【 0 0 5 3 】

図 3 (A) は、逆順シリアルライザのデータ出力の第 1 の手順を説明する図である。図 3 (A) の (a) は、8 ビットの符号化ブロックを示す。8 B / 1 0 B 変換部 1 0 9 は、受信した画像データ 8 ビットを上位ビットから順に取得し、符号化ブロックの L S B から順に格納する。例えば、8 ビットのビット列 A B C D E F G H (A が最上位ビット、H が最下位ビット) を 8 ビットの符号化ブロックに格納する場合、(a) のように符号化ブロックには、L S B から順に A、B、C、D、E、F、G、H のビットが格納される。続いて、8 B / 1 0 B 変換部 1 0 9 は、8 ビットのビット列を変換テーブルに基づいて 1 0 ビットのビット列に変換し、1 0 ビットのビット列を上位ビットから順に取得し、符号化ブロックの L S B から順に格納する。図 3 (A) の (b) は、1 0 ビットのビット列を L S B から順に格納した場合の 1 0 ビットの符号化ブロックを示す。例えば、1 0 ビットのビット列 a b c d e i f g h j (a が最上位ビット、j が最下位ビット) を 1 0 ビットの符号化ブロックに格納する場合、(b) のように符号化ブロックには、符号化ブロックには、L S B から順に a、b、c、d、e、i、f、g、h、j のビットが格納される。

30

40

【 0 0 5 4 】

図 3 (A) の (c) は、L V D S ドライバ 1 1 1 によって送信されるシリアルデータの送信順序を示す。S E R 機能部 1 1 0 は、1 0 ビットのパラレルデータを 1 0 ビットのシリアルデータに変換し、L V D S ドライバ 1 1 1 に、(c) のように 1 0 ビットのビット列を逆順にセットしてプロッタ制御部 3 0 0 及びプロッタ制御部 4 0 0 にシリアル送信する。逆順とは、転送される画像データに係るビット列の下位ビットから上位ビットまでの順番を示す。すなわち、(b) の M S B に格納されている j から順に、h、g、f、i、

50

e、d、c、b、aのビットが送信される。以下において、MSBに配置されたデータから順にデータ送信することを逆順シリアルライザ送信という。

【0055】

図3(B)は、逆順シリアルライザのデータ出力の第2の手順を説明する図である。8B/10B変換部109は、受信した画像データ8ビットを上位ビットから順に取得し、符号化ブロックのLSBから順に格納する。例えば、8ビットのビット列ABCDEFGHIH(Aが最上位ビット、Hが最下位ビット)を8ビットの符号化ブロックに格納する場合、(a)のように符号化ブロックには、LSBから順にA、B、C、D、E、F、G、Hのビットが格納される。続いて、8B/10B変換部109は、8ビットのビット列を変換テーブルに基づいて10ビットのビット列に変換し、10ビットのビット列を上位ビットから順に取得し、符号化ブロックのMSBから順に格納する。例えば、10ビットのビット列abcdefghij(aが最上位ビット、jが最下位ビット)を10ビットの符号化ブロックに格納する場合、(b)のように符号化ブロックには、MSBから順にa、b、c、d、e、i、f、g、h、jのビットが格納される。

10

【0056】

SER機能部110は、10ビットの平行データを10ビットのシリアルデータに変換し、LVDSドライバに、(c)のように10ビットのビット列を正順にセットしてプロッタ制御部300及びプロッタ制御部400にシリアル送信する。すなわち、(b)のLSBに格納されているjから順に、h、g、f、i、e、d、c、b、aのビットが送信される。

20

【0057】

図4は、RDルールを説明するための図である。図4(a)は、正順RDルールを示し、図4(b)は、逆順RDルールを示す。図4(a)及び図4(b)の上側は、RD+及びRD-の極性データの選択を示す。図4(a)でHighとなっている場合、RD+であることを示し、Lowとなっている場合、RD-であることを示す。図4(a)及び図4(b)の下側は、転送される10ビットのシリアルデータの配列を示す。各々のマス目が10ビットのシリアルデータである。マス目内の「COM」は、COMのシンボルコードを示す。COMのシンボルコードは、ネゲートしている場合に画像データ外であることの認識に使用されるコードである。以下において、「COM」のシンボルコードをCOMコードという。マス目内の「Dm.n(m,nは整数)」は、画像データのコードを示す。すなわち、m及びnは、データコードグループの番号を示す。8ビットのコード毎に、正の極性及び負の極性の10ビットのコードが対応付けられる。マス目内のカッコ内の数値は、10ビットのシリアルデータに含まれる「1」のビットの個数を示す。例えば、「COM(6)」の場合、COMコードに「1」のビットが6個含まれていることを示す。

30

【0058】

10ビットのコードはRD+とRD-の2つの極性を有する。8B/10B変換部109は、RDルールに基づいて、8ビットのコードをRD+とRD-のどちらかの極性の10ビットのコードに変換する。「RDルール」とは、8ビットのコードを10ビットのコードに変換する場合においてRD+及びRD-の極性を選択するためのルールである。「正順RDルール」とは、各10ビットのコードを正順に送信する場合のRDルールである。正順RDルールでは、現在送信しようとしている現10ビットのコードの「1」のビット数が5個場合、次の10ビットのコードは、現10ビットのコードと同じ極性のデータとする。一方、現10ビットのコードの「1」のビット数が5個以外の場合、次の10ビットのコードは、現10ビットのコードと異なる極性のデータとする。

40

【0059】

例えば、図4(a)において、左側から3番目のシリアルデータは、「1」のビット数が6であるので、SER機能部110は、次の4番目のコードの極性をRD-からRD+に反転させる。続いて、4番目のシリアルデータは、「1」のビット数が4であるので、SER機能部110は、次の5番目のコードの極性をRD+からRD-に反転させる。続いて、5番目のシリアルデータは、「1」のビット数が5であるので、SER機能部11

50

0 は、次の 6 番目のコードの極性を RD - で維持する。

【 0 0 6 0 】

また、「逆順 RD ルール」とは、各 10 ビットのコードを逆順に送信する場合の RD ルールである。逆順 RD ルールでは、現在送信しようとしている現 10 ビットのコードの「1」のビット数が 5 個の場合、現 10 ビットのコードは、前に送信された 10 ビットのコードと同じ極性のデータとする。一方、現 10 ビットのコードの「1」のビット数が 5 個以外の場合、現 10 ビットのコードは、前に送信された 10 ビットのコードと異なる極性のデータとする。

【 0 0 6 1 】

例えば、図 4 (b) において、左側から 3 番目のシリアルデータは、「1」のビット数が 6 であるので、SER 機能部 110 は、現シリアルデータの極性を RD + (2 番目のコードの極性) から RD - に反転させる。続いて、4 番目のシリアルデータは、「1」のビット数が 4 であるので、SER 機能部 110 は、現シリアルデータの極性を RD - (3 番目のコードの極性) から RD + に反転させる。続いて、5 番目のシリアルデータは、「1」のビット数が 5 であるので、SER 機能部 110 は、現シリアルデータの極性を RD + (4 番目のコードの極性) に維持する。続いて、6 番目のシリアルデータは、「1」のビット数が 6 であるので、SER 機能部 110 は、現シリアルデータの極性を RD + (5 番目のコードの極性) から RD - に反転させる。

10

【 0 0 6 2 】

図 5 は、シリアルライザ出力のタイミングチャートを示す図である。図 5 の横軸は、時間を示す。

20

【 0 0 6 3 】

クロックは、SER 機能部 110 の動作クロックを示す。Skew L gate は、SER 機能部 110 に入力された 8 ビットのコード列 (画像データ) の先端及び末端の位置を示す。Skew Data は、SER 機能部 110 に入力された 8 ビットのコード列 (画像データ) を示す。Ser L gate は、「STP」のシンボルコード列の先端と「END」のシンボルコード列の末端の位置を示す。なお、「STP」のシンボルコードは、画像データの始点を検出する場合に使用されるコードである。また、「END」のシンボルコードは、画像データの終点を検出する場合に使用されるコードである。以下において、「STP」のシンボルコードを STP コードといい、「END」のシンボルコードを END

30

【 0 0 6 4 】

Ser Data は、10 ビットに変換された COM コード、STP コード、END コード及び画像データを示す。

【 0 0 6 5 】

スキュー補正部 108 は、Skew L gate のエッジを検出することにより画像データの先端及び末端の位置を検出し、8 ビットのコード列を取得する。スキュー補正部 108 は、取得した 8 ビットのコード列を 8 B / 10 B 変換部 109 に送信する。8 B / 10 B 変換部 109 は、8 ビットのコード列の前に複数の STP コードを付加し、8 ビットのコード列の後に複数の END コードを付加する。続いて、8 B / 10 B 変換部 109 は、Ser L gate のエッジを検出することにより画像データ外の位置を検出し、画像データ外の位置に複数の COM コードを付加することで Ser Data を生成する。このように、画像データ外に複数の COM コードを付加することにより、画像データ間の距離を広くしている。

40

【 0 0 6 6 】

図 6 は、変換テーブルの一例を示す図である。8 B / 10 B 変換部 109 は、図 6 の変換テーブルに基づいて 8 ビットのシンボルコードを 10 ビットのシンボルコードに変換する。「Symbol Name」は、シンボルコードの種別を示す。シンボルコードは、12 種類用意されており、1 種類の COM コード、5 種類の STP コード (STP 1 ~ 5) 及び 5 種類の END コード (END 1 ~ 5) のそれぞれにシンボルコードが割り当てられる。「Da

50

「Data Byte Name」は、シンボルコードの名称を示す。「Data Byte Value(hex)」は、8ビットのシンボルコードを16進数で表したものである。「8Bコード」は、8ビットのシンボルコードを示す。「10Bコード」は、8ビットのシンボルコードに対応する極性RD+及び極性RD-の10ビットのシンボルコードである。

【0067】

COMデータは、画像データ間の境界を検出しやすくするために、COMコード内に5Tを含むものが割り当てられ、例えば、K28.5が割り当てられる。

【0068】

また、STPコード及びENDコードには、近いデータ配列のシンボルコードが割り当てられる。例えば、STPコードに対しては、図6の変換テーブルの2行目から6行目までの8Bコードを割り当てる。以下において、図6の変換テーブルの2行目から6行目までの8Bコードを第1のコード群という。すなわち、STP1~5に対しては、K23.7、K27.7、K29.7、K29.7、K30.7、K28.7が割り当てられる。なお、K28.7が割り当てられているSTP5には、コード内に5Tが含まれるため、8B/10B変換部109は、STP1~4を優先的に使用するようにしてもよい。

10

【0069】

また、ENDコードに対しては、図6の変換テーブルの7行目から11行目までの8Bコードが割り当てられる。以下において、図6の変換テーブルの7行目から11行目までの8Bコードを第2のコード群という。すなわち、END1~5に対しては、K28.0、K28.1、K28.2、K28.3、K28.4が割り当てられる。なお、END2(K28.2)は、コード内に5Tが含まれるため、8B/10B変換部109は、END1、3~5を優先的に使用するようにしてもよい。

20

【0070】

なお、SER機能部110は、1ラインの画素数又は1ラインのバイト数等の画像データのサイズ情報を別途DES303及びDES403に送信してもよい。この場合、DES機能部303は、STPコードと画像データとの境界を検出することができれば、画像データのサイズ情報に基づいて、ENDコードと画像データとの境界も検出することができる。

【0071】

図7は、シリアライザ デシリアライザ接続の例を示す図である。スキュー補正部108は、1画素4ビットの画像データで4ライン分(4ビット×4)の画像データを8ビットのコードに分割して、順番に8ビットのコードを8B10B変換部109に送信する。例えば、スキュー補正部108は、CH0~7までの各チャンネルに、SkewLgate0~7とSkewData0~7(8ビットのコード)とをそれぞれ送信する。8B10B変換部109は、CH0~7までの各チャンネルにおいてSkewLgate0~7のエッジを検出することによって、SkewData0~7(8ビットのコード)を取得する。続いて、8B10B変換部109は、8ビットのコードを10ビットのコードに変換してSER機能部110に送信する。

30

【0072】

なお、8B10B変換部109は、CH0~7までの各チャンネルのうち、一部のチャンネルをリセット信号により使用しないようにしてもよい。例えば、カラー印刷の場合、8B10B変換部109は、CH0~7のすべてのチャンネルを使用する。一方、モノクロ印刷の場合、8B10B変換部109は、CH0~1の2チャンネルを使用し、CH2~7のチャンネルをリセット信号により使用しないようにする。

40

【0073】

8B10B変換部109は、シリアルデータ(10ビットのコード)を転送する際に、正順シリアライザを使用するか、逆順シリアライザを使用するかを決定し、CH0~7の各チャンネルで8ビットのコードを10ビットのコードに変換する。

【0074】

例えば、8B10B変換部109は、正順シリアライザを使用する場合、正順RDルー

50

ルを選択する。続いて、8 B 1 0 B 変換部 1 0 9 は、正順 R D ルールに基づいて 8 ビットのコードを 1 0 ビットのコードに変換する。

【 0 0 7 5 】

一方、8 B 1 0 B 変換部 1 0 9 は、逆順シリアライザを使用する場合、逆順 R D ルールを選択する。続いて、8 B 1 0 B 変換部 1 0 9 は、逆順 R D ルールに基づいて 8 ビットのコードを 1 0 ビットのコードに変換する。

【 0 0 7 6 】

続いて、8 B 1 0 B 変換部 1 0 9 は、変換した 1 0 ビットのコードを S E R 機能部 1 1 0 に出力する。

【 0 0 7 7 】

なお、正順シリアライザが使用された場合に逆順 R D ルールが選択されたり、逆順シリアライザが使用された場合に正順 R D ルールが選択されたりすると、転送する 1 0 ビットのコード列に 6 T が発生することがある。

【 0 0 7 8 】

S E R 機能部 1 1 0 は、正順シリアライザを使用する場合、符号化ブロックの L S B から順に各々のビットを取得し、L V D S ドライバ 1 1 1 に、取得したビットをセットする。一方、S E R 機能部 1 1 0 は、逆順シリアライザを使用する場合、符号化ブロックの M S B から順に各々のビットを取得し、L V D S ドライバ 1 1 1 に、取得したビットをセットする。続いて、L V D S ドライバ 1 1 1 は、セットされた順番にビット列を L V D S ドライバ 3 0 5 に送信する。

【 0 0 7 9 】

図 8 (A) は、デシリアライザのデータ出力手順を説明する図である。また、図 8 (B) は、デシリアライザ時に使用する変換テーブルの一例を示す図である。図 8 (A) (B) を用いてシリアルデータを受信した場合のデシリアライザを説明する。D E S 機能部 3 0 3 は、逆順シリアライザされたシリアルデータ 1 0 ビットを上位ビットから順に取得し、図 8 (A) の (a) の符号化ブロックの L S B から順にビットを格納する。(a) の符号化ブロックには、L S B から順に j、h、g、f、i、e、d、c、b、a のビットが格納される。続いて、D E S 機能部 3 0 3 は、(a) の符号化ブロックに格納されている 1 0 ビットのシリアルデータを、図 8 (B) に示される変換テーブルに基づいて 8 ビットのシリアルデータに変換する。なお、図 8 (B) の変換テーブルは、図 6 の変換テーブルと比べて、1 0 B コードの欄に示されたビット列の並びが逆順となっている点で異なる。

【 0 0 8 0 】

続いて、D E S 機能部 3 0 3 は、変換された 8 ビットのシリアルデータを上位ビットから順に取得し、(b) の符号化ブロックの L S B から順にビットを格納する。これにより、デシリアライザのデータ出力が完了する。なお、シリアルデータに対して正順シリアライザが使用された場合、D E S 機能部 3 0 3 は、図 6 の変換テーブルを用いてデシリアライザを行う。

【 0 0 8 1 】

図 9 は、S T P コードと画像データの先端との間で 5 T が発生する組み合わせを例示した図である。図 9 の (a) は、正順シリアライザを使用した場合の S T P コードと画像データの先端との間で 5 T が発生する組み合わせを示す。図 6 に示すように S T P コードの末端は、0 又は 1 が 3 つ連続しており 3 T である。このため、正順シリアライザを使用した場合、S T P コードと画像データの先端との間で 5 T が発生する可能性が高い。

【 0 0 8 2 】

具体的には、5 T が発生する組み合わせは 2 4 0 通りあり、また、8 ビットの画像データが 2 5 6 つ、S T P コードが 5 つ、極性が 2 つあるので、全組み合わせ数は 2 5 6 0 となる。したがって、正順シリアライザを使用した場合、S T P コードと画像データの先端との間で 5 T が発生する確率は、 $(240 / 2560) \times 100 (\%) = 9.375 (\%)$ ということになる。

【 0 0 8 3 】

10

20

30

40

50

また、正順シリアルライザを用いた場合、STEP 1～5の全てに5Tが発生する組み合わせがあるため、STEP 1～5のコード割り当てを変更しても、5Tを回避することができない。

【0084】

一方、逆順シリアルライザを使用した場合、5Tが発生する組み合わせは6通りあるので、STEPコードと画像データの先端との間で5Tが発生する確率は、 $(6 / 2560) \times 100 (\%) = 0.234 (\%)$ ということになる。また、5Tが発生する組み合わせは、全てK28.7 (STEP 5)を使用した場合に限定される。このため、STEPコードと画像データの先端との間でSTEP 5を使用しないように制限することで、5Tの発生を確実に回避することができる。これにより、画像データをシリアル転送する場合に信号の状態をより安定させることができる。

10

【0085】

すなわち、本実施形態においては、STEPコードを第1コード群に設定し、さらに逆順シリアルライザを用いることによって、デシリアルライザにおけるSTEPコードの検出精度を向上させ、高品質な高速シリアルデータ転送を実現することができる。

【0086】

図10は、画像データの末端とENDコードとの間で5Tが発生する組み合わせを例示した図である。図10の(a)は、逆順シリアルライザを使用した場合の画像データの末端とENDコードとの間で5Tが発生する組み合わせを示す。図6に示すようにENDコードの先端は、0又は1が2つ連続しており2Tである。このため、正順シリアルライザを使用した場合、画像データの末端とENDコードとの間で5Tが発生する可能性が高い。

20

【0087】

具体的には、5Tが発生する組み合わせは30通りあり、また、全組み合わせ数は2560である。したがって、正順シリアルライザを使用した場合、STEPコード及び画像データの先端の間で5Tが発生する確率は、 $(30 / 2560) \times 100 (\%) = 1.172 (\%)$ ということになる。

【0088】

また、正順シリアルライザを使用した場合、END 1～5の全てに5Tが発生する組み合わせがあるため、END 1～5のコード割り当てを変更しても、5Tを回避することができない。

30

【0089】

一方、逆順シリアルライザを使用した場合、5Tが発生する組み合わせはないので、画像データの末端とENDコードとの間で5Tが発生する確率は、0(%)ということになる。このため、逆順シリアルライザを使用することで、画像データの末端とENDコードとの間で5Tの発生を確実に回避することができる。これにより、8B10B変換した画像データをシリアル転送する場合に信号の状態をより安定させることができる。

【0090】

すなわち、本実施形態においては、ENDコードを第2コード群に設定し、さらに逆順シリアルライザを用いることによって、デシリアルライザにおけるENDコードの検出精度を向上させ、高品質な高速シリアルデータ転送を実現することができる。

40

【0091】

以上、VCSEL書込み制御システムを実施形態により説明したが、本発明は上記実施形態に限定されるものではなく、本発明の範囲内で種々の変形及び改良が可能である。例えば、露光部にVCSELを使用したのがこれに限定されず、LDでもよい。ラインヘッドであればLEDヘッド、有機ELヘッド、LDアレイヘッド等を用いてもよい。

【0092】

また、上記の高速シリアル転送は、画像データの転送に使用する場合に限定されない。上記の高速シリアル転送は、画像データ以外のデータを転送する場合にも適用してもよい。

【0093】

50

次に、前述した処理を行うためのプログラムやデータを記憶した記憶媒体の実施の形態を説明する。記憶媒体としては、具体的には、CD-ROM、光磁気ディスク、DVD-ROM、FD、フラッシュメモリ、メモリカードや、メモリスティック、及びその他各種ROMやRAM等が挙げられる。これら記憶媒体に記憶したプログラムをコンピュータに実行させることで、本実施形態における処理を実現させることができる。また、前述した通信制御方法の処理やシリアル通信装置の機能を実現するためのプログラムを、記憶媒体に記憶したりネットワークを介して配信したりして流通させることにより、当該機能の実現を容易にすることができる。

【0094】

なお、本実施形態において、8B/10B変換部109は、変換部の一例である。SER機能部110は、送信部の一例である。また、画像データは、対象コードの一例である。STPコードは、開始コードの一例であり、ENDコードは、終端コードの一例である。

10

【符号の説明】

【0095】

1 VCSEL書込み制御システム
 10 CTL
 20 ページメモリ
 30 画像展開部
 40 CPU
 50 外部メモリ
 60a VCSEL(Bk)
 60b VCSEL(Ma)
 60c VCSEL(Cy)
 60d VCSEL(Ye)
 100 プロッタ制御部
 101 ビデオ入力部
 102 パラメータ制御部
 103 ノイズ除去部
 104 ラインメモリ
 105 画像処理部
 106 画素カウント部
 107 ラインメモリ群
 108 スキュー補正部
 109 8B/10B変換部
 110 SER機能部
 200 PC
 111, 305, 405 LVDSドライバ
 301, 401 ビデオ入力部
 302, 402 パラメータ制御部
 303, 403 DES機能部
 304a, 304b, 404a, 404b ドライバ

20

30

40

【先行技術文献】

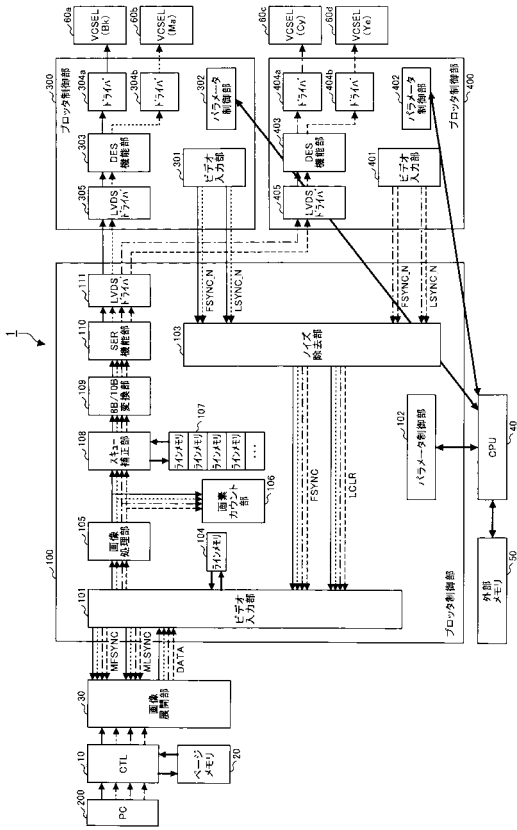
【特許文献】

【0096】

【特許文献1】特開2011-19188号公報

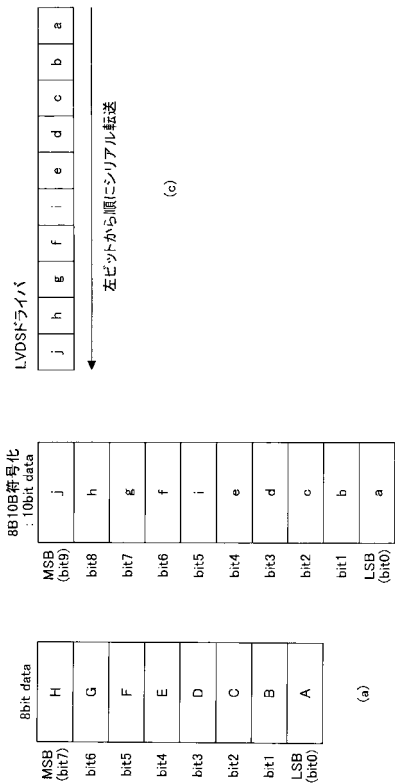
【 図 1 】

書き込みデータ転送システムの構成例を示す図



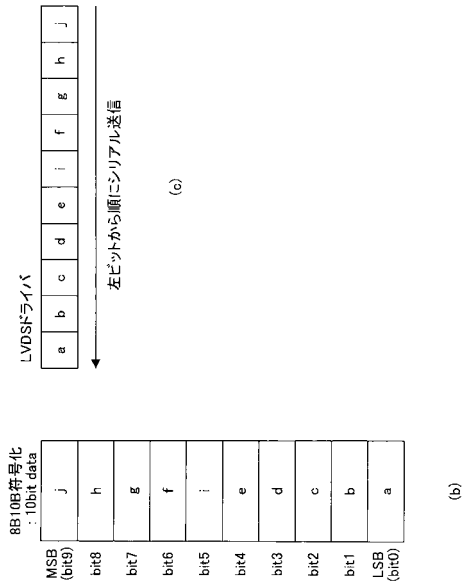
【 図 3 (A) 】

逆順シリアルライザのデータ出力の第1の手順を説明する図



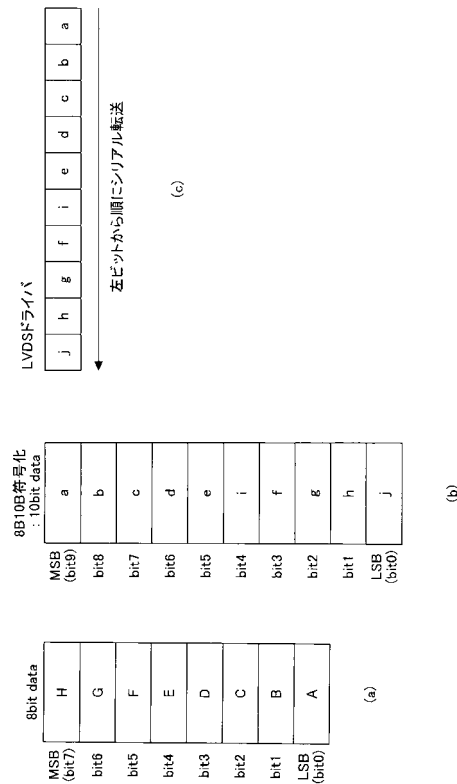
【 図 2 】

正順シリアルライザのデータ出力手順を説明する図



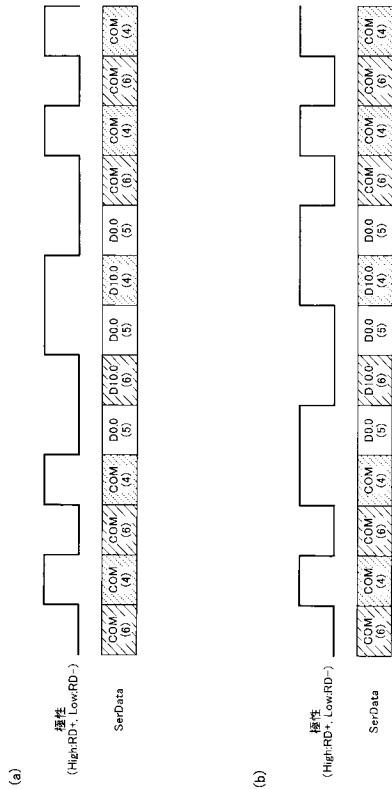
【 図 3 (B) 】

逆順シリアルライザのデータ出力の第2の手順を説明する図



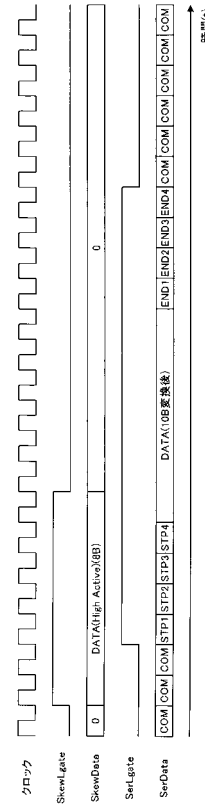
【 図 4 】

RDルールを説明するための図



【 図 5 】

シリアライズ出力のタイミングチャートを示す図



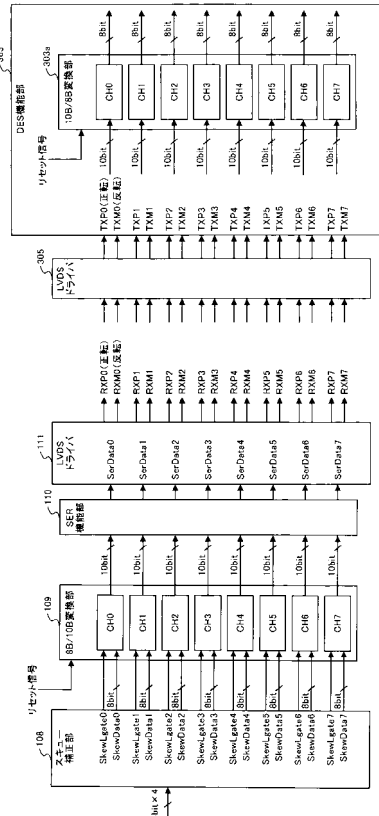
【 図 6 】

変換テーブルの一例を示す図

Symbol Name	Data Byte Value(hex)	10Bコード		内容
		RD-	RD+	
COM	K285 BC	101 11100	001111 1010	ライン間データ(DES同期シンボル)
STP1	K237 F7	111 10111	111010 1000	ラインデータスタートシンボル1
STP2	K277 FB	111 11011	110110 1000	ラインデータスタートシンボル2
STP3	K297 FD	111 11101	101110 1000	ラインデータスタートシンボル3
STP4	K307 FE	111 11110	011110 1000	ラインデータスタートシンボル4
STP5	K287 FC	111 11100	001111 1000	ラインデータスタートシンボル5
END1	K280 1C	000 11100	001111 0100	ラインデータエンドシンボル1
END2	K281 3C	001 11100	001111 1001	ラインデータエンドシンボル2
END3	K282 5C	010 11100	001111 0101	ラインデータエンドシンボル3
END4	K283 7C	011 11100	001111 0011	ラインデータエンドシンボル4
END5	K284 9C	100 11100	001111 0010	ラインデータエンドシンボル5
-	K286 DC	110 11100	001111 0110	-

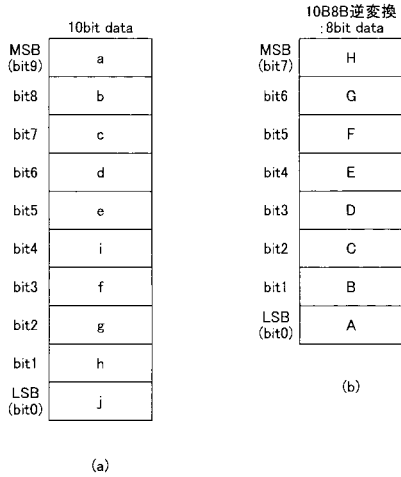
【 図 7 】

シリアライザー-デシリアライザ接続の例を示す図



【 図 8 (A) 】

デシリアライザのデータ出力手順を説明する図



【 図 8 (B) 】

デシリアライザ時に使用する変換テーブルの一例を示す図

Symbol Name	Data Byte Name	Data Byte Value(hex)	10Bコード		内容
			8Bコード	RD+	
COM	K28.5	BC	101 11100	0101 111100	ライン間データ(DES同期シンボル)
STP1	K23.7	F7	111 10111	0001 010111	ラインデータスタートシンボル1
STP2	K27.7	FB	111 11011	0001 011011	ラインデータスタートシンボル2
STP3	K29.7	FD	111 11101	0001 011101	ラインデータスタートシンボル3
STP4	K30.7	FE	111 11110	0001 011110	ラインデータスタートシンボル4
STP5	K28.7	FC	111 11100	0001 111100	ラインデータスタートシンボル5
END1	K28.0	1C	000 11100	0010 111100	ラインデータエンドシンボル1
END2	K28.1	3C	001 11100	1001 111100	ラインデータエンドシンボル2
END3	K28.2	5C	010 11100	1010 111100	ラインデータエンドシンボル3
END4	K28.3	7C	011 11100	1100 111100	ラインデータエンドシンボル4
END5	K28.4	9C	100 11100	0100 111100	ラインデータエンドシンボル5
-	K28.6	DC	110 11100	0110 111100	...

【 図 9 】

STPコードと画像データの先端との間で5Tが発生する組み合わせを例示した図

(a)

正順シリアライザ	
STP-DATA境界に00000が発生	STP-DATA境界に11111が発生
K23.7.RD-(5) / D12.0.RD-(6) = F7 - 0C	K23.7.RD+(5) / D3.0.RD+(4) = F7 - 03
K23.7.RD-(5) / D20.0.RD-(6) = F7 - 14	K23.7.RD+(5) / D11.0.RD+(4) = F7 - 0B
K27.7.RD-(5) / D12.0.RD-(6) = FB - 0C	K27.7.RD+(5) / D3.0.RD+(4) = FB - 03
K27.7.RD-(5) / D20.0.RD-(6) = FB - 14	K27.7.RD+(5) / D11.0.RD+(4) = FB - 0B
K28.7.RD-(5) / D12.0.RD-(6) = FC - 0C	K28.7.RD+(5) / D3.0.RD+(4) = FC - 03
K28.7.RD-(5) / D20.0.RD-(6) = FC - 14	K28.7.RD+(5) / D11.0.RD+(4) = FC - 0B
K29.7.RD-(5) / D12.0.RD-(6) = FD - 0C	K29.7.RD+(5) / D3.0.RD+(4) = FD - 03
K29.7.RD-(5) / D20.0.RD-(6) = FD - 14	K29.7.RD+(5) / D11.0.RD+(4) = FD - 0B
K30.7.RD-(5) / D12.0.RD-(6) = FE - 0C	K30.7.RD+(5) / D3.0.RD+(4) = FE - 03
K30.7.RD-(5) / D20.0.RD-(6) = FE - 14	K30.7.RD+(5) / D11.0.RD+(4) = FE - 0B

(b)

逆順シリアライザ	
STP-DATA境界に00000が発生	STP-DATA境界に11111が発生
K28.7.RD-(5) / D11.7.RD+(4) = FC - EB	K28.7.RD+(5) / D17.7.RD-(6) = FC - F1
K28.7.RD-(5) / D13.7.RD+(4) = FC - ED	K28.7.RD+(5) / D18.7.RD-(6) = FC - F2
K28.7.RD-(5) / D14.7.RD+(4) = FC - EE	K28.7.RD+(5) / D20.7.RD-(6) = FC - F4

【 図 10 】

画像データの末端とENDコードとの間で5Tが発生する組み合わせを例示した図

(a)

正順シリアライザ	
DATA-END境界に00000が発生	DATA-END境界に11111が発生
D11.7.RD+(4) / K28.0.RD-(5) = EB - 1C	D17.7.RD-(6) / K28.0.RD+(5) = F1 - 1C
D11.7.RD+(4) / K28.1.RD-(6) = EB - 3C	D17.7.RD-(6) / K28.1.RD+(4) = F1 - 3C
D11.7.RD+(4) / K28.2.RD-(6) = EB - 5C	D17.7.RD-(6) / K28.2.RD+(4) = F1 - 5C
D11.7.RD+(4) / K28.3.RD-(6) = EB - 7C	D17.7.RD-(6) / K28.3.RD+(4) = F1 - 7C
D11.7.RD+(4) / K28.4.RD-(5) = EB - 9C	D17.7.RD-(6) / K28.4.RD+(5) = F1 - 9C
D13.7.RD+(4) / K28.0.RD-(5) = ED - 1C	D18.7.RD-(6) / K28.0.RD+(5) = F2 - 1C
D13.7.RD+(4) / K28.1.RD-(6) = ED - 3C	D18.7.RD-(6) / K28.1.RD+(4) = F2 - 3C
D13.7.RD+(4) / K28.2.RD-(6) = ED - 5C	D18.7.RD-(6) / K28.2.RD+(4) = F2 - 5C
D13.7.RD+(4) / K28.3.RD-(6) = ED - 7C	D18.7.RD-(6) / K28.3.RD+(4) = F2 - 7C
D13.7.RD+(4) / K28.4.RD-(5) = ED - 9C	D18.7.RD-(6) / K28.4.RD+(5) = F2 - 9C
D14.7.RD+(4) / K28.0.RD-(5) = EE - 1C	D20.7.RD-(6) / K28.0.RD+(5) = F4 - 1C
D14.7.RD+(4) / K28.1.RD-(6) = EE - 3C	D20.7.RD-(6) / K28.1.RD+(4) = F4 - 3C
D14.7.RD+(4) / K28.2.RD-(6) = EE - 5C	D20.7.RD-(6) / K28.2.RD+(4) = F4 - 5C
D14.7.RD+(4) / K28.3.RD-(6) = EE - 7C	D20.7.RD-(6) / K28.3.RD+(4) = F4 - 7C
D14.7.RD+(4) / K28.4.RD-(5) = EE - 9C	D20.7.RD-(6) / K28.4.RD+(5) = F4 - 9C

(b)

逆順シリアライザ	
DATA-END境界に00000が発生	DATA-END境界に11111が発生
なし	なし