

(12) 按照专利合作条约所公布的国际申请

更正本

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 12 月 19 日 (19.12.2024)



(10) 国际公布号
WO 2024/255895 A9

(51) 国际专利分类号:
H04B 1/00 (2006.01)

(21) 国际申请号: PCT/CN2024/099438

(22) 国际申请日: 2024 年 6 月 14 日 (14.06.2024)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:

202310702586.5	2023年6月14日 (14.06.2023)	CN
202410599441.1	2024年5月14日 (14.05.2024)	CN

(71) 申请人: 加特兰微电子科技有限公司(CALTERAH SEMICONDUCTOR TECHNOLOGY (SHANGHAI) CO., LTD.) [CN/CN]; 中国上海市浦东新区中国(上海)自由贸易试验区盛夏路666号E栋901室, Shanghai 201210 (CN)。

(72) 发明人: 张展(ZHANG, Zhan); 中国上海市浦东新区(上海)自由贸易试验区盛夏路666号E幢901室, Shanghai 201210 (CN)。陈嘉澍(CHEN, Jiashu); 中国上海市浦东新区(上海)自由贸易试验区盛夏路666号E幢901室, Shanghai 201210 (CN)。

(74) 代理人: 北京安信方达知识产权代理有限公司(AFD CHINA INTELLECTUAL PROPERTY LAW

(54) **Title:** SIGNAL TRANSMISSION LINK, SIGNAL CALIBRATION LINK, SIGNAL COMPENSATION LINK, SIGNAL TRANSCIVING LINK, INTEGRATED CIRCUIT, ELECTROMAGNETIC WAVE SENSOR, AND DEVICE

(54) 发明名称: 信号发射、校准、补偿及收发链路, 集成电路、电磁波传感器及设备

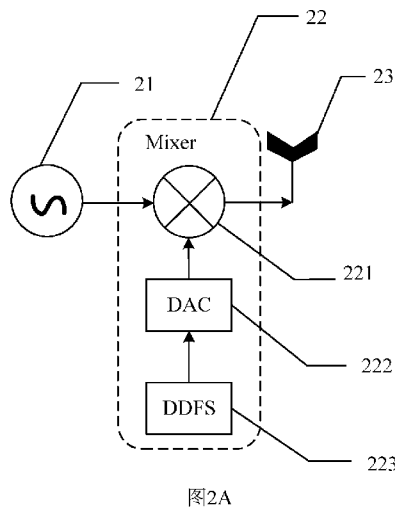


图2A

(57) **Abstract:** The present disclosure relates to the technical field of electromagnetic wave sensors, and in particular to a signal transmission link, a calibration signal link, a signal compensation link, a signal transceiving link, an integrated circuit, an electromagnetic wave sensor, and a device. The transmission link comprises an analog signal source and a digital phase shifter, wherein the analog signal source may be configured to provide an initial analog signal, and the digital phase shifter may be configured to generate a phase shift signal in a digital domain, and perform phase shifting on the initial analog signal on the basis of the phase shift signal, so as to perform a preset phase shift operation on the initial analog signal, such that the phase modulation resolution and phase modulation accuracy are effectively improved, and an off-line calibration operation on a link and a device such as a phase shifter in the transmission link can also be avoided, thus reducing the complexity and difficulty of engineering implementation. In addition, the area and loss of a transmission link having a phase shifter architecture can also be effectively reduced, thereby improving the stability of a system, and reducing a channel coupling degree.

(57) 摘要: 本公开涉及电磁波传感器技术领域, 具体涉及一种信号发射、校准、补偿及收发链路, 集成电路、电磁波传感器及设备, 所述发射链路包括模拟信号源和数字移相器, 所述模拟信号源可被配置为用于提供初始模拟信号, 所述数字移相器可被配置为用于在数字域产生移相信号, 并基于该移相信号对所述初始模拟信号进行移相, 以将所述初始模拟信号进行预设的移相操作, 以有效的提升调相精度和调相准确度, 同时还能避免对发射链路中的移相等链路及器件进行离线校准的操作, 进而降低了工程实现的复杂度及难度。另外, 还能有效减小移相架构的发射链路面积和损耗, 提升系统的稳定性, 降低通道耦合度。



OFFICE; 中国北京市海淀区学清路38号 (B座)21层2108, Beijing 100083 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(48) 更正本的公布日:

2025 年 2 月 13 日 (13.02.2025)

(15) 更正内容:

见 2025 年 2 月 13 日 (13.02.2025) 公布的公告

信号发射、校准、补偿及收发链路，集成电路、电磁波传感器及设备

本申请要求于 2023 年 6 月 14 日提交中国专利局、申请号为 202310702586.5、发明名称为“信号发射、校准、补偿及收发链路，IQ 混频器、集成电路、传感器及设备”的中国专利申请的优先权以及于 2024 年 5 月 14 日提交中国专利局、申请号为 202410599441.1、发明名称为“信号发射链路及方法、收发链路、集成电路及电磁波器件”的中国专利申请的优先权，其内容应理解为通过引用的方式并入本公开中。

技术领域

本公开实施例涉及但不限于电磁波传感器技术领域，具体涉及一种信号发射、校准、补偿及收发链路，集成电路、电磁波传感器及设备。

背景技术

由于采用模拟移相器架构的信号发射链路，其存在调相精度（Resolution）、调相准确度（Accuracy）等均较低的问题，进而使得其无法满足高精度及准确性要求的各种需求。

发明内容

为了解决上述技术问题，本公开实施例提供了一种信号发射、校准、补偿及收发链路，IQ 混频器、集成电路、电磁波传感器及设备，基于数字移相器架构形成信号收发链路，以及对应的校准及补偿链路等技术，以有效的提升调相精度（Resolution）和调相准确度（Accuracy），同时还能避免对发射链路中的移相等链路及器件进行离线（off-line）校准的操作，进而降低了工程实现的复杂度及难度。另外，还能有效减小移相架构的发射链路面积和损耗，提升系统的稳定性，降低通道耦合度。

本公开实施例提供了一种信号发射链路，应用于电磁波传感器中，所述发射链路包括模拟信号源和数字移相器，所述模拟信号源可被配置为用于提供初始模拟信号，所述数字移相器可被配置为用于提供在数字域产生移相信号，并基于该移相信号对所述初始模拟信号进行移相，以将所述初始模拟信号进行预设的移相操作。

示例性的，信号发射链路还包括发射天线，所述发射天线可被配置用于将移相后的初始模拟信号向预设空间区域辐射。

示例性的，所述数字移相器包括数字移相信号源、数模转换器和混频器，所述数字移相器可被配置用于产生数字移相信号，所述数模转换器可被配置用于将接收的所述数字移相信号转换为模拟移相信号，所述混频器可被配置用于利用所接收的所述模拟移相信号对所接收的所述初始模拟信号进行混频操作，以将所述初始模拟信号进行预设的移相操作。

示例性的，所述数字移相信号源包括直接数字频率合成器，所述数模转换器为 IQ 数模转换器，所述混频器为 IQ 混频器。

示例性的，所述数字移相信号为单音信号，所述初始模拟信号为扫频信号；或者，所述数字移相信号为扫频信号，所述初始模拟信号为单音信号。

示例性的，所述信号发射链路发射的是调频连续波信号。

本公开实施例还提供了一种信号发射链路，包括集成于同一集成电路中的信号发射主通路和信号校准链路；其中：所述信号校准链路被配置为用于对所述信号发射主通路进行

校准以获取补偿信息；以及所述信号发射主通路被配置为用于根据所述补偿信息进行补偿操作后生成射频发射信号，以用于实现目标探测和/或通信。

示例性的，所述补偿信息包括谐波失真补偿参数、本振泄漏补偿参数和正交失衡补偿参数中的至少一个。

示例性的，所述信号发射主通路包括第一信号源和移相器；其中，所述第一信号源被配置为生成第一模拟信号；以及所述移相器被配置为对所述第一模拟信号进行频率搬移和/或移相，以形成射频发射信号。

示例性的，在所述移相器为非正交架构时，所述移相器包括第二信号源和发端混频器，其中所述第二信号源被配置为用于生成第二模拟信号，所述发端混频器被配置为对所述第一模拟信号和所述第二模拟信号进行混频处理，以形成所述射频发射信号；

在所述移相器为正交架构时，其中所述移相器包括：第二信号源、数模转换模块和发端混频器；其中所述第二信号源被配置为生成第一数字信号；所述数模转换模块被配置为将所述第一数字信号转换为第二模拟信号；以及所述发端混频器被配置为基于所述第二模拟信号对所述第一模拟信号进行频率搬移和/或移相，以形成所述射频发射信号。

示例性的，所述发射主通路还包括补偿电路，其中所述补偿电路的信号输入端与所述第二信号源相连，信号输入端与所述移相器相连，所述补偿电路用于将补偿信号和第二信号源输出的信号进行合并处理后再输出。

示例性的，在所述信号发射主通路输出的信号为两路正交信号时，所述补偿电路所使用的补偿信号为两路正交信号；在所述信号发射主通路输出的信号不是两路正交信号时，所述补偿电路所使用的补偿信号为一路与第二信号源输出的信号类型相同的信号，其中信号类型为数字信号或模拟信号。

示例性的，所述补偿电路包括补偿信号产生器和加法器，其中：所述补偿信号产生器，被配置为生成所述补偿信号；所述加法器，与所述补偿信号产生器和所述第二信号源相连，用于将所述第二信号源输出的信号与所述补偿信号产生器输出的补偿信号进行信号叠加操作。

示例性的，在所述信号发射主通路输出的信号为两路正交信号时，所述补偿信号产生器包括谐波补偿信号单元、正交失衡补偿信号单元和本振泄露补偿信号单元中的至少一个；在所述信号发射主通路输出的信号不是两路正交信号时，所述补偿电路包括谐波补偿信号单元和本振泄露补偿信号单元中的至少一个；其中，所述谐波补偿信号单元产生的补偿信号用于消除所述信号发射主通路中主频信号的谐波信号；所述本振泄露补偿信号单元的补偿信号用于补偿所述信号发射主通路中发端本振信号产生的泄露信号；所述正交失衡补偿信号单元产生的补偿信号用于补偿所述信号发射主通路中主频信号的镜像信号。

示例性的，所述谐波补偿信号单元产生的补偿信号与所述信号发射主通路中谐波信号的频率相同、振幅相同、相位相反。

示例性的，所述谐波补偿信号单元包括 n 次方模块或 n 倍频信号发生器； n 次方模块，其中所述 n 次方模块的信号输入端与所述第二信号源的信号输出端相连，用于利用第二信号源输出的信号，生成频率为所述第二信号源输出的信号的频率的 n 倍的信号，得到所述补偿信号； n 倍频信号发生器，用于产生频率为所述第二信号源输出的信号的频率的 n 倍的信号，得到所述补偿信号，其中 n 的取值为正整数。示例性的， n 的取值为奇数。示例性的， n 的取值为3。

示例性的，所述本振泄露补偿信号单元产生的补偿信号是基于移相器所使用的第一模

拟信号对应的泄漏信号生成的。

示例性的，所述本振泄露补偿信号单元产生的补偿信号与所述泄露信号的频率相同、振幅相同但相位相反。

示例性的，所述正交失衡补偿电路所使用的补偿信号在所述信号发射主通路对应的镜像信号，与所述信号发射主通路产生的期望信号对应的镜像信号之间频率相同、振幅相同、相位相反。

示例性的，所述正交失衡补偿电路所使用的补偿信号是根据第二信号源输出的信号以及所述第二信号源输出的信号的频率反转的复共轭信号确定的。

示例性的，所述正交失衡补偿电路产生的补偿信号的获取方式包括：获取预设的预补偿系数与所述复共轭信号的乘积，得到所述复共轭信号对应的调整信号；计算所述第二信号源输出的信号与所述调整信号之间的差值，得到所述正交失衡补偿电路产生的补偿信号。

示例性的，所述预补偿系数是基于期望信号的振幅与所述期望信号对应的镜像信号的振幅的比值确定的。

示例性的，所述信号校准链路包括所述信号发射主通路对应的信号接收链路，其中所述信号接收链路用于对 FMCW 射频发射信号对应的回波信号进行接收处理；其中：所述信号接收链路，被配置为从所述信号发射主通路获取采样信号，并根据所述采样信号得到补偿信号的配置信息；其中，所述信号发射主通路使用的发端本振信号和所述信号接收链路中使用的收端本振信号的频率不同。

示例性的，所述信号校准链路还包括：频率调整电路，被配置为调整所述采样信号和收端本振信号中至少一个的频率。

示例性的，所述频率调整电路的信号输入端连接于所述信号发射主通路和发射天线之间，所述频率调整电路的信号输出端连接于所述信号接收链路和接收天线之间，其中所述频率调整电路被配置为调整所述信号发射主通路输出的射频发射信号的频率；对应的，所述信号接收链路，被配置为从所述频率调整电路获取采样信号，并根据所述采样信号得到补偿信号的配置信息；或者，所述频率调整电路，连接于所述信号接收链路中的收端混频器与收端本振器之间，被配置为调整收端本振信号的频率，其中所述收端本振器用于产生收端本振信号，所述收端混频器用于利用收端本振信号对接收的信号进行解调处理；所述信号接收链路，连接于所述信号发射主通路和发射天线之间，被配置为从所述信号发射主通路获取采样信号，并利用频率调整电路输出的信号对所述采样信号进行处理，得到补偿信号的配置信息。

示例性的，在所述信号发射主通路传输的射频发射信号为两路正交信号时，所述信号校准链路为支持处理包括两路正交信号的回波信号的信号接收链路。

示例性的，在所述信号发射主通路传输的射频发射信号为两路正交信号时，所述信号校准链路设置有正交处理电路以及两路信号接收链路，其中每条信号接收链路均不支持处理正交的回波信号；其中所述正交处理电路，被配置为对接收的正交信号进行射频处理，得到两路信号，并将两路信号分别发送到两路信号接收链路。

示例性的，所述信号校准链路，所述信号校准链路的第一输入端连接于所述信号发射主通路中发端混频器内电压电流转换器与电流开关之间，第二输入端所述信号发射主通路与发射天线之间，信号输出端与所述信号发射主通路中的补偿电路相连，用于从所述第一输入端和所述第二输入端中的至少一个获取所述信号发射主通路中的信号，并根据获取的信号确定补偿信息。

示例性的，所述信号校准链路包括校准解调器、多路选择器和校准模块；其中：所述校准解调器，被配置为从所述第二输入端获取信号发射主通路中的信号，并进行解调处理；所述多路选择器具有两个信号输入端和一个信号输出端，其中一个信号输入端连接于发端混频器内电压电流转换器与电流开关之间，另一个信号输入端连接于校准解调器的信号输入端，用于输出两个信号输入端中一个对应的信号；校准模块，被配置为根据所述多路选择器输出的信号确定所述补偿信息。

示例性的，在所述信号发射主通路传输的射频发射信号为两路正交信号时，所述信号校准链路传输的采集信号为两路正交信号。

示例性的，所述信号校准链路传输的采集信号为两路正交信号，所述信号校准链路还包括：模数转换器，连接在信号采集电路和校准模块之间，被配置为对所述信号采集电路输出的采集信号进行模数转换处理。

本公开实施例还提供了一种信号收发链路，包括如本公开任一实施例所述的信号发射链路，以及信号接收链路；所述信号接收链路包括收端混频器、模数转换器和数字信号处理模块；其中，所述收端混频器可被配置为用于基于所接收的收端本振信号对所接收的回波信号进行下降频以得到模拟中频信号，所述模数转换器可被配置为用于对所接收的所述中频信号进行模数转换以得到数字中频信号，所述数字信号处理模块可被配置为用于对所接收的数字中频信号进行处理以得到目标参数；所述回波信号为所述信号发射链路所发射信号被目标物反射和/或散射而形成的信号。

示例性的，所述收端混频器为实数混频器，所述模数转换器为实数模数转换器；或者，所述收端混频器为正交混频器，所述模数转换器为正交模数转换器。

示例性的，所述收端本振信号为扫频信号；或者，所述收端本振信号为单音信号。

本公开实施例还提供了一种信号校准链路，包括如本公开任一实施例所述的信号收发链路；所述信号接收链路的接收天线连接端口连接至所述信号发射链路的发射天线连接端口，所述信号接收链路可被配置为用于对所述信号发射链路进行校准。

示例性的所述信号接收链路的本振信号与所述信号发射链路的本振信号之间具有预设的差频。

示例性的，所述信号校准链路还包括 BIST 模块，所述 BIST 模块设置在本振信号源与所述收端混频器之间；其中，所述 BIST 模块可被配置为基于预设的频偏信号对接收的本振信号进行混频，以使得所述收端混频器接收到的本振信号与所述信号发射链路的本振信号之间具有预设的差频。

本公开实施例还提供了一种信号校准链路，包括如本公开任一实施例所述的信号收发链路，以及 BIST 模块；所述信号接收链路的接收天线连接端口通过所述 BIST 模块连接至所述信号发射链路的发射天线连接端口，所述信号接收链路可被配置为用于对所述信号发射链路进行校准。

本公开实施例还提供了一种信号校准链路，包括两条信号接收链路、BIST 模块、辅助电路单元和如本公开任一实施例所述的信号发射链路，以及；任一条所述信号接收链路均包括实数混频器、实数模数转换器和数字信号处理模块；所述实数混频器可被配置为用于基于所接收的本振信号对所接收的回波信号进行下降频以得到模拟中频信号，所述实数模数转换器可被配置为用于对所接收的所述中频信号进行模数转换以得到数字中频信号，所述数字信号处理模块可被配置为用于对所接收的数字中频信号进行处理以得到目标参数；所述回波信号为所述信号发射链路所发射信号被目标物反射和/或散射而形成的信号；两条所

述信号接收链路的接收天线连接端口依次通过所述辅助电路单元和所述 BIST 模块分别连接至所述信号发射链路的发射天线连接端口,所述信号接收链路可被配置为用于对所述信号发射链路的中频部分进行校准。

本公开实施例还提供了一种信号发射主通路的信号校准链路,其中所述信号发射主通路用于根据补偿系数对产生的信号进行补偿操作后生成射频发射信号,以用于实现目标探测和/或通信,其中:所述信号校准链路,被配置为用于获取当前补偿系数下信号发射主通路当前的观测信息;以及,在当前的观测信息满足迭代条件时,将当前的补偿系数作为所述信号发射链路补偿操作使用的补偿系数;否则,对当前的补偿系数进行迭代直到所得到的观测信息满足所述迭代条件为止。

示例性的,所述补偿系数包括谐波失真补偿参数、本振泄漏补偿参数和正交失衡补偿参数中的至少一个。

示例性的,所述信号发射主通路和所述信号校准链路集成于同一集成电路中。

示例性的,所述集成电路为毫米波雷达芯片,和/或,所述射频发射信号为 FMCW 信号。

示例性的,当前的补偿系数依次包括初始补偿系数 $h(0)$ 、第一补偿系数 $h(1)$ 、 $\dots$ 、第 $k-1$ 补偿系数 $h(k-1)$ 以及第 k 补偿系数 $h(k)$,其中第 k 补偿系数 $h(k)$ 是根据第 $k-1$ 补偿系数 $h(k-1)$ 和第 $k-1$ 观测信息 $O(k-1)$ 确定的;其中, k 为大于或等于 2 的整数。

示例性的,在初始观测信息 $O(0)$ 和第一观测信息 $O(1)$ 之间的差异值大于预设的差异门限时,根据第 $k-1$ 补偿系数 $h(k-1)$ 和第 $k-1$ 观测信息 $O(k-1)$ 确定第 k 补偿系数 $h(k)$;在初始观测信息 $O(0)$ 和第一观测信息 $O(1)$ 之间的差异值小于预设的差异门限时,根据预设的相位调整量对初始观测信息 $O(0)$ 进行调整,得到调整后的第一补偿系数 $h(1)$,再根据调整后的第一补偿系数 $h(1)$ 重新得到新的第一观测信息 $O(1)$,以新的第一观测信息 $O(1)$ 为基础,确定第 k 补偿系数 $h(k)$;其中,初始观测信息 $O(0)$ 与新的第一观测信息 $O(1)$ 之间的差异值大于所述差异门限。

示例性的,所述根据第 $k-1$ 补偿系数 $h(k-1)$ 和第 $k-1$ 观测信息 $O(k-1)$ 确定第 k 补偿系数 $h(k)$,包括:在初始观测信息 $O(0)$ 的绝对值与第一观测信息 $O(1)$ 的绝对值之间的差值大于预设的差值门限时,以第一补偿系数 $h(1)$ 更新为初始观测信息 $O(0)$ 为基础,迭代计算第 $k-1$ 补偿系数 $h(k-1)$ 和第 $k-1$ 观测信息 $O(k-1)$ 之间的总和,确定第 k 补偿系数 $h(k)$;在第一观测信息 $O(1)$ 的绝对值与初始观测信息 $O(0)$ 的绝对值之间的差值大于预设的差值门限时,以第一补偿系数 $h(1)$ 更新为初始观测信息 $O(0)$ 的相反数为基础,迭代计算第 $k-1$ 补偿系数 $h(k-1)$ 和第 $k-1$ 观测信息 $O(k-1)$ 之间的差值,确定第 k 补偿系数 $h(k)$ 。

示例性的,所述以新的第一观测信息 $O(1)$ 为基础,确定第 k 补偿系数 $h(k)$,包括:在初始观测信息 $O(0)$ 的绝对值与新的第一观测信息 $O(1)$ 的绝对值之间的差值大于所述差值门限时,迭代计算第 $k-1$ 观测信息 $O(k-1)$ 与经所述相位调整量处理第 $k-1$ 观测信息 $O(k-1)$ 后得到的调整后的第 $k-1$ 观测信息 $O(k-1)$ 之间的总和,确定第 k 补偿系数 $h(k)$;在新的第一观测信息 $O(1)$ 的绝对值与初始观测信息 $O(0)$ 的绝对值之间的差值大于所述差值门限时,更新第一补偿系数 $h(1)$ 为调整后的第一补偿系数 $h(1)$ 的相反数,迭代计算第 $k-1$ 补偿系数 $h(k-1)$ 与经所述相位调整量处理第 $k-1$ 观测信息 $O(k-1)$ 后得到的调整后的第 $k-1$ 观测信息 $O(k-1)$ 之间的差值,确定第 k 补偿系数 $h(k)$ 。

示例性的,所述第一补偿系数 $h(1)$ 是根据初始观测信息 $O(0)$ 确定的。

示例性的,所述初始补偿系数 $h(0)$ 的数值为 0。

示例性的,所述信号发射主通路包括基带模块和射频模块,其中所述基带模块用于产生基带信号;所述射频模块用于对利用发端本振信号对所述基带信号进行频率搬移和/或移相,以形成射频发射信号;其中,所述观测信息是从所述射频模块获取的。

示例性的,所述射频模块包括发端混频器和功率放大器;其中所述发端混频器利用发端本振信号对所述基带信号进行频率搬移和/或移相;所述功率放大器用于对发端混频器输出的信号进行功率放大处理;其中,所述观测信息从发端混频器的信号输出端、所述功率放大器的信号输出端以及所述发端混频器中电压电流转换器的信号输出端中至少一个获取。

本公开实施例还提供了一种信号发射主通路的信号校准链路,其中所述信号发射主通路用于根据补偿系数对产生的信号进行补偿操作后生成射频发射信号,以用于实现目标探测和/或通信,其中:所述信号校准链路,被配置为用于确定在数值不同的初始补偿系数 $h(0)$ 、第一补偿系数 $h(1)$ 以及第二补偿系数 $h(2)$ 的条件下信号发射主通路对应的初始观测信息 $O(0)$ 、第一观测信息 $O(1)$ 以及第二观测信息 $O(2)$;利用初始观测信息 $O(0)$ 、第一观测信息 $O(1)$ 和第二观测信息 $O(2)$,确定第三补偿系数 $h(3)$,作为所述信号发射链路补偿操作使用的补偿系数。

示例性的,所述补偿系数包括谐波失真补偿参数、本振泄漏补偿参数和正交失衡补偿参数中的至少一个。

示例性的,所述信号发射主通路和所述信号校准链路集成于同一集成电路中。

示例性的,所述集成电路为毫米波雷达芯片,和/或,所述射频发射信号为 FMCW 信号。

示例性的,所述利用初始观测信息 $O(0)$ 、第一观测信息 $O(1)$ 和第二观测信息 $O(2)$,确定第三补偿系数 $h(3)$,包括:以初始观测信息 $O(0)$ 分别对第一观测信息 $O(1)$ 和第二观测信息 $O(2)$ 进行归一化处理;以第三观测信息 $O(3)$ 为 0 为条件,利用归一化处理的结果,确定第三补偿系数 $h(3)$ 。

示例性的,所述以第三观测信息 $O(3)$ 为 0 为条件,利用归一化处理的结果,确定第三补偿系数 $h(3)$,包括:以第三观测信息 $O(3)$ 为 0 为条件,根据第一比值 $d1$ 和第二比值 $d2$ 确定第一补偿系数 $h(1)$ 对应的第一系数 $x1$ 和第二补偿系数 $h(2)$ 对应的第二系数 $x2$;其中第一比值 $d1$ 为第一差值与初始观测信息 $O(0)$ 之间的比值,所述第一差值为初始观测信息 $O(0)$ 与第一观测信息 $O(1)$ 之间的差值;第二比值 $d2$ 为第二差值与初始观测信息 $O(0)$ 之间的比值,所述第二差值为初始观测信息 $O(0)$ 与第二观测信息 $O(2)$ 之间的差值;计算第一系数 $x1$ 与第一补偿系数 $h(1)$ 之间的乘积,得到第一乘法结果;以及,计算第二系数 $x2$ 与第二补偿系数 $h(2)$ 之间的乘积,得到第二乘法结果;根据所述第一乘法结果和所述第二乘法结果确定第三补偿系数 $h(3)$ 。

示例性的,所述根据第一比值 $d1$ 和第二比值 $d2$ 确定第一补偿系数 $h(1)$ 对应的第一系数 $x1$ 和第二补偿系数 $h(2)$ 对应的第二系数 $x2$,包括:构建观测方程,确定所述观测方程中的第一系数 $x1$ 和第二系数 $x2$;其中所述观测方程的计算表达式为 2×2 矩阵的逆矩阵与 1 行 2 列的第一矩阵之间的乘积,得到 1 行 2 列的第二矩阵;其中, 2×2 矩阵中第一行记录有第一比值 $d1$ 的实数部分的数值和虚数部分的数值,第二行记录有第二比值 $d2$ 的实数部分的数值和虚数部分的数值;所述第一矩阵中第一行的取值为 1 ,第二行的取值为 0 ;所述第二矩阵的第一行为第一系数 $x1$ 的取值,第二行为第二系数 $x2$ 的取值。

示例性的,所述根据所述第一乘法结果和所述第二乘法结果确定第三补偿系数 $h(3)$,包括:计算所述第一乘法结果和所述第二乘法结果的总和,得到所述第三补偿系数 $h(3)$ 。

示例性的,所述第一补偿系数 $h(1)$ 和所述第二补偿系数 $h(2)$ 是根据初始观测信息 $O(0)$ 确定的。示例性的,所述初始补偿系数 $h(0)$ 的数值为 0。

示例性的,所述信号发射主通路包括基带模块和射频模块,其中所述基带模块用于产生基带信号;所述射频模块用于对利用发端本振信号对所述基带信号进行频率搬移和/或移相,以形成射频发射信号;其中,所述观测信息是从所述射频模块获取的。

示例性的,所述射频模块包括发端混频器和功率放大器;其中所述发端混频器利用发端本振信号对所述基带信号进行频率搬移和/或移相;所述功率放大器用于对发端混频器输出的信号进行功率放大处理;其中,所述观测信息从发端混频器的信号输出端、所述功率放大器的信号输出端以及所述发端混频器中电压电流转换器的信号输出端中至少一个获取。

本公开实施例还提供了一种信号补偿链路,包括如本公开任一实施例所述的信号发射链路,以及补偿单元,所述补偿单元可被配置为用于对所述信号发射链路的 IQ 失配、IQ 失衡、信号泄漏、谐波失真缺陷中的至少一个进行补偿。

示例性的,所述补偿单元可被配置为用于基于如本公开任一实施例所述的信号校准链路所得到校准数据对所述信号发射链路进行补偿。

示例性的,所述信号校准链路中的所述信号接收链路作为辅助校准模块集成于待校准的发射链路附近区域,以在所述发射链路工作的间隙进行实时校准操作。

本公开实施例还提供了一种馈线不等长补偿方法,应用于具有至少两个信号链路的电磁波传感器的天线阵列中,所述方法包括:将所述至少两个信号链路中馈线最短的作为基准链路,获取剩余各发射链路相对于该基准链路的时延差;以及基于所述时延差在数字域对所述天线阵列进行馈线不等长的补偿。

示例性的,所述馈线不等长为不同的发射链路之间或者不同的接收链路之间,本振源 LO 到各个发射通道中的混频器之间存在的馈线长度不等长,和/或各个发射通道的 PA 到其发射天线之间的馈线长度不等长。

本公开实施例还提供了一种信号校准系统,应用于电磁波传感器中,所述信号校准系统包括信号传输链路和辅助链路,所述辅助链路临近所述信号传输链路集成于所述电磁波传感器中;其中,所述辅助链路可被配置为用于对所述信号传输链路进行实时校准。

示例性的,所述信号传输链路包括信号发射链路和/或信号接收链路;所述辅助链路对应所述信号传输链路包括辅助接收链路和/或辅助信号发射链路;其中,所述辅助接收链路可被配置为用于对所述发射链路进行校准,所述辅助发射链路可被配置为用于对所述接收链路进行校准。

示例性的,所述信号接收链路包括射频部分和基带部分,所述辅助发射链路对应所述信号接收链路包括射频辅助发射单元和基带辅助发射单元;以及所述射频辅助发射单元可被配置为用于对所述射频部分进行校准,所述基带辅助发射单元可被配置为用于对所述基带部分进行校准。

示例性的,所述射频辅助发射单元包括 IQ 器件;以及其中,在利用所述辅助发射链路对信号接收链路进行校准时,先利用所述基带辅助发射单元对所述基带部分进行校准后,再利用校准后的所述基带部分对所述射频辅助发射单元进行校准,然后再利用校准后的所述射频辅助发射单元对所述射频部分进行校准。

示例性的,所述辅助接收链路包括辅助接收单元和校准接收单元,所述辅助接收单元包括 IQ 器件;其中,所述校准接收单元可被配置为用于对所述辅助接收单元进行校准,

校准后的所述辅助接收单元可被配置为用于对所述发射链路进行校准。

本公开实施例还提供了一种 IQ 混频器，所述 IQ 混频器包括 I 支路混频单元、Q 支路混频单元和变压器单元，其中 I 支路混频单元可被配置用于输出 I 路信号，Q 支路混频单元可被配置用于输出 Q 路信号，变压器单元则可被配置用于对 I 路信号和 Q 路信号进行磁耦合以合成 IQ 混频输出信号。

示例性的，所述变压器单元为三圈变压器结构，所述三圈变压器结构包括两个支路电感和一个磁耦合电感；其中，所述 I 支路混频单元的输出端之间、Q 支路混频单元的输出端之间分别串联一个支路电感，所述磁耦合电感设置在两个支路电感之间。

示例性的，所述 IQ 混频器应用于本公开任一实施例所述的信号发射链路中的数字移相器中，和/或，应用于本公开任一实施例所述的信号校准链路中，和/或，应用于本公开任一实施例所述的信号校准系统中。

本公开实施例还提供了一种集成电路，包括依次连接的射频模块、模拟信号处理模块和数字信号处理模块；所述射频模块用于产生射频发射信号和接收射频接收信号；所述模拟信号处理模块用于对所述射频接收信号进行降频处理以得到中频信号；所述数字信号处理模块用于对所述中频信号进行模数转换以得到数字信号；以及所述射频模块包括本公开任一实施例所述的信号发射链路、本公开任一实施例所述的信号收发链路、本公开任一实施例所述的信号校准链路、本公开任一实施例所述的信号补偿链路、本公开任一实施例所述的信号校准系统，和/或本公开任一实施例所述的 IQ 混频器；和/或，所述数字信号处理模块基于本公开任一实施例所述的馈线不等长补偿方法在数字域进行补偿。

示例性的，所述集成电路还包括数据处理模块，所述数据处理模块用于对所述数字信号进行处理以实现目标探测和/或无线通信。示例性的，所述集成电路为毫米波或 UWB 等芯片。

示例性的，所述射频接收信号为所述射频发射信号被目标发射和/或散射所形成的回波信号，所述集成电路为传感器芯片。

本公开实施例还提供了一种电磁波传感器，包括：承载体；本公开任一实施例所述的所述的集成电路，设置在所述承载体上；天线，设置在所述承载体上，或者所述天线与所述集成电路集成为一体器件设置在所述承载体上；其中，所述集成电路与所述天线连接，用于发射所述射频发射信号和/或接收所述射频接收信号。

本公开实施例还提供了一种设备，包括：设备本体；以及设置于所述设备本体上的如本公开任一实施例所述的电磁波传感器；其中，所述电磁波传感器用于目标检测和/或通信，以向所述设备本体的运行提供参考信息。

本公开实施例还提供了一种非瞬时性计算机可读存储介质，其上存储有计算机可读指令，当所述指令被处理器执行时，使得所述处理器执行本公开任一实施例所述的馈线不等长补偿方法。

附图概述

通过以下参照附图对本公开实施例的描述，本公开的上述以及其他目的、特征和优点将更为清楚。

图 1A 为模拟移相器架构的信号发射链路简易示意图；

图 1B 为图 1A 所示信号发射链路中模拟移相器的简易示意图；

图 2A 为本公开实施例中数字移相器架构的信号发射链路简易示意图；

图 2B 为本公开实施例中数字移相器架构的另一种信号发射链路简易示意图；

图 2C 为一种采用锯齿波调制的 FMCW 发射信号和回波信号的波形示意图；

图 3A 为正交不平衡时，发射机正交调制的信号模型示意图；

图 3B 为真实混频器产生的信号示意图；

图 3C 为三阶谐波失真的示意图；

图 4A 为本公开实施例提供一种信号发射链路的结构示意图；

图 4B 为本公开实施例提供的正交失衡补偿的示意图；

图 4C 为本公开实施例提供的谐波失真补偿的第一示意图；

图 4D 为本公开实施例提供的谐波失真补偿的第二示意图；

图 5A 为本公开实施例中一种信号发射链路中数字移相器架构的示意图；

图 5B 为本公开实施例中一种包含有具体补偿单元的发射链路的示意图；

图 6A 为本公开实施例提供的一种信号收发链路的结构示意图；

图 6B 为本公开示例性实施例提供的另一种信号收发链路的结构示意图；

图 7A 为本公开实施例中一种包含 TX IQ Mod、BIST IQ Mod 和 RX Real Mixer 的收发链路的示意图；

图 7B 为本公开实施例中一种包含 TX IQ Mod、RX IQ De-Mod 和 LO Freq Diff 的收发链路的示意图；

图 8 为本公开实施例中一种基于图 7B 所示结构结合 BIST 的收发链路的示意图；

图 9 为本公开实施例中一种包含 TX IQ Mod、BIST IQ Mod 和 RX IQ De-Mod 的收发链路的示意图；

图 10 为本公开实施例中一种包含辅助电路和 BIST IQ Mod 的收发链路的示意图；

图 11 为本公开实施例中另一种包含辅助电路和 BIST IQ Mod 的收发链路的示意图；

图 12A 为本公开实施例中一种混频器的结构示意图；

图 12B 为本公开实施例中一种发射机中补偿单元的结构示意图；

图 13A 为本公开实施例中一种基于三次方模块的数字预补偿 HD3 架构的示意图；

图 13B 为本公开实施例中一种基于倍频波形发生器模块的数字预补偿 HD3 架构的示意图；

图 13C 为本公开实施例中一种基于数字移相器架构发射链路的校准补偿示意图；

图 14A 为本公开实施例提供的一种信号发射方法的流程示意图；

图 14B 为本公开实施例提供的确定补偿系数方式的原理说明示意图；

图 15 为本公开实施例中一种具有至少两个发射通道的发射链路的示意图；

图 16 为本公开实施例中数字 LO 信号生成器的结构示意图；

图 17 为本公开实施例中包含馈线不等长补偿模块的发射链路的结构示意图；

图 18 为本公开实施例中利用辅助电路对收发链路进行校准及补偿的示意图；

图 19 为本公开实施例中利用辅助发射电路对接收链路进行校准及补偿的示意图；

图 20 为本公开实施例中利用辅助接收电路对发射链路进行校准及补偿的示意图；

图 21 为本公开实施例中一种辅助电路的结构示意图；
 图 22 为本公开实施例中另一种辅助电路的结构示意图；
 图 23 为本公开实施例中 IQ Mixer 的电路模块示意图；
 图 24 为本公开实施例中一种 IQ Mixer 的结构示意图；
 图 25 为对应图 24 中所示结构的示意图；
 图 26 为本公开实施例中另一种 IQ Mixer 的物理结构示意图；
 图 27 为本公开实施例提供的另一种信号发射方法的流程示意图；
 图 28 为本公开实施例提供的又一种信号发射方法的流程示意图；
 图 29 为本公开实施例提供的又一种信号发射方法的流程示意图。

详述

为了便于理解本公开，下面将参照相关附图对本公开进行更全面的描述。附图中给出了本公开的较佳实施例。但是，本公开可以通过不同的形式来实现，并不限于本文所描述的实施例。相反的，提供这些实施例的目的是使对本公开内容的理解更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。在本公开的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本公开。

下面，参照附图对本公开技术方案进行详细说明。

图1A为模拟移相器架构的信号发射链路简易示意图，图1B为图1A所示信号发射链路中模拟移相器的简易示意图。

如图1A所示，传感器在发射信号时，针对一个发射链路而言，通过诸如由锁相环(PLL)所构成的信号产生器11来生成LO信号（如77GHz频段的扫频信号），例如可以是FMCW信号；模拟移相器（Analog PS）12针对所接收的LO信号进行移相操作后，经发射天线13辐射至预定的空间区域内，以进行目标检测及测量等操作。

可选的，图1A所示的发射链路结构中，对应的模拟移相器架构可如图1B所示，其具体的移相原理可如下式所示：

$$LO_{IN} \xrightarrow{0/90^\circ \text{ shifter}} \begin{cases} LO_I = \sin(\omega_c t + \varphi(t)) \\ LO_Q = \cos(\omega_c t + \varphi(t)) \end{cases} \xrightarrow{PA} LO_{OUT} = A \cdot LO_I + B \cdot LO_Q = \sqrt{A^2 + B^2} \sin(\omega_c t + \varphi(t) + \theta)$$

其中 $\theta = \tan^{-1}(\frac{B}{A})$ 。

即通过对所接收的LO信号（即LO_{IN}）分别进行0°和90°移相后得到两路信号（即LO_I

和 LO_Q), 并经功率放大器(PA)放大后拟合为一路输出信号 LO_{OUT} , 即该输出信号 LO_{OUT} 相较于 LO_{IN} 输入信号移相 θ , 其中该移相 θ 的值是由两路信号 LO_I 的幅度A和 LO_Q 的幅度B所决定。

另外, 上述的模拟移相器架构还可通过延迟线(Delay Line Unit)的方式实现, 即利用信号的窄带假设(Narrow-band assumption), 通过时延的方式进行移相, 其原理如下式所示:

$$LO_{IN} = \sin(\omega_c t + \varphi(t)) \xrightarrow{\text{Delay Line Unit}} LO_{OUT} = \sin(\omega_c(t - \tau) + \varphi(t - \tau)) \xrightarrow{\text{Narrow-band assumption}} \sin(\omega_c(t - \tau) + \varphi(t))$$

其中, τ 为延迟线所延迟时间。

由于上述的模拟移相器的调相精度(Resolution)、调相准确度(Accuracy)均较低, 从而无法满足当前传感器的需求。同时, 虽然可通过校准来提升其调相精度和调相准确度, 但需要对模拟架构的移相器进行离线(off-line)的校准, 进而会使得工程实现及产品量产的难度及复杂度大幅提升, 当工作处于不同状态(温度)时, 离线校准的结果未必准确。同时, 模拟移相器还存在面积大、损耗大、以及稳定性和通道耦合等比较严重的问题, 在多天线移相器共同作用时, 移相器的性能会互相影响, 使得系统的性能进一步恶化。

基于此, 本公开发明人创造性的提出了一种数字移相器架构的信号发射链路, 以有效的提升调相精度和调相准确度, 同时还能避免对发射链路中的移相等链路及器件进行非线性上校准的操作, 进而降低了工程实现的复杂度及难度。另外, 还能有效减小移相架构的发射链路面积和损耗, 提升系统的稳定性, 降低通道耦合度。

图2A为本公开实施例中数字移相器架构的信号发射链路简易示意图, 图2B为本公开实施例中数字移相器架构的另一种信号发射链路简易示意图, 图2C为一种采用锯齿波调制的FMCW发射信号和回波信号的波形示意图。

本公开实施例提供了一种信号发射链路, 可应用于电磁波传感器中, 发射链路可包括模拟信号源和数字移相器, 该模拟信号源可被配置为用于提供初始模拟信号(如LO信号), 数字移相器则可被配置为用于在数字域产生移相信号, 数字移相器还可基于所产生的移相信号对初始模拟信号进行移相, 以将初始模拟信号进行预设的移相操作。

如图2A所示, 在一些可选的实施例中, 一种数字移相器架构的信号发射链路, 可包括模拟信号源21、数字移相器(Digital PS)22和发射天线23等, 即模拟信号源21可被配置为用于提供LO信号, 数字移相器22则可被配置为用于对所接收的LO信号进行预设移相

操作，以使得移相后的LO信号经发射天线23辐射到预设空间区域中。其中，模拟信号源21也可为包含有锁相环PLL的架构，可提供电磁波（例如激光、微波等）信号。其中，模拟信号源21、数字移相器22和发射天线23可集成为一体的器件，也可为相互分立的元器件；例如，模拟信号源21和数字移相器22可集成于一封装体中形成诸如SoC芯片（chip）等，而发射天线23则可通过芯片的外设端口连接，形成在诸如PCB板等载体上。同时，一些可选的实施例中，发射天线23还可集成在芯片的封装上形成AiP或者AoP，具有封装天线的芯片结构。

如图2A所示，本公开实施例中的数字移相器22可包括混频器（Mixer）221、数模转换器（即DAC）222和移相信号源（如数字基带信号源Baseband）223等，即移相信号源223可被配置为用于提供数字移相信号；数模转换器222则可被配置为用于对所接收的数字移相信号进行模数转换，以将数字移相信号转换为模拟的移相信号；混频器221则可被配置为用于将所接收的模拟的移相信号与所接收的来自模拟信号源21的电磁波信号进行混频操作，以达到利用数字移相信号对上述的电磁波信号进行设定的移相操作。可选的，当上述的信号发射链路提供扫频信号时，例如提供FMCW激光信号或FMCW微波信号时，可基于模拟信号源21提供扫频电磁波信号，和/或基于移相信号源223提供扫频数字移相信号，以使得经过混频器221混频后，输出扫频连续波信号。

在一些可选的实施例中，基于图2A所示的结构，模拟信号源21可被配置为用于提供微波中的厘米波频段或毫米波频段（如3.1GHz、24GHz、60GHz、77GHz等频段）FMCW信号，移相信号源223可被配置为用于提供MHz（例如3MHz~5MHz，如3MHz、4MHz、5MHz等）级别的数字移相信号，即数模转换器222对MHz级别的数字移相信号进行数模转换后得到对应频率范围的模拟移相信号，混频器221可被配置为基于所接收的固定频段的模拟移相信号对所接收的毫米波频段的FMCW信号进行上混频或者下混频操作，以实现FMCW信号进行预设移相的操作。

在一些可选的实施例中，3.1GHz频段的厘米波信号可包括3.1GHz~10.6GHz，例如3.1GHz、5GHz、6GHz、8GHz、10.6GHz等；77GHz频段的毫米波信号可包括76GHz~81GHz的信号，例如76GHz~77GHz、77GHz~79GHz、79GHz~81GHz等扫频信号，或者76GHz、77GHz、78GHz、79GHz、80GHz、81GHz等固定频段信号。

基于图2A所示的结构，由于移相信号源223提供的是数字信号，为了进一步适配信号特性，混频器221可设置为IQ Mixer，数模转换器222为IQ DAC。同时，移相信号源223可

被配置为用于提供用于移相的数字基带信号源 (DDFS) 和/或作为波形控制器 (Waveform Control) 提供对应的源信号。

如图 2B 所示, 本公开实施例提供了一种信号发射链路, 该信号发射链路应用于雷达系统中, 该信号发射链路包括: 发端基带 (Baseband) 数字模块 201 (包括前述的移相信号源 223)、数模转换 (Digital-to-Analog Converter, DAC) 模块 202、发端本振器 203 和发端正交调制器 204, 数模转换模块 202 包括两个相同的数模转换器, 其中: 发端基带数字模块 201, 被配置为生成两路正交的发端数字基带信号 (即数字移相信号), 并将两路正交的发端数字基带信号分别送入一个数模转换模块 202 中; 数模转换模块 202, 被配置为将两路正交的发端数字基带信号转换为两路发端模拟基带信号 (即模拟移相信号); 发端本振器 203, 被配置为提供发端本振信号 TX_LO (即初始模拟信号); 发端正交调制器 204, 被配置为基于两路发端模拟基带信号, 对发端本振信号 TX_LO 进行频率搬移的同时进行移相操作, 以形成预定移相后的 FMCW 射频发射信号。

本公开实施例中, 发端基带数字模块 201 提供的发端数字基带信号中包括预设的相位信息; 数模转换模块 202 对所接收的发端数字基带信号进行数模转换, 以将发端数字基带信号转换为发端模拟基带信号 (如不改变相位信息); 发端正交调制器 204 将所接收的发端模拟基带信号与发端本振器 203 生成的发端本振信号 TX_LO 进行混频操作, 以达到基于发端模拟基带信号对发端本振信号进行频率搬移的同时进行预设的移相操作, 以形成预定移相后的 FMCW 射频发射信号。

本公开实施例的信号发射链路, 通过使用发端基带数字模块 201、数模转换模块 202 和发端正交调制器 204 组成了数字移相器架构, 由于该架构的基带信号是在数字域产生的, 有更好的正交性和更低的旁瓣, 因此其移相相位可以非常准确产生, 使得调相精度更高, 从而实现了带有高精度的数字移相功能的车载雷达系统, 降低了天线之间隔离度的需求, 同时具有链路损耗小、成本低、无需离线校准的优点, 并且可以支持更为灵活的发波方案, 比如高性能的多普勒分复用和频分复用等, 且能够支持在数字域进行频率响应补偿。

本公开实施例中, 由于发端基带数字模块 201 提供的是数字信号, 为了进一步适配信号特性, 发端调制器设置为正交调制器 (IQ Modulator), 数模转换模块 202 设置为正交数模转换器 (IQ DAC)。

本公开实施例中, 发端本振器 203 可以为包含有锁相环 (Phase-Locked Loop, PLL) 的架构, 可提供电磁波 (例如激光、微波等) 信号。

在一些示例性实施方式中，该信号发射链路还包括：功率放大器（Power Amplifier, PA）205，其中：功率放大器 205，被配置为对移相后的射频信号进行功率放大并将放大后的信号输出至发射天线。

在一些示例性实施方式中，该信号发射链路还包括：发射天线 206，其中：发射天线 206，被配置为将放大后的信号向预设空间区域辐射。

本公开实施例中，经功率放大器 205 放大后的信号可通过封装为一体或外置的发射天线 206 辐射至预设的空间区域中。即，发端本振器 203、数字移相器和发射天线 206 等可集成为一体的器件，也可为相互分立的元器件；例如，发端本振器 203 和数字移相器可集成于一封装体中形成诸如 SoC 芯片（chip）等，而发射天线 206 则可通过芯片的外设端口连接，形成在诸如 PCB 板等载体上。同时，一些可选的实施例中，发射天线 206 还可集成在芯片的封装上形成 AiP 或者 AoP，具有封装天线的芯片结构。

在一些示例性实施方式中，扫频信号的频带宽度在 2GHz 以上。例如，调频连续波雷达系统的发射天线发出的发射信号的电磁波为高频调频连续波，调频连续波雷达系统的接收天线接收的回波信号是目标物反射/散射回来的电磁波。图 2C 示出了一种示例性的 FMCW 发射信号和回波信号的波形示意图。如图 2C 所示，发射信号和回波信号的频率随时间规律变化。调频连续波一般为锯齿形、三角形等，本公开以锯齿形为例进行说明，每个调频周期 T 内的电磁波称为一个啁啾（Chirp），每个 Chirp 的信号频率随时间线性增加。本公开实施例中，一个啁啾的带宽范围 B 大于或等于 2GHz。

在一些示例性实施方式中，发端数字基带信号为单音信号，发端本振信号为扫频信号。本公开实施例中，发端本振器 203 可被配置为用于提供微波中的厘米波频段或毫米波频段（如 3.1GHz、24GHz、60GHz、77GHz 等频段）的 FMCW 信号，发端基带数字模块 201 可被配置为用于提供 MHz（例如 3MHz~5MHz，如 3MHz、4MHz、5MHz 等）级别的单音发端数字基带信号，即数模转换模块 202 对 MHz 级别的单音发端数字基带信号进行数模转换后得到对应频率范围的单音发端模拟基带信号，发端正交调制器 204 可被配置为基于所接收的单音发端模拟基带信号对所接收的毫米波频段的 FMCW 信号进行上混频或者下混频操作，以实现 FMCW 信号进行预设移相的操作。

示例性的，3.1GHz 频段的 FMCW 信号可包括 3.1GHz~10.6GHz 之间的扫频信号，如 7.163-8.812GHz；77GHz 频段的 FMCW 信号可包括 76GHz~81GHz 的扫频信号，或者，76GHz~77GHz、77GHz~79GHz、79GHz~81GHz 等扫频信号。

在另一些示例性实施方式中，发端数字基带信号可为扫频信号，发端本振信号为单音信号。

本公开实施例中，发端本振器 203 可被配置为用于提供微波中的厘米波频段或毫米波频段（如 3.1GHz、24GHz、60GHz、77GHz 等频段）的单音发端本振信号，发端基带数字模块 201 可被配置为用于提供 MHz（例如 3MHz~5MHz，如 3MHz、4MHz、5MHz 等）级别的发端数字基带 FMCW 信号，即数模转换模块 202 对 MHz 级别的发端数字基带 FMCW 信号进行数模转换后得到对应频率范围的发端模拟基带 FMCW 信号，发端正交调制器 204 可被配置为基于所接收的发端模拟基带 FMCW 信号对所接收的厘米波频段或毫米波频段的单音发端本振信号进行上混频或者下混频操作，以实现单音发端本振信号进行预设移相和扫频的操作。

示例性的，3.1GHz 频段的单音发端本振信号可以为 3.1GHz、5GHz、6GHz、8GHz、10.6GHz 等固定频段的单音模拟信号；77GHz 频段的单音发端本振信号可以为 76GHz、77GHz、78GHz、79GHz、80GHz、81GHz 等固定频段的单音模拟信号。

在一些示例性实施方式中，该信号发射链路还包括：低通滤波器（Low Pass Filter，LPF）207，设置在数模转换模块 202 和发端正交调制器 204 之间，被配置为对数模转换模块 202 输出的发端模拟基带信号进行低通滤波并输出至发端正交调制器 204。

如图 2B 所示，发端基带数字模块 201 产生两路正交的数字基带（Baseband）信号，即 I 路数字基带信号和 Q 路数字基带信号，并将产生的数字基带信号送入数模转换模块 202（包含两个完全相同的 DAC，即 IQ DAC）中，得到两路模拟基带信号。然后将两路模拟基带信号输入低通滤波器 207，滤除带外噪声信号，并通过发端正交调制器 204 进行正交调制，得到调制后的射频信号，再通过功率放大器 205 以及发射天线 206，将调制后的射频信号辐射出去。

在一些示例性实施方式中，信号发射链路还可以包括直接数字频率合成器（Direct Digital Frequency Synthesizer，DDFS）（图2B中未示出），设置在发端基带数字模块201和数模转换模块202之间，直接数字频率合成器可被配置为基于所接收的源信号实现CDM（Code-Division Multiplexing，码分复用）、DDM（Doppler Division Multiplexing，多普勒分割复用）、TDM（Time-Division Multiplexing，时分复用）、SDM（Space Division Multiplexing，空分复用）、CSD（Circuit Switch Data，电路交换数据）、Digital IF（Digital Intermediate Frequency，数字中频）等多种信号波形及发波方式中的至少一种，以实现信

号发射形式及发射波形的灵活配置。

图 3A 为正交不平衡时，发射机正交调制的信号模型示意图。如图 3A 所示，DSP 为数字信号处理器，DAC 为数模转换器，LPF 为低通滤波器，LO 为本振信号源，其中， $A_I(f)$ 为 I 通道 LPF 输出信号的频域表达式， $E_I(f)$ 为 I 通道基带频率响应， $A'_I(f)$ 为 I 通道基带输出信号的频域表达式； $S_I(f)$ 为 I 通道调制器输出信号的频域表达式， $G_I(f)$ 为 I 通道射频频率响应， $S'_I(f)$ 为 I 通道射频输出信号的频域表达式；其中， α_I 为 I 通道混频器的幅度增益， ϕ_I 为 I 通道混频器的相位响应； $A_Q(f)$ 为 Q 通道 LPF 输出信号的频域表达式， $E_Q(f)$ 为 Q 通道基带频率响应， $A'_Q(f)$ 为 Q 通道基带输出信号的频域表达式； $S_Q(f)$ 为 Q 通道调制器输出信号的频域表达式， $G_Q(f)$ 为 Q 通道射频频率响应， $S'_Q(f)$ 为 Q 通道射频输出信号的频域表达式；其中， α_Q 为 Q 通道混频器的幅度增益， ϕ_Q 为 Q 通道混频器的相位响应； $U_{RF}(f)$ 为发射的调制信号的频域表达式。本公开实施例中，射频包括从混频器到射频信号所经过的所有电路，基带包括从 DAC 到混频器之前所经过的所有电路。

根据图 3A 所示的信号模型，正交解调器的输出 $U_{RF}(f)$ 可以表示为：

$$2U_{RF}(f) = A(f-f_m)V_1(f-f_m) + A^*(-f-f_m)V_1^*(-f-f_m) + A^*(-f+f_m)V_2(f-f_m) + A(f+f_m)V_2^*(-f-f_m)$$

其中， $A(f-f_m)V_1(f-f_m)$ 为在频率 f_m 附近的期望信号；

$A^*(-f-f_m)V_1^*(-f-f_m)$ 为在频率 $-f_m$ 附近的期望信号；

$A^*(-f+f_m)V_2(f-f_m)$ 为在频率 f_m 附近的镜像信号；

$A(f+f_m)V_2^*(-f-f_m)$ 为在频率 $-f_m$ 附近的镜像信号；

$$V_1(f) = \frac{1}{2} \left[\alpha_I E_I(f) \tilde{G}_I(f) e^{j\phi_I} + \alpha_Q E_Q(f) \tilde{G}_Q(f) e^{j\phi_Q} \right]$$

$$V_2(f) = \frac{1}{2} \left[\alpha_I E_I(f) \tilde{G}_I(f) e^{j\phi_I} - \alpha_Q E_Q(f) \tilde{G}_Q(f) e^{j\phi_Q} \right]$$

用 $\tilde{U}_{RF}(f)$ 表示 $U_{RF}(f)$ 信号的复基带形式，即 $\tilde{U}_{RF}(f) = 2U(f+f_m)U_{RF}(f+f_m)$ 其中，在 $f < 0$ 时， $u(f)=0$ ；在 $f \geq 0$ 时， $u(f)=1$ 。

因此，正交调整器的基带等效模型可为： $\tilde{U}_{RF}(f) = A(f)V_1(f) + A^*(-f)V_2(f)$ ；其中， $A(f)V_1(f)$ 为在频率 f_m 附近的期望信号； $A^*(-f)V_2(f)$ 为在频率 $-f_m$ 附近的镜像信号。用相对镜像比（relative image ratio，RIR）衡量正交混频器抑制不需要的镜像频率分量的能力，因此 RIR 的定义是期望信号和镜像信号分量的功率之比，因此可以写成

$$I_M(f) = \left| \frac{V_2(-f)}{V_1(f)} \right|^2$$

；上式说明，I 和 Q 通道的级联增益和相位响应需要相等

（每个通道的级联增益和相位响应都应该被考虑），否则通道是不平衡的，并且镜像分量不会被完全抑制。

图 3B 为真实混频器产生的信号示意图。如图 3B 所示， F_{IN} 表示混频器的输入信号， F_{OUT} 表示混频器的输出信号， F_{LO} 表示混频器使用的本振信号，其中，混频器的输入信号为：频率为 F_{BB} 的基带信号，混频器使用的本振信号为：频率为 F_{LO} 的高频信号，混频器的输出信号为：频率为 $F_{LO} \pm F_{BB}$ 的信号。

理想的混频器将产生两个输入的乘积的输出。在频率方面，输出应该是 $F_{LO} + F_{BB}$ 和 $F_{LO} - F_{BB}$ ，不含其他项。如果任一输入不在驱动状态下，则不会有输出。然而，在 F_{BB} 和 F_{LO} ，真实混频器还将产生一些能量。在 F_{BB} 处产生的能量可以忽略不计，因为它远离所需的输出，并且将被混频器输出之后的 RF 器件滤除。无论 F_{BB} 处产生的能量如何， F_{LO} 处产生的能量都可能是一个问题。它非常接近或在所需的输出信号内，并且很难或无法通过滤波去除，因为滤波也会滤除所需的信号。LO 还有其他途径可以泄漏到系统输出端，例如通过电源或跨越硅本身。无论本振如何泄漏，其泄漏都可被称为 LO 泄漏（LO Leakage, LOL）。

虽然模拟（射频）电路可以用小信号表示的线性模型来近似，但器件的非线性往往会产生一些无法预测的有趣且重要的现象。无记忆系统中非线性的输入和输出特性可以近似为：

$$y(t) = \alpha_1 x(t) + \alpha_2 x^2(t) + \alpha_3 x^3(t) + \dots \approx \alpha_1 x(t) + \alpha_2 x^2(t) + \alpha_3 x^3(t)$$

其中许多器件的非线性效应是由三阶项引起，如果 $x_i(t) = A \cos(\omega t + \varphi)$ 且 $x_q(t) = A \sin(\omega t + \varphi)$ ，那么

$$\begin{aligned} y_i(t) &\approx \alpha_1 A \cos(\omega t + \varphi) + \alpha_2 A^2 \cos^2(\omega t + \varphi) + \alpha_3 A^3 \cos^3(\omega t + \varphi) \\ &= \alpha_1 A \cos(\omega t + \varphi) + \alpha_2 A^2 \frac{1 + \cos(2\omega t + 2\varphi)}{2} + \alpha_3 A^3 \frac{3 \cos(\omega t + \varphi) + \cos(3\omega t + 3\varphi)}{4} \\ &= \frac{\alpha_2 A^2}{2} + \left(\alpha_1 A + \frac{3\alpha_3 A^3}{4} \right) \cos(\omega t + \varphi) + \frac{\alpha_2 A^2}{2} \cos(2\omega t + 2\varphi) + \underbrace{\frac{\alpha_3 A^3}{4} \cos(3\omega t + 3\varphi)}_{\text{SSB}} \\ y_q(t) &\approx \alpha_1 A \sin(\omega t + \varphi) + \alpha_2 A^2 \sin^2(\omega t + \varphi) + \alpha_3 A^3 \sin^3(\omega t + \varphi) \\ &= \alpha_1 A \sin(\omega t + \varphi) + \alpha_2 A^2 \frac{1 - \cos(2\omega t + 2\varphi)}{2} + \alpha_3 A^3 \frac{3 \sin(\omega t + \varphi) - \sin(3\omega t + 3\varphi)}{4} \\ &= \frac{\alpha_2 A^2}{2} + \left(\alpha_1 A + \frac{3\alpha_3 A^3}{4} \right) \sin(\omega t + \varphi) - \frac{\alpha_2 A^2}{2} \cos(2\omega t + 2\varphi) - \underbrace{\frac{\alpha_3 A^3}{4} \sin(3\omega t + 3\varphi)}_{\text{SSB}} \end{aligned}$$

其中：

$$\cos^2(\alpha) = \frac{1+\cos(2\alpha)}{2}, \sin^2(\alpha) = \frac{1-\cos(2\alpha)}{2}, \cos^3(\alpha) = \frac{3\cos(\alpha)+\cos(3\alpha)}{4}, \sin^3(\alpha) = \frac{3\sin(\alpha)-\sin(3\alpha)}{4}$$

如果系统具有奇对称性,也就是说,系统是奇对称的,那么偶次谐波项可以抵消掉,剩下的则是奇次谐波项,这也被称之为谐波失真(Harmonic distortion)。

图 3C 为三阶谐波失真的示意图。如图 3C 所示,基带处理器产生的基带信号为频率为 BB 的基带信号,经 IQ 调制器处理后可得到期望信号 Wanted、镜像信号 IMG 以及三阶谐波 HD3,经功率放大器 PA 输出的信号包括期望信号 Wanted、镜像信号 IMG 以及三阶谐波 HD3。

HD3 的主要来源是基带模拟器件的三阶非线性。如上述推导可知,基带 BB 信号的 3 阶谐波分量 HD3 位于-3BB 处。经过混频器后,基带的 HD3 上变频为 LO-3BB,即 C-IM3。经过 PA 放大后,调制产生的信号很难在高频进行区分。

基于上述说明可知,对于数字正交调制的信号发射链路而言,需要面对 IQ Imbalance、harmonic distortion、以及 LO Leakage 等问题。理想的单音基带信号经过正交上混频器后,会在高频产生多个非理想不同频的单音信号。因此,本公开从系统架构上,利用在发射端增加数字预补偿模块,去解决数字正交调制雷达 TX 中由于模拟器件非理想特性引入的问题。本公开在设计系统架构时,不仅包含预补偿模块,还包含校准环路,实现实时地校准以及补偿。

图 4A 为本公开实施例提供一种信号发射链路的结构示意图。如图 4A 所示,信号发射链路包括集成于同一集成电路中的信号发射主通路和信号校准链路;其中:所述信号校准链路被配置为用于对所述信号发射主通路进行校准以获取补偿信息;以及所述信号发射主通路被配置为用于根据所述补偿信息进行补偿操作后生成射频发射信号,以用于实现目标探测和/或通信。

由于信号校准链路集成于包括有所述发射主通路的集成电路中,使得信号校准链路能实时对发射主通路进行校准操作,且校准链路的校准操作可以不受发射主通路的运行环境的变化而变化,使得发射主通路能够得到更加精确的校准信息,从而提高发射主通路的信号处理性能。

进一步的,所述补偿信息包括谐波失真补偿参数、本振泄漏补偿参数和正交失衡补偿参数中的至少一个。由于该信号校准链路产生的补偿信息能够解决正交失衡、LO 泄漏以

及谐波失真问题，从而有效提升数字移相器架构的发射主通路中信号质量。

在一种实现方式中，所述集成电路为毫米波雷达芯片或超宽带（Ultra Wide Band, UWB）芯片等，和/或，所述射频发射信号为 FMCW 信号。

所述信号发射主通路可包括第一信号源和移相器；其中，所述第一信号源被配置为生成第一模拟信号；以及所述移相器被配置为对所述第一模拟信号进行频率搬移和/或移相，以形成射频发射信号。

在所述移相器为非正交架构时，所述移相器包括第二信号源和发端混频器，其中所述第二信号源被配置为用于生成第二模拟信号，所述发端混频器被配置为对所述第一模拟信号和所述第二模拟信号进行混频处理，以形成所述射频发射信号；在所述移相器为正交架构时，其中所述移相器包括：第二信号源、数模转换模块和发端混频器；其中所述第二信号源被配置为生成第一数字信号；所述数模转换模块被配置为将所述第一数字信号转换为第二模拟信号；以及所述发端混频器被配置为基于所述第二模拟信号对所述第一模拟信号进行频率搬移和/或移相，以形成所述射频发射信号。

其中，所述发射主通路还包括补偿电路，其中所述补偿电路的信号输入端与所述第二信号源相连，信号输入端与所述移相器相连，所述补偿电路用于将补偿信号和第二信号源输出的信号进行合并处理后再输出。

在所述信号发射主通路输出的信号为两路正交信号时，所述补偿电路所使用的补偿信号为两路正交信号；在所述信号发射主通路输出的信号不是两路正交信号时，所述补偿电路所使用的补偿信号为一路与第二信号源输出的信号类型相同的信号，其中信号类型为数字信号或模拟信号。

其中，所述补偿电路包括补偿信号产生器和加法器，所述补偿信号产生器，可被配置为生成所述补偿信号；所述加法器，与所述补偿信号产生器和所述第二信号源相连，用于将所述第二信号源输出的信号与所述补偿信号产生器输出的补偿信号进行信号叠加操作。

具体的，在所述信号发射主通路输出的信号为两路正交信号时，所述补偿信号产生器包括谐波补偿信号单元、正交失衡补偿信号单元和本振泄露补偿信号单元中的至少一个；在所述信号发射主通路输出的信号不是两路正交信号时，所述补偿电路包括谐波补偿信号单元和本振泄露补偿信号单元中的至少一个；其中，所述谐波补偿信号单元产生的补偿信号用于消除所述信号发射主通路中主频信号的谐波信号；所述本振泄露补偿信号单元的补

偿信号用于补偿所述信号发射主通路中发端本振信号产生的泄露信号；所述正交失衡补偿信号单元产生的补偿信号用于补偿所述信号发射主通路中主频信号的镜像信号。

所述正交失衡补偿电路所使用的补偿信号在所述信号发射主通路对应的镜像信号，与所述信号发射主通路产生的期望信号对应的镜像信号之间频率相同、振幅相同、相位相反。

在一个示例性实施例中，所述正交失衡补偿电路所使用的补偿信号是根据第二信号源输出的信号以及所述第二信号源输出的信号的频率反转的复共轭信号确定的。其中，所述正交失衡补偿电路产生的补偿信号的获取方式包括：获取预设的预补偿系数与所述复共轭信号的乘积，得到所述复共轭信号对应的调整信号；计算所述第二信号源输出的信号与所述调整信号之间的差值，得到所述正交失衡补偿电路产生的补偿信号。所述预补偿系数是基于期望信号的振幅与所述期望信号对应的镜像信号的振幅的比值确定的。

图 4B 为本公开实施例提供的正交失衡补偿的示意图。如图 4B 所示，为了实现 TX 正交调制器的补偿，即抑制不希望的镜像信号的存在，可以采用预补偿方法。令 h_{IQ} 为预补偿系数，作用于待传输的基带信号的复共轭信号 $A^*(-f)$ 。预补偿基带信号的频域表达式可以写成

$$A_{pc}(f) = A(f) - h_{IQ} \cdot A^*(-f) \longrightarrow a_{pc}(n) = a(n) - h_{IQ} \cdot a^*(n)$$

当这个预补偿的信号现在用作输入正交调制器的信号时，调制器输出的频域形式可以表示为：

$$\begin{aligned} \tilde{G}_{pcRF}(f) &= A_{sc}(f)V_1(f) + A_{sc}^*(-f)V_2(f) = [A(f) - h_{IQ} \cdot A^*(-f)]V_1(f) + [A^*(-f) - h_{IQ}^* \cdot A(f)]V_2(f) \\ &= A(f)[V_1(f) - h_{IQ}^*V_2(f)] + A^*(-f)[V_2(f) - h_{IQ}V_1(f)] \\ &= A(f)[V_1(f_t) - h_{IQ}^*V_2(f_t)] + A^*(-f)[V_2(-f_t) - h_{IQ}V_1(-f_t)] \end{aligned}$$

从上式可看出，只需要保证 $V_2(-f_t) - h_{IQ}V_1(f_t) = 0$ ，就能够通过预补偿的方式，压制镜像分量。因此，预补偿系数可以表示为：

$$h_{IQ} = \frac{V_2(-f_t)}{V_1(-f_t)}$$
；其中，预补偿系数表示最优预补偿滤波器的频率响应，该滤波器将在调制器的数字域中用于在传输前对 I 和 Q 信号进行预失真（预补偿）。可见，只需要估计 $V_2(-f_t)$ 与 $V_1(f_t)$ 之间的比值即可。

在一个示例性实施例中，所述本振泄露补偿信号单元产生的补偿信号是基于移相器所使用的第一模拟信号对应的泄露信号生成的。其中，所述本振泄露补偿信号单元产生的补偿信号与所述泄露信号的频率相同、振幅相同但相位相反。

具体的，消除 LOL（LO Leakage Correction, LOC）是通过产生一个与 LOL 振幅相等但相位相反的信号来实现的，从而抵消它。在得到 LOL 的确切幅度和相位后，可以通过对发射机的输入施加直流偏移来产生抵消信号。正交混频器结构使其能够很好地产生抵消信号。由于混频器中存在 LO 的正交信号，因此可以在 LO 的频率产生任何相位和幅度的信号。可以在复平面进行几何解释。第一行为时域 IQ 两路合成的结果，第二行为从 IQ 两路信号频谱角度进行几何解释。对发射信号施加直流偏置后，混频器的输出端将包含所需的发射信号以及所需的 LOL 抵消信号。特意生成的抵消信号 LOC 将与无用的 LOL 抵消，仅留下所需的发射信号。

理想情况下 $T_{xLOC} = h_{DC,I} \times LO_I - h_{DC,Q} \times LO_Q = -T_{xLOL}$ 因此 LO 泄露的补偿方式可以表示为： $a_{pc}(n) = \alpha(n) - h_{DC}$

在实际中，可以将 LOL 按照下面的方式进行建模：

理想的 IQ 分别为 $\alpha_I \cos(w_m t)$ 和 $\alpha_Q \sin(w_m t)$ ；实际的 IQ 分别为 $\alpha_I \cos(w_m t + \phi_I)$ 和 $\alpha_Q \sin(w_m t + \phi_Q)$ ；LO 泄露为 $\beta_I \alpha_I \cos(w_m t + \phi_I + \varphi_I) - \beta_Q \alpha_Q \cos(w_m t + \phi_Q + \varphi_Q)$ ；因此，需要通过如下方式去对消 LO Leakage：

$$\begin{aligned} -T_{xLOC} &= h_{DC,I} \times \alpha_I \cos(w_m t + \phi_I) - h_{DC,Q} \alpha_Q \cos(w_m t + \phi_Q) \\ &= \beta_I \alpha_I \cos(w_m t + \phi_I + \varphi_I) - \beta_Q \alpha_Q \cos(w_m t + \phi_Q + \varphi_Q) = T_{xLOL} \end{aligned}$$

因此，可以通过给 I 和 Q 路信号加不同的直流偏置，来对校 LOL。

在一个示例性实施例中，所述谐波补偿信号单元产生的补偿信号与所述信号发射主通路中谐波信号的频率相同、振幅相同、相位相反。

具体的，所述谐波补偿信号单元包括 n 次方模块或 n 倍频信号发生器；其中：n 次方模块，其中所述 n 次方模块的信号输入端与所述第二信号源的信号输出端相连，用于利用第二信号源输出的信号，生成频率为所述第二信号源输出的信号的频率的 n 倍的信号，得到所述补偿信号；n 倍频信号发生器，用于产生频率为所述第二信号源输出的信号的频率的 n 倍的信号，得到所述补偿信号，其中 n 的取值为正整数。其中，n 的取值为奇数。进一步的，n 的取值为 3。

图 4C 和图 4D 为本公开实施例提供的谐波失真补偿的示意图。如图 4C 和图 4D 所示，与消除 LOL 的原理相似，对于三阶谐波失真存在两种补偿方式，分别是基于 n 次方模块的补偿架构和基于 n 倍频波形发生器的补偿架构。

$$a_{pc}(n) = a(n) - h_{HD3} \cdot (a^*(n))^3$$

$$a_{pc}(n) = a(n) - h_{HD3} \cdot a_3(n)$$

图5A为基于图2A所示信号发射链路中数字移相器架构的示意图；图5B为本公开实施例中一种包含有具体补偿单元的发射链路的示意图。如图5A所示，数字移相器架构的信号发射链路（TX digital phase shifter architecture）可包括数字基带信号源（Baseband）、直接数字频率合成器（Direct Digital Frequency Synthesizer，简称DDFS）、IQ数模转换器（Digital to Analog Convertor，简称DAC）、低通滤波器（Low-Pass Filter，简称LPF）、IQ调制器（IQ modulator/IQ Mixer）、功率放大器（Power Amplifier，PA）等，即基带信号源被配置为用于提供数字移相源信号，直接数字频率合成器可被配置为基于所接收的源信号实现CDM（Code-Division Multiplexing，码分复用）、DDM（Doppler Division Multiplexing，多普勒分割复用）、TDM（Time-Division Multiplexing，时分复用）、SDM（Space Division Multiplexing，空分复用）、CSD（Circuit Switch Data，电路交换数据）、Digital IF（Digital Intermediate Frequency，数字中频）等多种信号波形及发波方式中的至少一种，以实现信号发射形式及发射波形的灵活配置。其中，经功率放大器放大后的信号可通过封装为一体或外置的发射天线辐射至预设的空间区域中。

针对本公开实施例中的数字移相器架构的信号发射链路，由于数字移相器架构被配置为可在数字域产生基带信号序列，并可通过DAC产生模拟基带信号，然后经过正交混频器将发射信号调制到高频，即因为该架构的基带信号是在数字域产生的，有更好的正交性和更低的旁瓣，因此其移相相位可以非常准确产生，使得调相精度更高。

在一些可选的实施例中，针对数字移相器架构的信号发射链路，当采用RF LO扫频实现所发射信号为FMCW信号时，针对所可能出现的因IQ失配（Mismatch）而引起的TX IQ失衡（Imbalance）、信号泄漏（如TX LO Leakage）谐波失真（harmonic distortion，简称HD）等问题，还可在该信号发射链路增设补偿单元。如图5A所示，可通过在TX DDFS与IQ DAC之间设置补偿单元（TX compensation），以对数字移相器架构的信号发射链路进行校准（calibration）及补偿（compensation）等操作，以到达解决上述问题中的至少之一的操作。其中，由基带的三阶非线性所引起的HD可简称为HD3。

在一些可选的实施例中，如图5A至图5B所示，TX补偿单元（TX compensation）可包括LO泄露补偿单元（TX LO leakage compensation）、IQ失衡补偿单元（TX IQ Imbalance compensation）和HD3补偿单元（TX HD3 compensation）中的至少一个，其中，LO泄露

补偿单元可被配置为用于针对信号泄漏 (leakage) 而进行的补偿操作, IQ失衡补偿单元可被配置为用于针对IQ失衡而进行的补偿操作, HD3补偿单元可被配置为用于针对上述的HD3而进行的补偿操作。其中, IQ失衡补偿单元被配置为可用于对IQ调制器失衡 (TX IQ Modulator imbalance)、IQ通道失衡 (IQ channel imbalance) 中的至少一个进行补偿操作。另外, 当TX补偿单元包括LO泄露补偿单元、IQ失衡补偿单元和HD3补偿单元中的至少两个时, 可以依据实际需求及信号特性等同步进行补偿 (如并联方式), 也可依次进行补偿 (如串联方式), 如图5B所示可以先进行IQ失衡补偿、然后再进行LO泄露补偿, 最后进行HD3补偿等操作。

在一些可选的实施例中, 针对数字移相器架构的信号发射链路, 还可包括有针对DAC的误差校正模块 (TX DAC Board Error Correction) 和针对高斯白噪声的AWGN (additive white gaussian noise) 模块等, 图中未示出, 具体的可根据实际需求而增设或删减。其中, 本公开实施例中提及的IQ中I可表示为In-Phase (即同相) 的简称, Q表示为Quadrature (即正交) 的简称, RF可表示为Radio Frequency (即射频) 的简称。

本公开实施例还提供了一种信号收发链路, 包括信号发射链路和信号接收链路, 如图6A或图6B所示, 信号发射链路可以包括: 发端基带数字模块201、数模转换模块202、发端本振器203和发端正交调制器204, 其中: 发端基带数字模块201, 被配置为生成两路正交的发端数字基带信号, 并将生成的发端数字基带信号送入数模转换模块202中; 数模转换模块202, 被配置为将发端数字基带信号转换为发端模拟基带信号; 发端本振器203, 被配置为提供发端本振信号TX_LO; 发端正交调制器204, 被配置为基于发端模拟基带信号对发端本振信号TX_LO进行移相操作, 得到移相后的射频信号。

信号接收链路可以包括收端本振器302、收端混频器303、模数转换器 (Analog-to-Digital Converter, ADC) 304和收端基带数字模块305; 其中, 收端本振器302, 被配置为提供收端本振信号; 收端混频器303, 被配置为基于收端本振信号对所接收的回波信号进行混频操作, 得到收端模拟基带信号; 模数转换器304, 被配置为将收端模拟基带信号转换为收端数字基带信号; 收端基带数字模块305, 被配置为对收端数字基带信号进行处理, 以实现目标检测和/或无线通信, 例如, 得到目标的诸如距离、速度、角度、高度及微运动特性等参数信息。

本公开实施例中, 通过发端基带数字模块201产生的两路理想的I路数字基带信号和Q路数字基带信号, 经由数模转换模块202后, 可以得到非常理想的复信号, 且该复信号

的相位可以通过发端基带数字模块 201 精确控制。通过如图 6A 或如图 6B 所示的信号收发链路中的接收机结构，能够有效获取信号发射链路的射频信号的相位信息，从而可以实现多天线的相位调制。

在一些示例性实施方式中，信号发射链路还可以包括：功率放大器 205，其中，功率放大器 205，被配置为对移相后的射频信号进行功率放大并将放大后的信号输出至发射天线。

在一些示例性实施方式中，信号发射链路还可以包括：发射天线 206，其中，发射天线 206，被配置为将放大后的信号向预设空间区域辐射。

在一些示例性实施方式中，信号接收链路还可以包括接收天线 301，其中，接收天线 301，被配置为接收回波信号，回波信号为信号发射链路所发射的信号被目标物反射和/或散射而形成的信号。

在一些示例性实施方式中，收端本振信号可以为扫频信号，或者，收端本振信号可以为单音信号。

本公开实施例中，在上述信号收发链路中，针对信号发射链路中的发端正交调制器 204 所接收的 TX-LO 信号与信号接收链路中的收端混频器 303 所接收的 RX-LO 信号的频率可相同。例如，假设发端基带数字模块 201 输出的信号为 x MHz 的正弦波 (sine wave)，则 TX-LO 信号和 RX-LO 信号则可同为 z GHz 的正弦波 (sine wave)，其中， x 、 z 均为正数，一般可在 0~1000 之间。

下面通过图 6A 所示的信号收发链路对本公开的原理进行介绍。如前所述，对于 FMCW 雷达系统而言，信号发射链路可以有两种发波方案：1) 发端本振信号扫频，发端数字基带信号单音；2) 发端本振信号单音，发端数字基带信号扫频。假设发端本振信号 TX_LO、发端数字基带信号、调制后的发射信号分别用 $TLO(t)$ 、 $BB(t)$ 和 $TX(t)$ 来表示，并用下标 I 和 q 表示 I 路信号和 Q 路信号，用上标 a 表示其复信号形式，则在两种发波方案下，信号发射链路各阶段的信号可以表示如下：

1) 发端本振信号扫频，发端数字基带信号单音：

$$BB^a(t) = e^{j2\pi f_{bb}t + \phi_0} \quad (1) ;$$

$$TLO^a(t) = e^{j2\pi (f_{tlo}t + \frac{a}{2}t^2) + \phi_0} \quad (2) ;$$

$$TX^a(t) = BB^a(t) \times TLO^a(t) = e^{j2\pi (f_{tlo}t + f_{bb}t + \frac{a}{2}t^2) + \phi_0 + \phi_0} \quad (3) ;$$

$$TX(t) = BB_I(t) \times TLO_I(t) - BB_Q(t) \times TLO_Q(t) = \cos(2\pi(f_{tlo}t + f_{bb}t + \frac{\alpha}{2}t^2) + \phi_0 + \varphi_0) \quad (4)。$$

2) 发端本振信号单音, 发端数字基带信号扫频:

$$BB^a(t) = e^{j2\pi(f_{bb}t + \frac{\alpha}{2}t^2) + \phi_0} \quad (5)；$$

$$TLO^a(t) = e^{j2\pi f_{tlo}t + \varphi_0} \quad (6)；$$

$$TX^a(t) = BB^a(t) \times TLO^a(t) = e^{j2\pi(f_{tlo}t + f_{bb}t + \frac{\alpha}{2}t^2) + \phi_0 + \varphi_0} \quad (7)；$$

$$TX(t) = BB_I(t) \times TLO_I(t) - BB_Q(t) \times TLO_Q(t) = \cos(2\pi(f_{tlo}t + f_{bb}t + \frac{\alpha}{2}t^2) + \phi_0 + \varphi_0) \quad (8)。$$

其中, $\alpha = \frac{B}{T_{sweep}}$ 为 FMCW 信号的扫频斜率, f_{bb} 为发端数字基带信号的起始频率, f_{tlo} 为发端本振信号的起始频率, ϕ_0 为发端数字基带信号的初始相位, φ_0 为发端本振信号的初始相位。

假设图 6A 所示的信号接收链路中的收端本振信号 RX_LO 用 RLO(t) 来表示, 本实施例中, 假设收端本振信号 RX_LO 为扫频信号, 则 RLO(t) 可以表示为:

$$RLO(t) = \cos(2\pi(f_{rlo}t + \frac{\alpha}{2}t^2) + \Phi_0) \quad (9)；$$

其中, f_{rlo} 为收端本振信号的起始频率, Φ_0 为收端本振信号的初始相位, 那么, 信号发射链路发射的射频信号, 经过目标反射/散射后产生回波信号, 经过接收天线 301、收端混频器 303 和收端低通滤波器 307 后可得:

$$x(t) = LPF(TX(t) \times RLO(t - \tau)) = \cos\left(2\pi((f_{tlo} + f_{bb} - f_{rlo})\tau + \alpha\tau t - \frac{\alpha\tau^2}{2}) + \phi_0 + \varphi_0 - \Phi_0\right) \quad (10)；$$

其中, τ 代表信号发射链路发射的射频信号经过目标反射/散射后返回信号接收链路的时延。

上式说明: 上述两种扫频方式, 均可以通过控制发端数字基带信号的初始相位 ϕ_0 , 来进行精确的相位调制, 从而实现高精度高准确度的移相, 避免了在高频进行直接移相。

在一些可选的实施例中, 接收天线 301 可通过芯片的外设端口连接, 形成在诸如 PCB 板等载体上。同时, 在另一些可选的实施例中, 接收天线也可集成在芯片的封装上形成 AiP 或者 AoP, 即具有封装天线的芯片结构。

在一些示例性实施方式中, 信号接收链路还可以包括低噪声放大器 (Low Noise Amplifier, LNA) 306, 设置在接收天线 301 和收端混频器 303 之间, 对接收天线 301

接收的回波信号进行低噪声放大后，再送入收端混频器 303。

在一些示例性实施方式中，信号接收链路还可以包括串联连接的低通滤波器（Low Pass Filter, LPF）307 和高通滤波器（High Pass Filter, HPF）308，设置在收端混频器 303 和模数转换器 304 之间，低通滤波器 307 和高通滤波器 308 组成带通滤波器，用于滤除带外噪声。

在一些示例性实施方式中，如图 6A 所示，在信号接收链路中，收端混频器 303 可以为实数混频器，模数转换器 304 可以为实数模数转换器。

本公开实施例中，虽然信号发射链路采用数字移相架构，但是，信号接收链路可包括正交接收架构或非正交接收架构的接收机，因此，能够有效的兼容各种架构的接收链路的传感器，有效降低整个收发链路系统的开发成本。

在另一些示例性实施方式中，如图 6B 所示，在信号接收链路中，收端混频器 303 可以为正交混频器，模数转换器 304 可以为正交模数转换器。

为了匹配数字移相器架构的信号发射链路，本公开实施例将信号接收链路中的收端混频器 303 调整为 IQ 解调器（IQ Demodulator），同时将模数转换器 304 调整为 IQ ADC，经接收天线接收的回波信号依次经上述的低噪声放大器 306、收端混频器 303、低通滤波器 307、高通滤波器 308 及模数转换器 304 处理后，转换为 IQ 数字基带信号，后续的收端基带数字模块 305 对该 IQ 数字基带信号处理可得到目标的诸如距离、速度、角度、高度及微运动特性（即微多普勒）等参数信息。

当收端混频器 303 为正交混频器且收端本振信号为扫频信号时，收端本振信号 RX_LO 可以表示为： $RLO^a(t) = e^{j2\pi(f_{rlo}t + \frac{a}{2}t^2) + \Phi_0}$ (11)。

在另一些示例性实施方式中，信号接收链路的收端本振信号除了为式 (9) 或式 (11) 所示的扫频信号外，还可以为式 (12) 或式 (13) 所示的单音信号。

收端混频器 303 为实数混频器： $RLO(t) = \cos(2\pi f_{rlo}t + \Phi_0)$ (12)。

收端混频器 303 为正交混频器： $RLO^a(t) = e^{j2\pi f_{rlo}t + \Phi_0}$ (13)。

当收端本振信号为单音信号时，只需要在收端基带数字模块 305 中增加数字域的信号处理流程（包括数字域混频操作），同样可以得到需要的数字基带信号。

综上所述，本公开实施例根据不同的发射方案和接收方案的搭配组合（例如，发端采用数字基带信号单音、本振信号扫频还是采用数字基带信号扫频、本振信号单音；收端采

用实数混频器、实数模数转换器还是采用正交混频器、正交模数转换器；收端采用单音本振信号还是采用扫频本振信号），可以拓展出多种系统级别的技术方案。

图7A为本公开实施例中一种包含TX IQ 调制 (Mod)、RX 实数解调 (Real De-Mod) 的收发链路的示意图，图7B为本公开实施例中一种包含TX IQ Mod、RX IQ De-Mod的收发链路的示意图，图8为本公开实施例中一种基于图7B所示结构结合BIST的收发链路的示意图，图9为本公开实施例中一种包含TX IQ Mod、BIST IQ Mod和RX IQ De-Mod的收发链路的示意图。

下面基于本公开实施例中所记载的发射链路结构，针对其所构成的收发链路进行说明：

如图7A所示，一种收发链路，可包括发射链路和接收链路等。发射链路可包括依次连接的数字基带信号源 (Baseband)、直接数字频率合成器 (TX DDFS)、IQ数模转换器 (IQ DAC)、低通滤波器 (LPF)、IQ调制器 (IQ Modulator)、功率放大器 (power amplifier, PA) 等，同时经功率放大器放大后的信号经发射天线向预设空间区域进行辐射。接收链路则可包括依次连接的低噪声放大器 (low noise amplifier, 简称LNA)、实数混频器 (Real Mixer)、跨阻放大器 (Trans-Impedance Amplifier, 简称TIA)、低通滤波器 (LPF)、高通滤波器 (High-Pass Filter, 简称HPF)、实数数模转换器 (Real ADC) 等，即经接收天线接收的回波信号依次经上述的LNA、Real Mixer、TIA、LPF、HPF及Real ADC处理后，转换为实数数字基带信号，后续的数字信号处理模块对该实数数字基带信号处理可得到目标的诸如距离、速度、角度、高度及微运动特性等参数信息。其中，上述收发链路中，针对发射链路中的IQ调制器所接收的TX-LO信号与接收链路中的Real Mixer所接收的RX-LO信号的频率可相同。例如，如图7A所示，若是Baseband输出的信号为 x MHz的正弦波 (sine wave)，则TX-LO信号和RX-LO信号则可同为 z GHz的正弦波 (sine wave)。

在图7A所示的实施例中，其发射链路采用的数字移相架构，而接收链路则可采用模拟架构的元器件，即不用采用IQ的元器件的，所以能够有效的兼容模拟架构的接收链路的传感器，有效降低整个收发链路系统的开发成本。

可选的，在本公开的实施例中，接收链路可包含接收天线，即该接收天线可通过芯片的外设端口连接，形成在诸如PCB板等载体上。同时，一些可选的实施例中，接收天线也可集成在芯片的封装上形成AiP或者AoP，即具有封装天线的芯片结构。

在一些可选的实施例中，为了匹配数字移相器架构的发射链路，可针对接收链路对应进行相关的调整，如图7B所示的收发链路中，可包含基于图7A中类似的发射链路架构和接收链路（为了避免赘述，相同的部分具体在此便不予阐述），即将图7A中接收链路中的Real Mixer调整为IQ解调器（IQ Demodulator），同时将Real ADC调整为IQ ADC，即此时接收链路则可包括依次连接的低噪声放大器（LNA）、IQ解调器（IQ Demodulator）、跨阻放大器（TIA）、低通滤波器（LPF）、高通滤波器（HPF）、IQ数模转换器（IQ ADC）等，即经接收天线接收的回波信号依次经上述的LNA、IQ Demodulator、TIA、LPF、HPF及IQ ADC处理后，转换为IQ数字基带信号，后续的数字信号处理模块对该IQ数字基带信号处理可得到目标的诸如距离、速度、角度、高度及微运动特性（即微多普勒）等参数信息。

同时，基于图7B所示的收发链路进行自校准时，只要将发射链路的信号输出端口与接收链路的信号输入端口直接通过传输线连接，即发射链路通过该传输线直接将发射信号发送至接收链路中，以在不经发射天线和接收天线情况下，实现收和/或发链路的自校准操作。其中，此时发射链路中的IQ调制器所接收的TX-LO信号与接收链路中的IQ Demodulator所接收的RX-LO信号之间具有一定的频偏。例如，如图7B所示，若是Baseband输出的信号为 x MHz的正弦波（sine wave），则TX-LO信号可为 z GHz的正弦波（sine wave），此时RX-LO信号则可为 $(z \text{ GHz} - y \text{ MHz})$ 的正弦波（sine wave），即此时的频偏为 y MHz。

在一些可选的实施例中，如图7B所示，可通过增加接收链路（如图中所示的接收机（Receiver, RX））对发射链路（如图中所示的发射机（Transmitter, TX））进行校准，并通过发射链路中的TX IQ失衡补偿单元基于校准的数据进行补偿操作。同时，也可通过复用实际用于信号发收的接收链路（如图中所示的接收机（Receiver, RX））对发射链路（如图中所示的发射机（Transmitter, TX））进行校准，通过发射链路和/或接收链路中的TX IQ失衡补偿单元基于校准的数据进行补偿操作。在其他的实施例中也可进行类似的实施，为了阐述简便，后续便不予赘述。

在一些可选的实施例中，基于图7B所示结构的基础上，为了实现收发链路精准校准，可在图7B所示的接收链路的IQ Demodulator的RX-LO端口设置内部自测试模块（Built-in Self-Test, 简称BIST）模块，即如图8所示的，基于图7B所示收发链路结构的基础上，在接收链路的IQ Demodulator的RX-LO端口设置IQ BIST架构，以实现在接收链路的IQ

Demodulator的RX-LO端口输入具有预设频偏的LO信号。例如，通过相位角度转换器和IQ调制器（IQ Modulator）等所构成IQ BIST，利用所接收的诸如TX-LO信号经相位角度转换器通过IQ调制器，以基于该IQ调制器的另一路输入信号BIST-LO的频偏信号形成频偏后的信号输入至IQ Demodulator的RX-LO端口。例如，若TX-LO的信号为 z GHz的正弦波，而BIST-LO的信号为 y MHz的正弦波，则得到输入至IQ Demodulator的RX-LO端口的频偏后的信号为 $(z \text{ GHz}-y \text{ MHz})$ 。需要说明的是，不同的实施例之间， x 、 y 、 z 均为示意值，具体的数值可相同或不相同。

在一些可选的实施例中，基于图8中所示收发链路结构的IQ BIST架构，还可通过复用收发链路中的接收链路针对数字移相器架构的发射链路进行校准；其中，在其他实施例中，涉及到利用接收链路对发射链路的校准操作，以及利用发射链路对接收链路的校准操作，均可通过复用实际进行信号收发的链路中对应的接收链路或者发射链路实现上述的校准操作，也可通过增设对应的校准接收链路或者校准发射链路来实现对实际进行信号收发的链路中对应的发射链路或者接收链路的校准操作。

可选的，该IQ BIST可包括相位角度转换器和IQ调制器（IQ Modulator），相位角度转换器用于实现对数字架构的发射链路中I路和Q路的分别校准，而IQ调制器的另一路输入信号BIST-LO则可为 y MHz的正弦波（sine wave），用于模拟发射信号被目标反射所形成回波信号相关的特性，其中图8中的 x 、 y 、 z 均为正数，且 $x \neq y \neq z$ ，一般可在0~1000之间。

可选的，在图8所示的收发链路中，还可在发射链路中（例如在的TX DDFS与IQ DAC之间）设置TX IQ失衡补偿单元（TX IQ Imbalance Compensation），和/或在接收链路中（例如在IQ ADC之后）设置TX IQ失衡补偿单元（TX IQ Imbalance Compensation），即可基于上述自校准操作所得到的校准参数（或系数）对所发射和/或接收的信号进行补充，以解决诸如IQ不平衡等问题。

在一些可选的实施例中，基于图8所示的结构，如图9所示，可将上述的IQ BIST模块设置在发射链路的信号输出端口与接收链路的信号输入端口之间，即发射链路通过该IQ BIST模块直接将发射信号发送至接收链路中，以在不经过发射天线和接收天线情况下，实现收链路和/或发链路的自校准操作。

需要说明的是，在图7A、图8至图9所示的发射链路结构中，其仅示例出IQ失衡补偿单元（TX IQ Imbalance compensation），在实际的应用中，也可基于实际需求，于发射链

路中增加LO泄露补偿单元 (TX LO leakage compensation) 和HD3补偿单元 (TX HD3 compensation) 等, 以构成包含有LO泄露补偿单元 (TX LO leakage compensation)、IQ失衡补偿单元 (TX IQ Imbalance compensation) 和/或HD3补偿单元 (TX HD3 compensation) 等单元的补偿单元 (TX compensation)。

图10为本公开实施例中一种包含辅助电路和BIST IQ Mod的收发链路的示意图, 图11为本公开实施例中另一种包含辅助电路和BIST IQ Mod的收发链路的示意图。

如图10所示, 一种收发链路, 结合图5B和图9所示的结构及相关描述, 该收发链路可包括发射链路、接收链路和校准链路。其中发射链路可包括依次连接的TX数字基带信号源 (TX Baseband)、直接数字频率合成器 (TX DDFS)、补偿单元 (Compensation)、IQ数模转换器 (IQ DAC)、低通滤波器 (LPF)、IQ调制器 (IQ Modulator) 和功率放大器 (power amplifier, PA) 等, 同时经功率放大器放大后的信号经发射天线向预设空间区域进行辐射。接收链路则可包括依次连接的低噪声放大器 (low noise amplifier, 简称LNA)、实数混频器 (Real Mixer)、跨阻放大器 (Trans-Impedance Amplifier, 简称TIA)、高通滤波器 (High-Pass Filter, 简称HPF)、可变自动增益放大器 (Variable Gain Amplifier, 简称VGA)、实数数模转换器 (Real ADC) 和用于TX RF 校准 (Calibration) 的RX Baseband 等, 即经接收天线接收的回波信号依次经上述的LNA、Real Mixer、TIA、HPF、VGA及Real ADC等处理后, 转换为实数数字基带信号, 后续的数字信号处理模块对该实数数字基带信号处理可得到目标的诸如距离、速度、角度、高度及微运动特性等参数信息。其中, 针对发射链路, 通过设置在TX DDFS与IQ DAC之间的补偿单元 (TX compensation) 可包括LO泄露补偿单元 (TX LO leakage compensation)、IQ失衡补偿单元 (TX IQ Imbalance compensation) 和/或HD3补偿单元 (TX HD3 compensation) 等单元, 用以实现针对数字移相器架构的发射链路中的LO leakage、IQ Imbalance及HD3等对应的补偿操作。

在一些可选的实施例中, 在发射链路与接收链路之间还可设置有校准模块, 该校准模块可被配置用于复用接收链路对上述的数字移相器架构的发射链路进行校准等操作。同时, 补偿模块 (即前述实施例中的各种补偿单元) 则可基于该校准模块的校准操作所获取的参数或系数, 以在发射链路端就可以实现对发射信号的补偿操作。而在其他的实施例中, 还可同时或单独的在接收链路中设置对应的接收补偿模块, 即此时接收补偿模块可基于上述校准操作所获取的参数或系数等, 以在接收链路端实现对回波信号的补偿。

如图10所示, 上述的校准模块可包括BIST单元和辅助电路单元 (auxiliary circuit) 等,

即发射链路的输出端口通过BIST单元和辅助电路单元连接至接收链路中Real Mixer与Real ADC之间的任一节点上，如发射链路中的IQ Modulator基于 x MHz的数字移相基带信号和 z GHz的LO信号，生成 $(z \text{ GHz} \pm x \text{ MHz})$ 的射频信号后，经输出端口输出至BIST单元，该BIST单元对于接收的射频信号进行 y MHz的频偏操作后得到 $(z \text{ GHz} \pm x \text{ MHz} \pm y \text{ MHz})$ 的模拟回波信号，再利用辅助单元中的IQ De-Modulator进行降频后，以得到预设的中频信号 $(z \text{ GHz} \pm x \text{ MHz} \pm y \text{ MHz} - z \text{ GHz} = \pm x \text{ MHz} \pm y \text{ MHz})$ 后，该中频信号输入至接收链路中预设节点，以实现发射链路中的校准操作。

可选的，辅助电路单元可为正交解调器电路，该辅助电路单元的输出端可连接至接收链路中的TIA与HPF之间的节点、HPF与VGA之间的节点、VGA与Real ADC之间的节点中的任一节点上。另外，为了最大程度的复用接收链路的结构，一路发射链路的输出端口通过BIST单元和辅助电路单元后，I、Q两条支路还可分别连接至不同的发射链路上，即如图10所示，即通过复用两路接收链路来对一路发射链路进行校准。其中，在完成针对发射链路的校准后，可利用上述的补偿单元(TX compensation)中的LO泄露补偿单元(TX LO leakage compensation)、IQ失衡补偿单元(TX IQ Imbalance compensation)和/或HD3补偿单元(TX HD3 compensation)等补偿单元，用以基于校准所得到的参数实现针对数字移相器架构的发射链路中的LO leakage、IQ Imbalance及HD3等问题对应的补偿操作。

在一些的可选的实施例中，上述的BIST单元可包括依次连接的相位角度转换器和IQ调制器(IQ Modulator)，辅助电路单元可包括依次连接的LNA、IQ De-Modulator和TIA，即相位角度转换器接收从发射链路输出的射频信号，而IQ Modulator的一个输入端连接相位角度转换器的输出端，另一个输入端则接收 y MHz的BIST-LO信号，用以生成预设的回波信号。LNA则将接收的回波信号经放大后发送至IQ De-Modulator一个输入端，IQ De-Modulator另一个输入端则用于接收 z GHz的RX-LO信号后，该IQ De-Modulator的两个输出支路(即I支路和Q支路)分别经TIA后连接至各自对应的接收链路中相应的节点，以将生成的预设的中频信号输出至两个接收链路，进而在实现校准操作的同时，更加高效的复用接收链路设计。

需要说明的是，针对本公开实施例中的校准操作，若是发射链路发射的是扫频信号，在实际的校准操作时，可采用TX LO信号为单tone信号进行逐点校准；同时，也可以采用TX LO信号为扫频信号进行大带宽的校准操作，甚至可采用扫频带宽校准一次实现针对全频段的扫频信号的校准操作。

基于图10所示的结构，为了进一步的将数字移相器架构的发射链路中，诸如HD3、LO Leakage、IQ Imbalance等压制预设的程度，可通过级联至少两个BIST单元的方式来实现；如图11所示，通过两个串联的BIST单元，可将因上述缺陷而导致的噪声压制在-50dB的程度，从而有效的降低相关链路模拟器件的开发设计的难度。

在一些可选的实施例中，基于本公开实施例所记载的数字移相器架构的发射链路的基础上，在针对IQ Imbalance进行校准及补偿操作时，可在时域（Time-Domain）基于频谱分析得到IQ Imbalance的补偿系数，也可在频域（Frequency-Domain）基于频谱谱峰比值得到IQ Imbalance的补偿系数。

在一些可选的实施例中，为了进一步提升IQ Imbalance补偿系数的精准性，还可通过迭代校准及补偿的方式来逼近理想的补偿系数，也可通过多观测校准及补偿的方式来得到理想的补偿系数。

例如，针对迭代校准及补偿的方式，可基于前后两次校准补偿的补偿系数之间的大小关系，或者该两次校准补偿的补偿系数之间的差值是否满足预设迭代条件，来确定是否停止迭代操作，并以停止迭代操作时所得到的补偿系数作为当前场景中，最终的补偿系数进行后续的操作。针对多观测校准及补偿的方式，则可通过多次（例如三次）校准补偿操作后，分别对各次操作得到的测量数据进行FFT（快速傅里叶变换）并获取相应的幅度和相位信息后，可将测量做差并归一化处理得到相关的数据，并构建出观测矩阵；后续基于对该观测矩阵求逆得到的数据反向求解出对应的补偿系数。

在一些可选的实施例中，基于上述得到IQ Imbalance补偿系数类似的思想，也可采用诸如迭代校准及补偿的方式，或者多次观测校准及补偿的方式来得到LO leakage和/或HD3的补偿系数。

在上述带有补偿单元的发射机各示例中提及了关于解决发射机中谐波失真的问题。经研究发现，一些谐波失真的原因可能来自于发射机中的混频器等包含非线性特点的器件。

以图 12A 为例，图 12A 为本公开实施例中混频器的结构示意图。如图 12A 所示，混频器包括电压电流转换器（V/I Converter）、电流开关（Current Switch）和电流电压转换器（I/V Converter）。其中，所述电压电流转换器将接收的电压信号转换为电流信号；所述电流开关与所述电压电流转换器和所述第二信号发生器相连，用于利用本振信号对电压

电流转换器输出的电流信号进行处理；所述电流电压转换器与所述电流开关相连，用于对所述电流开关输出的电流信号转换为电压信号。

在上述结构中，由于电压电流转换器设置有晶体管放大器，基于晶体管放大器的非线性特性以及基带信号的频率较低的特性，使得电压电流转换器输出的电流信号存在基带信号对应的谐波信号。例如，由基带的三阶非线性所引起的 HD 可简称为 HD3。类似地，五阶非线性所引起的谐波称为 HD5。在电流开关处理电压电流转换器输出的电流信号时，谐波的频率经过上变频处理后变为射频频段。由于抑制射频频段的谐波信号的操作复杂度较高，硬件成本较高。如果对射频频段的谐波信号不进行去除，会影响雷达收发的信号质量，进而影响雷达测量的准确度。

所述补偿单元用于将所生成的抵消信号输入至信号发射链路，以抵消所述射频信号中的谐波信号。其中，所述补偿单元与所述第一信号发生器相互独立。

为此，补偿单元可包括抵消信号发生器。利用补偿单元输出的抵消信号能够抑制射频信号中的谐波信号，减少射频信号中谐波分量，从而提高发射机输出的射频信号的质量。

在本公开实施例中，针对信号发射链路中的谐波信号，补偿单元利用反馈或根据发射波的特点，将所生成的抵消信号输入至信号发射链路，以抵消所述信号发射链路所输出的射频信号中的谐波信号。其中该抵消信号具有与射频发射电路中所传输的谐波信号具有相位相反、幅值相近等特点，以达到抑制谐波信号的目的。

在一些示例中，补偿单元根据第一信号发生器所产生的基带信号的相位、频率、或幅值，甚至与 LO 信号合并的路径长度等参数，产生包含抵消作用的补偿信号。

例如，图 5A 中示出了一种将补偿单元接入信号发射链路中的发射机示例。在图 5A 所示结构中，补偿单元为 TX 补偿单元。TX 补偿单元中包含可根据发射波的特点生成抵消信号发生器（未予图示）。所述抵消信号发生器可举例为如图 5B 中所示的 TX HD3 补偿单元。

其中，基带处理器（图 5A 中简称为基带框）控制 TX DDFS 生成的正交数字的基带信号，TX 补偿单元根据所述正交数字信号参数，生成正交补偿信号，将正交补偿信号和正交数字信号合并并发送给 IQ DAC 以转换为模拟的基带信号。通过 LPF 滤波处理后，交由混频器（即，图 5A 中的 IQ 调制器）进行混频处理，得到基于 TX LO 信号和模拟基

带信号混频的射频信号，PA 对混频信号进行放大处理后通过发射天线输出。其中，该补偿信号抵消了射频发射电路中至少部分的谐波信号，如 HD3 谐波信号。因此，所发射的射频信号中的杂波将大大减少。射频信号可为 FMCW 信号。

在另一些示例中，补偿单元根据经射频发射电路反馈而得到的谐波信息，来生成补偿信号。参见图 12B，图 12B 为图 5A 所示发射机中补偿单元的结构示意图。如图 12B 所示，所述补偿单元包括采集电路和抵消信号发生器。

其中，所述采集电路耦接所述射频发射电路，用于采集所述射频发射电路中的信号，得到采集信号。所述采集信号（或称采样信号）能反映谐波信号中的波形信息（又称谐波参数），如主频信号的相位、谐波信号的相位，谐波信号的频率，主频信号的频率，谐波信号的功率，主频信号的功率等。

需要说明的是，所述采集信号所反映的谐波参数与采集电路所能采集的信号所携带的信息相关。例如，采集电路为一种功率采集电路，则相应的采集信号包含主频的功率。又如，采集电路利用接收机的至少部分电路，则采集信号反映主频信号的相位、谐波信号的相位、谐波信号的频率、主频信号的频率、谐波信号的功率、主频信号的功率等。

上述至少一种谐波参数可藉由模拟电路来提取。例如，通过耦合器和功率检测器来输出主频信号的功率。或利用雷达芯片中的数字电路在频域计算的优势，来提取谐波参数。例如，通过耦接射频发射电路，来获取与耦接处传输的信号相同的信号作为采集信号。该采集信号中携带主频信号和谐波信号。采集信号经 ADC 转为数字信号，并交由数字电路在频域计算以得到更多谐波参数。

在一种实现方式中，所述采集电路的输入端与所述混频器的输出端或信号检测端相连。该种方式可检测到因电压电流转换器所产生的谐波信号，且具有简化的采集电路。

在一个示例性实施例中，所述信号校准链路，所述信号校准链路的第一输入端连接于所述信号发射主通路中发端混频器内电压电流转换器与电流开关之间，第二输入端所述信号发射主通路与发射天线之间，信号输出端与所述信号发射主通路中的补偿电路相连，用于从所述第一输入端和所述第二输入端中的至少一个获取所述信号发射主通路中的信号，并根据获取的信号确定补偿信息。例如图 13A、13B 所示结构中的一种连接方式，该采集电路的输入端连接在电压电流转换器和电流开关之间的检测端，并与 ADC 耦接。

参见图 13C 所示，所述信号校准链路包括校准解调器（IQ Demodulator）、多路选择

器 (MUX) 和校准模块 (TX Calibration)；其中：所述校准解调器，被配置为从所述第二输入端获取信号发射主通路中的信号，并进行解调处理；所述多路选择器具有两个信号输入端和一个信号输出端，其中一个信号输入端连接于发端混频器内电压电流转换器与电流开关之间，另一个信号输入端连接于校准解调器的信号输出端，用于输出两个信号输入端中一个对应的信号；校准模块，被配置为根据所述多路选择器输出的信号确定所述补偿信息。

在另一种方式中，所述采集电路的输入端连接所述射频发射电路的射频输出端或射频检测端相连。其中，所述射频输出端举例为射频发射电路的输出端。射频检测端举例为射频发射电路中至少一级 PA 的输入端或输出端。该种方式可采集到射频发射电路中的更准确的谐波参数，但具有较复杂的电路结构。

在一些包含 BIST 模块的芯片中，采集电路可藉由 BIST 模块中的部分或全部电路获取采集信号。例如，参见图 13B 所示，采集电路的输入端耦接射频输出端，其依次包括下变频器、滤波器等，并连接 IQ ADC，以输出数字的采集信号。其中，下变频器、滤波器等可复用 BIST 模块或接收机。

所采集的采集信号输入至抵消信号发生器。其中，所述抵消信号发生器为补偿单元中的至少一种电路。该抵消信号发生器与所述第一信号发生器相连，使得射频发射电路接收的信号同时包括基带信号和抵消信号。

例如，抵消信号发生器包括前述提及的抵消信号发生器，以及提取谐波信息的数字电路。其中，提取谐波信息的数字电路可独立配置，或至少部分的共用于雷达芯片中数字电路。

其中，提取谐波信息的数字电路举例利用雷达芯片中用于处理差频基带信号的数字电路来提取谐波频率、主频频率、主频功率等谐波信息，并提供给抵消信号发生器。抵消信号发生器根据所接收的参数生成抵消信号。

又如，提取谐波信息的数字电路提取采集信号中的主频幅度，并根据预设的主频幅度和谐波幅度之间的差异，计算出谐波幅度。抵消信号发生器根据所计算出的谐波幅度和预配置的其他谐波参数，生成谐波信号补偿信号。其中，该预配置的各谐波参数可根据雷达芯片待发射的主频信号的扫频范围、相位等计算得到。

所述抵消信号发生器中的抵消信号发生器可与第一信号发生器独立配置，或至少部分

的共用。例如，抵消信号发生器所产生的抵消信号输入第一信号发生器，使得第一信号发生器所输出的基带信号中包含有所述抵消信号。其中，抵消信号发生器可包括三次谐波发生器和五次谐波发生器。

又如，所述补偿单元中还包括加法器，耦接抵消信号发生器和第一信号发生器，以合并第一信号发生器所产生的基带信号以及所述抵消信号发生器所产生的抵消信号。本实施例中，抵消信号包括三次谐波发生器所产生的抵消三次谐波的抵消信号 **Signal_HD3**，和五次谐波发生器所产生的抵消五次谐波的抵消信号 **Signal_HD5**。抵消信号 **Signal_HD3** 和 **Signal_HD5** 以及第一信号发生器所产生的基带信号通过加法器合并，并输出至射频发射电路。

综上所述，本公开提供的采用反馈方式向射频发射电路中预输入抵消信号的发射机各电路示例，可在不同环境下，保证芯片所发射的射频信号中含有足够低的谐波信号。

为了在芯片使用过程中能按照芯片的实际运行环境有效地对谐波信号进行抑制，例如考虑环境温度对半导体器件的影响等，本公开还提供一种利用反馈机制对上述发射机中的谐波信号进行信号抵消方法，包括：步骤 10、对信号发射链路中的信号进行采集操作，得到采集信号；其中，所述信号发射链路用于产生雷达探测用的射频信号，其中所述射频信号中包含谐波信号。步骤 20、检测所述采集信号，生成用于抵消所述谐波信号的抵消信号，并输出至所述信号发射链路。

本公开实施例提供的方法，对信号发射链路中的信号进行采集操作，得到采集信号，并利用采集信号生成抵消信号，并输出至信号发射链路，从而利用抵消信号抑制射频信号中的谐波信号，减少射频信号中谐波分量，从而提高发射机输出的射频信号的信号质量，进而提高接收机对射频信号的接收性能。

下面结合附图 7B 至图 13C，举例发射机及其工作过程：

例如，图 7B 中示出了一种利用反馈机制提取发射机中的谐波信息，使得补偿单元产生相应的抵消信号的示例。在图 7B 所示结构中，以补偿单元包括 **TX HD3** 补偿单元为例。**TX HD3** 补偿单元根据接收信号的波形特点生成补偿信号。其中，该反馈机制可在雷达芯片的校准模式下执行，以防止削弱雷达芯片正常探测时的信号发射功率。

发射机中的基带处理器（如图 7B 中的基带框）控制 **TX DDFS** 生成的正交数字的基带信号，经 **TX** 补偿单元产生的正交数字的抵消信号合并后发送给 **IQ DAC**，以转换为模

拟的基带信号。该模拟的基带信号中混合有用于抵消发射链路中谐波信号的模拟的抵消信号。该模拟的基带信号通过 LPF 滤波处理后进入第一混频器(即,图 7B 中的 IQ 调制器)。第一混频器利用 TX LO 对接收的滤波信号进行混频处理,得到射频信号。该射频信号经耦合通过接收机输出至补偿单元中的 TX HD3 校准电路(如图 7B 中的 TX HD3 校准框)。其中,所述 TX HD3 校准电路可视为一种提取谐波信息的数字电路。

在接收机中, LNA 对发射机输出的信号进行放大处理后,输出给第二混频器(即,图 7B 中的 IQ 解调器),得到解调信号,将解调信号发送给跨阻放大器进行放大处理,再依次经过 LPF 和 HPF 后,再经过 IQ ADC 进行模数转换操作后发送给 TX HD3 校准电路。该 TX HD3 校准电路从反馈的信号中提取发射机中的谐波信息,并通过上层控制器转换为产生抵消信号所需的参数,并提供给 TX HD3 补偿单元。其中, TX HD3 校准电路所获取的谐波信息举例包括以下一种或多种参数:谐波信号(或主频信号)的初始相位、起始频率、截止频率、频率变化时长、中心频率等。TX HD3 补偿单元或上层控制器根据谐波信息确定补偿单元中用于生成抵消信号的参数,如初始相位、抵消信号的频率,时延等。

需要说明的是,上述各示例中涉及三次谐波和/或五次谐波的抵消操作,可根据发射机的需求而定。

图13A为本公开实施例中一种基于三次方模块的数字预补偿 HD3 架构的示意图,图 13B为本公开实施例中一种基于倍频波形发生器模块的数字预补偿 HD3 架构的示意图。

在一些可选的实施例中,基于本公开实施例所记载的数字移相器架构的发射链路的基础上,在针对HD3进行校准及补偿操作时,基于有源混频器中HD3的产生主要源头为V/I Converter的非线性中三次谐波,所以可通过如图13A所示的基于三次方模块的补偿架构,或者如图13B所示的基于三倍频波形发生器的补偿结构来实现。

图13C为本公开实施例中一种基于数字移相器架构发射链路的校准补偿示意图。如图 13C所示,基于本公开实施例中针对IQ Imbalance、LO leakage 和HD3校准补偿操作的相关技术内容:针对IQ Imbalance的补偿操作,可通过补偿BB(基带)信号的共轭信号来反向抵消镜像分量的方式实现,且该补偿操作方式不受IQ Imbalance的校准方式的影响。针对LO Leakage的补偿则可通过调节IQ两路的DC分量(即直流偏置)来实现,同样该LO Leakage的校准方式对其补偿方案不产生影响。针对HD3,由于正交混频器 V/I Converter 的 3 阶谐波失真是产生HD3的主要来源,而谐波失真会受到直流偏置的影响,因此当发

射链路的LO Leakage和HD3均需要校准时，则需要在进行LO Leakage的校准后再进行HD3的校准，以确保HD3校准的精准性能。

另外，基于数字三次方模块的数字预补偿架构和基于倍频波形发生器模块的数字预补偿架构的HD3的补偿方式，会直接影响后续的校准方案和后续的补偿流程。具体的：

在一个可选的实施例中，针对基于数字三次方模块的数字预补偿架构，可先校准并补偿 LO Leakage后，在稳定的 DC 偏置下，校准出 HD3 问题的根本来源，即HD3的补偿系数；随后校准 IQ Imbalance，并继续补偿 IQ Imbalance后，分别对 IQ 两路依据 IQ Imbalance 预补偿的结果，去补偿三次谐波失真。

在一个可选的实施例中，针对基于倍频波形发生器模块的数字预补偿架构，可在校准并补偿 LO Leakage后，校准得到 HD3的补偿系数，并在稳定的 DC 偏置下校准 IQ Imbalance，以及补偿 IQ Imbalance；后续通过补偿后的结果，分别计算出 IQ 两路信号的实际波形，HD3的补偿系数，反算出需要预补偿的3 倍频和5倍频的波形信息。

在另一个可选的实施例中，针对基于倍频波形发生器模块的数字预补偿架构，可先校准并补偿 LO Leakage，然后通过多次（如三次）观测以同时校准出 HD3 和 IQ Imbalance 的预补偿系数，之后再通过再次观测（如两次）来校准出HD3镜像位置处的预补偿系数；最后通过HD3 和 HD3 镜像位置处的预补偿系数反算出需要预补偿的 3 倍频和 5 倍频系数。需要说明的是，本公开实施例中的观测用以表示测试以及不同测试结果比较分析等操作。

参见图 13C 所示结构可知，该采集电路具有两条采集支路，且两条采集支路能够动态切换；其中，一条采集支路的输入端连接在电压电流转换器和电流开关之间；另一条采集支路的输入端连接在功率放大器的输出端，且该采集支路设置有 IQ 解调器；此外，图 13C 所示结构中，该采集电路还设置有多路选择器（Multiplexers），其中该多路选择器的输入端分别连接两个采集支路的输出端，输出端用于输出所述采集信号。

在图 13A 至图 13C 所示结构中，该采集信号可以为模拟信号，即，该采集电路的输出端与 IQ ADC 相连；或者，该采集信号可以为数字信号，则该采集电路至少包括 IQ ADC。

需要说明的是，当信号发射链路发送的射频信号不是正交信号时，则图 13A 至图 13C 中采集电路可以利用非正交元器件来完成。例如，可以利用单端的下变频混频器代替 IQ 解调器，可以使用单端的模数转换器代替 IQ ADC。

如图 14A 所示, 本公开实施例还提供了一种信号发射方法, 应用于具有至少一个信号发射链路的电磁波器件中, 该信号发射方法包括: 步骤 1401、确定每个信号发射链路的射频发射信号的相位; 步骤 1402、根据射频发射信号的相位确定每个信号发射链路中的发端数字基带信号的初始相位; 步骤 1403、根据确定的初始相位, 生成发端数字基带信号; 步骤 1404、将发端数字基带信号转换为发端模拟基带信号, 基于发端模拟基带信号对发端本振信号进行移相操作。

本公开实施例的信号发射方法, 通过使用数字移相器架构在数字域产生数字基带信号, 有更好的正交性和更低的旁瓣, 其移相相位可以非常准确产生, 使得调相精度更高, 从而实现了带有高精度的数字移相功能的车载雷达系统, 降低了天线之间隔离度的需求, 同时具有链路损耗小、成本低、无需离线校准的优点, 并且可以支持更为灵活的发波方案, 比如高性能的多普勒分复用和频分复用等, 且能够支持在数字域进行频率响应补偿。

在一些示例性实施方式中, 发端数字基带信号为单音信号, 发端本振信号为扫频信号; 或者, 发端数字基带信号为扫频信号, 发端本振信号为单音信号。

在一些示例性实施方式中, 扫频信号的频带宽度在 2GHz 以上。

在一些可选的实施例中, 为了进一步提升 IQ Imbalance 补偿系数的精准性, 还可通过迭代校准及补偿的方式来逼近理想的补偿系数, 也可通过多观测校准及补偿的方式来得到实际工作状态下使用的补偿系数。其中, 补偿系数的确定需要额外考虑链路特性对补偿系数的计算准确度的影响。

以正交失衡为例进行说明, 实际工作状态下的补偿系数 h 为 $\frac{V_2(-f_t) \cdot \hat{Y}(-f_t) \cdot W_1(\Delta_f - f_t)}{V_1(f_t) \cdot \hat{Y}(f_t) \cdot W_1(\Delta_f + f_t)}$ 理想状态下的补偿系数 H 为 $\frac{V_2(-f_t)}{V_1(-f_t)}$, 由于二者的表达式存在明显差别, 使得实际工作状态下的补偿系数与理想状态下的补偿系数存在差异。其中:

由于 f_t 和载频相比, 属于窄带信号, 因此可以近似认为 $\hat{Y}(f_t) = \hat{Y}(-f_t)$;

需要保证 $W_1(\Delta_f - f_t) \approx W_1(\Delta_f + f_t)$, 或者能够通过校准的方式较好地估计出这两个系数的比值:

$V_1(f_t)$ 和 $V_1(-f_t)$ 的差异 ($V_1(f) = \frac{1}{2} [\alpha_I E_I(f) \tilde{G}_I(f) e^{j\phi_I} + \alpha_Q E_Q(f) \tilde{G}_Q(f) e^{j\phi_Q}]$):

- * $E_I(f_t)$ ($E_Q(f_t)$) 与 $E_I(-f_t)$ ($E_Q(-f_t)$) 幅度相同, 但相位相反;
- * $\tilde{G}_I(f_t)$ ($\tilde{G}_Q(f_t)$) 与 $\tilde{G}_I(-f_t)$ ($\tilde{G}_Q(-f_t)$), 由于 $f_t = 5$ MHz 和载频 76 – 81 GHz 相比, 属于窄带信号, 因此可以近似认为相等;
- * $\alpha_I e^{j\phi_I}$ 和 $\alpha_Q e^{j\phi_Q}$ 不受影响。

如果未考虑了链路的频响特性, 而直接利用观测的进行补偿, 是不能对消镜像分量, 因此在实际的系统中, 必须考虑到链路的频率响应对校准操作的影响。

同理可知，谐波失真和 LO 泄露，在信号发射链路实际工作状态下和理想状态下的补偿系数也存在差异。

图 14B 为本公开实施例提供的确定补偿系数方式的原理说明示意图。下面对图 14B 中每个坐标系中的内容进行逐个说明：图 14B 中 (a) 表示在信号发射链路在理想状态下补偿系数 H 的相位和幅值；图 14B 中 (b) 表示在信号发射链路在理想状态下补偿系数 H 的相位和幅值，在实际工作状态下补偿系数 h 的相位和幅值，以及，实际工作状态下补偿系数 h 与理想状态下补偿系数 H 的差值 D ；图 14B 中 (c) 表示图 14B 中 (b) 中三个向量不受幅值的变化而变化；因此，只需在相位上控制补偿系数 h 无限接近补偿系数 H 即可，具体参见图 14B (d)。图 14B 中 (e) 表示区域 1 表示补偿系数 h 已接近补偿系数 H ，区域 2 表示补偿系数 h 未接近补偿系数 H ；图 14B 中 (f) 对图 14B 中 (e) 的区域进行优化，包括缩小区域 1 的大小，从而增大区域 2，并对增大后的区域 2 进行进一步划分，得到的区域 3 和新的区域 2，其中区域 3 补偿系数 h 未接近补偿系数 H ，新的区域 2 表示与补偿系数 h 的相位的相反值的补偿系数已接近补偿系数 H ；例如，图 14B (g) 和图 14B (h) 中的补偿系数 h 均不在区域 1，但是图 14B (h) 中的补偿系数 h 较图 14B (g) 中的补偿系数 h 更接近补偿系数 H ，可通过图 14B (g) 和图 14B (h) 中差值 D 的长度明确获知。

基于上述分析，本公开实施例提出迭代校准及补偿的方式。

具体的，可基于前后两次校准补偿的补偿系数之间的大小关系，或者该两次校准补偿的补偿系数之间的差值是否满足预设迭代条件，来确定是否停止迭代操作，并以停止迭代操作时所得到的补偿系数作为当前场景中，最终的补偿系数进行后续的操作。

在一些可选的实施例中，基于上述得到 IQ Imbalance 补偿系数类似的思想，也可采用诸如迭代校准及补偿的方式，或者多次观测校准及补偿的方式来得到 LO leakage 和/或 HD3 的补偿系数。

具体的，本公开实施例提供一种信号发射主通路的信号校准链路，其中所述信号发射主通路用于根据补偿系数对产生的信号进行补偿操作后生成射频发射信号，以用于实现目标探测和/或通信，其中：所述信号校准链路，被配置为用于获取当前补偿系数下信号发射主通路当前的观测信息；以及，在当前的观测信息满足迭代条件时，将当前的补偿系数作为所述信号发射链路补偿操作使用的补偿系数；否则，对当前的补偿系数进行迭代直到所得到的观测信息满足所述迭代条件为止。

下面以实施例对上述信号校准链路进行说明：

在一些可选的实施例中，一种信号校准的方法可包括以下步骤：步骤 A1：以初始补偿系数 $h(0)$ 为 0，获取信号发射链路的信号状态，得到初始观测信息 $O(0)$ 。步骤 A2：利用初始观测信息 $O(0)$ 确定的第一补偿系数 $h(1)$ 对该信号发射链路进行第一次补偿，获取信号发射链路的信号状态，得到第一观测信息 $O(1)$ 。步骤 A3：如果初始观测信息 $O(0)$ 和第一观测信息 $O(1)$ 之间的差异值大于预设的差异门限，则根据第 $k-1$ 补偿系数 $h(k-1)$ 和第 $k-1$ 观测信息 $O(k-1)$ 确定第 k 补偿系数 $h(k)$ ， k 为大于或等于 2 的整数。如果初始观测信息 $O(0)$ 的绝对值与第一观测信息 $O(1)$ 的绝对值之间的差值大于预设的差值门限，则以第一补偿系数 $h(1)$ 更新为初始观测信息 $O(0)$ 为基础，迭代计算第 $k-1$ 补偿系数 $h(k-1)$ 和 $k-1$ 观测信息 $O(k-1)$ 之间的总和，确定第 k 补偿系数 $h(k)$ 。如果第一观测信息 $O(1)$ 的绝对值与初始观测信息 $O(0)$ 的绝对值之间的差值大于预设的差值门限，以第一补偿系数 $h(1)$ 更新为初始观测信息 $O(0)$ 的相反数为基础，迭代计算第 $k-1$ 补偿系数 $h(k-1)$ 和 $k-1$ 观测信息 $O(k-1)$ 之间的差值，确定第 k 补偿系数 $h(k)$ 。步骤 A4：如果初始观测信息 $O(0)$ 和第一观

测信息 $O(1)$ 之间的差异值小于预设的差异门限, 则根据预设的相位调整量对初始观测信息 $O(0)$ 进行调整, 得到调整后的第一补偿系数 $h(1)$, 再根据调整后的第一补偿系数 $h(1)$ 重新得到新的第一观测信息 $O(1)$, 以新的第一观测信息 $O(1)$ 为基础, 确定第 k 补偿系数 $h(k)$; 其中, 初始观测信息 $O(0)$ 与新的第一观测信息 $O(1)$ 之间的差异值大于所述差异门限。

可选的, 如果初始观测信息 $O(0)$ 的绝对值与新的第一观测信息 $O(1)$ 的绝对值之间的差值大于所述差值门限, 则迭代计算第 $k-1$ 观测信息 $O(k-1)$ 与经所述相位调整量处理第 $k-1$ 观测信息 $O(k-1)$ 后得到的调整后的第 $k-1$ 观测信息 $O(k-1)$ 之间的总和, 确定第 k 补偿系数 $h(k)$ 。

可选的, 如果新的第一观测信息 $O(1)$ 的绝对值与初始观测信息 $O(0)$ 的绝对值之间的差值大于所述差值门限, 更新第一补偿系数 $h(1)$ 为调整后的第一补偿系数 $h(1)$ 的相反数, 迭代计算第 $k-1$ 补偿系数 $h(k-1)$ 与经所述相位调整量处理第 $k-1$ 观测信息 $O(k-1)$ 后得到的调整后的第 $k-1$ 观测信息 $O(k-1)$ 之间的差值, 确定第 k 补偿系数 $h(k)$ 。其中, 在步骤 A3 和步骤 A4 中每种迭代操作过程中, 判断每个补偿系数对应的观测信息是否小于预设的迭代门限; 如果观测信息小于所述迭代门限, 停止迭代操作, 将小于所述迭代门限的观测信息所使用的补偿系数作为补偿系数。

在另一些可选的实施例中, 以正交失衡的补偿操作为例进行说明, 其中以 IQ 的下标对上述实施例提及的符号进行区分, 具体的: 步骤 B1: 当 $h_{IQ}(0)=0$ 时, 估计得到 $O_{IQ}(0)$ 。步骤 B2: 当 $h_{IQ}(1) = O_{IQ}(0)$ 时, 得到 $O_{IQ}(1)$ 。步骤 B3: 比较 $O_{IQ}(0)$ 与 $O_{IQ}(1)$ 的大小关系, 决定后续迭代关系; 如果 $|O_{IQ}(0)| > |O_{IQ}(1)| + \varepsilon$, 其中 ε 表示门限, 则后续迭代表达式如下: $h_{IQ}(1) = O_{IQ}(0)$; $h_{IQ}(k) = h_{IQ}(k-1) + O_{IQ}(k-1)$, 其中 $k=2,3, \dots$ 。如果 $|O_{IQ}(0)| < |O_{IQ}(1)| - \varepsilon$, 其中 ε 表示门限, 则后续迭代表达式如下: $h_{IQ}(1) = -O_{IQ}(0)$; $h_{IQ}(k) = h_{IQ}(k-1) - O_{IQ}(k-1)$, 其中 $k=2,3, \dots$ 。步骤 B4: 如果不满足步骤 B3 中的关系, 则令 $h_{IQ}(1) = O_{IQ}(0) \cdot e^{j\frac{\pi}{3}}$, 重新得到 $O_{IQ}(1)$; 如果 $|O_{IQ}(0)| > |O_{IQ}(1)| + \varepsilon$, 其中 ε 表示门限, 则后续迭代表达式如下: $h_{IQ}(1) = O_{IQ}(0) \cdot e^{j\frac{\pi}{3}}$; $h_{IQ}(k) = h_{IQ}(k-1) + O_{IQ}(k-1) \cdot e^{j\frac{\pi}{3}}$, 其中 $k=2,3, \dots$ 。如果 $|O_{IQ}(0)| < |O_{IQ}(1)| - \varepsilon$, 其中 ε 表示门限, 则后续迭代表达式如下: $h_{IQ}(1) = O_{IQ}(0) \cdot e^{-j\frac{\pi}{3}}$; $h_{IQ}(k) = h_{IQ}(k-1) + O_{IQ}(k-1) \cdot e^{-j\frac{\pi}{3}}$, 其中 $k=2,3, \dots$ 。步骤 B5: 当 $O_{IQ}(k)$ 小于某个门限 (其中门限的取值小于或等于 -50db), 则停止迭代, 此时 $\hat{h}_{IQ} = h_{IQ}(k)$ 。

在另一些可选的实施例中, 以 LO 泄漏的补偿操作为例进行说明, 其中以 DC 的下标

对前述实施例中提及的符号进行区分，具体的：步骤 C1：当 $h_{DC,I}(0) = h_{DC,Q}(0) = 0$ 时，估计得到 $O_{DC}(0)$ ；其中， $h_{DC,I}$ 表示 I 路信号的初始补偿系数， $h_{DC,Q}$ 表示 Q 路信号的初始补偿系数。步骤 C2：当 $h_{DC,I}(1) = \text{Re}\{O_{DC}(0)\}$ 、 $h_{DC,Q}(1) = \text{Im}\{O_{DC}(0)\}$ 时，得到 $O_{DC}(1)$ ；其中， $\text{Re}\{O_{DC}(0)\}$ 表示 $O_{DC}(0)$ 的实数部分； $\text{Im}\{O_{DC}(0)\}$ 表示对 $O_{DC}(0)$ 的虚数部分。步骤 C3：比较 $O_{IQ}(0)$ 与 $O_{IQ}(1)$ 的大小关系，决定后续迭代关系；如果 $|O_{IQ}(0)| > |O_{IQ}(1)| + \varepsilon$ ，其中 ε 表示门限，则后续迭代表达式如下： $h_{DC,I}(1) = \text{Re}\{O_{DC}(0)\}$ ； $h_{DC,Q}(1) = \text{Im}\{O_{DC}(0)\}$ ； $h_{DC,I}(k) = h_{DC,I}(k-1) + \text{Re}\{O_{DC}(k-1)\}$ ，其中 $k=2,3, \dots$ ； $h_{DC,Q}(k) = h_{DC,Q}(k-1) + \text{Im}\{O_{DC}(k-1)\}$ ，其中 $k=2,3, \dots$ ；如果 $|O_{IQ}(0)| < |O_{IQ}(1)| + \varepsilon$ ，其中 ε 表示门限，则后续迭代表达式如下： $h_{DC,I}(1) = -\text{Re}\{O_{DC}(0)\}$ ； $h_{DC,Q}(1) = -\text{Im}\{O_{DC}(0)\}$ ； $h_{DC,I}(k) = h_{DC,I}(k-1) - \text{Re}\{O_{DC}(k-1)\}$ ，其中 $k=2,3, \dots$ ； $h_{DC,Q}(k) = h_{DC,Q}(k-1) - \text{Im}\{O_{DC}(k-1)\}$ ，其中 $k=2,3, \dots$ 。步骤 C4：如果不满足步骤 C3 中的关系，则令 $h_{DC,I}(1) = \text{Re}\{O_{DC}(0) \cdot e^{j\frac{\pi}{3}}\}$ 、 $h_{DC,Q}(1) = \text{Im}\{O_{DC}(0) \cdot e^{j\frac{\pi}{3}}\}$ ，重新得到 $O_{DC}(1)$ ；如果 $|O_{IQ}(0)| > |O_{IQ}(1)| + \varepsilon$ ，其中 ε 表示门限，则后续迭代表达式如下： $h_{DC,I}(1) = \text{Re}\{O_{DC}(0) \cdot e^{j\frac{\pi}{3}}\}$ ； $h_{DC,Q}(1) = \text{Im}\{O_{DC}(0) \cdot e^{j\frac{\pi}{3}}\}$ ； $h_{DC,I}(k) = h_{DC,I}(k-1) + \text{Re}\{O_{DC}(k-1) \cdot e^{j\frac{\pi}{3}}\}$ ，其中 $k=2,3, \dots$ ； $h_{DC,Q}(k) = h_{DC,Q}(k-1) + \text{Im}\{O_{DC}(k-1) \cdot e^{j\frac{\pi}{3}}\}$ ，其中 $k=2,3, \dots$ ；如果 $|O_{IQ}(0)| < |O_{IQ}(1)| + \varepsilon$ ，其中 ε 表示门限，则后续迭代表达式如下： $h_{DC,I}(1) = \text{Re}\{O_{DC}(0) \cdot e^{-j\frac{\pi}{3}}\}$ ； $h_{DC,Q}(1) = \text{Im}\{O_{DC}(0) \cdot e^{-j\frac{\pi}{3}}\}$ ； $h_{DC,I}(k) = h_{DC,I}(k-1) + \text{Re}\{O_{DC}(k-1) \cdot e^{-j\frac{\pi}{3}}\}$ ，其中 $k=2,3, \dots$ ； $h_{DC,Q}(k) = h_{DC,Q}(k-1) + \text{Im}\{O_{DC}(k-1) \cdot e^{-j\frac{\pi}{3}}\}$ ，其中 $k=2,3, \dots$ 。步骤 C5：当 $O_{DC}(k)$ 小于某个门限（其中门限的取值小于或等于 -50db），则停止迭代，此时 $\hat{h}_{DC} = [h_{DC,I}(k), h_{DC,Q}(k)]$ 。

在另一些可选的实施例中，以谐波失真的补偿操作为例进行说明，其中以 HD3 的下标对前述实施例中提及的符号进行区分。

基带 (BB) 信号的初相位是 x 度，那么后续的 3BB 信号的初相需要是 $3x$ 度，且 $O(n)$ 代表 3BB 信号所对应频点的幅度相位值 $\div$ BB 信号所对应频点的幅度相位值。

具体的，步骤 D1：当 $h_{HD3}(0)=0$ 时，估计得到 $O_{HD3}(0)$ 。步骤 D2：当 $h_{HD3}(1) = O_{HD3}(0)$ 时，得到 $O_{HD3}(1)$ 。步骤 D3：比较 $O_{HD3}(0)$ 与 $O_{HD3}(1)$ 的大小关系，决定后续迭代关系；如果 $|O_{HD3}(0)| > |O_{HD3}(1)| + \varepsilon$ ，其中 ε 表示门限，则后续迭代表达式如下： $h_{HD3}(1) = O_{HD3}(0)$ ； $h_{HD3}(k) = h_{HD3}(k-1) + O_{HD3}(k-1)$ ，其中 $k=2,3, \dots$ ；如果 $|O_{HD3}(0)| < |O_{HD3}(1)| - \varepsilon$ ，其中 ε 表示门限，则后续迭代表达式如下： $h_{HD3}(1) = -O_{HD3}(0)$ ； $h_{HD3}(k) = h_{HD3}(k-1) - O_{HD3}(k-1)$ ，其中 $k=2,3, \dots$ ；步骤 D4：如果不满足步骤 D3 中的关系，则令 $h_{HD3}(1) = O_{HD3}(0) \cdot e^{j\frac{\pi}{3}}$ ，重新得到 $O_{HD3}(1)$ ；如果 $|O_{HD3}(0)| > |O_{HD3}(1)| + \varepsilon$ ，其中 ε 表示门限，则后续迭代表达式如下： $h_{HD3}(1) = O_{HD3}(0) \cdot e^{j\frac{\pi}{3}}$ ； $h_{HD3}(k) = h_{HD3}(k-1) + O_{HD3}(k-1) \cdot e^{j\frac{\pi}{3}}$ ，其中 $k=2,3, \dots$ ；如果 $|O_{HD3}(0)| < |O_{HD3}(1)| - \varepsilon$ ，其中 ε 表示门限，则后续迭代表达式如下： $h_{HD3}(1) = O_{HD3}(0) \cdot e^{-j\frac{\pi}{3}}$ ； $h_{HD3}(k) = h_{HD3}(k-1) + O_{HD3}(k-1) \cdot e^{-j\frac{\pi}{3}}$ ，其中 $k=2,3, \dots$ 。步骤 D5：当 $O_{HD3}(k)$ 小于某个门限（其中门限的取值小于或等于 -50db），则停止迭代，此时 $\hat{h}_{HD3} = h_{HD3}(k)$ 。

此外，基于上述分析，本公开实施例还提出多观测校准及补偿的方式。

具体的，可通过多次（例如三次）校准补偿操作后，分别对各次操作得到的测量数据进行 FFT（快速傅里叶变换）并获取相应的幅度和相位信息后，可将测量做差并归一化处理得到相关的数据，并构建出观测矩阵；后续基于对该观测矩阵求逆的得到数据反向求解出对应的补偿系数。

在一些可选的实施例中，基于上述得到 IQ Imbalance 补偿系数类似的思想，也可采用诸如迭代校准及补偿的方式，或者多次观测校准及补偿的方式来得到 LO leakage 和/或 HD3 的补偿系数。

具体的，一种信号发射主通路的信号校准链路，其中所述信号发射主通路用于根据补

偿系数对产生的信号进行补偿操作后生成射频发射信号，以用于实现目标探测和/或通信，其中：所述信号校准链路，被配置为用于确定在数值不同的初始补偿系数 $h(0)$ 、第一补偿系数 $h(1)$ 以及第二补偿系数 $h(2)$ 的条件下信号发射主通路对应的初始观测信息 $O(0)$ 、第一观测信息 $O(1)$ 以及第二观测信息 $O(2)$ ；利用初始观测信息 $O(0)$ 、第一观测信息 $O(1)$ 和第二观测信息 $O(2)$ ，确定第三补偿系数 $h(3)$ ，作为所述信号发射链路补偿操作使用的补偿系数。

在另一个可选的实施例中，针对正交失衡补偿的方法可包括：步骤 E1：以初始补偿系数 $h(0)$ 为 0，获取信号发射链路的信号状态，得到初始观测信息 $O(0)$ 。步骤 E2：利用初始观测信息 $O(0)$ 确定的第一补偿系数 $h(1)$ 对该信号发射链路进行第一次补偿，获取信号发射链路的信号状态，得到第一观测信息 $O(1)$ ；以及，利用初始观测信息 $O(0)$ 确定的第二补偿系数 $h(2)$ 对该信号发射链路进行第二次补偿，获取信号发射链路的信号状态，得到第二观测信息 $O(2)$ ；其中第二补偿系数 $h(2)$ 和第一补偿系数 $h(1)$ 的数值不同，第二观测信息 $O(2)$ 和第一观测信息 $O(1)$ 的数值不同。步骤 E3：获取第一差值与初始观测信息 $O(0)$ 之间的比值，得到第一比值 $d1$ ；以及，获取第二差值与初始观测信息 $O(0)$ 之间的比值，得到第二比值 $d2$ ；其中，所述第一差值为初始观测信息 $O(0)$ 与第一观测信息 $O(1)$ 之间的差值，所述第二差值为初始观测信息 $O(0)$ 与第二观测信息 $O(2)$ 之间的差值。步骤 E4：以第三观测信息 $O(3)$ 为 0 为条件，根据第一比值 $d1$ 和第二比值 $d2$ 确定第一补偿系数 $h(1)$ 对应的第一系数 $x1$ 和第二补偿系数 $h(2)$ 对应的第二系数 $x2$ ；具体的，构建 2×2 矩阵，其中 2×2 矩阵中第一行记录有第一比值的实数部分的数值和虚数部分的数值，第二行记录有第二比值的实数部分的数值和虚数部分的数值；计算 2×2 矩阵的逆矩阵与 1 行 2 列的第一矩阵之间的乘积，得到 1 行 2 列的第二矩阵，其中所述第一矩阵中第一行的取值为 1，第二行的取值为 0，其中第二矩阵的第一行为第一系数 $x1$ 的取值，第二行为第二系数 $x2$ 的取值。步骤 E5：计算第一系数 $x1$ 与第一补偿系数 $h(1)$ 之间的乘积，得到第一乘法结果；以及，计算第二系数 $x2$ 与第二补偿系数 $h(2)$ 之间的乘积，得到第二乘法结果；将第一乘法结果和第二乘法结果作为第三补偿系数 $h(3)$ 。

例如，步骤 1：当 $h_{IQ}(0)=0$ 时，估计得到 $O_{IQ}(0)=a \cdot e^{j\varphi}$ ；步骤 2：当 $h_{IQ}(1)=b=|O_{IQ}(0)|$ 时， $O_{IQ}(1)=(a-b) \cdot e^{j\varphi}$ ；步骤 3：当 $h_{IQ}(2)=c=|O_{IQ}(0)| \cdot e^{j\frac{\pi}{2}}$ 时， $O_{IQ}(2)=(a-c) \cdot e^{j\varphi}$ ；步骤 4：将量测作差并归一化处理得到：

$$\frac{O_{IQ}(0) - O_{IQ}(1)}{O_{IQ}(0)} = \frac{b}{a} = d_1$$

$$\frac{O_{IQ}(0) - O_{IQ}(2)}{O_{IQ}(0)} = \frac{c}{a} = d_2$$

步骤 5: 补偿的本质:

$$0 = (a - b \cdot x_1 - c \cdot x_2) \cdot e^{j\varphi}$$

$$\rightarrow 0 = \left(\frac{a - b \cdot x_1 - c \cdot x_2}{a} \right) = (1 - d_1 x_1 - d_2 x_2)$$

$$\rightarrow \underbrace{\begin{pmatrix} 1 \\ 0 \end{pmatrix}}_{I_1} = \underbrace{\begin{pmatrix} \text{Re}\{d_1\} & \text{Re}\{d_2\} \\ \text{Im}\{d_1\} & \text{Im}\{d_2\} \end{pmatrix}}_A \underbrace{\begin{pmatrix} x_1 \\ x_2 \end{pmatrix}}_x$$

$$\rightarrow x = A^{-1} I_1 \rightarrow \hat{h}_{IQ} = x_1 \cdot |O_{IQ}(0)| + x_2 \cdot |O_{IQ}(0)| \cdot e^{j\frac{\pi}{2}}。$$

在另一个可选的实施例中, 针对 LO 泄露的方法可包括: 步骤 F1: 以 I 路信号和 Q 路信号的初始补偿系数均为 0, 获取信号发射链路的信号状态, 得到初始观测信息 O(0)。步骤 F2: 以 I 路信号的第一补偿系数为第一数值, Q 路信号的第一补偿系数为 0, 对该信号发射链路进行第一次补偿, 获取信号发射链路的信号状态, 得到第一观测信息 O(1); 以及, 以 I 路信号的第二补偿系数为 0, Q 路信号的第二补偿系数为第二数值, 对该信号发射链路进行第二次补偿, 获取信号发射链路的信号状态, 得到第二观测信息 O(2)。步骤 F3: 获取第一差值与初始观测信息 O(0)之间的比值, 得到同相比值 CI; 以及, 获取第二差值与初始观测信息 O(0)之间的比值, 得到正交比值 CQ; 其中, 所述第一差值为初始观测信息 O(0) 与第一观测信息 O(1)之间的差值, 所述第二差值为初始观测信息 O(0) 与第二观测信息 O(2)之间的差值。步骤 F4: 以第三观测信息 O(3)为 0 为条件, 根据同相比值 CI和正交比值 CQ确定同相信号的第三补偿系数h(3)和正交信号的第三补偿系数h(3);

具体的, 构建 2*2 矩阵, 其中 2*2 矩阵中第一行记录有同相比值 CI 和正交比值 CQ 的实数部分的数值, 第二行记录有同相比值 CI 和正交比值 CQ 的虚数部分的数值;

计算 2*2 矩阵的逆矩阵与 1 行 2 列的第一矩阵之间的乘积, 得到 1 行 2 列的第二矩阵, 其中所述第一矩阵中第一行的取值为初始观测信息 O(0)的实数部分的数值, 第二行的取值为初始观测信息 O(0)的虚数部分的数值, 其中第二矩阵的第一行为同相比值 CI 的取值, 第二行为正交信号 CQ 的取值。

例如, 一种针对 LO leakage 的多观测校准-补偿算法具体步骤 (需要对每一次量测数

据进行 FFT 变换, 并获取 Δ_f 处的幅度和相位信息): 步骤 1: 当 $h_{DC,I} = h_{DC,Q} = 0$ 时, 估计得到 $O_{DC}(0) = Tx_{LOL} \cdot TF$; 其中, $h_{DC,I}$ 表示 I 路信号的理想补偿系数, $h_{DC,Q}$ 表示 Q 路信号的理想补偿系数。步骤 2: 当 $h_{DC,I} = DC_I$ 、 $h_{DC,Q} = 0$ 时, $O_{DC}(1) = [Tx_{LOL} + DC_I \cdot \alpha_I \cos(w_m t + \phi_I)] \cdot TF$ 。步骤 3: 当 $h_{DC,I} = 0$ $h_{DC,Q} = DC_Q$ 时, $O_{DC}(2) = [Tx_{LOL} - DC_Q \cdot \alpha_Q \cos(w_m t + \phi_Q)] \cdot TF$ 。步骤 4: 将量测作差并归一化处理得到:

$$\frac{O_{DC}(1) - O_{DC}(0)}{DC_I} = TF \cdot \alpha_I \cos(w_m t + \phi_I) = c_I, \quad \frac{O_{DC}(2) - O_{DC}(0)}{DC_Q} = -TF \cdot \alpha_Q \cos(w_m t + \phi_Q) = c_Q;$$

步骤 5: 补偿的本质:

$$\begin{aligned} Tx_{LOL} &= h_{DC,I} \times \alpha_I \cos(w_m t + \phi_I) - h_{DC,Q} \times \alpha_Q \cos(w_m t + \phi_Q) \\ &\rightarrow TF \cdot Tx_{LOL} = h_{DC,I} \cdot TF \cdot \alpha_I \cos(w_m t + \phi_I) - h_{DC,Q} \cdot TF \cdot \alpha_Q \cos(w_m t + \phi_Q) \\ &= h_{DC,I} \cdot c_I + h_{DC,Q} \cdot c_Q \\ &\rightarrow \underbrace{\begin{pmatrix} \text{Re}\{O_{DC}(0)\} \\ \text{Im}\{O_{DC}(0)\} \end{pmatrix}}_{O_0} = \underbrace{\begin{pmatrix} \text{Re}\{c_I\} & \text{Re}\{c_Q\} \\ \text{Im}\{c_I\} & \text{Im}\{c_Q\} \end{pmatrix}}_A \underbrace{\begin{pmatrix} h_{DC,I} \\ h_{DC,Q} \end{pmatrix}}_{h_{DC}} \\ &\rightarrow \hat{h}_{DC} = A^{-1} O_0 \end{aligned}$$

在另一个可选的实施例中, 针对 HD3 补偿的方法, 若基带 (BB) 信号的初相位是 x 度, 那么后续的 3BB 信号的初相需要是 $3x$ 度, 且 $O(n)$ 代表 3BB 信号所对应频点的幅度相位值除以 BB 信号所对应频点的幅度相位值。具体的: 步骤 G1: 以初始补偿系数 $h(0)$ 为 0, 获取信号发射链路的信号状态, 得到初始观测信息 $O(0)$ 。步骤 G2: 利用初始观测信息 $O(0)$ 确定的第一补偿系数 $h(1)$ 对该信号发射链路进行第一次补偿, 获取信号发射链路的信号状态, 得到第一观测信息 $O(1)$; 以及, 利用初始观测信息 $O(0)$ 确定的第二补偿系数 $h(2)$ 对该信号发射链路进行第二次补偿, 获取信号发射链路的信号状态, 得到第二观测信息 $O(2)$; 其中第二补偿系数 $h(2)$ 和第一补偿系数 $h(1)$ 的数值不同, 第二观测信息 $O(2)$ 和第一观测信息 $O(1)$ 的数值不同。步骤 G3: 获取第一差值与初始观测信息 $O(0)$ 之间的比值, 得到第一比值 $d1$; 以及, 获取第二差值与初始观测信息 $O(0)$ 之间的比值, 得到第二比值 $d2$; 其中, 所述第一差值为初始观测信息 $O(0)$ 与第一观测信息 $O(1)$ 之间的差值, 所述第二差值为初始观测信息 $O(0)$ 与第二观测信息 $O(2)$ 之间的差值。步骤 G4: 以第三观测信息 $O(3)$ 为 0 为条件, 根据第一比值 $d1$ 和第二比值 $d2$ 确定第一补偿系数 $h(1)$ 对应的第一系数 $x1$ 和第二补偿系数 $h(2)$ 对应的第二系数 $x2$ 。具体的, 构建 2×2 矩阵, 其中 2×2 矩阵中第一行记录有第一比值的实数部分的数值和虚数部分的数值, 第二行记录有第二比值的实数部分的数值和虚数部分的数值; 计算 2×2 矩阵的逆矩阵与 1 行 2 列的第一矩阵之间的乘积, 得到 1 行 2 列的第二矩阵, 其中所述第一矩阵中第一行的取值为 1, 第二行的取值为 0, 其中第二矩阵的第一行为第一系数 $x1$ 的取值, 第二行为第二系数 $x2$ 的取值。步骤 G5: 计算第一系数 $x1$ 与第一补偿系数 $h(1)$ 之间的乘积, 得到第一乘法结果; 以及,

计算第二系数 x_2 与第二补偿系数 $h(2)$ 之间的乘积，得到第二乘法结果；将第一乘法结果和第二乘法结果作为第三补偿系数 $h(3)$ 。

例如，步骤 1：当 $h_{HD3}(0)=0$ 时，估计得到 $O_{HD3}(0) = a \cdot e^{j\varphi}$ ；

步骤 2：当 $h_{HD3}(1) = b = |O_{HD3}(0)|$ 时， $O_{HD3}(1) = (a - b) \cdot e^{j\varphi}$ ；

步骤 3：当 $h_{HD3}(2) = c = |O_{HD3}(0)| \cdot e^{j\frac{\pi}{2}}$ 时， $O_{HD3}(2) = (a - c) \cdot e^{j\varphi}$

步骤 4：将量测作差并归一化处理得到：

$$\frac{O_{HD3}(0) - O_{HD3}(1)}{O_{HD3}(0)} = \frac{b}{a} = d_1$$

$$\frac{O_{HD3}(0) - O_{HD3}(2)}{O_{HD3}(0)} = \frac{c}{a} = d_2$$

步骤 5：补偿的本质

$$0 = (a - b \cdot x_1 - c \cdot x_2) \cdot e^{j\varphi}$$

$$\rightarrow 0 = \left(\frac{a - b \cdot x_1 - c \cdot x_2}{a} \right) = (1 - d_1 x_1 - d_2 x_2)$$

$$\rightarrow \underbrace{\begin{pmatrix} 1 \\ 0 \end{pmatrix}}_{I_1} = \underbrace{\begin{pmatrix} \text{Re}\{d_1\} & \text{Re}\{d_2\} \\ \text{Im}\{d_1\} & \text{Im}\{d_2\} \end{pmatrix}}_A \underbrace{\begin{pmatrix} x_1 \\ x_2 \end{pmatrix}}_x$$

$$\rightarrow x = A^{-1} I_1 \rightarrow \hat{h}_{HD3} = x_1 \cdot |O_{HD3}(0)| + x_2 \cdot |O_{HD3}(0)| \cdot e^{j\frac{\pi}{2}}$$

基于本公开实施例中所记载的数字移相器架构的发射链路和/或接收链路的架构，除了应用于电磁波传感器中进行发射和/或接收信号外，还可针对不同发射/接收链路之间天线馈线不等长、TXLO（即LO与各发射通道中混频器之间）的馈线不等长的问题，以及将本公开实施例中所记载的数字移相器架构的发射链路和/或接收链路的架构作为辅助链路针对模拟移相器架构的接收链路和/或发射链路进行校准等操作。

需要说明的是，本公开中的电磁波包括无线电波和光波，无线电波包括短波、中波、长波和微波等，微波包括厘米波（即3GHz~30GHz的电磁波，如3.1GHz~10.6GHz的电磁波、24GHz频段的电磁波等）和毫米波（即30GHz~300GHz的电磁波，如60GHz频段的电磁波、77GHz频段（如77GHz~81GHz等）的电磁波），光波则可包括紫外线、可见光、红外线、和激光等，其中激光的电磁波频段为 $(3.846 \sim 7.895) \cdot 10^5 \text{GHz}$ ，即激光包含于紫外线与可见光的部分频段内。

图15为本公开实施例中的一种具有至少两个发射通道的发射链路的示意图，图16为本公

开实施例数字LO信号生成器的结构示意图，图17为本公开实施例中包含馈线不等长补偿模块的发射链路的结构示意图。

如图15所示，针对采用至少两个发射通道的发射链路，由于各个发射通道（或发射信道）会分别与同一个本振（Local Oscillator，简称LO）源连接，从而使得本振信号到每个发射通道中的混频器（Mixer）之间的馈线长度（简称为TXLO）不相同，进而会导致不同的发射通道之间会产生相对的时延问题。另外，由于天线阵列中采用不等长发送天线馈线可以实现更好的链路预算，更加简单的天线设计和走线，更低的天线间耦合，更好的目标解角性能，更小的模组和成本等，所以采用不等长发送天线馈线的天线设计越来越被广泛的应用，尤其是针对近距离测量、相对封闭的空间区域（如室内或舱内灯）等应用场景，或者采用封装天线芯片（AiP）应用的各个场景中，如扫频较宽的应用场景。但是，由于不同发射通道之间发送天线馈线的长度不同，其会使得射频信号经过不同的发送天线产生了相对的时延问题。

针对上述在收发链路中存在因不同发射通道之间或接收通道之间馈线长度不同而导致的信号相对时延问题，本公开实施例基于上述数字移相架构提供了一种针对上述因馈线不等长而导致的相对时延的补偿方案，以有效提升收发信号的质量。

具体的，如图15所示，数字移相器架构的发射天线阵列包括四个发射通道，各个发射通道共用波形控制器模块（waveform control）和本振源LO，针对任一发射通道均包括依次连接的发射直接数字频率合成器TX DDFS、IQ数模转换器DAC、模拟低通滤波器Analog LPF、IQ混频器Mixer、功率放大器PA及发射天线等，即波形控制器模块分别与各个发射通道中TX DDFS的连接，同时本振源LO分别连接至各个发射通道中的Mixer的一个输入端，以对各个发射通道中LPF输出的移相信号进行上混频后形成射频信号以经各发射天线进行发射。针对上述的本振源LO到各个发射通道中的Mixer之间的馈线长度不等长的问题，和/或各个发射通道的PA到其发射天线之间的馈线长度不等长的问题，均可在发射直接数字频率合成器TX DDFS进行预置补偿，以降低因上述馈线不等长所导致的发射信号的时延问题。

例如，针对本振源LO到各个发射通道中的Mixer之间的馈线长度不等长的问题，可以本振源LO到其中一个发射通道中的Mixer最短的馈线作为基准，然后获取其余各发射通道中Mixer到该本振源LO相较于上述基准的长度差，因为发射信号传播的速度 c 相对固定，所以通过将上述各个发射通道的长度差除以速度 c 即可得到对应的时延值，后续在发射信

号时，直接在TX DDFS中进行对应的补偿即可各个发射通道相较于基准的时延。同时，针对各个发射通道的PA到其发射天线之间的馈线长度不等长的问题也可采用类似的方式，来获取并补偿各个发射通道之间馈线差异而导致的时延问题。

在针对发射FMCW波的发射链路进行具体进行补偿时，可通过利用数字LO生成器，基于因馈线长度相较于基准而导致的时延 μ 、扫频周期 T 、扫频带宽 β 、扫频起始频率 f_c 等参数，并适配后续DAC的时钟信号来对上述时延进行补偿。如图16中所示，在DDFS中利用数字LO生成器Digital LO generator进行补偿，即其一路输入 $\Delta\theta=\mu*\beta/T$ ，另一路输入 $\theta_0=f_c\mu-\mu^2*\beta/2T$ ；其中， μ 为各发射通道对应馈线相较于基准馈线的时延差；同时，如图16-17所示，该数字LO生成器作为信号补偿器的输出LO-I（即 $\cos(\omega n+\psi)$ ）作为作为DAC中I路的输入，数字LO生成器的输出LO-Q（即 $\sin(\omega n+\psi)$ ）作为作为DAC中Q路的输入。

需要说明的是，图16至图17示意的是一个发射通道的结构示意图，而图15中则示出了具有四个发射通道的发射天线阵列，而在实际应用发射天线阵列只要包含有至少两个（如两个、三个或五个等）发射通道即可，也可在接收信号和/或信号处理过程中进行补偿操作；同时针对具有一个发射通道和/或一个接收通道的结构，也可利用类似的思想，直接在TX DDFS中或者在接收信号和/或信号处理过程中进行补偿即可。

针对将本公开实施例中所记载的数字移相器架构的发射链路和/或接收链路的架构的思路作为辅助链路针对模拟移相器架构的接收链路和/或发射链路、数字移相器架构的接收链路和/或发射链路进行校准等操作的相关技术方案，可参考图18至图21所示。

图18为本公开实施例中利用辅助电路对收发链路进行校准及补偿的示意图，图19为本公开实施例中利用辅助发射电路对接收链路进行校准及补偿的示意图。

具体的，信号收发链路中，一般可包括天线、射频模拟器件、基带模拟器件和基带数字处理器等，射频模拟器件可包括锁相环（PLL）、功率放大器（PA）、移相器（PS）、低噪声放大器（LNA）、混频器本振（LO）和功率检测器（PD）等，而基带模拟器件可包括低通滤波器（LPF）、高通滤波器（HPF）、模数转换器（ADC）等。

其中，模拟器件或电路中会存在多种多样的非理想状况，而且会随着温度的变化而变化，例如：发射链路（TX）中的射频模拟器件及电路、接收链路（RX）中的基带模拟器件及电路、接收链路（RX）中的射频模拟器件及电路等多处的频率响应均可能存在不平

衡的缺陷，PA输出端口和LNA输入端口均可能存在的PD精度问题，接收链路（RX）中还可能存在本振泄漏（LO leakage）等问题。同时，当模拟器件工作在不同的频率时，其幅频响应也会不同，等同于在接收信号上加入了一个预料外的窗函数，进而会对后续的目标距离和速度估计等操作造成不利的影响，尤其是在多目标的场景中，甚至会导致检测出假目标或遗漏掉真实目标。另外，针对至少两个链路的情况，还会存在不同的接收链路之间的频率响应不同，进而会额外的给接收链路引入不同的相位和幅度等噪声信息，尤其是引入的相位会直接影响后续对目标的回波方向的估计，进而降低了目标角度估计的精度。

在一些的实施例中，可通过外部设备测量模拟器件及电路的误差，然后对其进行一定的补偿操作，如采用Bench校准或ATE校准等操作，来针对接收链路的模拟器件及电路性能进行校准。

本公开实施例还提供了基于辅助链路方式的发射链路和/接收链路校准的方案，以在实现精准校准的同时，实现实时地校准模拟器件及电路，同时无需外设设备参与，有效降低因环境改变而导致射频器件参数指标变动的的影响。

如图18所示，针对电磁波信号的收发链路可通过设置辅助校准电路（Auxiliary）的方式对其进行实时的校准，该辅助校准电路（即辅助校准链路）可集成于电磁波传感器中，进而在实现对其进行实时精确校准的同时，同时无需外设设备参与，就能有效降低因环境改变而导致射频器件参数指标变动的的影响。

例如，针对发射通路，就可在传感器中临近该发射通路的位置处设置辅助接收通路（Auxiliary Receiver，简称ARX），以实现对该发射通路的实时校准操作；类似的，针对接收通路，也可在传感器中临近该接收通路（即信号接收链路）的位置处设置辅助发射通路（Auxiliary Transmitter，简称ATX），以实现对该接收通路的实时校准操作。另外，还可将辅助通路设置在两条待校准通路之间，这样还能复用一路辅助通路针对至少两个不同通路进行校准。如图18所示，在两个发射通路之间设置一条共用的ARX，而在两个接收通路之间设置一条共用的ATX，同时还能进一步的避免走线或线路过长等问题。在一个可选的实施例中，针对图18所示的四发四收的天线阵列，就可以设置两个ARX和两个ATX，即各个ARX均设置在两个发射通道之间，而各个ATX均设置在两个接收通道之间，以有效的降低走线的难度，同时还提升了校准的实时性。

如图18所示，针对接收通路，由于接收通路可划分为射频部分（即RF Rx）和基带部分（即Rx BB），为了进一步提升校准的精度，还可针对RF Rx与Rx BB分别对应设置辅

助校准通路，如针对RF Rx设置射频辅助发射单元（可简称为RF ATX），针对Rx BB设置基带辅助发射单元（可简称为IF ATX）。另外，针对ARX通路，还可通过设置射频单音信号发射器（RF Tone Generator）来对ARX进行校准后，再利用校准后的ARX对发射通道（TX）进行校准操作。

在一些可选的实施例中，如图18所示，针对接收通路（Receiver）中的RF Rx和Rx BB，可先利用IF ATX对Rx BB进行校准后，利用校准后的Rx BB对RF ATX进行校准，最后利用校准后的RF ATX对Rx BB进行校准，从而实现对整个接收通路的校准操作。

基于图18所示的结构，结合图19所示的内容，针对接收通路（Receiver）校准方案进行说明，即该接收通道可包括依次连接的接收天线（或接收端口）、LNA、Mixer、TIA、LPF、HPF、Real ADC等器件，以及连接至LNA输入端口的PD等，并基于Mixer将该接收通路划分为RF Rx与Rx BB，即沿信号传输的方向，将Mixer及其之前的部分定义为RF Rx，其余的部分则可定义为Rx BB；如图19所示，RF Rx可包括接收天线（或接收端口）、LNA、Real Mixer和PD等。

对应上述接收通路的Rx BB所设置的IF ATX可包括依次连接的分频器（如Freq Divider 1/N）和Real DAC（如1-bit Real DAC），即Real DAC的输出端连接至Real Mixer 的输出端。如图19所示，IF ATX可包括依次连接的分频器（如Freq Divider 1/N）和一个Bit的数模转换器（如1-bit Real DAC），即该IF ATX可通过该分频器和数模转换器在多种环境下稳定地产生单音信号（单Tone），且该单音信号还可被自由地配置为多种频率。

在一些可选的实施例中，为了提升校准的精度，还可在IF ATX对Rx BB进行校准前先对该IF ATX进行校准，例如针对IF ATX中的中频（IF）频率响应的校准、直流校准等。同时，在完成IF ATX的校准后，即可利用校准后的IF ATX对接收通路的Rx BB进行校准，如可通过校准后的IF ATX发射不同频率的单音信号，对Rx BB部门完成校准、补偿等操作。可选的，可基于接收通路中Real ADC的采样频率来确定IF ATX所发射单音信号的频率（如几十MHz）。

对应接收通道的RF Rx所设置的RF ATX则可包括依次连接的TX DDFS、IQ失衡补偿单元（TX IQ Comp）、加法器、IQ数模转换器（IQ DAC）、低通滤波器（LPF）、放大器（如PA）、乘法器、本地震荡器（LO，图中未示出）及平方器（ x^2 ），乘法器的输出端经平方器连接至接收通路中的Mixer的输出端形成第一校准支路，同时乘法器的输出端还连接至接收通路中PD与发射天线之间的链路中形成第二校准支路。其中，IQ失衡补

偿单元可被配置为用于对RF ATX中IQ的不平衡的补偿，而加法器则可被配置为用于补偿RF ATX中本振泄漏（LO Leakage），同时平方器则可被配置为用于补偿因RF ATX中IQ的不平衡带来的残留边带效应。

在一些可选的实施例中，为了提升校准的精度，还可在RF ATX对Rx ATX进行校准前先对该RF ATX进行校准，例如针对RF ATX中的本振泄漏、射频频率响应、IQ不平衡等问题的校准操作。同时，在完成RF ATX的校准后，再利用校准后的RF ATX对接收通路的RF Rx进行校准，如可通过校准后的RF ATX发射不同频率的单音信号，然后通过接收链路的基带信号处理模块，来校准、补偿接收通路射频部分RF Rx中对LNA的输入端的功率检测器（PD）、接收通路LNA到ADC的总增益以及频率响应的辅助校准等。

在一些可选的实施例中，利用IF ATX、RF ATX对接收通路（Receiver）进行校准时，可先对IF ATX进行校准，并利用校准后的IF ATX对接收通路中的Rx BB进行校准，然后利用校准后的Rx BB通过RF ATX的第一校准支路（即通过平方器）对该RF ATX进行校准，最后再利用校准后的RF ATX中的第二校准支路实现针对接收通路中的RF Rx的校准，进而实现对整个接收通路的校准及补偿操作等。

具体的，如图19所示，可先通过1-bit Real DAC校准Rx BB及Real DAC等，然后再通过校准后的RxBB校准RF ATX中的LO 泄漏及IQ不平衡，最后可利用校准后的RF ATX发射信号从接收通路中的LNA输入，用以校正RF Rx的RF LO泄漏和RF频响等。

图20为本公开实施例中利用辅助接收电路对发射链路进行校准及补偿的示意图。如图20所示，发射通路（Transmitter）可包括移相模块PS、放大器PA、功率检测器PD等，例如该发射通路可采用本公开任一实施例所阐述的数字移相架构（Digital Phase Shifter）的发射链路，具体可参见相关图示及文字描述，在此便不予赘述。由于发射通路采用的是数字移相器架构，以在实现更加精准的移相操作的同时，使得发射通道能够同时支持多天线的DDM、FDM（Frequency Division Multiplexing，频分复用）等多个模式，还可省去RF移相器（Phase Shifter）的校准操作，降低移相系统中隔离度和耦合度，减小链路损耗及生产制造成本。另外，针对所引入可能存在的TX IQ失配（Mismatch）、LO泄漏（leakage）等问题，该数字移相器架构的发射通路还可支持在数字域进行RF频率响应（Frequency Response）补偿、IQ不平衡和LO泄漏的校准操作等。

针对发射通路中存在的TX IQ失配（Mismatch）、LO泄漏（leakage）、频率响应等问题，可通过设置辅助接收通路（Auxiliary Receiver，简称ARX）来进行相关的校准及补

偿操作。如图20所示，ARX可包括依次连接的混频器Mixer、TIA、LPF、HPF、IQ ADC、加法器和RF校准模块（RF Calib），即通过将混频器的一个输入端接收ARX IQ LO信号，另一个输入端则在沿信号传输方向（即图中所示的箭头方向）连接至发射通路PD之前的节点，或者在移相器（模块）之后的任一节点。例如连接至PA的输出端（同步实现对PA的校准）、PA的输入端等，以通过该ARX对发射通路进行校准操作。其中，发射通路中的LO信号频率与ARX IQ LO信号频率之间具有设定的差频，以使得该两个信号之间存在错频，以模拟真实的收发信号回路。

在一个可选的实施例中，为了进一步提升校准精度，针对ARX（即辅助接收单元）还可设置对应的校准电路（即校准接收单元），例如图20所示的RF单音信号生成电路（RF Tone Generator），可包括依次连接的TX DDFS、加法器、Real DAC、LPF、放大器、乘法器和带通滤波器（Band Pass Filter，简称BPF），其中的加法器可被配置用于对TX LO泄漏（TX LO leakage Waveform）进行校准补偿，而乘法器则可被配置用于补偿 RF Tone Gen LO 泄漏（leakage），BPF可被配置用于滤除RF Tone Generator的LO leakage所产生的直流信号。即RF Tone Generator可被配置用于产生多个稳定的不同频率的单音（Tone）信号，以实现ARX的校准操作。

在一些可选的实施例中，如图20所示，可先利用RF Tone Generator对ARX进行校准，然后利用校准后的ARX对包括诸如PA在内的发射通道（Transmitter）的校准，例如对PA输出端的PD、发射通道中的移相器、DAC到PA输出的总增益以及频率响应等器件及电路的校准。

具体的，如图20所示，可先通过利用RF Tone Generator产生多个稳定的且不同频率的单音信号以辅助校准ARX，然后基于校准后的ARX来辅助校准发射通路TX的IQ不平衡、本振泄漏、频率响应不一致等问题。

图21为本公开实施例中一种辅助电路的结构示意图，图22为本公开实施例中另一种辅助电路的结构示意图，图23为本公开实施例中IQ Mixer的电路模块示意图；图24为本公开实施例中一种IQ Mixer的结构示意图，图25为对应图24中所示结构的示意图。

在一些可选的实施例中，基于图18至图19所示的结构及相关描述，ATX还可以通过平方器结合多个bit的DAC来实现。如图21所示，接收通路包括依次连接的LNA、混频器、TIA、HPF、ADC和BB处理模块（BB Processor），以及本振源LO，即混频器利用本振源提供的第一LO信号对LNA提供的回波信号进行下降频处理后得到中频信号（即模拟基带

信号)。ATX则可包括依次连接的第一DAC(即DAC1)、混频器和平方器(x^2)，其中第一DAC提供模拟信号至ATX中的混频器接收端，该混频器的另一接收端可连接接收通路中的本振源，以利用该本振源提供的第二LO信号对第一DAC输出的模拟回波信号进行混频处理，进而输出模拟中频信号至平方器的输入端，平方器将处理后的模拟中频信号连接至TIA的输入端，以对接收通路中的TIA、HPF、ADC等电路及元器件进行校准。在另外一些可选的实施例中，ATX还可通过DAC输出模拟回波信号直接至平方器的接收端，该平方器将处理后的模拟回波信号发送至LNA的输入端，以实现对接接收通路中的LNA、混频器、TIA、HPF、ADC等电路及元器件进行校准。

在一些可选的实施例中，如图22所示，基于图21所示结构的基础上，针对接收通路中包含有VGA，以及包含有SDM单元和抽取滤波单元(Decimation filter)的ADC，还可设置第二DAC，且该第二DAC的输出端可连接至接收通路中混频器与TIA之间、TIA与HPF之间、HPF与VGA之间、VGA与ADC之间中任一节点，以对对应的电路及元器件的进行校准。可选的，第一DAC可为多bit(如10-bit)DAC，第二DAC则可为1-bit DAC。

上述基于DAC与平方器构成的ATX，本领域技术人员可基于上述记载的内容进行其他合理的变化，具体的实现方式本公开并不予限制，只要其能实现本公开实施例中ATX相同或近似的功能即可。

在一些可选的实施例中，在接收通路附近设置ATX时，可如利用接收通路之间的空隙设置ATX，同时还可实现两个及以上接收通路公共一个ATX；同样，在发射通路附近设置ARX时，可如利用发射通路之间的空隙设置ARX，同时也还可实现两个及以上的发射通路公共一个ARX。可选的，上述的ATX和/或ARX可进行间歇性工。例如，ATX可在接收通路的工作的间隙(如帧间或chirp之间)，发射校准用的单音信号，以对接收机进行实时有效地校准和补偿等操作。类似的，ARX也可在接收机工作的间隙(如帧间或chirp之间)，先利用Tone generator产生校准用的单音信号，先对ARX进行有效地校准。然后再通过校准后的ARX对发射机进行有效的校准，从而确保可按照预设的方式进行校准及补偿等操作

针对图18至图22所示的基于辅助链路方式实现发射通路和/或接收通路校准的方案，基于采用辅助链路的方式，通过在诸如芯片(chip or die)等集成电路中加入辅助电路，以辅助校准主通路电路，来有效提升模拟电路及模块的性能，同时还可对至少部分射频电路及器件能以线上(on the fly)的方式进行实时校准，从而有效提升校准的性能，进而能

够有效的射频性能的同时降低射频实现的难度。

由于混频器是收发链路用于变频的一个非常重要及关键的器件,其被广泛的应用于通信、雷达等无线电的器件中,例如针对镜像信号的具有良好抑制效果的单边带混频器,以及本公开实施例中收发链路中的IQ混频器等。其中,IQ混频器(如单边带混频器)包含有相位差为 90° 的I支路和Q支路两个支路来传输信号。

针对版图面积相对较为紧凑的应用场景中,例如在毫米波频段等高频的传感器应用中,I支路与Q支路之间、混频前的输入支路与输出支路之间等均因物理距离较短,从而会导致电磁波信号可以通过诸如磁耦合、衬底耦合、电耦合等方式,在支路之间、输入输出端口之间、IQ匹配网络与混频器输出之间等均可能存在信号的泄漏(leakage)的问题,进而致使混频器的镜像抑制比、本振泄露等恶化严重。

在一可选的实施例中,基于混频器输出网络在确保IQ两支路功率合成,同时还满足阻抗匹配的要求,本公开提供一种新的混频器结构,即通过针对混频器输出无源网络的改进,来有效提升IQ两支路之间隔离度的同时,有效的降低本振信号的泄漏。

图23为本公开实施例中IQ Mixer的电路模块示意图。如图23所示,一种IQ混频器,可包括I支路混频单元、Q支路混频单元和变压器单元,其中I支路混频单元可被配置用于输出I路信号,Q支路混频单元可被配置用于输出Q路信号,变压器单元则可被配置用于对I路信号和Q路信号进行磁耦合以合成IQ混频输出信号,并将该IQ混频输出信号传输至后级电路(Next Block)。其中,变压器单元可设置在I支路混频单元与Q支路混频单元之间,以相对短接式的IQ混频器,增加I支路混频单元与Q支路混频单元之间的物理距离,进而有效的减小I支路混频单元与Q支路混频单元之间的耦合,达到提升IQ混频器抑制比的目的,同时还便于版图的布局设计。

短接式的IQ混频器是通过将混频器IQ两个支路的输出分别短接后,再通过一个匹配网络(Matching Networks)匹配到后级电路,即通过电耦合的方式进行信号合成,而如图23所示,本公开一个可选的实施例的IQ混频器中,I支路混频单元的输出端之间、Q支路混频单元的输出端之间则可通过分别串联一个支路电感,后续在两个支路电感之间再设置一个磁耦合电感,进而形成一个三圈变压器结构,即通过磁耦合的方式将I支路混频单元的输出与Q支路混频单元的输出进行磁耦合合成,进而得到上述的IQ混频输出信号;其中I支路混频单元和Q支路混频单元的共模不是直接相通,所以可以分开调节,使得器件的应用场景更加灵活;然后,通过上述的磁耦合电感的两端作为输出端直接传输至后级电路

(Next Block) 中。即该三圈变压器结构具有四个输入端和两个输出端。

基于图23所示的三圈变压器结构，若LO信号和待混频信号（如回波信号）进入三圈变压器的IQ两支路各自的P、N端后，在三圈变压器上形成的电流方向和磁场方向如图24所示，此时 I_{sb} 磁场叠加， u_{sb} 磁场抵消，进而就可以输出高质量的单边带信号。即基于该三圈变压器结构，可实现对待混频信号的下混频操作或者上混频操作。

一些可选的实施例中，即便LO信号与待混频信号之间存在相位差的场景中，由于信号在三圈变压器上的抵消方式一致，在LO信号和待混频信号本身不存在失调的情况下，三圈变压器输出的仍然为单边带信号。

本公开实施例中提供的磁耦合式的IQ混频器，相较于采用电耦合方式进行功率合成的短接式的IQ混频器，该磁耦合式的IQ混频器是通过磁耦合的方式进行功率合成。同时，对于I、Q两个支路，磁耦合式的IQ混频器可以完全一致，且可呈现轴对称，不会因I、Q两个支路因走线长度不一致而引入额外的相位误差，进而可使得相关的电路（如毫米波等高频电路）在后续的制造工艺更加鲁棒，且抵抗工艺不稳定性的强度更高。例如，本公开实施例中的磁耦合式的IQ混频器，如图25所示可将变压器抽头设置设置P、N端口之间的中线上，以使得混频器的结构可基于该中线呈轴对称，从而使得P端口和N端口的共模通路长度相等，即磁耦合式的IQ混频器中PN的对称性要优于短接式的IQ混频器中PN的对称性，进而使得本振信号的泄露会更小。

在一些可选的实施例中，本公开实施例提供的磁耦合式的IQ混频器，可应用于发射通道和片上自检等各种电路中，作为各个电磁波电路中的上变频混频器等。例如本公开实施例中各个发射通道（或发射链路）、BIST中的IQ混频器就可采用本公开实施例中的磁耦合式的IQ混频器。

图26为本公开实施例中另一种IQ Mixer的物理结构示意图。如图26所示，本公开实施例还提供了另一种磁耦合式的IQ混频器的结构，即I、Q支路的抽头馈线存在部分的交叠，如针对I支路而言，该I支路的抽头可从Q支路路一侧绕过（如通过通孔via）并延伸至I支路一侧后，再接入共模偏置电压，同样的，Q支路的抽头可从I支路一侧绕过（如也可通过通孔via）并延伸至Q支路一侧后，再接入共模偏置电压。上述的走线方式，可使得共模通路的路径更加确定，且更不容易受到其他电路的干扰。同时，本公开实施例中的IQ Mixer中的三圈变压器的可为方形、八边形、正八边形等，即只要其在俯视图或仰视图中能实现沿NP之间的中心呈轴对称分布即可。

如图27所示,本公开实施例还提供了一种信号发射方法,应用于具有至少一个信号发射链路的电磁波器件中,该信号发射方法包括:步骤2701、确定每个信号发射链路的射频发射信号的相位;步骤2702、根据所述射频发射信号的相位确定每个所述信号发射链路中的基带信号的初始相位;步骤2703、根据确定的初始相位,生成初始基带信号;步骤2704、利用预先获取的补偿信息对所述初始基带信号进行补偿后,得到所述基带信号;步骤2705、基于所述基带信号对发端本振信号进行移相操作,得到所述射频发射信号。

本公开实施例的信号发射方法,通过使用数字移相器架构在数字域产生数字基带信号,有更好的正交性和更低的旁瓣,其移相相位可以非常准确产生,使得调相精度更高,从而实现了带有高精度的数字移相功能的车载雷达系统,降低了天线之间隔离度的需求,同时具有链路损耗小、成本低、无需离线校准的优点,并且可以支持更为灵活的发波方案,比如高性能的多普勒分复用和频分复用等,且能够支持在数字域进行频率响应补偿。

如图28所示,本公开实施例还提供了一种信号发射方法,应用于具有至少一个信号发射链路的电磁波器件中,该信号发射方法包括:步骤2801、获取当前补偿系数下信号发射主通路的观测信息,其中所述信号发射主通路用于根据补偿系数对产生的信号进行补偿操作后生成射频发射信号,以用于实现目标探测和/或通信。步骤2802、在当前的观测信息满足迭代条件时,将当前的补偿系数作为所述信号发射链路补偿操作使用的补偿系数;否则,对当前的补偿系数进行迭代直到所得到的观测信息满足所述迭代条件为止。步骤2803、利用所述补偿系数对基带信号进行补偿。步骤2804、基于补偿后的基带信号对发端本振信号进行移相操作,得到射频发射信号。

本公开实施例的信号发射方法,本公开实施例的信号校准链路、发射链路及方法、收发链路、集成电路,信号校准链路产生的补偿信息能够对产生的信号进行补偿,解决正交失衡、LO泄漏以及谐波失真问题,从而有效提升信号发射主通路中信号质量。通过迭代方式确定信号发射主通路所需的补偿系数,可以有效提示功能补偿系数的准确性。

如图29所示,本公开实施例还提供了一种信号发射方法,应用于具有至少一个信号发射链路的电磁波器件中,该信号发射方法包括:步骤2901、确定在数值不同的初始补偿系数 $h(0)$ 、第一补偿系数 $h(1)$ 以及第二补偿系数 $h(2)$ 的条件下信号发射主通路对应的初始观测信息 $O(0)$ 、第一观测信息 $O(1)$ 以及第二观测信息 $O(2)$,其中所述信号发射主通路用于根据补偿系数对产生的信号进行补偿操作后生成射频发射信号,以用于实现目标探测和/或通信。步骤2902、利用初始观测信息 $O(0)$ 、第一观测信息 $O(1)$ 和第二观测信息 $O(2)$,

确定第三补偿系数 $h(3)$ 。步骤 2903、利用所述补偿系数对基带信号进行补偿。步骤 2904、基于补偿后的基带信号对发端本振信号进行移相操作，得到射频发射信号。

本公开实施例的信号发射方法，本公开实施例的信号校准链路、发射链路及方法、收发链路、集成电路，信号校准链路产生的补偿信息能够对产生的信号进行补偿，解决正交失衡、LO泄漏以及谐波失真问题，从而有效提升信号发射主通路中信号质量。通过多次校准操作得到观测信息，从而确定信号发射主通路所需的补偿系数，可以有效提示功能补偿系数的准确性。

在一些示例性实施方式中，发端数字基带信号为单音信号，发端本振信号为扫频信号；或者，发端数字基带信号为扫频信号，发端本振信号为单音信号。在一些示例性实施方式中，扫频信号的频带宽度在2GHz以上。

本公开实施例还提供了一种集成电路，可包括依次连接的射频模块、模拟信号处理模块和数字信号处理模块；射频模块用于产生射频发射信号和接收射频接收信号；模拟信号处理模块用于对射频接收信号进行降频处理以得到中频信号；数字信号处理模块用于对中频信号进行模数转换以得到数字信号；以及射频模块包括上述任一项的信号发射链路、上述的信号收发链路、上述任一项的信号校准链路、上述任一项的信号补偿链路、上述任一项的信号校准系统，和/或上述的IQ混频器；和/或数字信号处理模块基于上述的馈线不等长补偿方法在数字域进行补偿；其中，射频接收信号为射频发射信号被目标发射和/或散射所形成的回波信号。可选的，集成电路还可包括数据处理模块，数据处理模块用于对数字信号进行处理以实现目标探测和/或无线通信，例如该集成电路可为毫米波雷达芯片（chip or die）。

在一些可选的实施例中，所述集成电路可为AiP（Antenna-In-Package，封装内天线）芯片结构、AoP（Antenna-On-Package，封装上天线）芯片结构、AoC（Antenna-On-Chip，片上天线）芯片结构或RoP（Radiator on Package，即通过在封装（Package）上设置辐射结构(Radiator)，并在Radiator周围用球围成波导结构，RF信号通过辐射结构过渡到该波导结构中，再由波导结构转换到外接天线）结构。

根据本公开的另一一些实施例，还提出一种电磁波传感器。该电磁波传感器可包括天线，以及如前所述的集成电路。其中，集成电路与天线电连接，用于收发电磁波信号。例如，该电磁波传感器可包括：载体、如上述任一实施例所述的集成电路和天线等，所述集成电路可设置在载体上；天线可设置在载体上，或者与所述集成电路集成为一体器件设

置在所述承载体上（即此时该天线可为AiP、AoP或AoC结构中所设置的天线）；其中，所述集成电路与天线连接（即此时传感芯片或集成电路未集成有天线，如常规的SoC等），用于收发电磁波信号。其中，承载体可以为印刷电路板PCB，第一传输线可以为PCB走线。

本公开实施例提供了一种设备，可包括：设备本体；以及设置于设备本体上的如上述的电磁波传感器；其中，电磁波传感器用于目标检测和/或通信，以向设备本体的运行提供参考信息。

本公开实施例还提供了一种电子设备，该电子设备可以通用计算设备的形式表现。电子设备的组件可以包括但不限于：至少一个处理单元、至少一个存储单元、连接不同系统组件（包括存储单元和处理单元）的总线、显示单元等。其中，存储单元存储有程序代码，程序代码可以被处理单元执行，使得处理单元执行本说明书描述的根据本公开各种示例性实施方式的方法。存储单元可以包括易失性存储单元形式的可读介质，例如随机存取存储单元（RAM）和/或高速缓存存储单元，还可以进一步包括只读存储单元（ROM）。

存储单元还可以包括具有一组（至少一个）程序模块的程序/实用工具，这样的程序模块包括但不限于：操作系统、一个或者多个应用程序、其它程序模块以及程序数据，这些示例中的每一个或某种组合中可能包括网络环境的实现。

总线可以为表示几类总线结构中的一种或多种，包括存储单元总线或者存储单元控制器、外围总线、图形加速端口、处理单元或者使用多种总线结构中的任意总线结构的局域总线。

电子设备也可以与一个或多个外部设备（例如键盘、指向设备、蓝牙设备等）通信，还可与一个或者多个使得用户能与该电子设备交互的设备通信，和/或与使得该电子设备能与一个或多个其它计算设备进行通信的任何设备（例如路由器、调制解调器等等）通信。这种通信可以通过输入/输出（I/O）接口进行。并且，电子设备还可以通过网络适配器与一个或者多个网络（例如局域网（LAN），广域网（WAN）和/或公共网络，例如因特网）通信。网络适配器可以通过总线与电子设备的其它模块通信。应当明白，尽管图中未示出，可以结合电子设备使用其它硬件和/或软件模块，包括但不限于：微代码、设备驱动器、冗余处理单元、外部磁盘驱动阵列、RAID系统、磁带驱动器以及数据备份存储系统等。

例如，本公开实施例中的电子设备还可包括：设备本体；以及设置于设备本体上的如上述任一实施例中所阐述的电磁波传感器；其中，该电磁波传感器可用于实现目标检测和/或无线通信等功能。

具体地，在上述实施例的基础上，在本公开的一个可选的实施例中，电磁波传感器可以设置在设备本体的外部，或者设置在设备本体的内部，而在本公开的其他可选的实施例中，电磁波传感器还可以一部分设置在设备本体的内部，一部分设置在设备本体的外部。本公开实施例对此不作限定，具体可视情况而定。

在一个可选的实施例中，上述设备本体可为应用于诸如智慧城市、智能住宅、交通、智能家居、消费电子、安防监控、工业自动化、舱内检测（如智能座舱）、医疗器械及卫生保健等领域的部件及产品。例如，该设备本体可为智能交通运输设备（如汽车、自行车、摩托车、船舶、地铁、火车等）、安防设备（如摄像头）、液位/流速检测设备、智能穿戴设备（如手环、眼镜等）、智能家居设备（如扫地机器人、门锁、电视、空调、智能灯等）、各种通信设备（如手机、平板电脑等）等，以及诸如道闸、智能交通指示灯、智能指示牌、交通摄像头及各种工业化机械臂（或机器人）等，也可为用于检测生命特征参数的各种仪器以及搭载该仪器的各种设备，例如汽车舱内生命特征检测、室内人员监控、智能医疗设备、消费电子设备等。

本公开实施例还提供了一种非瞬时性计算机可读存储介质，其上存储有计算机可读指令，当指令被处理器执行时，使得处理器执行如上述的馈线不等长补偿方法。

通过以上的实施方式的描述，本领域的技术人员易于理解，这里描述的示例实施方式可以通过软件实现，也可以通过软件结合必要的硬件的方式来实现。根据本公开实施方式的技术方案可以以软件产品的形式体现出来，该软件产品可以存储在一个非易失性存储介质（可以是CD-ROM，U盘，移动硬盘等）中或网络上，包括若干指令以使得一台计算设备（可以是个人计算机、服务器、或者网络设备等）执行根据本公开实施方式的上述方法。

软件产品可以采用一个或多个可读介质的任意组合。可读介质可以是可读信号介质或者可读存储介质。可读存储介质例如可以为但不限于电、磁、光、电磁、红外线、或半导体的系统、装置或器件，或者任意以上的组合。可读存储介质的更具体的例子（非穷举的列表）包括：具有一个或多个导线的电连接、便携式盘、硬盘、随机存取存储器（RAM）、只读存储器（ROM）、可擦式可编程只读存储器（EPROM或闪存）、光纤、便携式紧凑盘只读存储器（CD-ROM）、光存储器件、磁存储器件、或者上述的任意合适的组合。

计算机可读存储介质可以包括在基带中或者作为载波一部分传播的数据信号，其中承载了可读程序代码。这种传播的数据信号可以采用多种形式，包括但不限于电磁信号、光信号或上述的任意合适的组合。可读存储介质还可以是可读存储介质以外的任何可读介质，

该可读介质可以发送、传播或者传输用于由指令执行系统、装置或者器件使用或者与其结合使用的程序。可读存储介质上包含的程序代码可以用任何适当的介质传输，包括但不限于无线、有线、光缆、RF等等，或者上述的任意合适的组合。

可以以一种或多种程序设计语言的任意组合来编写用于执行本公开操作的程序代码，程序设计语言包括面向对象的程序设计语言—诸如Java、C++等，还包括常规的过程式程序设计语言—诸如“C”语言或类似的设计语言。程序代码可以完全地在用户计算设备上执行、部分地在用户设备上执行、作为一个独立的软件包执行、部分在用户计算设备上部分在远程计算设备上执行、或者完全在远程计算设备或服务器上执行。在涉及远程计算设备的情形中，远程计算设备可以通过任意种类的网络，包括局域网（LAN）或广域网（WAN），连接到用户计算设备，或者，可以连接到外部计算设备（例如利用因特网服务提供商来通过因特网连接）。

上述计算机可读介质承载有一个或者多个程序，当上述一个或者多个程序被一个该设备执行时，使得该计算机可读介质实现前述功能。

本领域技术人员可以理解上述各模块可以按照实施例的描述分布于装置中，也可以进行相应变化唯一不同于本实施例的一个或多个装置中。上述实施例的模块可以合并为一个模块，也可以进一步拆分成多个子模块。

根据本公开的实施例，提出一种计算机程序，包括计算机程序或指令，该计算机程序或指令被处理器执行时，可以执行以上描述的方法。在一个可选的实施例中，上述集成电路可以为毫米波雷达芯片。集成电路中的数字功能模块的种类可以根据实际需求确定。例如，在毫米波雷达芯片，数据处理模块可以用于诸如距离维多普勒变换、速度维多普勒变换、恒虚警检测、波达方向检测、点云处理等，用于获取目标的距离、水平角、俯仰角、速度、高度、微多普勒运动特性、形状、尺寸、表面粗糙度及介电特性等信息。

需要说明的是，无线电器件可通过发射及接收无线电信号实现诸如目标检测和/或通信等功能，以向设备本体提供检测目标信息和/或通讯信息，进而辅助甚至控制设备本体的运行。

例如，当上述的设备本体应用于先进驾驶辅助系统（即ADAS）时，作为车载传感器的无线电器件（如毫米波雷达）则可辅助ADAS系统实现诸如自适应巡航、自动刹车辅助（即AEB）、盲点检测预警（即BSD）、辅助变道预警（即LCA）、倒车辅助预警（即RCTA）、泊车辅助、后方车辆示警、防撞、行人探测等应用场景。

以上所述实施例的各技术特征可以进行任意的组合,为使描述简洁,未对上述实施例中的各个技术特征所有可能的组合都进行描述,然而,只要这些技术特征的组合不存在矛盾,都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本发明的较佳实施例及所运用技术原理,其描述较为具体和详细,但并不能因此而理解为对发明专利范围的限制。对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而发明专利的保护范围由所附的权利要求范围决定。

权利要求书

1. 一种信号发射链路，其特征在于，应用于电磁波传感器中，所述发射链路包括模拟信号源和数字移相器，所述模拟信号源可被配置为用于提供初始模拟信号，所述数字移相器可被配置为用于提供在数字域产生移相信号，并基于该移相信号对所述初始模拟信号进行移相，以将所述初始模拟信号进行预设的移相操作。

2. 如权利要求 1 所述的信号发射链路，其特征在于，还包括发射天线，所述发射天线可被配置用于将移相后的初始模拟信号向预设空间区域辐射。

3. 如权利要求 1 所述的信号发射链路，其特征在于，所述数字移相器包括数字移相信号源、数模转换器和混频器，所述数字移相器可被配置用于产生数字移相信号，所述数模转换器可被配置用于将接收的所述数字移相信号转换为模拟移相信号，所述混频器可被配置用于利用所接收的所述模拟移相信号对所接收的所述初始模拟信号进行混频操作，以将所述初始模拟信号进行预设的移相操作。

4. 如权利要求 3 所述的信号发射链路，其特征在于，所述数字移相信号源包括直接数字频率合成器，所述数模转换器为 IQ 数模转换器，所述混频器为 IQ 混频器。

5. 根据权利要求 1 所述的信号发射链路，其特征在于，所述数字移相信号为单音信号，所述初始模拟信号为扫频信号；或者，

所述数字移相信号为扫频信号，所述初始模拟信号为单音信号。

6. 如权利要求 1 至 5 中任一项所述的信号发射链路，其特征在于，所述信号发射链路发射的是调频连续波信号。

7. 一种信号发射链路，其特征在于，包括集成于同一集成电路中的信号发射主通路和信号校准链路；其中：

所述信号校准链路被配置为用于对所述信号发射主通路进行校准以获取补偿信息；以及所述信号发射主通路被配置为用于根据所述补偿信息进行补偿操作后生成射频发射信号，以用于实现目标探测和/或通信。

8. 根据权利要求 7 所述的信号发射链路，其特征在于，所述补偿信息包括谐波失真补偿参数、本振泄漏补偿参数和正交失衡补偿参数中的至少一个。

9. 根据权利要求 7 所述的信号发射链路，其特征在于：

所述信号发射主通路包括第一信号源和移相器；其中，所述第一信号源被配置为生成第一模拟信号；以及所述移相器被配置为对所述第一模拟信号进行频率搬移和/或移相，以形成射频发射信号。

10. 根据权利要求 9 所述的信号发射链路，其特征在于：

在所述移相器为非正交架构时，所述移相器包括第二信号源和发端混频器，其中所述第二信号源被配置为用于生成第二模拟信号，所述发端混频器被配置为对所述第一模拟信号和所述第二模拟信号进行混频处理，以形成所述射频发射信号；

在所述移相器为正交架构时，其中所述移相器包括：第二信号源、数模转换模块和发端混频器；其中所述第二信号源被配置为生成第一数字信号；所述数模转换模块被配置为将所述第一数字信号转换为第二模拟信号；以及所述发端混频器被配置为基于所述第二模拟信号对所述第一模拟信号进行频率搬移和/或移相，以形成所述射频发射信号。

11. 根据权利要求 10 所述的信号发射链路，其特征在于，所述发射主通路还包括补偿电路，其中所述补偿电路的信号输入端与所述第二信号源相连，信号输入端与所述移相器相连，所述补偿电路用于将补偿信号和第二信号源输出的信号进行合并处理后再输出。

12. 一种信号收发链路，其特征在于，包括如权利要求 1 至 11 中任一项所述信号发射链路，以及信号接收链路；

所述信号接收链路包括收端混频器、模数转换器和数字信号处理模块；

其中，所述收端混频器可被配置为用于基于所接收的收端本振信号对所接收的回波信号进行下降频以得到模拟中频信号，所述模数转换器可被配置为用于对所接收的所述中频信号进行模数转换以得到数字中频信号，所述数字信号处理模块可被配置为用于对所数字中频信号进行处理以得到目标参数；

所述回波信号为所述信号发射链路所发射信号被目标物反射和/或散射而形成的信号。

13. 根据权利要求 12 所述的信号收发链路，其特征在于，所述收端混频器为实数混频器，所述模数转换器为实数模数转换器；或者，

所述收端混频器为正交混频器，所述模数转换器为正交模数转换器。

14. 根据权利要求 12 所述的信号收发链路，其特征在于，所述收端本振信号为扫频信号；或者，所述收端本振信号为单音信号。

15. 一种信号校准链路，其特征在于，包括如权利要求 12 所述的信号收发链路；

所述信号接收链路的接收天线连接端口连接至所述信号发射链路的发射天线连接端口，所述信号接收链路可被配置为用于对所述信号发射链路进行校准。

16. 如权利要求 15 所述的信号校准链路，其特征在于，所述信号接收链路的本振信号与所述信号发射链路的本振信号之间具有预设的差频。

17. 如权利要求 16 所述的信号校准链路，其特征在于，还包括 BIST 模块，所述 BIST

模块设置在本振信号源与所述收端混频器之间；

其中，所述 BIST 模板可被配置为基于预设的频偏信号对接收的本振信号进行混频，以使得所述收端混频器接收到的本振信号与所述信号发射链路的本振信号之间具有预设的差频。

18. 一种信号校准链路，其特征在于，包括如权利要求 12 所述的信号收发链路，以及 BIST 模块；

所述信号接收链路的接收天线连接端口通过所述 BIST 模块连接至所述信号发射链路的发射天线连接端口，所述信号接收链路可被配置为用于对所述信号发射链路进行校准。

19. 一种信号校准链路，其特征在于，包括两条信号接收链路、BIST 模块、辅助电路单元和如权利要求 1 至 11 中任一项所述信号发射链路，以及；

任一条所述信号接收链路均包括实数混频器、实数模数转换器和数字信号处理模块；所述实数混频器可被配置为用于基于所接收的本振信号对所接收的回波信号进行下降频以得到模拟中频信号，所述实数模数转换器可被配置为用于对所接收的所述中频信号进行模数转换以得到数字中频信号，所述数字信号处理模块可被配置为用于对所数字中频信号进行处理以得到目标参数；所述回波信号为所述信号发射链路所发射信号被目标物反射和/或散射而形成的信号；

两条所述信号接收链路的接收天线连接端口依次通过所述辅助电路单元和所述 BIST 模块分别连接至所述信号发射链路的发射天线连接端口，所述信号接收链路可被配置为用于对所述信号发射链路的中频部分进行校准。

20. 一种信号发射主通路的信号校准链路，其中所述信号发射主通路用于根据补偿系数对产生的信号进行补偿操作后生成射频发射信号，以用于实现目标探测和/或通信，其中：

所述信号校准链路，被配置为用于获取当前补偿系数下信号发射主通路当前的观测信息；以及，在当前的观测信息满足迭代条件时，将当前的补偿系数作为所述信号发射链路补偿操作使用的补偿系数；否则，对当前的补偿系数进行迭代直到所得到的观测信息满足所述迭代条件为止。

21. 根据权利要求 20 所述的信号校准链路，其特征在于，所述补偿系数包括谐波失真补偿参数、本振泄漏补偿参数和正交失衡补偿参数中的至少一个。

22. 根据权利要求 20 所述的信号校准链路，其特征在于，所述信号发射主通路和所述信号校准链路集成于同一集成电路中。

23. 一种信号补偿链路，其特征在于，包括如权利要求 1 至 11 中任一项所述信号发射链路，以及补偿单元，所述补偿单元可被配置为用于对所述信号发射链路的 IQ 失配、IQ 失衡、信号泄漏、谐波失真缺陷中的至少一个进行补偿。

24. 如权利要求 23 所述的信号补偿链路，其特征在于，所述补偿单元可被配置为用于基于如权利要求 15 至 22 中任意一项所述的信号校准链路所得到校准数据对所述信号发射链路进行补偿。

25. 如权利要求 24 所述的信号补偿链路，其特征在于，所述信号校准链路中的所述信号接收链路作为辅助校准模块集成于待校准的发射链路附近区域，以在所述发射链路工作的间隙进行实时校准操作。

26. 一种馈线不等长补偿方法，其特征在于，应用具有至少两个信号链路的电磁波传感器的天线阵列中，所述方法包括：

将所述至少两个信号链路中馈线最短的作为基准链路，获取剩余各发射链路相对于该基准链路的时延差；以及

基于所述时延差在数字域对所述天线阵列进行馈线不等长的补偿。

27. 一种集成电路，其特征在于，包括依次连接的射频模块、模拟信号处理模块和数字信号处理模块；所述射频模块用于产生射频发射信号和接收射频接收信号；所述模拟信号处理模块用于对所述射频接收信号进行降频处理以得到中频信号；所述数字信号处理模块用于对所述中频信号进行模数转换以得到数字信号；以及

所述射频模块包括如权利要求 1 至 11 中任一项所述的信号发射链路、如权利要求 12 至 14 中任一项所述的信号收发链路、如权利要求 15 至 22 中任一项所述的信号校准链路、如权利要求 23 至 25 中任一项所述的信号补偿链路；和/或

所述数字信号处理模块基于权利要求 26 中所述的馈线不等长补偿方法在数字域进行补偿。

28. 根据权利要求 27 所述的集成电路，其特征在于，还包括数据处理模块，所述数据处理模块用于对所述数字信号进行处理以实现目标探测和/或无线通信。

29. 根据权利要求 27 或 28 所述的集成电路，其特征在于，所述集成电路为毫米波芯片。

30. 根据权利要求 27 或 28 所述的集成电路，其特征在于，所述射频接收信号为所述射频发射信号被目标发射和/或散射所形成的回波信号，所述集成电路为传感器芯片。

31. 一种电磁波传感器，其特征在于，包括：

承载体；

如权利要求 27 至 30 中任一项所述的集成电路，设置在所述承载体上；

天线，设置在所述承载体上，或者所述天线与所述集成电路集成为一体器件设置在所述承载体上；

其中，所述集成电路与所述天线连接，用于发射所述射频发射信号和/或接收所述射频接收信号。

32. 一种设备，其特征在于，包括：

设备本体；以及

设置于所述设备本体上的如权利要求 31 所述的电磁波传感器；

其中，所述电磁波传感器用于目标检测和/或通信，以向所述设备本体的运行提供参考信息。

33. 一种非瞬时性计算机可读存储介质，其上存储有计算机可读指令，当所述指令被处理器执行时，使得所述处理器执行如权利要求 26 所述的方法。

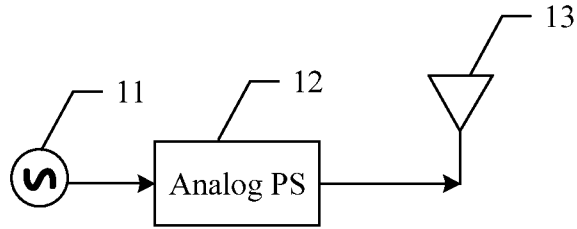


图 1A

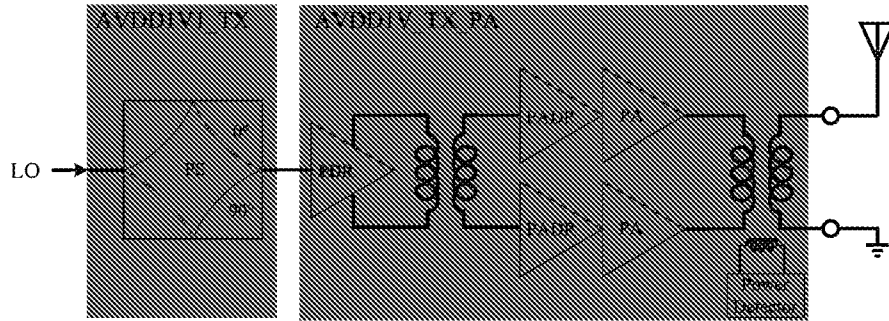


图1B

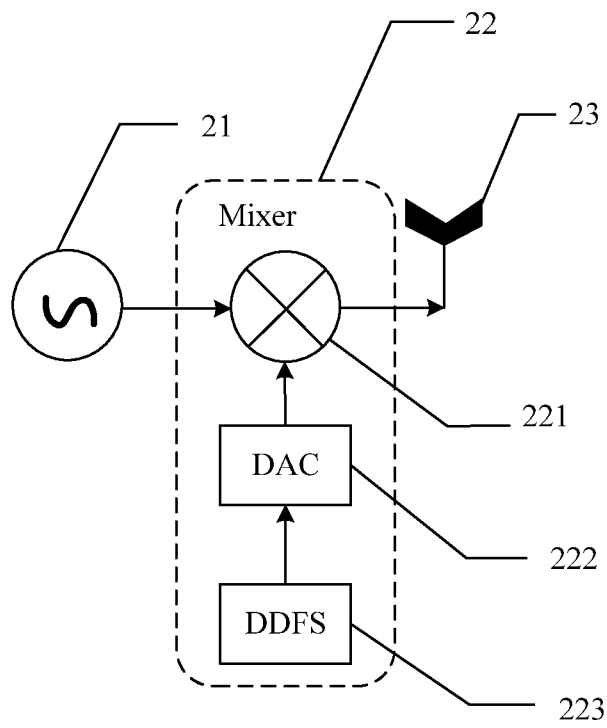


图2A

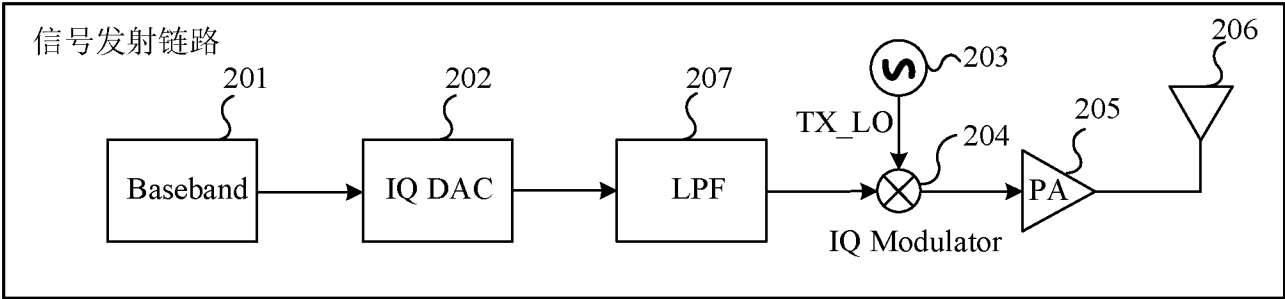


图 2B

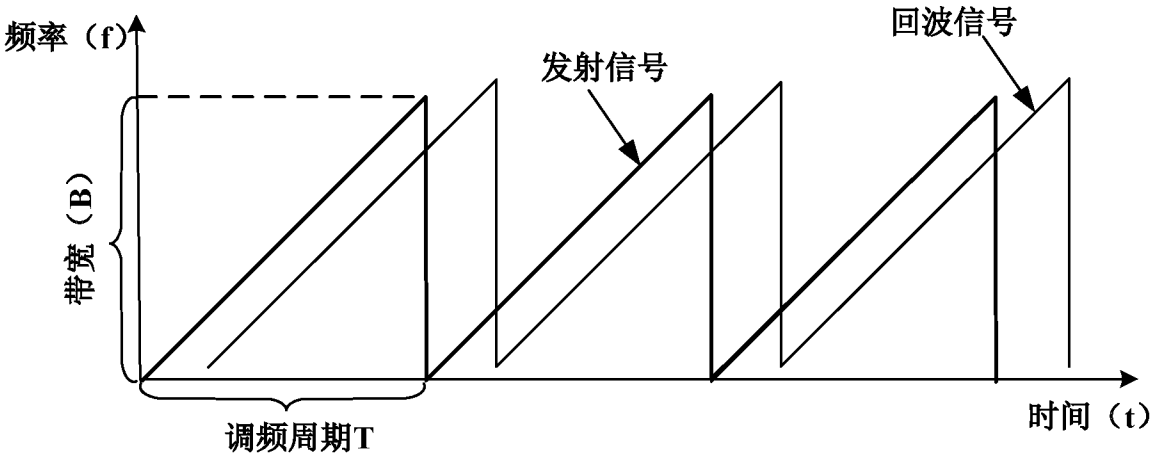


图2C

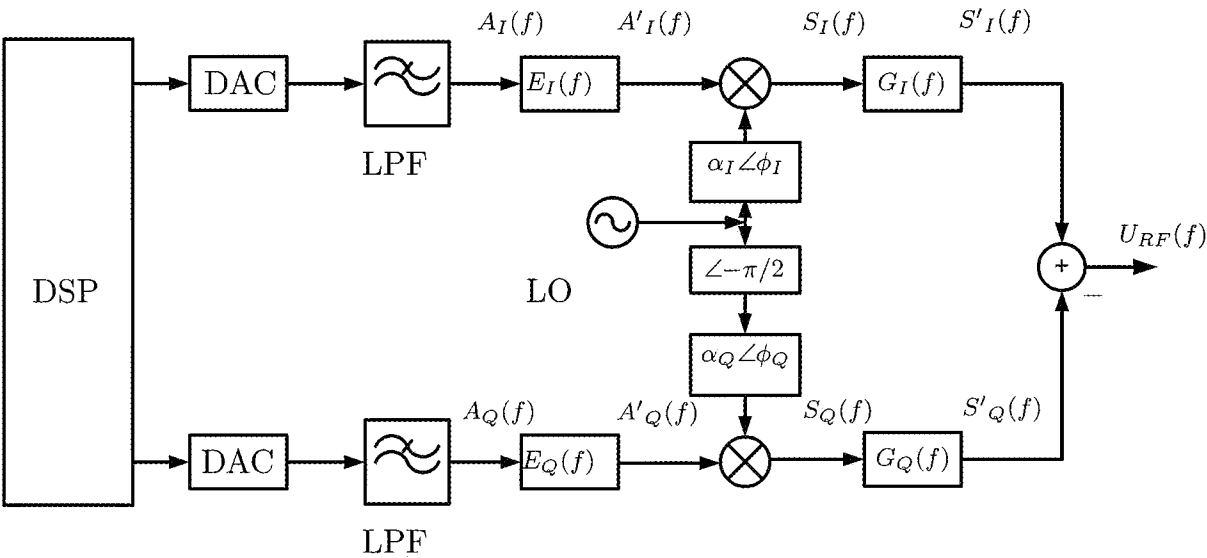


图 3A

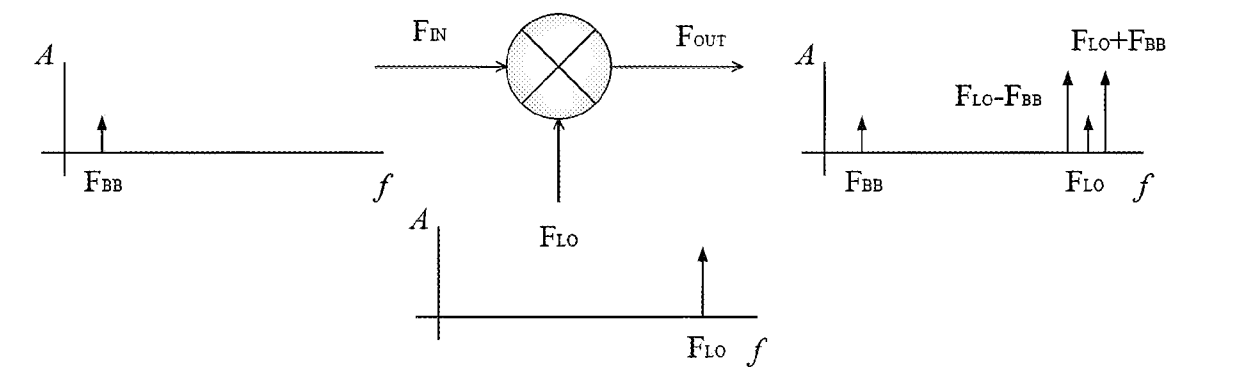


图 3B

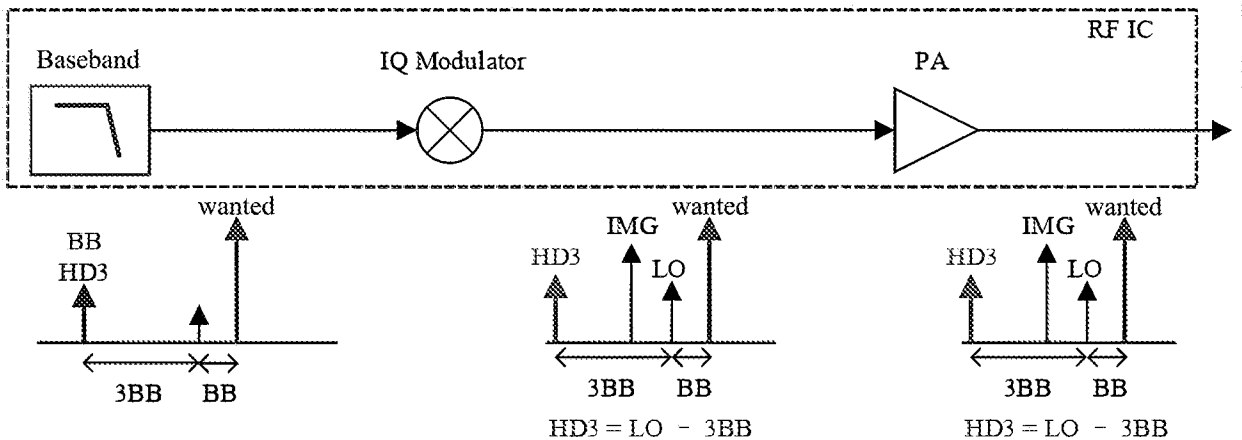


图 3C

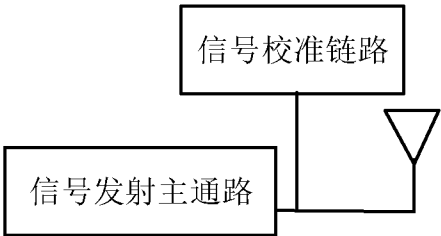


图 4A

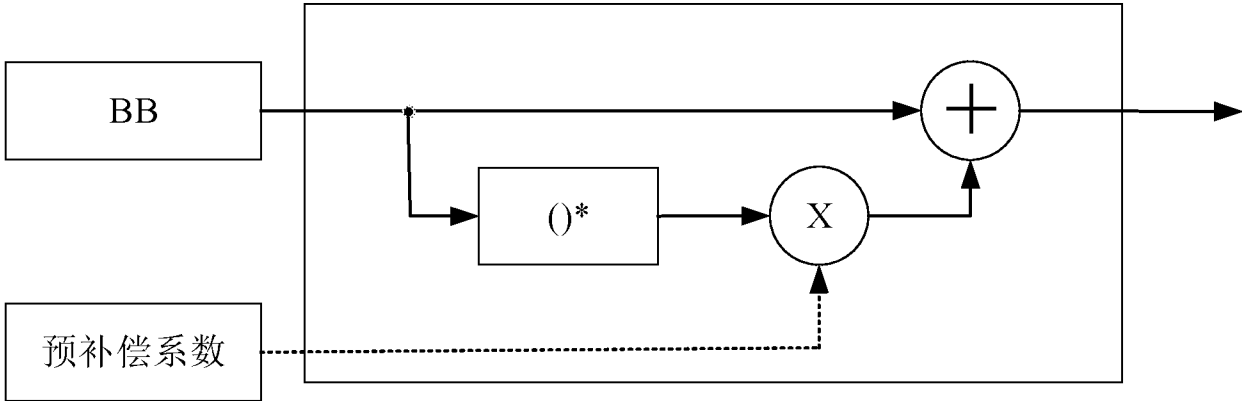


图 4B

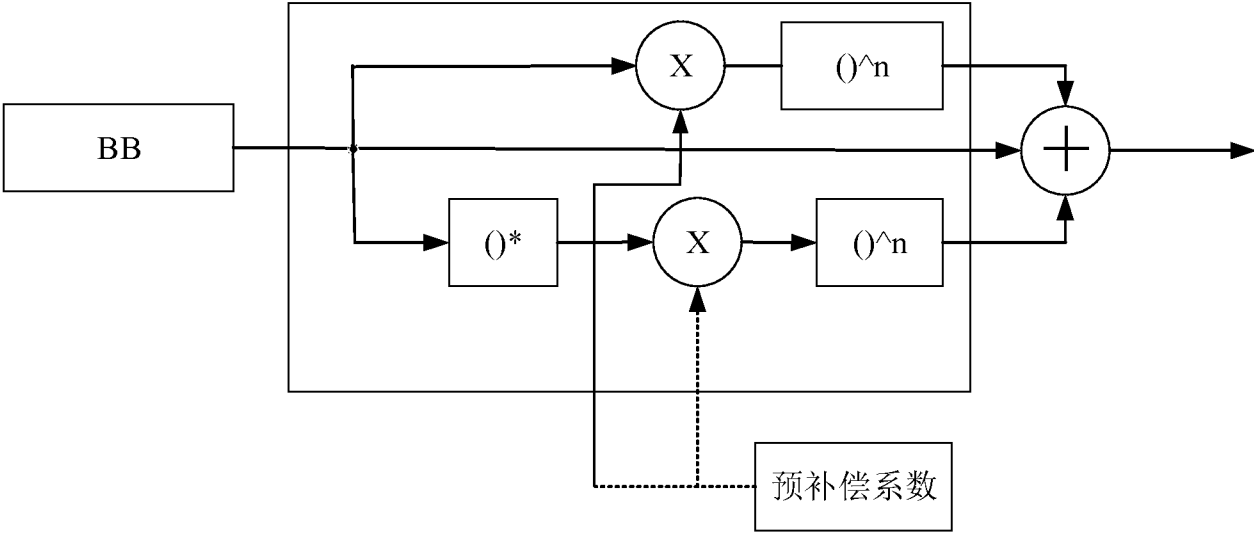


图 4C

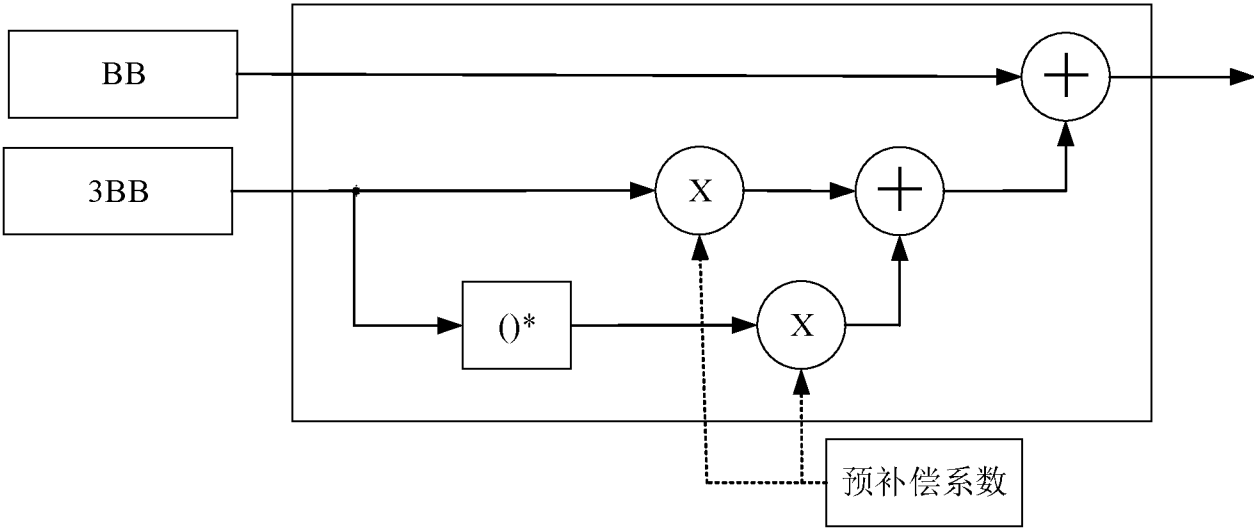


图4D

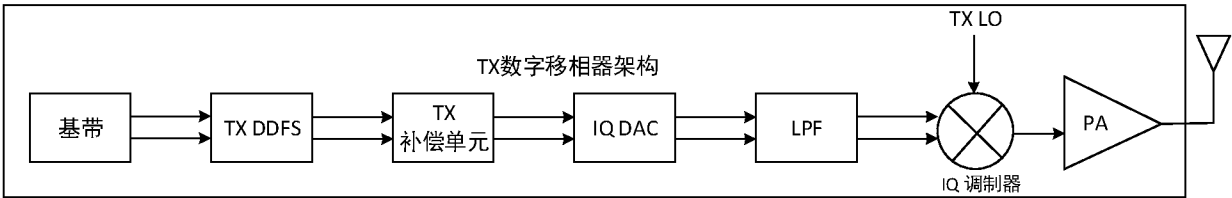


图5A

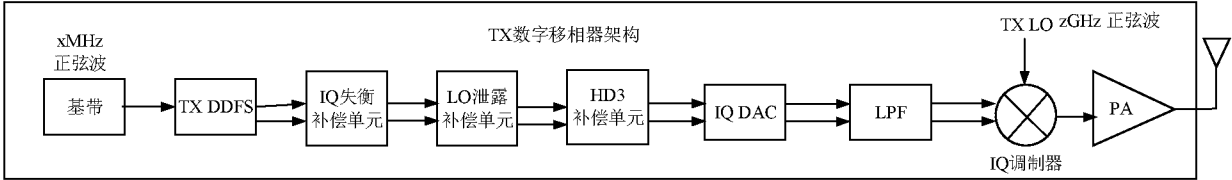


图 5B

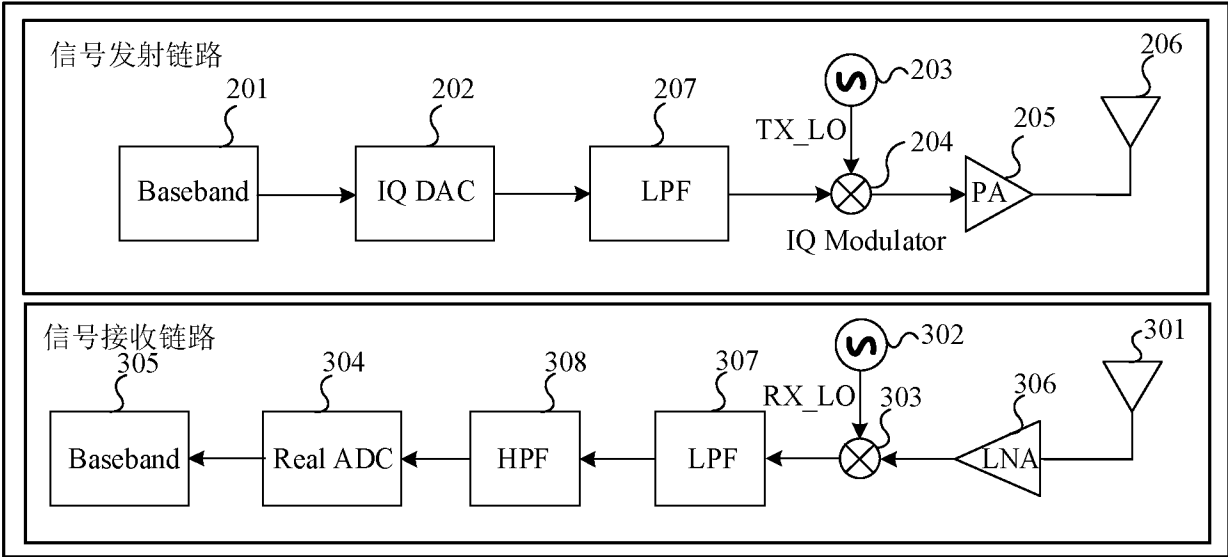


图6A

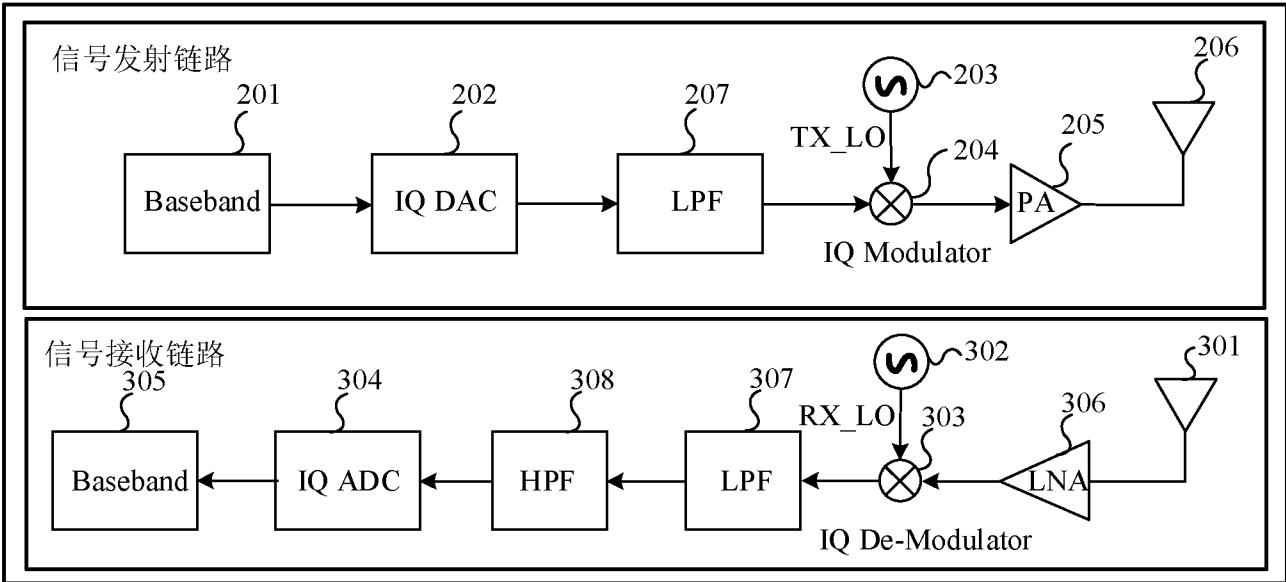


图6B

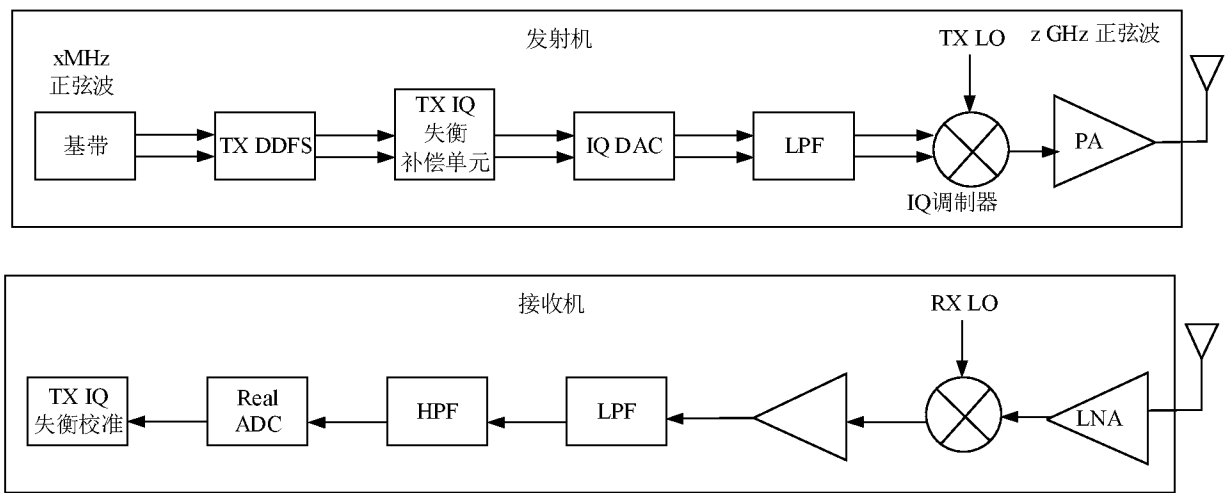


图7A

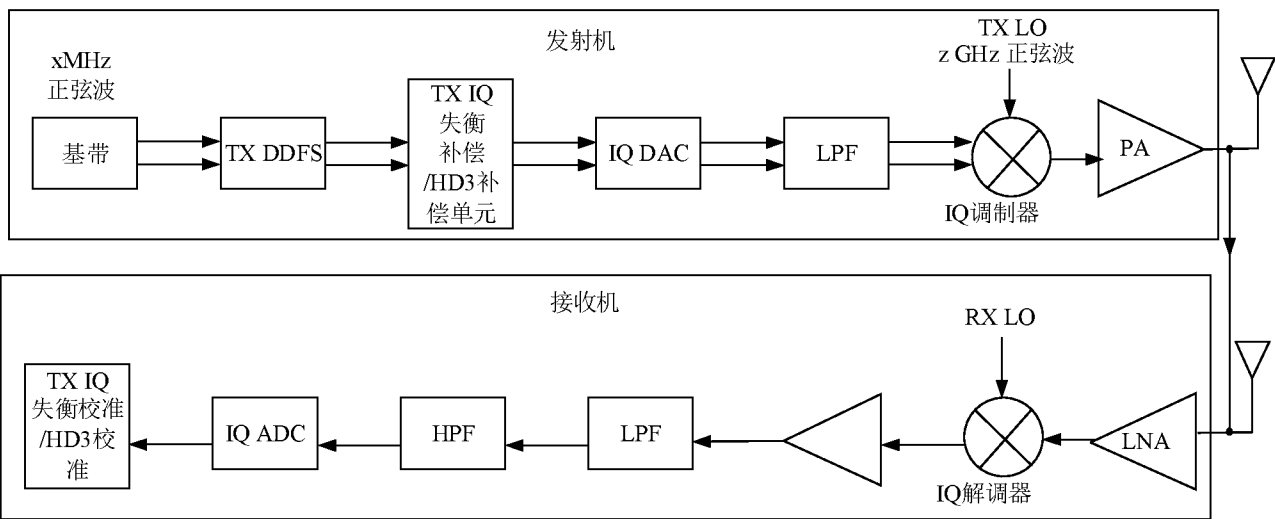


图 7B

Solution: TX IQ Mod + RX IQ De-Mod + LO Freq Diff

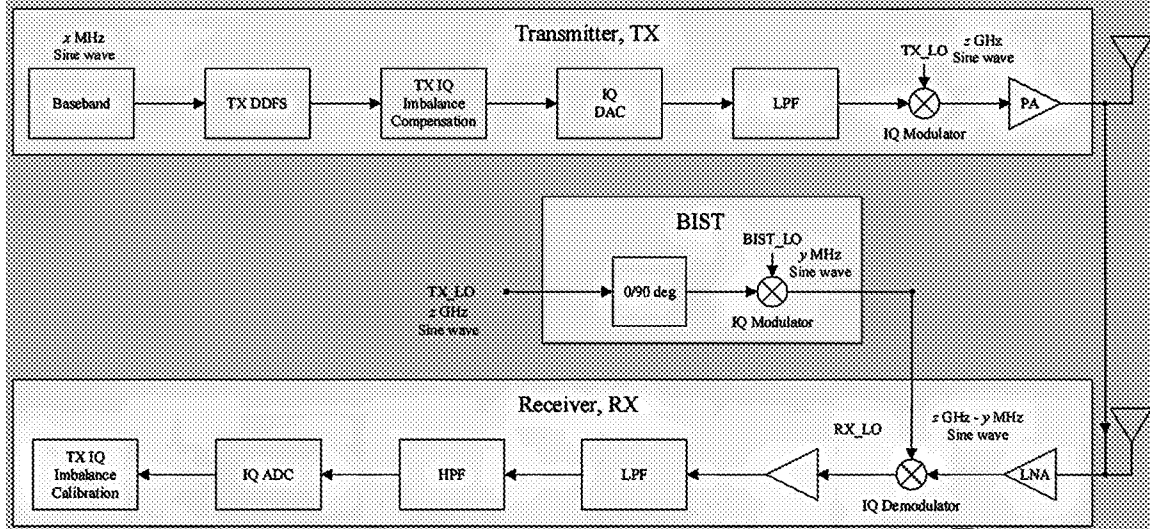


图 8

Solution: TX IQ Mod + BIST IQ Mod + RX IQ De-Mod

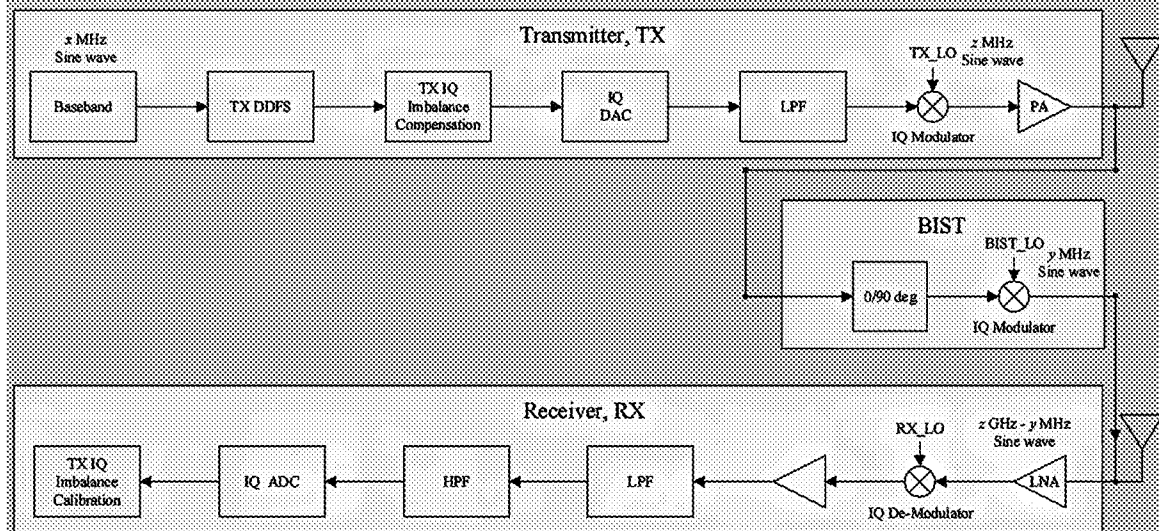


图 9

Solution: TX IQ Mod + BIST IQ Mod + ARX IQ De-Mod + 2x RX Real ADC

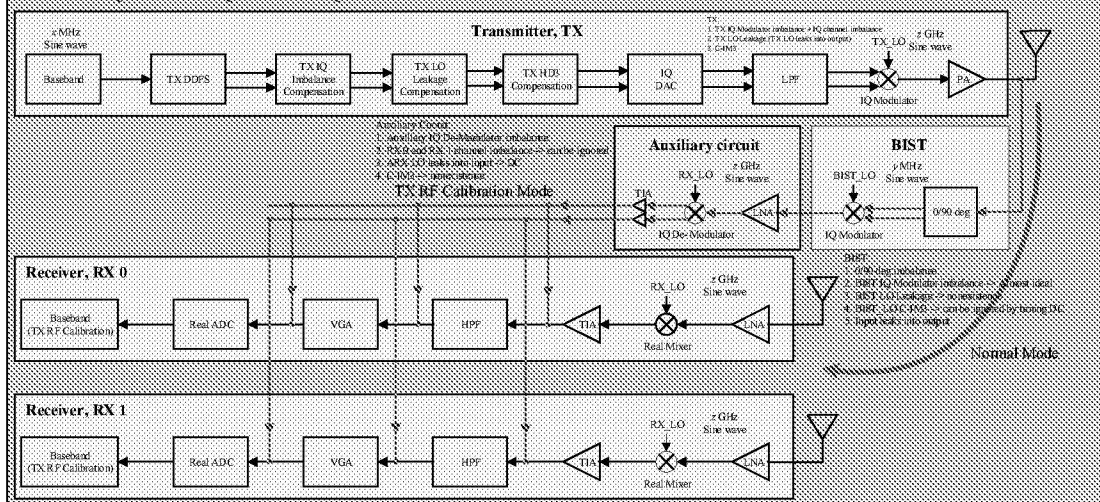


图 10

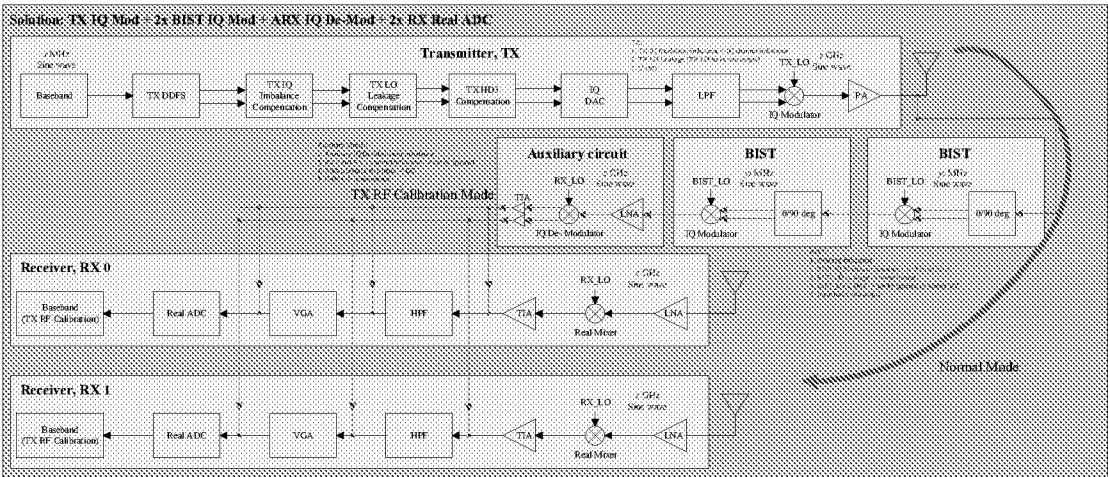


图 11



图12A

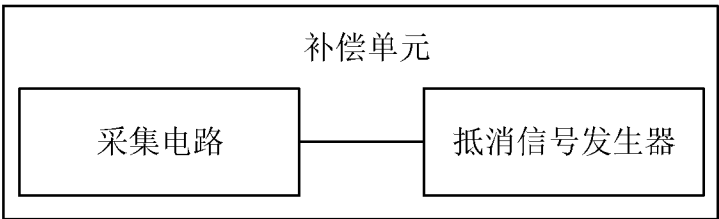


图12B

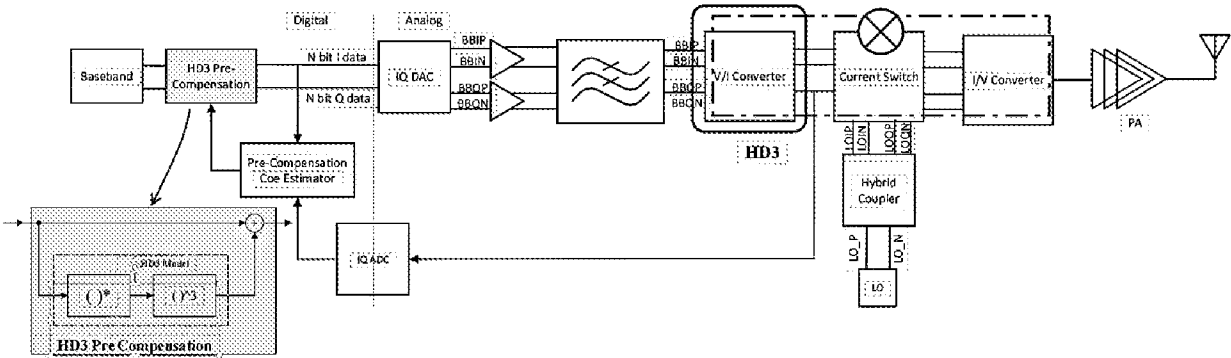


图13A

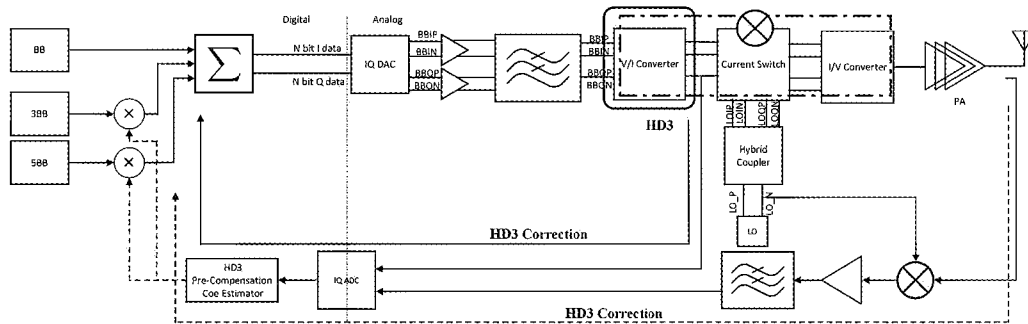


图 13B

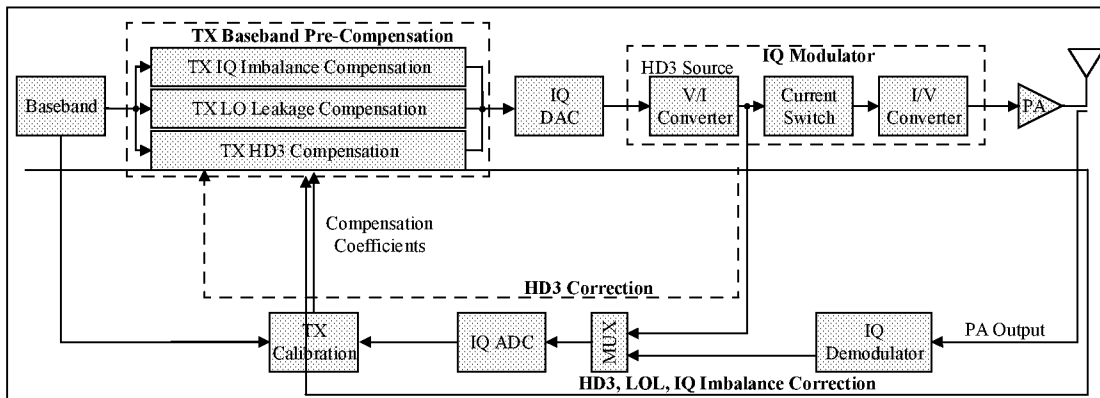


图 13C

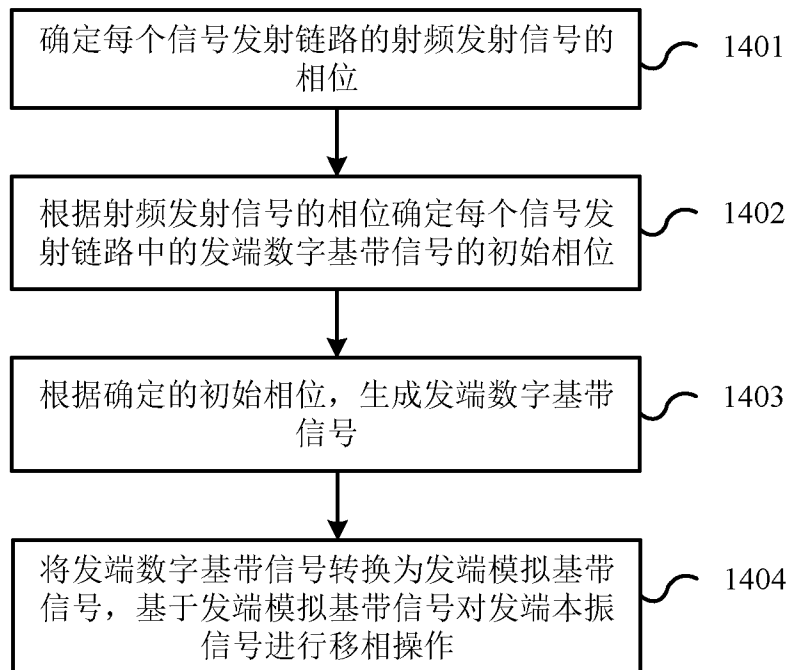


图 14A

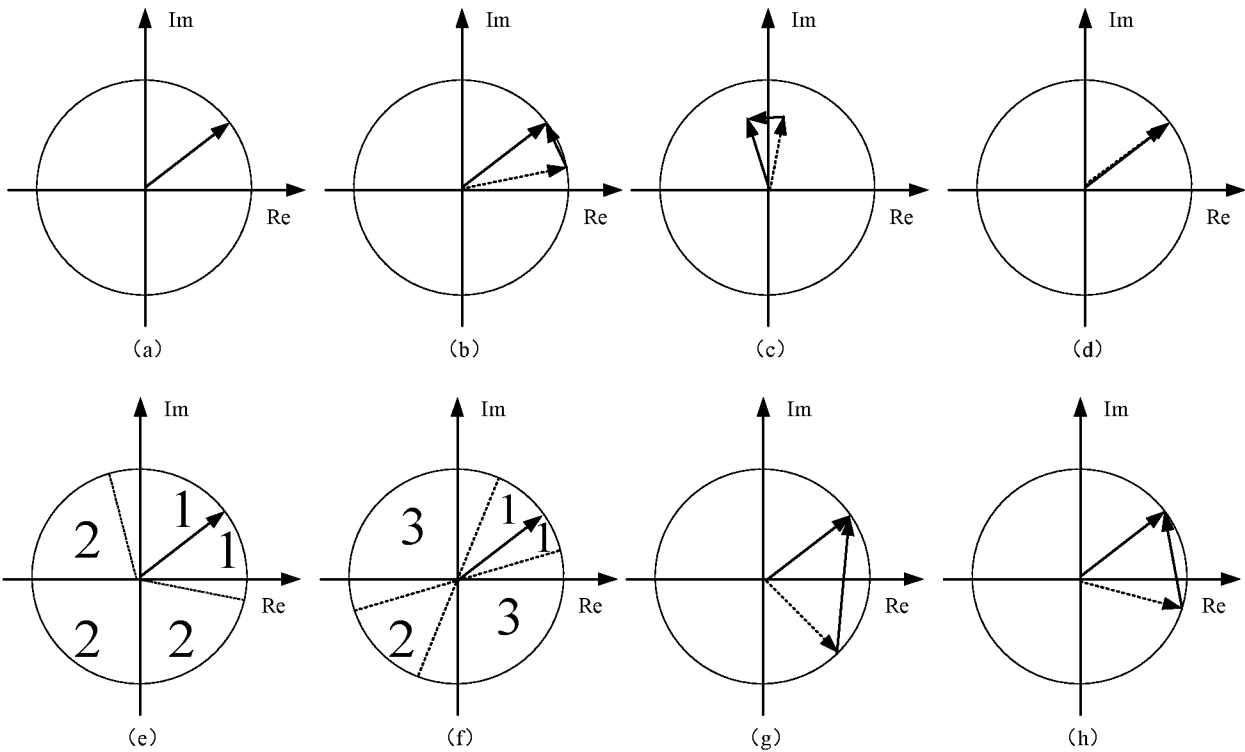


图 14B

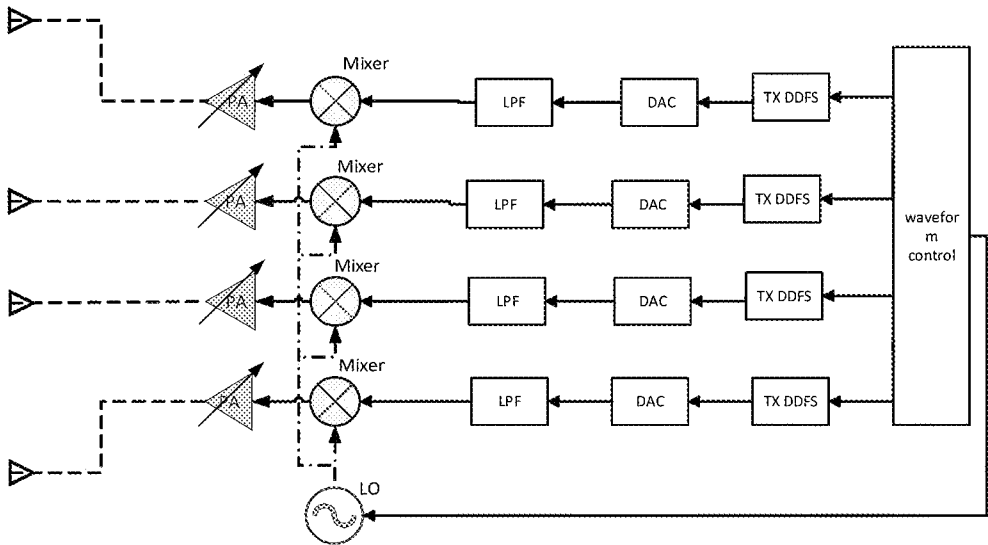


图 15

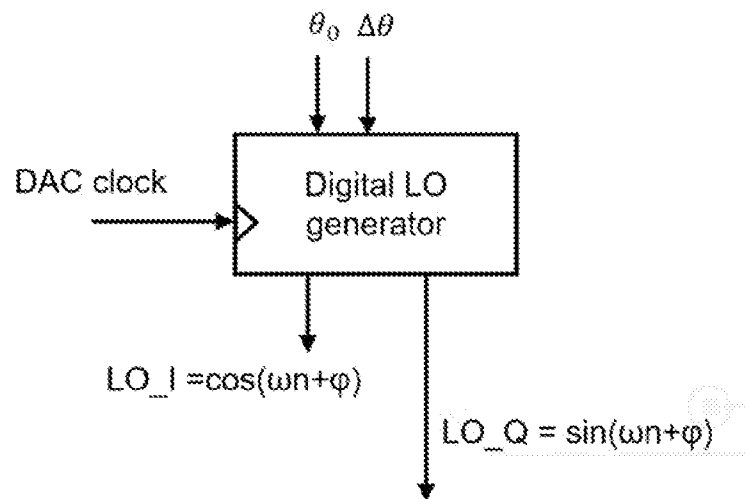


图 16

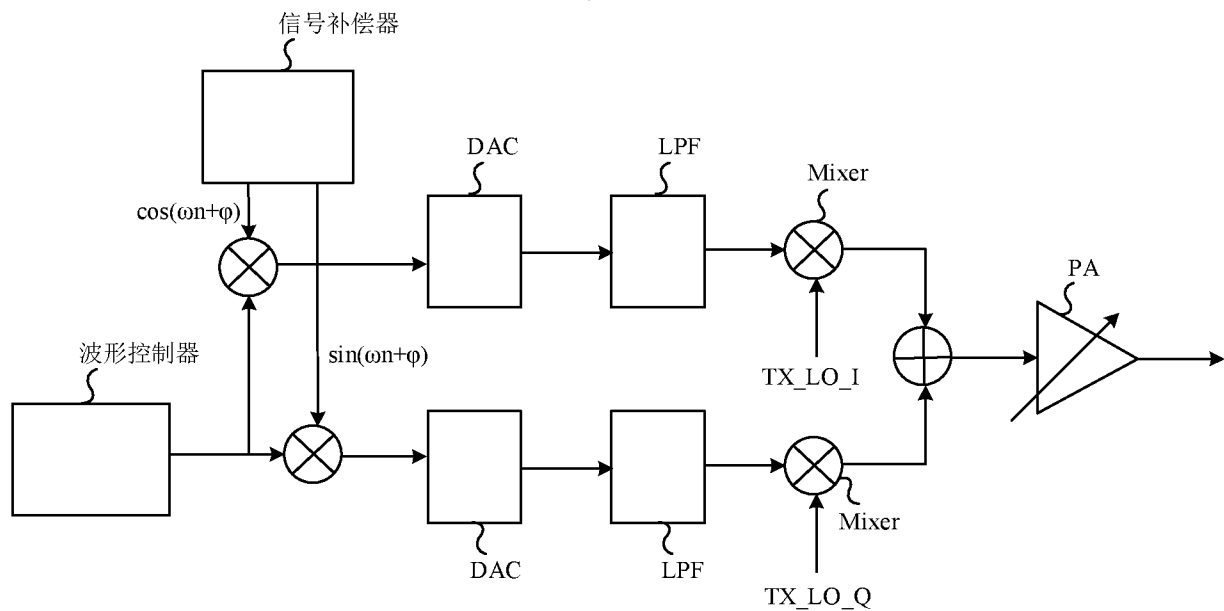


图 17

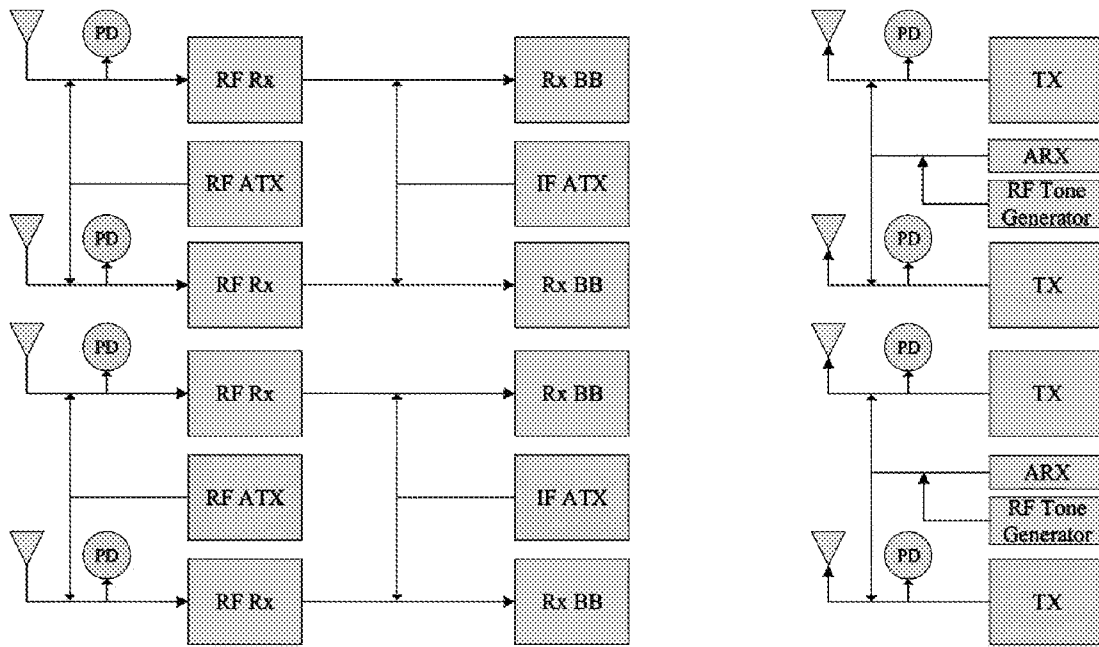


图 18

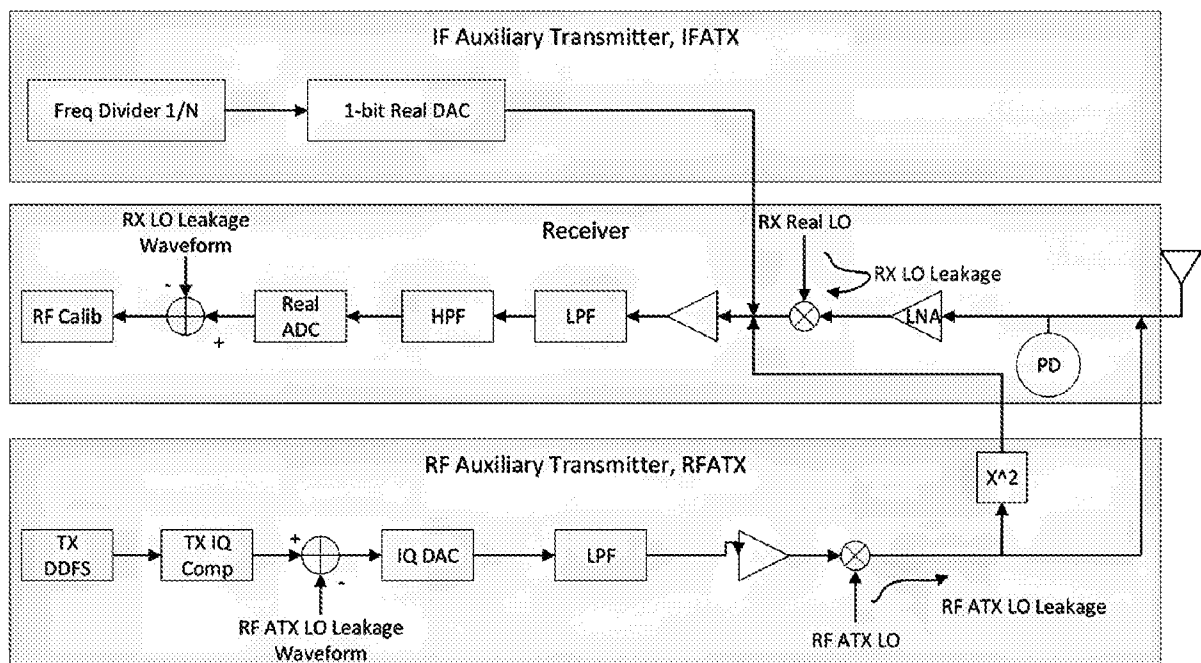


图 19

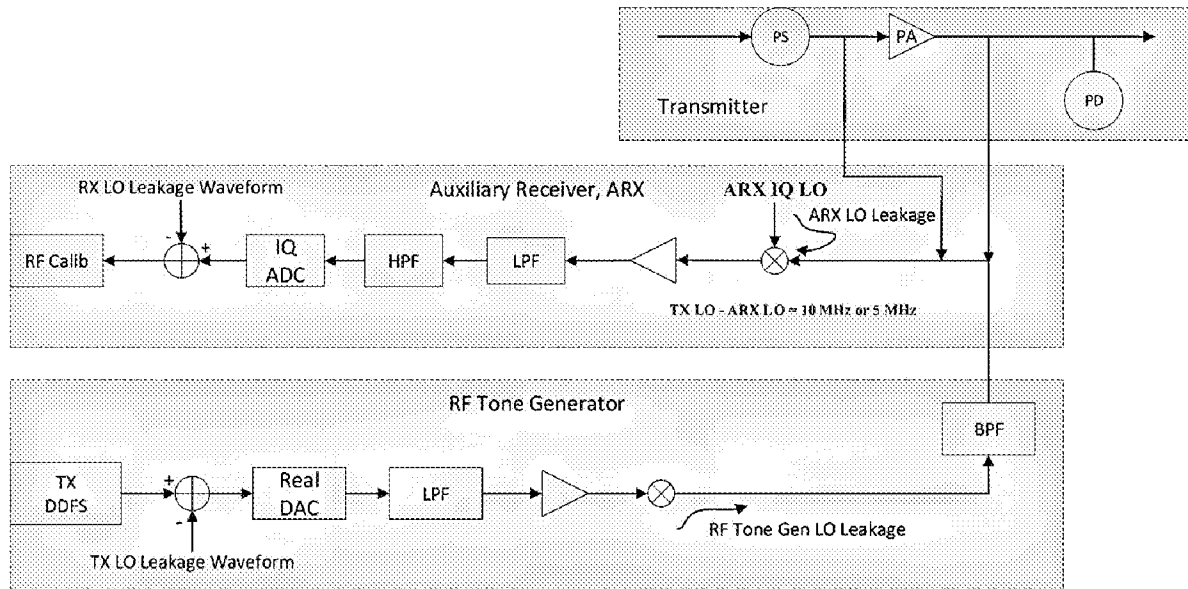


图 20

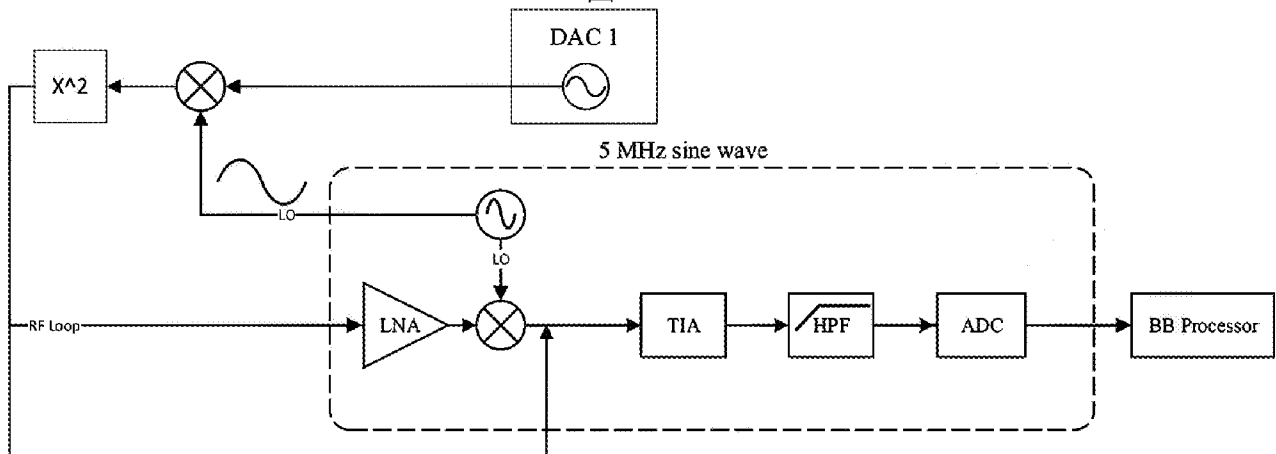


图 21

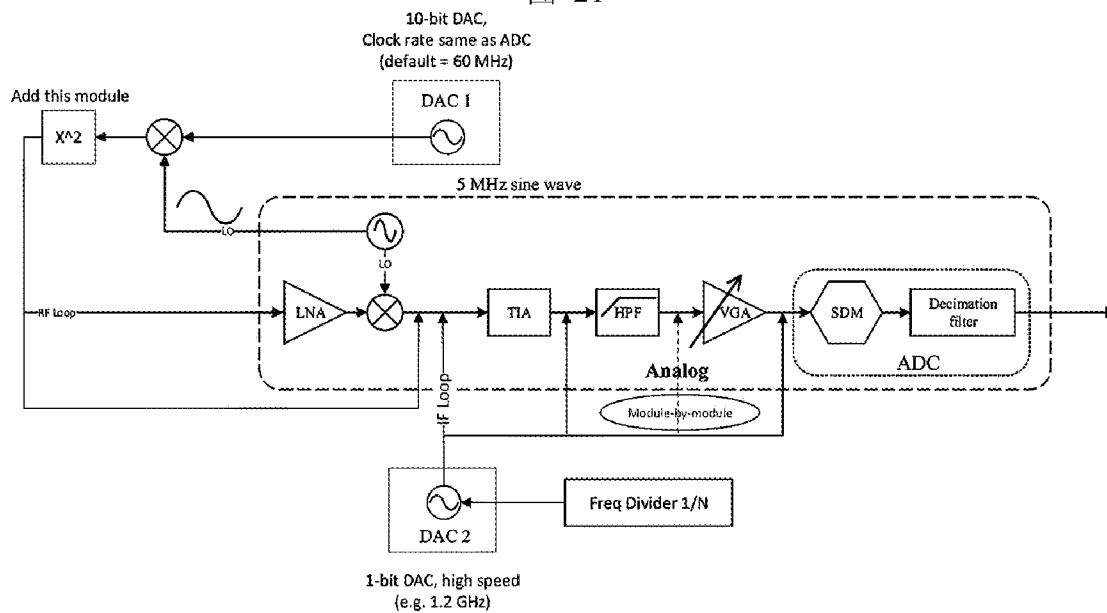


图 22

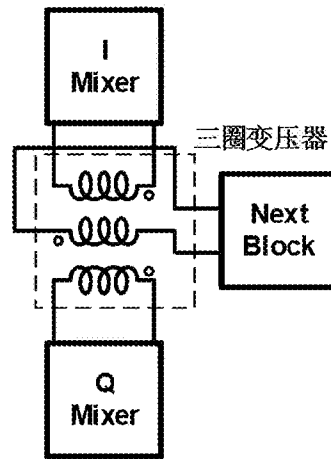


图 23

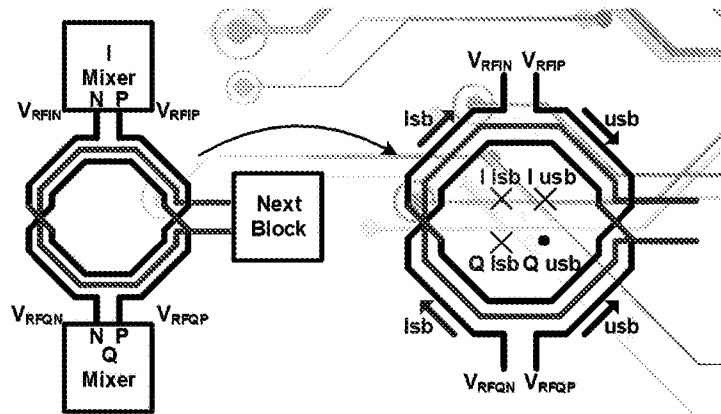


图 24

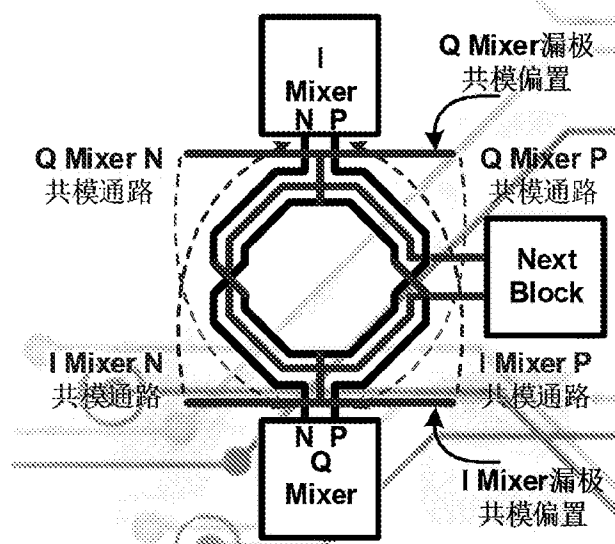


图 25

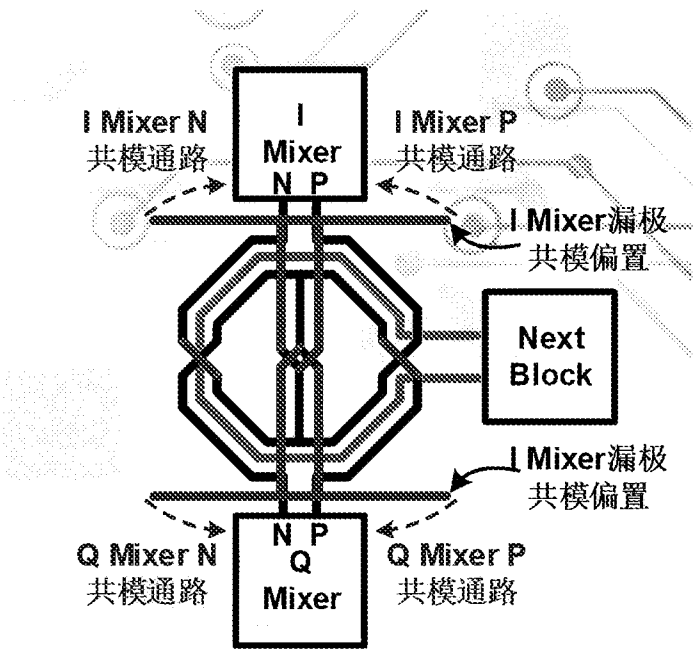


图 26

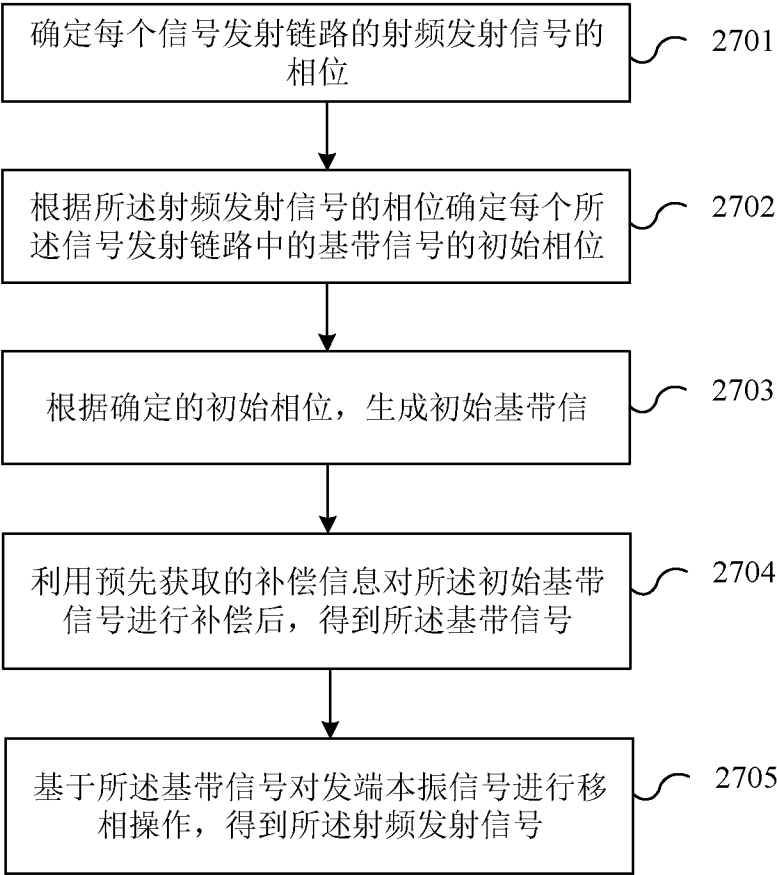


图 27

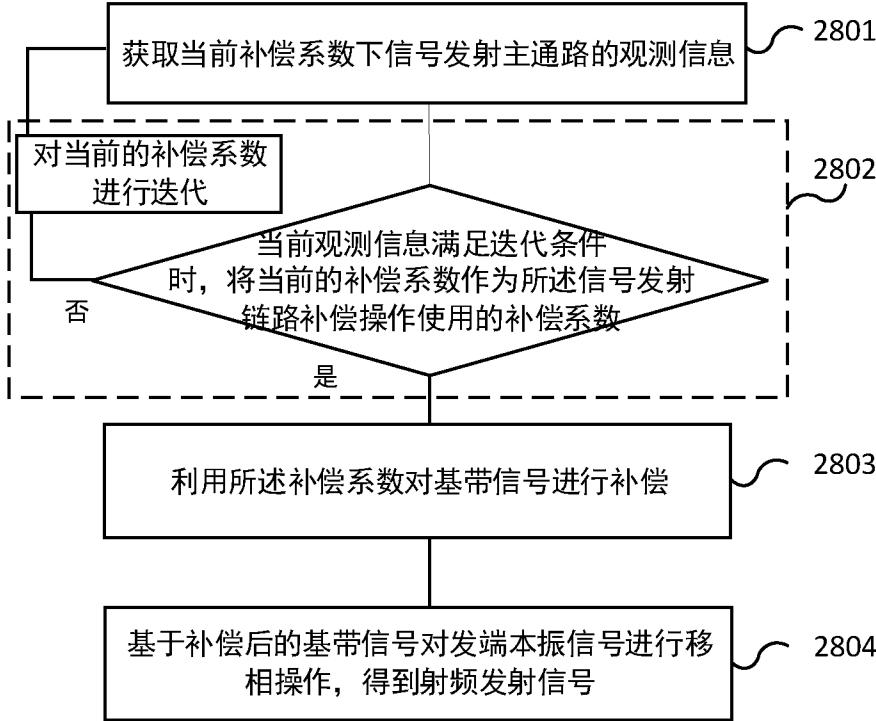


图 28

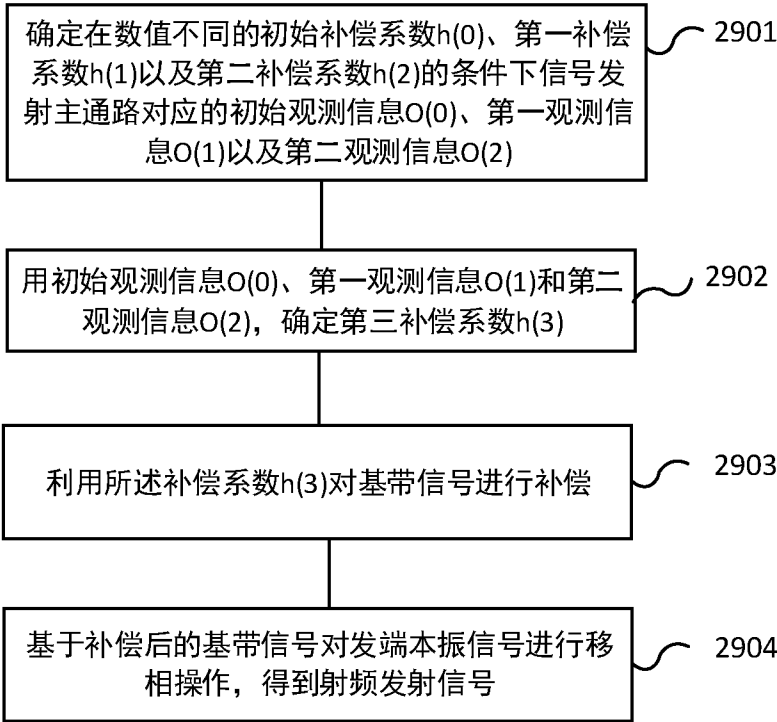


图29

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/099438

A. CLASSIFICATION OF SUBJECT MATTER H04B1/00(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC:H04B Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS; CNTXT; CNKI; VEN; DWPI; EPTXT; USTXT; WOTXT; IEEE; 3GPP: 发射, 发送, 补偿, 校正, 校准, 数字移相, 移相, 相移, 数字, 变频, 混频, 时延, 延迟, 延迟线, 延时, 本振, 振荡, 馈线, 传输线, 电缆, 参考, 基准, 长度, 模拟, 模数, 数模, 接收, 迭代, 线缆, AD, ADC, BIST, delay, digital, phase, shift, feeder, length, line, LO, compensation, transmit, analog, calibrate, correction, A/D, mix		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 109698802 A (DONGGUAN NEUTRON SCIENCE CENTER) 30 April 2019 (2019-04-30) description, paragraphs [0005]-[0156], and figures 1-7	1-6
Y	CN 109698802 A (DONGGUAN NEUTRON SCIENCE CENTER) 30 April 2019 (2019-04-30) description, paragraphs [0005]-[0156], and figures 1-7	9-19, 24-25, 27-32
X	WO 2018098629 A1 (HUAWEI TECHNOLOGIES CO., LTD.) 07 June 2018 (2018-06-07) description, page 8, line 16-page 17, line 23, and figures 1-9	1-6
Y	WO 2018098629 A1 (HUAWEI TECHNOLOGIES CO., LTD.) 07 June 2018 (2018-06-07) description, page 8, line 16-page 17, line 23, and figures 1-9	9-19, 24-25, 27-32
X	CN 101552754 A (RF MICROELECTRONICS CORP.) 07 October 2009 (2009-10-07) description, page 2, paragraph 4-page 17, paragraph 1, and figures 1-11	7-8, 20-23
Y	CN 101552754 A (RF MICROELECTRONICS CORP.) 07 October 2009 (2009-10-07) description, page 2, paragraph 4-page 17, paragraph 1, and figures 1-11	9-19, 24-25, 27-32
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 27 August 2024		Date of mailing of the international search report 28 August 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2010035554 A1 (BA SEYDOU NOUROU et al.) 11 February 2010 (2010-02-11) description, paragraphs [0026]-[0103], and figures 1-12	12-19, 24-25, 27-32
X	CN 105785225 A (CHINA SOUTHERN POWER GRID ELECTRIC POWER RESEARCH INSTITUTE CO., LTD.) 20 July 2016 (2016-07-20) description, paragraphs [0005]-[0031]	26, 33
Y	CN 105785225 A (CHINA SOUTHERN POWER GRID ELECTRIC POWER RESEARCH INSTITUTE CO., LTD.) 20 July 2016 (2016-07-20) description, paragraphs [0005]-[0031]	27-32
A	CN 116097521 A (CALTERAH SEMICONDUCTOR TECHNOLOGY (SHANGHAI) CO., LTD.) 09 May 2023 (2023-05-09) entire document	1-33
A	US 2007190952 A1 (TEXAS INSTRUMENTS INC.) 16 August 2007 (2007-08-16) entire document	1-33

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2024/099438

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109698802	A	30 April 2019	CN	109698802	B	03 September 2021
WO	2018098629	A1	07 June 2018	US	2019280730	A1	12 September 2019
				US	10623049	B2	14 April 2020
				EP	3540990	A1	18 September 2019
				EP	3540990	A4	16 October 2019
				EP	3540990	B1	16 March 2022
				JP	6860274	B2	14 April 2021
CN	101552754	A	07 October 2009	CN	101552754	B	05 September 2012
US	2010035554	A1	11 February 2010	US	8055217	B2	08 November 2011
CN	105785225	A	20 July 2016	CN	105785225	B	26 February 2019
CN	116097521	A	09 May 2023	WO	2024065632	A1	04 April 2024
US	2007190952	A1	16 August 2007	US	8195103	B2	05 June 2012

A. 主题的分类

H04B1/00(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H04B

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;CNKI;VEN;DWPI;EPTXT;USTXT;WOTXT;IEEE;3GPP:发射,发送,补偿,校正,校准,数字移相,移相,相移,数字,变频,混频,时延,延迟,延迟线,延时,本振,振荡,馈线,传输线,电缆,参考,基准,长度,模拟,模数,数模,接收,迭代,线缆, AD,ADC,BIST,delay,digital,phase,shift,feeder,length,line,L O , compensation,transmit, analog,calibrate,correction,A/D,mix

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 109698802 A (东莞中子科学中心) 2019年4月30日 (2019 - 04 - 30) 说明书第[0005]-[0156]段, 图1-7	1-6
Y	CN 109698802 A (东莞中子科学中心) 2019年4月30日 (2019 - 04 - 30) 说明书第[0005]-[0156]段, 图1-7	9-19,24-25,27-32
X	WO 2018098629 A1 (华为技术有限公司) 2018年6月7日 (2018 - 06 - 07) 说明书第8页第16行至第17页第23行, 图1-9	1-6
Y	WO 2018098629 A1 (华为技术有限公司) 2018年6月7日 (2018 - 06 - 07) 说明书第8页第16行至第17页第23行, 图1-9	9-19,24-25,27-32
X	CN 101552754 A (北京朗波芯微技术有限公司) 2009年10月7日 (2009 - 10 - 07) 说明书第2页第4段至第17页第1段, 图1-11	7-8,20-23
Y	CN 101552754 A (北京朗波芯微技术有限公司) 2009年10月7日 (2009 - 10 - 07) 说明书第2页第4段至第17页第1段, 图1-11	9-19,24-25,27-32
Y	US 2010035554 A1 (BA SEYDOU NOUROU等) 2010年2月11日 (2010 - 02 - 11) 说明书第[0026]-[0103]段, 图1-12	12-19,24-25,27-32

☒ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年8月27日

国际检索报告邮寄日期

2024年8月28日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

施莹莹

电话号码 (+86) 020-28950749

PCT/ISA/210 表(第2页) (2022年7月)

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 105785225 A (南方电网科学研究院有限责任公司) 2016年7月20日 (2016 - 07 - 20) 说明书第[0005]-[0031]段	26,33
Y	CN 105785225 A (南方电网科学研究院有限责任公司) 2016年7月20日 (2016 - 07 - 20) 说明书第[0005]-[0031]段	27-32
A	CN 116097521 A (加特兰微电子科技（上海）有限公司) 2023年5月9日 (2023 - 05 - 09) 全文	1-33
A	US 2007190952 A1 (TEXAS INSTRUMENTS INC) 2007年8月16日 (2007 - 08 - 16) 全文	1-33

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/099438

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109698802	A	2019年4月30日	CN	109698802	B	2021年9月3日
WO	2018098629	A1	2018年6月7日	US	2019280730	A1	2019年9月12日
				US	10623049	B2	2020年4月14日
				EP	3540990	A1	2019年9月18日
				EP	3540990	A4	2019年10月16日
				EP	3540990	B1	2022年3月16日
				JP	6860274	B2	2021年4月14日
CN	101552754	A	2009年10月7日	CN	101552754	B	2012年9月5日
US	2010035554	A1	2010年2月11日	US	8055217	B2	2011年11月8日
CN	105785225	A	2016年7月20日	CN	105785225	B	2019年2月26日
CN	116097521	A	2023年5月9日	WO	2024065632	A1	2024年4月4日
US	2007190952	A1	2007年8月16日	US	8195103	B2	2012年6月5日