РОССИЙСКАЯ ФЕДЕРАЦИЯ

(19) **RU** (11) **2005 139 390** (13) **A**

(51) МПК
G06F 9/302 (2006.01)

ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ,
ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ЗАЯВКА НА ИЗОБРЕТЕНИЕ

(21), (22) Заявка: **2005139390/09, 18.12.2003**

(30) Конвенционный приоритет:
16.06.2003 US 10/461,880

(43) Дата публикации заявки: **27.05.2006 Бюл. № 15**

(85) Дата перевода заявки PCT на национальную фазу: **15.12.2005**

(86) Заявка PCT:
GB 03/05548 (18.12.2003)

(87) Публикация PCT:
WO 2004/114127 (29.12.2004)

Адрес для переписки:
129010, Москва, ул. Б.Спасская, 25, стр.3, ООО "Юридическая фирма Городисский и Партнеры", пат.пов. Г.Б. Егоровой

(71) Заявитель(и):
АРМ ЛИМИТЕД (GB)

(72) Автор(ы):
КЕРШО Дэниел (US)

(74) Патентный поверенный:
ЕГОРОВА ГАЛИНА БОРИСОВНА

(54) РАЗБИЕНИЕ РЕЗУЛЬТАТОВ В СИСТЕМАХ ОБРАБОТКИ ДАННЫХ С ОДНИМ ПОТОКОМ КОМАНД И МНОГИМИ ПОТОКАМИ ДАННЫХ

(57) Формула изобретения

1. Устройство для выполнения операции обработки данных в ответ на команду обработки данных, причем упомянутое устройство содержит логическую схему обработки, воспринимающую упомянутую команду обработки данных для генерирования из множества независимых значений данных, хранящихся в одном или более входных хранилищах соответствующего множества значений данных результата, и средство разбиения результата, воспринимающее упомянутую команду обработки данных для сохранения части битов высокого порядка каждого значения данных результата в хранилище для результата высокого порядка и части битов низкого порядка каждого значения данных результата в хранилище для результата низкого порядка.

2. Устройство по п.1, в котором упомянутая логическая схема обработки выполнена с возможностью перемножения соответствующих пар независимых значений данных, причем первое независимое значение данных пары берется из первого входного хранилища устройства, а второе независимое значение данных упомянутой пары берется из второго входного хранилища.

3. Устройство по п.2, в котором логическая схема выполнена с возможностью суммирования значения, уже сохраненного в упомянутом хранилище для результата высокого порядка и упомянутом хранилище для результата низкого порядка, со значениями, сгенерированными из упомянутых соответствующих пар независимых значений данных для формирования упомянутого множества значений данных результата.

RU 2005139390 A

RU 2005139390 A

4. Устройство по любому из пп.1-3, в котором упомянутая часть битов высокого порядка и часть битов низкого порядка каждого значения данных результата являются неперекрывающимися смежными участками упомянутого значения данных результата.

5. Устройство по п.2 или 3, в котором, когда упомянутая команда обработки данных указывает, что упомянутые независимые значения данных являются дробными значениями со знаком, упомянутая логическая схема обработки выполнена с возможностью удвоения каждого значения, полученного перемножением первого независимого значения данных со вторым независимым значением данных.

6. Устройство по любому одному из пп.1, 2 и 3, в котором каждое входное хранилище сохраняет M независимых N-битовых значений данных.

7. Устройство по п.6, в котором упомянутая команда обработки данных задает разрядность данных упомянутых независимых значений данных.

8. Устройство по п.2 или 3, в котором упомянутая логическая схема обработки включает в себя средство целочисленного умножения, выполненное с возможностью перемножения упомянутых соответствующих пар независимых значений данных.

9. Устройство по любому одному из пп.1, 2 и 3, в котором упомянутая логическая схема обработки используется для выполнения операций обработки данных с насыщением в отношении упомянутых независимых значений данных.

10. Устройство по любому одному из пп.1, 2 и 3, в котором упомянутое средство разбиения результата включает в себя множество мультиплексоров, управляемых в зависимости от упомянутой команды обработки данных.

11. Устройство по любому одному из пп.1, 2 и 3, в котором упомянутое устройство представляет собой ядро процессора.

12. Устройство по любому одному из пп.1, 2 и 3, в котором упомянутые одно или более входных хранилищ представляют собой одно или более из следующих: регистр блока регистров, выделенный регистр, буферная память, буфер обслуживания в порядке поступления и память.

13. Устройство по любому одному из пп.1, 2 и 3, в котором упомянутое хранилище для результата высокого порядка представляет собой одно из следующего: регистр блока регистров, выделенный регистр, буферная память, буфер обслуживания в порядке поступления и память.

14. Устройство по любому одному из пп.1, 2 и 3, в котором упомянутое хранилище для результата низкого порядка представляет собой одно из следующего: регистр блока регистров, выделенный регистр, буферная память, буфер обслуживания в порядке поступления и память.

15. Устройство по любому одному из пп.1, 2 и 3, в котором упомянутая логическая схема обработки выполнена с возможностью генерирования одного или более сторожевых битов высокого порядка для каждого значения данных результата, и упомянутое средство разбиения результата выполнено с возможностью сохранения упомянутых сторожевых битов в пределах хранилища для сторожевых битов.

16. Устройство по п.15, в котором упомянутое хранилище для сторожевых битов представляет собой одно из следующего: регистр блока регистров, выделенный регистр, буферная память, буфер обслуживания в порядке поступления и память.

17. Способ выполнения операции обработки данных в ответ на команду обработки данных, причем упомянутый способ включает в себя этапы, на которых в ответ на упомянутую команду обработки данных генерируют из множества независимых значений данных, хранящихся в одном или более входных хранилищ, соответствующее множество значений данных результата, и в ответ на упомянутую команду обработки данных разбивают упомянутые значения данных результата путем сохранения части битов высокого порядка каждого значения данных результата в хранилище для результата высокого порядка и части битов низкого порядка каждого значения данных результата в хранилище для результата низкого порядка.

18. Способ по п.17, в котором соответствующие пары независимых значений данных перемножают, причем первое независимое значение данных пары берут из первого

RU 2005139390 A

RU 2005139390 A

входного хранилища устройства, и второе независимое значение данных пары берут из второго входного хранилища.

19. Способ по п.18, в котором значения, уже хранящиеся в упомянутом хранилище для результата высокого порядка и упомянутом хранилище для результата низкого порядка, суммируют, накапливают со значениями, сгенерированными из упомянутых соответствующих пар независимых значений данных для формирования упомянутого множества значений данных результата.

20. Способ по любому из пп.17-19, в котором упомянутые часть битов высокого порядка и часть битов низкого порядка каждого значения данных результата являются неперекрывающимися смежными участками упомянутого значения данных результата.

21. Способ по п.18 или 19, в котором, когда упомянутая команда обработки данных указывает, что упомянутые независимые значения данных являются дробными значениями со знаком, каждое значение, полученное путем перемножения первого независимого значения данных со вторым независимым значением данных, удваивают.

22. Способ по любому из пп.17-19, в котором каждое входное хранилище сохраняет M независимых N-битовых значений данных.

23. Способ по п.22, в котором упомянутая команда обработки данных задает разрядность данных упомянутых независимых значений данных.

24. Способ по п.18 или 19, в котором средство целочисленного умножения используют для перемножения упомянутых соответствующих пар независимых значений данных.

25. Способ по любому из пп.17-19, в котором операции обработки данных с насыщением выполняют для упомянутых независимых значений данных.

26. Способ по любому из пп.17-19, в котором разбиение, по меньшей мере, частично выполняют посредством множества мультиплексоров, управляемых в зависимости от упомянутой команды обработки данных.

27. Способ по любому из пп.17-19, в котором упомянутый способ выполняют в ядре процессора.

28. Способ по любому из пп.17-19 в котором упомянутые одно или более входных хранилищ представляют собой одно или более из следующего: регистр блока регистров, выделенный регистр, буферная память, буфер обслуживания в порядке поступления и память.

29. Способ по любому из пп.17-19, в котором упомянутое хранилище для результата высокого порядка представляет собой одно из следующего: регистр блока регистров, выделенный регистр, буферная память, буфер обслуживания в порядке поступления и память.

30. Способ по любому из пп.17-19, в котором упомянутое хранилище для результата низкого порядка представляет собой одно из следующего: регистр блока регистров, выделенный регистр, буферная память, буфер обслуживания в порядке поступления и память.

31. Способ по любому из пп.17-19, в котором упомянутая логическая схема обработки выполнена с возможностью генерирования одного или более сторожевых битов высокого порядка для каждого значения данных результата, и упомянутое средство разбиения результата выполнено с возможностью сохранения упомянутых сторожевых битов в хранилище для сторожевых битов.

32. Способ по п.31, в котором упомянутое хранилище для сторожевых битов представляет собой одно из следующего: регистр блока регистров, выделенный регистр, буферная память, буфер обслуживания в порядке поступления и память.

RU 2005139390 A

RU 2005139390 A