

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 11 月 1 日(01.11.2012)



(10) 国際公開番号
WO 2012/147280 A1

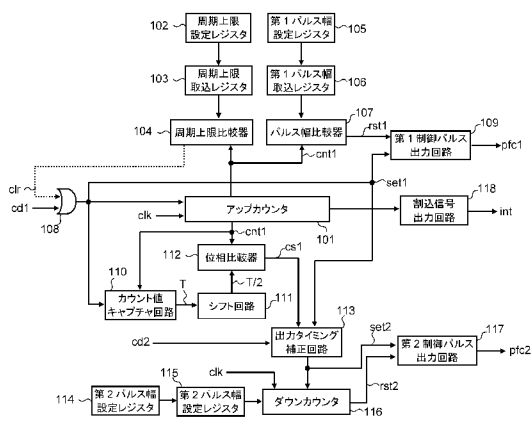
- (51) 国際特許分類:
H02M 7/12 (2006.01) *H02M 3/155* (2006.01)
G06F 1/26 (2006.01) *H02M 3/28* (2006.01)
- (21) 国際出願番号: PCT/JP2012/002341
- (22) 国際出願日: 2012 年 4 月 4 日(04.04.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-098789 2011 年 4 月 26 日(26.04.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社(Renesas Electronics Corporation) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 高田 泰寛 (TAKATA, Yasuhiro) [JP/JP]; 〒2210056 神奈川県横浜市神奈川区金港町 3 番地 1 ルネサスマイクロシステム株式会社内 Kanagawa (JP).
- (74) 代理人: 家入 健(IEIRI, Takeshi); 〒2210835 神奈川県横浜市神奈川区鶴屋町三丁目 3 3 番 8 アサヒビルディング 10 階 響国際特許事務所 Kanagawa (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: PFC SIGNAL GENERATION CIRCUIT, PFC CONTROL SYSTEM USING SAME, AND PFC CONTROL METHOD

(54) 発明の名称: PFC 信号生成回路、それを用いた PFC 制御システム、及び PFC 制御方法

【図6】



(57) Abstract: A PFC signal generation circuit for generating a PFC signal for controlling a PFC circuit having a first inductor (L1) connected to a first switch (NM1), and a second inductor (L2) connected to a second switch (NM2). The invention is equipped with: a first control signal output circuit (109) for outputting a first PFC signal for turning a first switch (NM1) on, at the timing when zero current is detected in the first inductor (L1); and a timing adjustment circuit (113) for generating a control signal (set2) for turning the second switch (NM2) on after waiting until the target timing, when the timing when zero current is detected in the second inductor (L2) is earlier than the target timing, and turning the second switch (NM2) on at the target timing in the next cycle when the same is later than the allowable period following the target timing; and a second control signal output circuit (117) for generating a second PFC signal for turning the second switch on according to the control signal (set2).

(57) 要約:

[続葉有]

- 101 Up-counter
- 102 Cycle upper limit setting register
- 103 Cycle upper limit capture register
- 104 Cycle upper limit comparator
- 105 First pulse width setting register
- 106 First pulse width capture register
- 107 Pulse width comparator
- 109 First control pulse output circuit
- 110 Count value capture circuit
- 111 Shift circuit
- 112 Phase comparator
- 113 Output timing correction circuit
- 114, 115 Second pulse width setting register
- 116 Down-counter
- 117 Second control pulse output circuit
- 118 Interrupt signal output circuit

WO 2012/147280 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

第 1 のスイッチ NM1 に接続された第 1 のインダクタ L1 と、第 2 のスイッチ NM2 に接続された第 2 のインダクタ L2 と、を有する PFC 回路を制御する PFC 信号を生成する PFC 信号生成回路である。第 1 のインダクタ L1 のゼロ電流検出タイミングで、第 1 のスイッチ NM1 をオンする第 1 の PFC 信号を出力する第 1 の制御信号出力回路 109 と、第 2 のインダクタ L2 のゼロ電流検出タイミングが、目標タイミングより早い場合、当該目標タイミングまで待機して第 2 のスイッチ NM2 をオンにし、目標タイミングからの許容期間よりも遅い場合、次周期における目標タイミングで、第 2 のスイッチ NM2 をオンする制御信号 set2 を生成するタイミング調整回路 113 と、制御信号 set2 に応じて、第 2 のスイッチをオンする第 2 の PFC 信号を生成する第 2 の制御信号出力回路 117 と、を備える。

明 細 書

発明の名称：

P F C 信号生成回路、それを用いた P F C 制御システム、及び P F C 制御方法

技術分野

[0001] 本発明は、P F C 信号生成回路、それを用いた P F C 制御システム、及び P F C 制御方法に関する。

背景技術

[0002] 近年、電子機器の小型化、低消費電力化等の要請から、周期的にオンオフを繰り返すスイッチング回路を用いた電源いわゆるスイッチング電源が多用されている。スイッチング電源では、例えば入力パルス信号のデューティ比を調整する P W M (Pulse Width Modulation) 制御を用いることにより、電子機器の動作状態に応じて出力電圧を調整することができる。

[0003] 加えて、変換効率の向上によるさらなる低消費電力化が要求されるようになってきた。例えば、国際エネルギースタープログラム (Energy Star) では、75 W 以上の電子機器に対して力率改善 (P F C : Power Factor Correction) が必要となる。P F C 制御には、シングル方式とインターリーブ方式とがある。インターリーブ方式では、位相差 π (180°) の2つの P F C 制御パルス信号により相補的にスイッチング動作を行なう。これにより、位相差 π の2つのコイル電流が生成される。そのため、インターリーブ方式では、シングル方式に比べ2倍の電力が得られる。さらに、出力電流のリプルが小さいため、これを低減するためのコンデンサの容量を小さくすることができる。

[0004] 特許文献1には、臨界モードインターリーブ方式の P F C 制御を採用したスイッチング電源が開示されている。特許文献1には、1つのコイル電流におけるゼロ電流のみを検出し、自動的に位相差 π の P F C 制御パルス信号を生成する手法と、2つのコイル電流におけるゼロ電流をそれぞれ検出し、2

つのPFC制御パルス信号を生成する手法が開示されている。後者の場合、双方のコイル電流について臨界モードを補償することができるため、効率が向上する。

- [0005] なお、特許文献2には、プログラムの実行に伴って、計数される一定時間内にクリア信号が入力されることを検出してコンピュータにリセット信号を出力し異常を報知するウォッチドッグタイマが開示されている。このウォッチドッグタイマは、前記一定時間の終了時に対し設定時間前のみ前記クリア信号の入力を許可する信号制御手段を備えている。

先行技術文献

特許文献

- [0006] 特許文献1：国際公開第2008/032769号
特許文献2：特開平1-293449号公報

発明の概要

発明が解決しようとする課題

- [0007] 発明者は以下の課題を見出した。

特許文献1において、2つのコイル電流におけるゼロ電流をそれぞれ検出する場合、ノイズなどが原因で、おおよそ π となるべき2つのPFC制御パルス信号の位相差が小さくあるいは大きくなり過ぎるおそれがあった。そして、このような異常なPFC制御パルス信号により、電力ロスが増大し、力率が低下するおそれがあった。

課題を解決するための手段

- [0008] 本発明に係るPFC信号生成回路は、第1のスイッチに接続された第1のインダクタと、第2のスイッチに接続された第2のインダクタと、を有するPFC回路を制御するPFC信号を生成するPFC信号生成回路である。第1のインダクタのゼロ電流検出タイミングで、第1のスイッチをオンする第1のPFC信号を出力する第1の制御信号出力回路と、第2のインダクタのゼロ電流検出タイミングが、目標タイミングより早い場合、当該目標タイミ

ングまで待機して第2のスイッチをオンにし、目標タイミングからの許容期間よりも遅い場合、次周期における目標タイミングで、第2のスイッチをオンする制御信号を生成するタイミング調整回路と、制御信号に応じて、第2のスイッチをオンする第2のPFC信号を生成する第2の制御信号出力回路と、を備える。

[0009] 本発明に係るPFC制御システムは、交流電源に接続されたPFC回路と、PFC回路を制御するPFC信号を生成するPFC信号生成回路と、を備えたPFC制御システムである。PFC回路は、第1のスイッチに接続された第1のインダクタと、第2のスイッチに接続された第2のインダクタと、を備える。PFC信号生成回路は、第1のインダクタのゼロ電流検出タイミングで、第1のスイッチをオンする第1のPFC信号を出力する第1の制御信号出力回路と、第2のインダクタのゼロ電流検出タイミングが、目標タイミングより早い場合、当該目標タイミングまで待機して第2のスイッチをオンにし、目標タイミングからの許容期間よりも遅い場合、次周期における目標タイミングで、第2のスイッチをオンする制御信号を生成するタイミング調整回路と、制御信号に応じて、第2のスイッチをオンする第2のPFC信号を生成する第2の制御信号出力回路と、を備える。

[0010] 本発明に係るPFC制御方法は、第1のスイッチに接続された第1のインダクタと、第2のスイッチに接続された第2のインダクタと、を有するPFC回路を制御するPFC制御方法である。第1のインダクタのゼロ電流検出タイミングで、第1のスイッチをオンにし、第2のインダクタのゼロ電流検出タイミングが、目標タイミングより早い場合、当該目標タイミングまで待機して第2のスイッチをオンにし、目標タイミングからの許容期間よりも遅い場合、次周期における目標タイミングで、第2のスイッチをオンにする。

[0011] 本発明では、第2のインダクタのゼロ電流が検出される第2のタイミングが、目標タイミングより早い場合、当該目標タイミングで、目標タイミングから許容期間内である場合、第2のタイミングで、許容期間よりも遅い場合、次周期における目標タイミングで、第2のスイッチをオンにする。そのた

め、PFC回路による力率改善をより向上させることができる。

発明の効果

[0012] 本発明によれば、PFC回路による力率改善をより向上させるPFC制御パルス信号を生成することができる。

図面の簡単な説明

[0013] [図1]本実施の形態に係るPWM信号生成ユニットが適用されるプロセッサシステムMCUの概略図である。

[図2A]LEDを駆動する電源回路の回路図である。

[図2B]LEDを駆動する電源回路の回路図である。

[図3A]DC/DCユニットの他の構成例を示す回路図である。

[図3B]DC/DCユニットの他の構成例を示す回路図である。

[図4]PFCユニットの他の構成例を示す回路図である。

[図5A]LEDを駆動する電源回路の他の構成例を示す回路図である。

[図5B]LEDを駆動する電源回路の他の構成例を示す回路図である。

[図6]実施の形態1に係るPFC信号生成ユニットPSGのブロック図である。

[図7]PFC制御パルス信号pfc1の生成方法を説明するためのタイミングチャートである。

[図8]PFC制御パルス信号pfc2の生成方法を説明するためのタイミングチャートである。

[図9]出力タイミング補正回路113の処理フローを示すフローチャートである。

[図10]PFC制御パルス信号pfc2の生成方法を説明するためのタイミングチャートである。

[図11]PFC制御パルス信号pfc2の生成方法を説明するためのタイミングチャートである。

[図12]PFC制御パルス信号pfc2の生成方法を説明するためのタイミングチャートである。

[図13]出力タイミング補正回路 1 1 3 の具体的な回路構成の一例を示す回路図である。

[図14]出力タイミング補正回路 1 1 3 の動作を説明するためのタイミングチャートである。

[図15]P F C制御パルス信号 p f c 2 の生成方法を説明するためのタイミングチャートである。

[図16]P F C制御パルス信号 p f c 2 の生成方法を説明するためのタイミングチャートである。

[図17]P F C制御パルス信号 p f c 2 の生成方法を説明するためのタイミングチャートである。

[図18]実施の形態 2 に係る P F C 信号生成ユニット P S G のブロック図である。

[図19]カウンタクリア制御回路 2 0 2 の具体的な回路構成の一例を示す回路図である。

[図20]カウンタクリア制御回路 2 0 2 の動作を説明するためのタイミングチャートである。

発明を実施するための形態

[0014] 以下、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。ただし、本発明が以下の実施の形態に限定される訳ではない。また、説明を明確にするため、以下の記載及び図面は、適宜、簡略化されている。

[0015] (実施の形態 1)

まず、本実施の形態に係る P F C 信号生成ユニットが適用されるプロセッサシステムの概要について説明する。なお、本実施の形態に係る P F C 信号生成ユニットは、以下で説明するプロセッサシステムに適用されるものではあるが、説明するプロセッサシステムは一例であり、他のプロセッサシステムに本発明を適用することも可能である。

[0016] 図 1 は、本実施の形態に係る PWM 信号生成ユニットが適用されるプロセ

ッサシステムMCUの概略図である。図1に示すように、このプロセッサシステムMCUは、メモリMEM、演算コアPE、クロック生成ユニットCG、PWM信号生成ユニットPWM、PFC信号生成ユニットPSG、モニタユニットMON、IOユニットIOU、周辺回路PERIを有する。

[0017] 図1には、プロセッサシステムMCUにより制御される制御対象回路PWRも示した。この制御対象回路PWRは、例えば、電源回路である。この電源回路は、PFC信号生成ユニットPSGにより生成されるPFC制御パルス信号pfcに基づき、交流電源電圧から直流電源電圧を高効率に生成する(AC/DC変換)。さらに、PWM信号生成ユニットPWMにより生成されるPWM制御パルス信号pwmに基づき、その直流電源電圧を昇圧もしくは降圧した直流電源電圧を生成し(DC/DC変換)、他の回路に供給する。

[0018] メモリMEMは、プロセッサシステムMCUにより用いられるプログラム及びプロセッサシステムMCUを動作させるために用いられる設定値等が格納される。

演算コアPEは、メモリMEMに格納されたプログラム又は外部から読み込んだプログラムに基づくプロセッサシステムMCUに求められる具体的な処理を行う。一般的には、CPU(Central Processing Unit)である。

クロック生成ユニットCGは、プロセッサシステムMCU内の各回路ブロックで利用されるクロック信号を生成する。また、クロック生成ユニットCGで生成されたクロック信号は、外部に出力されてもよい。

なお、プロセッサシステムMCU内で利用されるクロック信号は、外部の回路から供給することも可能である。

[0019] PWM信号生成ユニットPWMは、制御対象回路PWRをPWM制御するためのパルス信号であるPWM制御パルス信号pwmを生成する。このPWM信号生成ユニットPWMは、例えば、プロセッサシステムMCUのタイマ機能を利用することにより実現することができる。

[0020] PFC信号生成ユニットPSGは、制御対象回路PWRをPFC制御する

ためのパルス信号であるPFC制御パルス信号pfcを生成する。このPFC信号生成ユニットPSGは、PWM信号生成ユニットPWMと同様に、例えば、プロセッサシステムMCUのタイマ機能を利用することにより実現することができる。

[0021] モニタユニットMONは、PWM制御パルス信号pwmやPFC制御パルス信号pfcを生成するための制御対象回路PWRからのフィードバック信号monをモニタする。そして、モニタユニットMONは、アナログ信号であるフィードバック信号monをデジタル信号に変換し、例えば演算コアPEに伝達する。図1の例では、外部に設けられた制御対象回路PWRから出力されるフィードバック信号monをモニタし、当該フィードバック信号monに応じたデジタル値をプロセッサシステムMCUに取り込む。このモニタユニットMONは、アナログデジタル変換器(ADC: Analog to Digital Converter)、コンパレータ回路等のアナログ値をデジタル値に変換可能な回路により構成することができる。

[0022] IOユニットIOUは、外部に設けられた回路との間で通信を行い、プロセッサシステムMCUに対する制御信号等の受信、あるいは、プロセッサシステムMCUの処理結果の送信等を行う。IOユニットIOUの具体的な例としては、SPIユニット、UARTユニット等が考えられる。なお、SPIユニットは、3線又は4線のシリアル通信であるSPI(System Packet Interface)規格の通信を行う。また、UART(Universal Asynchronous Receiver Transmitter)ユニットは、調歩同期方式によるシリアル信号をパラレル信号に変換し、また、その逆方向の変換を行う。

[0023] 周辺回路PERIは、上述した回路ブロック以外の回路であって、演算コアPEにより利用される回路ブロックを含む。周辺回路PERIとしては、例えば、タイマユニット、ウォッチドッグタイマユニット、DMA(Direct Memory Access)ユニット、低電圧検出ユニット、パワーオンリセット(POR)ユニット等が考えられる。

[0024] なお、本発明が適用されるプロセッサシステムMCUでは、演算コアPE

、メモリMEM、PWM信号生成ユニットPWM、PFC信号生成ユニットPSG、モニタユニットMON、IOユニットIOU、周辺回路PERIがバスにより相互により接続される構成となっている。また、図示してはいないが、プロセッサシステムMCUには、他の回路から電源が供給される。

[0025] ここまでに説明したプロセッサシステムMCUは、本発明が適用されるプロセッサシステムの一例を示したものであり、例えば、メモリMEMに格納するプログラム及びデータはシステムの仕様により適宜変更可能である。また、回路ブロック間の接続は、例えば、複数のバスを介して接続される構成であっても良く、バスを介さずに演算コアPEと、他の回路ブロックと、が直接接続される構成であってもよい。

[0026] プロセッサシステムMCUは、PWM制御パルス信号pwm及びPFC制御パルス信号pfcを生成し、制御対象回路PWRに与える。そして、プロセッサシステムMCUは、このPWM制御パルス信号pwm及びPFC制御パルス信号pfcのデューティやPWM制御パルス信号pwmの生成タイミング等を制御対象回路PWRからのフィードバック信号monや他の回路から入力される制御信号等により制御する。

[0027] そこで、プロセッサシステムMCUが生成するPWM制御パルス信号pwm及びPFC制御パルス信号pfcの利用形態を明確にするために、制御対象回路PWRの一例である電源回路について説明する。以下で説明する電源回路は、負荷回路としてLED (Light Emitting Diode) を駆動するが、負荷回路は、LEDに限らず、一般的な回路であってもよい。

[0028] 図2A、2BにLEDを駆動する電源回路の例を示す。なお、図2A、2Bでは、電源回路にPWRの符号を付す。また、図2A、2Bで示す電源回路PWRでは、スイッチング動作を行う出力トランジスタにNMOSトランジスタを用いるが、この出力トランジスタは、PMOSトランジスタで構成することもでき、また、PNPトランジスタあるいはNPNトランジスタで構成することもできる。

[0029] 図2A、2Bに示す電源回路PWRは、いずれも交流電源AP、全波整流

回路FWR、PFCユニット、DC／DCユニットを備えている。図2A、2Bにおいて、交流電源AP、全波整流回路FWR、及びPFCユニットは共通である。

[0030] まず、全波整流回路FWRは、交流電源APから直流電圧V1を生成する。全波整流回路FWRは、4つのダイオードを備えたブリッジ回路である。全波整流回路FWRにおいて、交流電源APがアノードに接続された2つのダイオードのそれぞれのカソードには、全波整流回路FWRの出力に共通接続されている。一方、交流電源APがカソードに接続された2つのダイオードのそれぞれのアノードは、共通に接地されている。

[0031] 次に、PFCユニットについて説明する。図2AのPFCユニットは、非絶縁型昇圧コンバータである。このPFCユニットは、インダクタL1、L2、Lm1、Lm2、ダイオードD1、D2、NMOSトランジスタNM1、NM2、平滑コンデンサC1、抵抗R1、R2を備えている。PFCユニットは、インターリーブ方式のPFC回路であり、位相差がおよそ π (180°) の2つのPFC制御パルス信号pfc1、pfc2により、NMOSトランジスタNM1、NM2を相補的にスイッチング動作させる。PFCユニットは、直流電圧V1から直流電圧V2を生成する。

[0032] インダクタL1、L2のそれぞれの一端は、全波整流回路FWRの出力に共通に接続され、電圧V1が与えられている。インダクタL1の他端には、ダイオードD1のアノードが接続されている。インダクタL2の他端には、ダイオードD2のアノードが接続されている。ダイオードD1、D2のそれぞれのカソードには、平滑コンデンサC1の一端が共通接続されている。つまり、直列接続されたインダクタL1及びダイオードD1と、直列接続されたインダクタL2及びダイオードD2とが、並列接続されている。平滑コンデンサC1の他端は、接地されている。

[0033] 直列接続されたインダクタL1及びダイオードD1の間のノードには、NMOSトランジスタNM1のドレインが接続されている。NMOSトランジスタNM1のソースは接地されている。そして、NMOSトランジスタNM

1のゲートにはPFC制御パルス信号 $pfc1$ が入力される。NMOSトランジスタNM1は、PFC制御パルス信号 $pfc1$ の電圧レベルに応じてスイッチング動作を行う。NMOSトランジスタNM1がオンの期間にインダクタL1にエネルギーが蓄積され、NMOSトランジスタNM1がオフの期間にインダクタL1に蓄積されたエネルギーにより、ダイオードD1を介して平滑コンデンサC1が充電される。

[0034] 直列接続されたインダクタL2及びダイオードD2の間のノードには、NMOSトランジスタNM2のドレインが接続されている。NMOSトランジスタNM2のソースは接地されている。そして、NMOSトランジスタNM2のゲートにはPFC制御パルス信号 $pfc2$ が入力される。NMOSトランジスタNM2は、PFC制御パルス信号 $pfc2$ の電圧レベルに応じてスイッチング動作を行う。NMOSトランジスタNM2がオンの期間にインダクタL2にエネルギーが蓄積され、NMOSトランジスタNM2がオフの期間にインダクタL2に蓄積されたエネルギーにより、ダイオードD2を介して平滑コンデンサC1が充電される。平滑コンデンサC1に充電された電荷に応じた出力電圧V2が出力される。

[0035] ここで、インダクタL1を流れる電流I1に応じたフィードバック信号 $mon1$ が、インダクタL1と鉄心を介して電磁結合されたモニタ用インダクタLm1により生成される。そして、このフィードバック信号 $mon1$ が、モニタユニットMONにフィードバックされる。同様に、インダクタL2を流れる電流I2に応じたフィードバック信号 $mon2$ が、インダクタL2と鉄心を介して電磁結合されたモニタ用インダクタLm2により生成される。そして、このフィードバック信号 $mon2$ が、モニタユニットMONにフィードバックされる。このような構成により、電流I1、I2のゼロ電流が検出される。

[0036] また、平滑コンデンサC1と並列して、抵抗R1、R2が直列接続されている。つまり、抵抗R1、R2の両端には、PFCユニットの出力電圧V2が与えられる。そして、抵抗R1と抵抗R2の間のノードから、フィードバ

ック信号 $m o n 3$ が出力される。フィードバック信号 $m o n 3$ は、出力電圧 $V 2$ を抵抗 $R 1$ 、 $R 2$ の抵抗比に分圧したモニタ電圧である。このフィードバック信号 $m o n 3$ は、プロセッサシステム $M C U$ のモニタユニット $M O N$ にフィードバックされる。これにより、 $P F C$ 制御パルス信号 $p f c 1$ 、 $p f c 2$ のデューティ比やパルス幅が決定される。このように、図 2 A、2 B の $P F C$ ユニットは、定電圧制御回路である。

[0037] 次に、図 2 A、2 B における $D C / D C$ ユニットについて順に説明する。まず、図 2 A の $D C / D C$ ユニットについて説明する。図 2 A の $D C / D C$ ユニットは、降圧型の $D C / D C$ コンバータである。この $D C / D C$ ユニットは、 $N M O S$ トランジスタ $N M 3$ 、インダクタ $L 3$ 、ダイオード $D 3$ 、平滑コンデンサ $C 2$ 、抵抗 $R m$ を有する。

[0038] $N M O S$ トランジスタ $N M 3$ のドレインは、 $P F C$ ユニットの出力に接続され、ソースはダイオード $D 3$ のカソードに接続されている。また、 $N M O S$ トランジスタ $N M 3$ のゲートには、 $P W M$ 制御パルス信号 $p w m$ が与えられる。そのため、 $N M O S$ トランジスタ $N M 3$ は $P W M$ 制御パルス信号 $p w m$ の電圧レベルに応じてスイッチング動作を行う。ダイオード $D 3$ のアノードは、接地されている。 $N M O S$ トランジスタ $N M 3$ のソースとダイオード $D 3$ のカソードとの間のノードには、インダクタ $L 3$ の一端が接続されている。インダクタ $L 3$ の他端は、平滑コンデンサ $C 2$ の一端に接続される。平滑コンデンサ $C 2$ の他端は、接地されている。

[0039] そして、平滑コンデンサ $C 2$ とインダクタ $L 3$ との間のノードから平滑コンデンサ $C 2$ に蓄積された電荷に応じた出力電圧 $V o u t$ が出力される。また、平滑コンデンサ $C 2$ に蓄積された電荷は、出力電流 $I o u t$ として $L E D$ に供給される。また、 $L E D$ のカソードとグランドとの間には、抵抗 $R m$ が設けられている。この抵抗 $R m$ には、 $L E D$ に流れる出力電流 $I o u t$ が流れる。つまり、抵抗 $R m$ の両端には、出力電流 $I o u t$ と抵抗 $R m$ の抵抗値とに応じた電圧が生じる。この電圧は、出力電流 $I o u t$ をモニタするためのモニタ電圧である。このモニタ電圧が、フィードバック信号 $m o n 4$ と

して、モニタユニットMONにフィードバックされる。そして、プロセッサシステムMCUのPWM信号生成ユニットは、モニタ電圧の電圧レベルが一定になるようなデューティ比、あるいは、周期を有するPWM制御パルス信号pwmを生成する。このように、図2AのDC/DCユニットは、定電流制御回路である。

[0040] 次に、図2BのDC/DCユニットについて説明する。図2BのDC/DCユニットは、非絶縁型昇圧DC/DCコンバータである。このDC/DCユニットも、NMOSトランジスタNM3、インダクタL3、ダイオードD3、平滑コンデンサC2、抵抗Rmを有する。

[0041] インダクタL3の一端は、PFCユニットの出力に接続され、他端はNMOSトランジスタNM3のドレインに接続されている。NMOSトランジスタNM3のソースは接地されている。また、NMOSトランジスタNM3のゲートには、PWM制御パルス信号pwmが与えられる。そのため、NMOSトランジスタNM3はPWM制御パルス信号pwmの電圧レベルに応じてスイッチング動作を行う。NMOSトランジスタNM3のドレインとインダクタL3との間のノードには、ダイオードD3のアノードが接続されている。ダイオードD3のカソードは、平滑コンデンサC2の一端に接続される。平滑コンデンサC2の他端は、接地されている。

[0042] そして、平滑コンデンサC2とダイオードD3のカソードとの間のノードから平滑コンデンサC2に蓄積された電荷に応じた出力電圧Voutが出力される。また、平滑コンデンサC2に蓄積された電荷は、出力電流IoutとしてLEDに供給される。また、LEDのカソードとグランドとの間には、抵抗Rmが設けられている。この抵抗Rmには、LEDに流れる出力電流Ioutが流れる。つまり、抵抗Rmの両端には、出力電流Ioutと抵抗Rmの抵抗値とに応じた電圧が生じる。この電圧は、出力電流Ioutをモニタするためのモニタ電圧である。このモニタ電圧が、フィードバック信号mon4として、モニタユニットMONにフィードバックされる。そして、プロセッサシステムMCUのPWM信号生成ユニットは、モニタ電圧の電圧

レベルが一定になるようなデューティ比、あるいは、周期を有するPWM制御パルス信号 pwm を生成する。このように、図2BのDC/DCユニットも、定電流制御回路である。

[0043] 次に、図3A、3Bを参照して、DC/DCユニットの他の構成について説明する。図3AのDC/DCユニットは、図2AのDC/DCユニットと同様に、非絶縁型降圧DC/DCコンバータである。図2AのDC/DCユニットでは、フィードバック信号 $mon4$ を生成するための抵抗 R_m が、LEDと直列接続されている。これに対し、図3AのDC/DCユニットでは、フィードバック信号 $mon4$ を生成するための抵抗 R_{m1} 、 R_{m2} が、LEDと並列接続されている。

[0044] 従って、抵抗 R_{m1} 、 R_{m2} の両端には、電源回路PWRの出力電圧 V_{out} が与えられる。そして、抵抗 R_{m1} と抵抗 R_{m2} の間のノードから、フィードバック信号 $mon4$ が出力される。フィードバック信号 $mon4$ は、出力電圧 V_{out} を抵抗 R_{m1} 、 R_{m2} の抵抗比に分圧したモニタ電圧である。このフィードバック信号 $mon4$ は、プロセッサシステムMCUのモニタユニットMONにフィードバックされる。そして、プロセッサシステムMCUのPWM信号生成ユニットは、モニタ電圧の電圧レベルが一定になるようなデューティ比、あるいは、周期を有するPWM制御パルス信号 pwm を生成する。このように、図3AのDC/DCユニットは、定電圧制御回路である。その他の構成は、図2AのDC/DCユニットと同様であるため、説明を省略する。

[0045] 図3BのDC/DCユニットは、図2BのDC/DCユニットと同様に、非絶縁型昇圧DC/DCコンバータである。図2BのDC/DCユニットでは、フィードバック信号 $mon4$ を生成するための抵抗 R_m が、LEDと直列接続されている。これに対し、図3BのDC/DCユニットでは、フィードバック信号 $mon4$ を生成するための抵抗 R_{m1} 、 R_{m2} が、LEDと並列接続されている。

[0046] 従って、抵抗 R_{m1} 、 R_{m2} の両端には、電源回路PWRの出力電圧 V_o

ut が与えられる。そして、抵抗 R_{m1} と抵抗 R_{m2} の間のノードから、フィードバック信号 $mon4$ が出力される。フィードバック信号 $mon4$ は、出力電圧 V_{out} を抵抗 R_{m1} 、 R_{m2} の抵抗比に分圧したモニタ電圧である。このフィードバック信号 $mon4$ は、プロセッサシステムMCUのモニタユニットMONにフィードバックされる。そして、プロセッサシステムMCUのPWM信号生成ユニットは、モニタ電圧の電圧レベルが一定になるようなデューティ比、あるいは、周期を有するPWM制御パルス信号 pwm を生成する。このように、図3BのDC/DCユニットは、定電圧制御回路である。その他の構成は、図2BのDC/DCユニットと同様であるため、説明を省略する。

[0047] 次に、図4を参照して、PFCユニットの他の構成について説明する。図2A、2BのPFCユニットが非絶縁型昇圧コンバータであったのに対し、図4のPFCユニットは、絶縁型フライバックコンバータである点が異なる。非絶縁型と絶縁型との違いはあるものの、動作原理は同様である。図4のPFCユニットは、インダクタ L_{11} 、 L_{12} 、 L_{21} 、 L_{22} 、 L_{m1} 、 L_{m2} 、ダイオード D_1 、 D_2 、NMOSトランジスタ $NM1$ 、 $NM2$ 、平滑コンデンサ C_1 を備えている。

[0048] インダクタ L_{11} 、 L_{21} のそれぞれの一端は、全波整流回路FWRの出力に共通に接続され、電圧 V_1 が与えられている。インダクタ L_{11} の他端には、NMOSトランジスタ $NM1$ のドレインが接続されている。インダクタ L_2 の他端には、NMOSトランジスタ $NM2$ のドレインが接続されている。NMOSトランジスタ $NM1$ 、 $NM2$ のソースは、いずれも接地されている。そして、NMOSトランジスタ $NM1$ のゲートにはPFC制御パルス信号 $pfc1$ が入力され、NMOSトランジスタ $NM2$ のゲートにはPFC制御パルス信号 $pfc2$ が入力される。

[0049] インダクタ L_{12} は、インダクタ L_{11} とコアを介して電磁結合されている。一端が接地されたインダクタ L_{12} の他端には、ダイオード D_1 のアノードが接続されている。インダクタ L_{22} は、インダクタ L_{21} とコアを介

して電磁結合されている。一端が接地されたインダクタ L_{22} の他端には、ダイオード D_2 のアノードが接続されている。ダイオード D_1 、 D_2 のそれぞれのカソードには、平滑コンデンサ C_1 の一端が共通接続されている。平滑コンデンサ C_1 の他端は、接地されている。

[0050] ここで、インダクタ L_{12} を流れる電流 I_1 に応じたフィードバック信号 mon_1 が、インダクタ L_{11} と鉄心を介して電磁結合されたモニタ用インダクタ L_{m1} により生成される。そして、このフィードバック信号 mon_1 が、モニタユニット MON にフィードバックされる。同様に、インダクタ L_2 を流れる電流 I_2 に応じたフィードバック信号 mon_2 が、インダクタ L_2 と鉄心を介して電磁結合されたモニタ用インダクタ L_{m2} により生成される。そして、このフィードバック信号 mon_2 が、モニタユニット MON にフィードバックされる。このような構成により、電流 I_1 、 I_2 のゼロ電流が検出される。

[0051] また、平滑コンデンサ C_1 と並列して、抵抗 R_1 、 R_2 が直列接続されている。つまり、抵抗 R_1 、 R_2 の両端には、 PFC ユニットの出力電圧 V_2 が与えられる。そして、抵抗 R_1 と抵抗 R_2 の間のノードから、フィードバック信号 mon_3 が出力される。フィードバック信号 mon_3 は、出力電圧 V_2 を抵抗 R_1 、 R_2 の抵抗比に分圧したモニタ電圧である。このフィードバック信号 mon_3 は、プロセッサシステム MCU のモニタユニット MON にフィードバックされる。これにより、 PFC 制御パルス信号 pf_c1 、 pf_c2 のデューティ比やパルス幅が決定される。このように、図4の PFC ユニットは、定電圧制御回路である。

[0052] 次に、図5A、5Bを参照して、電源回路 PWR の他の構成について説明する。図5Aの電源回路 PWR では、図2A、2Bの電源回路 PWR と同様に、 PFC ユニットが非絶縁型昇圧コンバータである。図2A、2Bの PFC ユニットでは、フィードバック信号 mon_3 を生成するための抵抗 R_1 、 R_2 が、平滑コンデンサ C_1 と並列接続されている。これに対し、図5Aの PFC ユニットでは、フィードバック信号 mon_3 を生成するための抵抗 R

が、LEDと直列接続されている。つまり、このPFCユニットは定電流制御回路である。この場合、図5Aに示すように、DC/DCユニットを省略して、PFCユニットに直接LEDを接続することができる。従って、回路を小型化することができる。

[0053] 図5Bの電源回路PWRでは、図4の電源回路PWRと同様に、PFCユニットが絶縁型フライバックコンバータである。図4のPFCユニットでは、フィードバック信号mon3を生成するための抵抗R1、R2が、平滑コンデンサC1と並列接続されている。これに対し、図5BのPFCユニットでは、フィードバック信号mon3を生成するための抵抗Rが、LEDと直列接続されている。つまり、このPFCユニットは定電流制御回路である。この場合、図5Bに示すように、DC/DCユニットを省略して、PFCユニットに直接LEDを接続することができる。従って、回路を小型化することができる。

[0054] 次に、図6を参照して本発明の第1の実施の形態に係るPFC信号生成ユニットPSGについて説明する。図6は、実施の形態1に係るPFC信号生成ユニットPSGのブロック図である。図6に示すように、PFC信号生成ユニットPSGは、アップカウンタ101、周期上限設定レジスタ102、周期上限取込レジスタ103、周期上限比較器104、第1パルス幅設定レジスタ105、第1パルス幅取込レジスタ106、パルス幅比較器107、ORゲート108、第1制御パルス出力回路109、カウント値キャプチャ回路110、シフト回路111、位相比較器112、出力タイミング補正回路113、第2パルス幅設定レジスタ114、第2パルス幅取込レジスタ115、ダウンカウンタ116、第2制御パルス出力回路117、割込信号出力回路118を備えている。

[0055] アップカウンタ101は、入力されるクロック信号clkをカウントアップする。アップカウンタ101は、インダクタL1を流れる電流I1のゼロ電流検出信号cd1が入力されるタイミングでカウント値をクリアし、新たに0からカウントを開始する。ゼロ電流検出信号cd1は、図1のモニタユ

ニットMONにより生成される。

- [0056] 周期上限設定レジスタ102には、演算コアPEによりPFC制御パルス信号pfc1が取り得る周期の上限値が設定される。詳細には後述するように、PFC制御パルス信号pfc1の周期は、原則として電流I1のゼロ電流検出信号cd1が入力される間隔であり、必ずしも一定ではない。周期上限設定レジスタ102に設定される周期上限設定値は、システム立ち上げ時やトラブルなどにより電流I1のゼロ電流検出信号cd1が入力されない場合に用いられる補助的なものである。

周期上限取込レジスタ103は、所定のタイミングで、周期上限設定レジスタ102から周期上限設定値を取り込む。

- [0057] 周期上限比較器104は、デジタルコンパレータであって、詳細には一致回路である。周期上限比較器104は、アップカウンタ101のカウント値cnt1と、周期上限取込レジスタ103に取り込まれた周期上限設定値とが一致した場合、クリア信号clrを出力する。クリア信号clrが、アップカウンタ101に入力されると、アップカウンタ101のカウント値がクリアされる。つまり、アップカウンタ101のカウント値が設定された周期上限設定値に達するまでに電流I1のゼロ電流検出信号cd1が入力されなければ、強制的にアップカウンタ101のカウント値がクリアされる。上述の通り、クリア信号clrは例外的に出力されるため、図6では点線で示されている。

- [0058] 第1パルス幅設定レジスタ105には、演算コアPEによりPFC制御パルス信号pfc1のパルス幅の値が設定される。パルス幅設定値は、PFCユニットからフィードバックされるフィードバック信号mon3に基づいて決定されるデューティ比と、PFC制御パルス信号pfc1の周期とに基づいて演算される。ここで、周期とは、電流I1のゼロ電流検出信号cd1が発生する間隔である。パルス幅設定値は、PFC制御により随時更新される。例えばアップカウンタ101のカウント値がクリアされたタイミングで、更新される。

- [0059] 第1パルス幅取込レジスタ106は、所定のタイミングで、第1パルス幅設定レジスタ105からパルス幅設定値を取り込む。例えば、アップカウンタ101のカウント値がクリアされたタイミングで、パルス幅設定値が取り込まれる。
- [0060] パルス幅比較器107は、デジタルコンパレータであって、詳細には一致回路である。パルス幅比較器107は、アップカウンタ101のカウント値 $cnt1$ と、第1パルス幅取込レジスタ106に取り込まれたパルス幅設定値とが一致した場合、リセット信号 $rst1$ を出力する。
- [0061] ORゲート108には、電流I1のゼロ電流検出信号 $cd1$ と、周期上限比較器104から出力されたクリア信号 clr とが入力される。ORゲート108はセット信号 $set1$ を出力する。セット信号 $set1$ は、つまりアップカウンタ101のカウント値をクリアするためのクリア信号である。
- [0062] 第1制御パルス出力回路109は、セット信号 $set1$ とリセット信号 $rst1$ とに基づいて、PFC制御パルス信号 $pf c1$ を生成し、出力する。詳細には後述する通り、PFC制御パルス信号 $pf c1$ は、セット信号 $set1$ が入力されたタイミングにおいて、インアクティブレベルからアクティブレベルへセットされる。一方、リセット信号 $rst1$ が入力されるタイミングにおいて、アクティブレベルからインアクティブレベルへリセットされる。つまり、セット信号 $set1$ が入力されたタイミングからリセット信号 $rst1$ が入力されるタイミングまでの間、PFC制御パルス信号 $pf c1$ がアクティブレベルとなる。
- [0063] 例えば、図2A、2Bなどに示すように、PFC制御パルス信号 $pf c1$ がNMOSトランジスタに入力される場合、このアクティブレベルの期間、PFC制御パルス信号 $pf c1$ がH (High) になる。一方、PFC制御パルス信号 $pf c1$ がPMOSトランジスタに入力される場合（不図示）、このアクティブレベルの期間、PFC制御パルス信号 $pf c1$ がL (Low) になる。
- [0064] カウント値キャプチャ回路110は、電流I1のゼロ電流検出信号 $cd1$

が入力されたタイミングで、アップカウンタ 101 のカウント値 $cnt1$ を取り込む。つまり、クリアされる時点でのアップカウンタ 101 のカウント値 $cnt1$ つまり「前周期」の周期値 T （以下、 T は「前周期」の最大カウント値である）を取り込む。

[0065] シフト回路 111 は、カウント値キャプチャ回路 110 が取り込んだ周期値 T を 1 ビットシフトさせ、目標位相差である $1/2$ 周期値 $T/2$ を生成する。

位相比較器 112 は、デジタルコンパレータであって、詳細には一致回路である。位相比較器 112 は、アップカウンタ 101 のカウント値 $cnt1$ と、シフト回路 111 が生成した $1/2$ 周期値 $T/2$ とが一致した場合、一致信号 $cs1$ を出力する。

[0066] 出力タイミング補正回路 113 は、セット信号 $set1$ と、位相比較器 112 が出力する一致信号 $cs1$ とに基づいて、電流 $I2$ のゼロ電流検出信号 $cd2$ が入力されたタイミングを判断し、適切なタイミングでセット信号 $set2$ を出力する。出力タイミング補正回路 113 の構成及び動作の詳細については、後述する。

[0067] 第 2 パルス幅設定レジスタ 114 には、演算コア PE により PFC 制御パルス信号 $pfc2$ のパルス幅の値が設定される。このパルス幅設定値は、PFC 制御パルス信号 $pfc1$ の場合と同様に、PFC ユニットからフィードバックされるフィードバック信号 $mon3$ に基づいて決定されるデューティ比と、PFC 制御パルス信号 $pfc1$ の周期とに基づいて演算される。つまり、PFC 制御パルス信号 $pfc1$ 、 $pfc2$ のパルス幅設定値は、いずれも同じ信号から生成されるため、略同程度の値となる。しかし、同一の値である必要はない。このパルス幅設定値は、PFC 制御により、随時更新される。例えば、アップカウンタ 101 のカウント値がクリアされたタイミングで更新される。

[0068] 第 2 パルス幅取込レジスタ 115 は、所定のタイミングで、第 2 パルス幅設定レジスタ 114 からパルス幅設定値を取り込む。例えば、アップカウ

タ 1 0 1 のカウント値がクリアされたタイミングで、パルス幅設定値が取り込まれる。

[0069] ダウンカウンタ 1 1 6 は、セット信号 *s e t 2* が入力されたタイミングにおいて、第 2 パルス幅取込レジスタ 1 1 5 に取り込まれたパルス幅設定値からカウントダウンを開始する。ダウンカウンタ 1 1 6 は、クロック信号 *c l k* に応じてカウントダウンし、カウント値が 1 に達した時点で停止するとともに、リセット信号 *r s t 2* を出力する。なお、ここで、カウント値が 0 でなく 1 に達した時点でリセット信号 *r s t 2* が出力されることにより、希望のパルス幅が得られる。

[0070] 第 2 制御パルス出力回路 1 1 7 は、セット信号 *s e t 2* とリセット信号 *r s t 2* とに基づいて、P F C 制御パルス信号 *p f c 2* を生成し、出力する。詳細には後述する通り、P F C 制御パルス信号 *p f c 2* は、セット信号 *s e t 2* が入力されたタイミングにおいて、インアクティブレベルからアクティブレベルへセットされる。一方、リセット信号 *r s t 2* が入力されるタイミングにおいて、アクティブレベルからインアクティブレベルへリセットされる。つまり、セット信号 *s e t 2* が入力されたタイミングからリセット信号 *r s t 2* が入力されるタイミングまでの間、P F C 制御パルス信号 *p f c 2* がアクティブレベルとなる。

[0071] 割込信号出力回路 1 1 8 は、アップカウンタ 1 0 1 のカウント値 *c n t 1* がクリアされる毎に割込信号 *i n t* を生成し、出力する。例えば、演算コア P E は、この割込信号 *i n t* を受信する毎に、第 1 パルス幅設定レジスタ 1 0 5 及び第 2 パルス幅設定レジスタ 1 1 4 のパルス幅設定値を更新する。

[0072] 次に、図 7 を参照して、P F C 制御パルス信号 *p f c 1* の生成方法について説明する。図 7 は、P F C 制御パルス信号 *p f c 1* の生成方法を説明するためのタイミングチャートである。図 7 の上から順に、セット信号 *s e t 1*、リセット信号 *r s t 1*、アップカウンタ 1 0 1 のカウント値 *c n t 1*、P F C 制御パルス信号 *p f c 1* が示されている。

[0073] 上述の通り、セット信号 *s e t 1* は、原則として電流 *I 1* のゼロ電流検出

信号 $cd1$ である。つまり、図 7 に示すように、電流 $I1$ のゼロ電流検出信号 $cd1$ が発生するタイミングにおいて、アップカウンタ 101 のカウント値 $cnt1$ がクリアされるとともに、PFC 制御パルス信号 $pf c1$ がインアクティブレベルからアクティブレベルへ切り換わる。

[0074] 図 7 に示すように、16 ビットのアップカウンタ 101 の場合、0000H から FFFFH までカウント可能である。従って、PFC 制御パルス信号 $pf c1$ のパルス幅設定値及び周期上限設定値は、0000H から FFFFH までの間の値となる。当然のことながら、パルス幅設定値 $\leq$ 周期上限設定値 + 1 の関係にある。上述の通り、アップカウンタ 101 のカウント値 $cnt1$ と、第 1 パルス幅取込レジスタ 106 に取り込まれたパルス幅設定値とが一致した場合、パルス幅比較器 107 からリセット信号 $rst1$ が出力される。このタイミングにおいて、PFC 制御パルス信号 $pf c1$ がアクティブレベルからインアクティブレベルへ切り換わる。従って、図 7 に示すような PFC 制御パルス信号 $pf c1$ が生成される。

[0075] 次に、図 8 を参照して、PFC 制御パルス信号 $pf c2$ の生成方法について説明する。図 8 は、PFC 制御パルス信号 $pf c2$ の生成方法を説明するためのタイミングチャートである。図 8 の上から順に、セット信号 $set1$ 、セット信号 $set2$ 、アップカウンタ 101 のカウント値 $cnt1$ 、カウント値キャプチャ回路 110 が取得する周期値 T 、シフト回路 111 が出力する $1/2$ 周期値 $T/2$ 、PFC 制御パルス信号 $pf c2$ のパルス幅設定値、ダウンカウンタ 116 のカウント値 $cnt2$ 、リセット信号 $rst2$ 、PFC 制御パルス信号 $pf c1$ 、PFC 制御パルス信号 $pf c2$ が示されている。なお、以下では、PFC 制御パルス信号 $pf c1$ の生成方法については、説明を省略する。

[0076] 図 8 では、いずれの周期においても、セット信号 $set2$ （電流 $I2$ のゼロ電流検出信号 $cd2$ ）が、セット信号 $set1$ （電流 $I1$ のゼロ電流検出信号 $cd1$ ）の発生タイミングから $1/2$ 周期値 $T/2$ ずれたタイミングで発生している。これは、理想状態を示している。図 8 に示すように、16 ビ

ットのアップカウンタ101の場合、0000HからFFFFHまでカウント可能である。従って、PFC制御パルス信号pfc1のパルス幅設定値及び周期上限設定値は、0000HからFFFFHまでの間の値となる。当然のことながら、パルス幅設定値 $\leq$ 周期上限設定値+1の関係にある。

[0077] 図8を用いて、時系列に説明する。最上段に示すように、時刻 t_1 において、電流 I_1 のゼロ電流検出信号cd1すなわちセット信号set1が発生する。これにより、アップカウンタ101のカウント値cnt1はクリアされる。その際、カウント値キャプチャ回路110は、クリアされる時点でのアップカウンタ101のカウント値cnt1=aを、前周期の周期値Tとして取得する。すなわち、周期値 $T=a$ となる。そして、シフト回路111はこの値を1ビットシフトさせる。つまり、取得した周期値 $T=a$ を $1/2$ 倍し、位相差 π に相当する $1/2$ 周期値 $T/2=a/2$ を得る。

[0078] 次に、時刻 t_1 から $1/2$ 周期値 $T/2=a/2$ 経過した時刻 t_2 において、電流 I_2 のゼロ電流検出信号cd2が発生する。上述の通り、これは理想状態である。この場合、電流 I_2 のゼロ電流検出信号cd2と同時にセット信号set2が発生する。そのため、このタイミングにおいて、PFC制御パルス信号pfc2がインアクティブレベルからアクティブレベルへ切り換わる。同時に、ダウンカウンタ116が、第2パルス幅設定レジスタ115に設定されたPFC制御パルス信号pfc2のパルス幅設定値=dからカウントダウンを開始する。

[0079] 次に、ダウンカウンタ116のカウント値cnt2=1(0001H)となる時刻 t_3 において、リセット信号rst2が発生する。これにより、PFC制御パルス信号pfc2がアクティブレベルからインアクティブレベルへ切り換わる。

[0080] 次に、時刻 t_4 において、再度電流 I_1 のゼロ電流検出信号cd1すなわちセット信号set1が発生する。これにより、アップカウンタ101のカウント値cnt1はクリアされる。これにより、時刻 t_1 から始まった周期は終了する。このように、隣接する電流 I_1 のゼロ電流検出信号cd1の間

隔が、周期となる。この周期値は b である。

[0081] 時刻 t_1 と同様に、時刻 t_4 では、カウント値キャプチャ回路 110 は、クリアされる時点でのアップカウンタ 101 のカウント値 $cnt_1 = b$ を、前周期の周期値 T として取得する。すなわち、周期値 $T = b$ となる。そして、シフト回路はこの値を 1 ビットシフトさせる。つまり、取得した周期値 $T = b$ を $1/2$ 倍し、位相差 π に相当する $1/2$ 周期値 $T/2 = b/2$ を得る。

[0082] 次に、時刻 t_4 から $1/2$ 周期値 $T/2 = b/2$ 経過した時刻 t_5 において、電流 I_2 のゼロ電流検出信号 cd_2 が発生する。上述の通り、これは理想状態である。この場合、電流 I_2 のゼロ電流検出信号 cd_2 と同時にセット信号 set_2 が発生する。そのため、このタイミングにおいて、PFC 制御パルス信号 pfc_2 がインアクティブレベルからアクティブレベルへ切り換わる。同時に、ダウンカウンタ 116 が、第 2 パルス幅設定レジスタ 115 に設定された PFC 制御パルス信号 pfc_2 のパルス幅設定値 $= d$ からカウントダウンを開始する。

[0083] 次に、ダウンカウンタ 116 のカウント値 $cnt_2 = 1$ (0001H) となる時刻 t_6 において、リセット信号 rst_2 が発生する。これにより、PFC 制御パルス信号 pfc_2 がアクティブレベルからインアクティブレベルへ切り換わる。

[0084] 次に、時刻 t_7 において、再度電流 I_1 のゼロ電流検出信号 cd_1 すなわちセット信号 set_1 が発生する。これにより、アップカウンタ 101 のカウント値 cnt_1 はクリアされる。これにより、時刻 t_4 から始まった周期は終了する。この周期値は c である。以上に説明したように、図 8 に示すような PFC 制御パルス信号 pfc_2 が生成される。

[0085] 図 8 を用いて理想状態について説明した。しかしながら、電流 I_2 のゼロ電流検出信号 cd_2 は、必ずしも電流 I_1 のゼロ電流検出信号 cd_1 の発生タイミングから $1/2$ 周期値 $T/2$ ずれたタイミングで発生するとは限らない。そこで、電流 I_2 のゼロ電流検出による高効率化と、PFC 制御パルス

信号 $pfc1$ 、 $pfc2$ の位相差を π とすることによる高効率化とをバランスさせるため、本実施の形態に係る PFC 信号生成ユニット PSG では、出力タイミング補正回路 113 が設けられている。この出力タイミング補正回路 113 は、電流 $I1$ のゼロ電流検出信号 $cd1$ の発生タイミングに対する電流 $I2$ のゼロ電流検出信号 $cd2$ の発生タイミングに応じて、セット信号 $set2$ の出力タイミングを補正する。セット信号 $set2$ の出力により、PFC 制御パルス信号 $pfc2$ がインアクティブレベルからアクティブレベルへ切り換わる。

[0086] ここで、図 9 を用いて、出力タイミング補正回路 113 の具体的な処理フローについて説明する。図 9 は、出力タイミング補正回路 113 の処理フローを示すフローチャートである。

まず、出力タイミング補正回路 113 は、各周期において、スタートから $1/2$ 周期値 $T/2$ (T は前周期の周期値) の時間が経過するまでに、電流 $I2$ のゼロ電流検出信号 $cd2$ が発生したか否かを判定する (ステップ ST1)。スタートから $1/2$ 周期値 $T/2$ までの間に、電流 $I2$ のゼロ電流検出信号 $cd2$ が発生した場合 (ステップ ST1 YES)、出力タイミング補正回路 113 は、 $1/2$ 周期値 $T/2$ まで待機して、セット信号 $set2$ を出力する (ステップ ST2)。ここで、目標位相差としては、 $T/2$ が最も好ましいのはいうまでもないが、 $3/8T \sim 5/8T$ であればよい。 $7/16T \sim 9/16T$ であれば、効率向上の観点から更に好ましい。

[0087] 次に、スタートから $1/2$ 周期値 $T/2$ の時間が経過するまでの間に、電流 $I2$ のゼロ電流検出信号 $cd2$ が発生しない場合 (ステップ ST1 NO)、 $1/2$ 周期値 $T/2$ から所定の許容期間内に電流 $I2$ のゼロ電流検出信号 $cd2$ が発生したか否かを判定する (ステップ ST3)。許容期間内に、電流 $I2$ のゼロ電流検出信号 $cd2$ が発生した場合 (ステップ ST3 YES)、出力タイミング補正回路 113 は、電流 $I2$ のゼロ電流検出信号 $cd2$ が発生したそのタイミングにおいて、セット信号 $set2$ を出力する (ステップ ST4)。これにより、PFC 制御パルス信号 $pfc2$ がインアクティブ

レベルからアクティブレベルへ切り換わる。許容期間の幅は、 $T/64 \sim T/8$ であることが好ましい。許容期間の幅が $T/64$ 未満であると、エラー発生 の頻度が多くなり、システム動作上好ましくない。一方、許容期間の幅が $T/8$ を超えると、PFC回路における力率改善に寄与しなくなる。

[0088] 次に、許容期間内にも、電流 I_2 のゼロ電流検出信号 cd_2 が発生しない場合（ステップST3NO）、出力タイミング補正回路113は、エラーが発生したと判定する（ステップST5）。そして、出力タイミング補正回路113は、当該周期ではセット信号 set_2 を出力せず、次周期のスタートから $1/2$ 周期値 $T/2$ の時間が経過するタイミングにおいて強制的にセット信号 set_2 を出力する（ステップST6）。以上のような処理を周期毎に繰り返し実行される。

[0089] 次に、図10～12のタイミングチャートを用いて、図9に示した各処理を説明する。図10～12は、図8と同様に、PFC制御パルス信号 pfc_2 の生成方法を説明するためのタイミングチャートである。図10～12では、いずれも図の上から順に、セット信号 set_1 、電流 I_2 のゼロ電流検出信号 cd_2 、セット信号 set_2 、アップカウンタ101のカウント値 cnt_1 、ダウンカウンタ116のカウント値 cnt_2 、リセット信号 rst_2 、PFC制御パルス信号 pfc_1 、PFC制御パルス信号 pfc_2 が示されている。また、図12では、最下段にエラーフラグ ef_1 が、併せて示されている。

[0090] まず、図10について説明する。時刻 t_1 からスタートする最初の周期は、理想状態である。その一方、それ以降の2つの周期では、スタートから $1/2$ 周期値 $T/2$ までの間に、電流 I_2 のゼロ電流検出信号 cd_2 が発生している。

[0091] 図10を用いて、時系列に説明する。時刻 $t_1 \sim t_4$ までは図8と同じ理想状態であるから説明を省略する。まず、時刻 t_4 において、2回目の電流 I_1 のゼロ電流検出信号 cd_1 すなわちセット信号 set_1 が発生すると、アップカウンタ101のカウント値 cnt_1 はクリアされる。ここで、時刻

t₄ からスタートする周期では、前周期の周期値 $T = b$ となる。

[0092] 次に、時刻 t₄ から $1/2$ 周期値 $T/2 = b/2$ 経過した時刻 t₅ までの間に、電流 I₂ のゼロ電流検出信号 c d 2 が発生している。この場合、上述の通り、出力タイミング補正回路 113 は、ゼロ電流検出信号 c d 2 の発生タイミングではセット信号 s e t 2 を出力せずに、時刻 t₅ まで待機してからセット信号 s e t 2 を出力する。このタイミングにおいて、PFC 制御パルス信号 p f c 2 がインアクティブレベルからアクティブレベルへ切り換わる。同時に、ダウンカウンタ 116 が、PFC 制御パルス信号 p f c 2 のパルス幅設定値からカウントダウンを開始する。

[0093] 次に、ダウンカウンタ 116 のカウント値 c n t 2 = 1 (0001H) となる時刻 t₆ において、リセット信号 r s t 2 が発生する。これにより、PFC 制御パルス信号 p f c 2 がアクティブレベルからインアクティブレベルへ切り換わる。

[0094] 次に、時刻 t₇ において、再度電流 I₁ のゼロ電流検出信号 c d 1 すなわちセット信号 s e t 1 が発生する。これにより、アップカウンタ 101 のカウント値 c n t 1 はクリアされる。これにより、時刻 t₄ から始まった周期は終了する。ここで、時刻 t₇ からスタートする周期では、前周期の周期値 $T = c$ となる。

[0095] 時刻 t₇ からスタートする周期においても、時刻 t₇ から $1/2$ 周期値 $T/2 = c/2$ 経過した時刻 t₈ までの間に、電流 I₂ のゼロ電流検出信号 c d 2 が発生している。そのため、上記と同様に、出力タイミング補正回路 113 は、ゼロ電流検出信号 c d 2 の発生タイミングではセット信号 s e t 2 を出力せずに、時刻 t₈ まで待機してからセット信号 s e t 2 を出力する。

[0096] 次に、図 11 について説明する。時刻 t₁ からスタートする最初の周期は、理想状態である。その一方、それ以降の 2 つの周期では、 $1/2$ 周期値 $T/2$ からの許容期間 T R の間に、電流 I₂ のゼロ電流検出信号 c d 2 が発生している。

[0097] 図 11 を用いて、時系列に説明する。時刻 t₁ ~ t₄ までは図 8 と同じ理

想状態であるから説明を省略する。まず、時刻 t_4 において、2 回目の電流 I_1 のゼロ電流検出信号 cd_1 すなわちセット信号 set_1 が発生すると、アップカウンタ 101 のカウント値 cnt_1 はクリアされる。ここで、時刻 t_4 からスタートする周期では、前周期の周期値 $T = b$ となる。

[0098] 次に、 $1/2$ 周期値 $T/2 = b/2$ からの許容期間 TR 内の時刻 t_5 において、電流 I_2 のゼロ電流検出信号 cd_2 が発生している。この場合、上述の通り、出力タイミング補正回路 113 は、ゼロ電流検出信号 cd_2 の発生タイミングである時刻 t_5 において、セット信号 set_2 を出力する。このタイミングにおいて、 PFC 制御パルス信号 pfc_2 がインアクティブレベルからアクティブレベルへ切り換わる。同時に、ダウンカウンタ 116 が、 PFC 制御パルス信号 pfc_2 のパルス幅設定値からカウントダウンを開始する。

[0099] 次に、ダウンカウンタ 116 のカウント値 $cnt_2 = 1$ ($0001H$) となる時刻 t_6 において、リセット信号 rst_2 が発生する。これにより、 PFC 制御パルス信号 pfc_2 がアクティブレベルからインアクティブレベルへ切り換わる。

[0100] 次に、時刻 t_7 において、再度電流 I_1 のゼロ電流検出信号 cd_1 すなわちセット信号 set_1 が発生する。これにより、アップカウンタ 101 のカウント値 cnt_1 はクリアされる。これにより、時刻 t_4 から始まった周期は終了する。ここで、時刻 t_7 からスタートする周期では、前周期の周期値 $T = c$ となる。

[0101] 時刻 t_7 からスタートする周期においても、 $1/2$ 周期値 $T/2 = c/2$ からの許容期間 TR 内の時刻 t_8 において、電流 I_2 のゼロ電流検出信号 cd_2 が発生している。そのため、上記と同様に、出力タイミング補正回路 113 は、ゼロ電流検出信号 cd_2 の発生タイミングである時刻 t_8 において、セット信号 set_2 を出力する。

[0102] 次に、図 12 について説明する。時刻 t_1 からスタートする最初の周期は、理想状態である。その一方、次周期では、時間 $T/2$ からの許容期間 TR

を超えてから、電流 I_2 のゼロ電流検出信号 cd_2 が発生している。

[0103] 図 12 を用いて、時系列に説明する。時刻 $t_1 \sim t_4$ までは図 8 と同じ理想状態であるから説明を省略する。まず、時刻 t_4 において、2 回目の電流 I_1 のゼロ電流検出信号 cd_1 すなわちセット信号 set_1 が発生すると、アップカウンタ 101 のカウント値 cnt_1 はクリアされる。ここで、時刻 t_4 からスタートする周期では、前周期の周期値 $T = b$ となる。

[0104] ここで、電流 I_2 のゼロ電流検出信号 cd_2 が、 $1/2$ 周期値 $T/2 = b/2$ からの許容期間 T_R を超えてから発生している。この場合、上述の通り、出力タイミング補正回路 113 は、当該周期ではセット信号 set_2 を出力せず、次周期のスタートからの $1/2$ 周期値 $T/2$ において強制的にセット信号 set_2 を出力することになる。また、許容期間 T_R を超えたタイミングにおいて、エラーフラグ ef_1 が L から H に切り換わる。

[0105] 次に、時刻 t_5 において、再度電流 I_1 のゼロ電流検出信号 cd_1 すなわちセット信号 set_1 が発生する。これにより、アップカウンタ 101 のカウント値 cnt_1 はクリアされる。これにより、時刻 t_4 から始まった周期は終了する。ここで、時刻 t_5 からスタートする周期では、前周期の周期値 $T = c$ となる。そして、上述の通り、時刻 t_5 からスタートする周期の $1/2$ 周期値 $T/2 = c/2$ (時刻 t_6) において、出力タイミング補正回路 113 が、強制的にセット信号 set_2 を出力する。

[0106] 次に、図 13 を参照して、出力タイミング補正回路 113 の具体的な回路構成について説明する。以下に示す回路構成はあくまでも一例である。図 13 は、出力タイミング補正回路 113 の具体的な回路構成の一例を示す回路図である。図 13 に示すように、出力タイミング補正回路 113 は、第 1 回路 1、第 2 回路 2、第 3 回路 3、D フリップフロップ DF 1、OR ゲート O 2 を備えている。そして、第 1 回路 1 は、保持回路 HC 1、HC 2、AND ゲート A 1、A 2 を備えている。第 2 回路 2 は、保持回路 HC 3、AND ゲート A 3、A 4、OR ゲート O 1、許容期間用ダウンカウンタ 11 を備えている。第 3 回路 3 は、保持回路 HC 4、AND ゲート A 5 を備えている。こ

ここで、各保持回路HC 1～HC 4は、Dフリップフロップから構成されている。前段のSRはDフリップフロップのデータ入力に対するセット入力及びリセット入力を示している。各Dフリップフロップのクロック入力にはクロック信号clkが入力される。

[0107] 第1回路1は、セット信号1が入力されてアップカウンタ101のカウント値cnt 1がクリアされてから、 $1/2$ 周期値 $T/2$ （Tは前周期の周期値）の間に電流I 2のゼロ電流検出信号cd 2が発生した場合、 $1/2$ 周期値 $T/2$ まで待機してセット信号set 2 aを出力する。

[0108] 以下に接続関係について説明する。保持回路HC 1のセット入力Sには、セット信号set 1が入力され、リセット入力Rには、位相比較器112から出力される一致信号cs 1が入力される。保持回路HC 1の出力信号は、周期のスタートから $1/2$ 周期値 $T/2$ までの期間信号hs 1である。この期間信号hs 1はANDゲートA 1の一方の入力に入力される。ANDゲートA 1の他方の入力には、電流I 2のゼロ電流検出信号cd 2が入力される。

[0109] ANDゲートA 1の出力信号は、保持回路HC 2のセット入力Sに入力される。保持回路HC 2のリセット入力Rには、一致信号cs 1が入力される。保持回路HC 1の出力信号は、 $1/2$ 周期値 $T/2$ までに電流I 2のゼロ電流検出信号cd 2が入力された場合、 $1/2$ 周期値 $T/2$ まで保持するための保持信号hs 2である。この保持信号hs 2はANDゲートA 2の一方の入力に入力される。ANDゲートA 2の他方の入力には、一致信号cs 1が入力される。ANDゲートA 2の出力信号は、第1回路1の出力信号であり、セット信号set 2の1つを構成するセット信号set 2 aである。

[0110] 第2回路2は、許容期間内に電流I 2のゼロ電流検出信号cd 2が発生した場合、そのタイミングでセット信号set 2 bを出力する。

[0111] 以下に接続関係について説明する。ANDゲートA 3には、期間信号hs 1、セット信号set 2 aの反転信号、一致信号cs 1の3つの信号が入力される。ANDゲートA 3の出力信号は、ダウンカウンタ11のカウントダ

ウンをスタートさせるためのカウントスタート信号 $s t a r t$ である。このカウントスタート信号 $s t a r t$ は、ダウンカウンタ 11 に入力されるとともに、保持回路 H C 3 のセット入力 S に入力される。

[0112] O R ゲート O 1 には、セット信号 $s e t 1$ 、電流 I 2 のゼロ電流検出信号 $c d 2$ 、ダウンカウンタ 11 から出力されるカウント終了信号 $f i n$ の 3 つの信号が入力される。O R ゲート O 1 の出力信号は、ダウンカウンタ 11 のカウントダウンをストップさせるためのカウントストップ信号 $s t o p$ である。このカウントストップ信号 $s t o p$ は、ダウンカウンタ 11 に入力されるとともに、保持回路 H C 3 のリセット入力 R に入力される。ダウンカウンタ 11 は、レジスタに格納された許容期間設定値をカウントダウンする。また、ダウンカウンタ 11 は、許容期間をカウントし終わると、カウント終了信号 $f i n$ を出力する。

[0113] 保持回路 H C 3 の出力信号は、許容期間に電流 I 2 のゼロ電流検出信号 $c d 2$ が入力されるか否かを判定するための判定期間信号 $h s 3$ である。この判定期間信号 $h s 3$ は、A N D ゲート A 4 の一方の入力に入力される。A N D ゲート A 4 の他方の入力には、電流 I 2 のゼロ電流検出信号 $c d 2$ が入力される。A N D ゲート A 4 の出力信号は、第 2 回路 2 の出力信号であり、セット信号 $s e t 2$ の 1 つを構成するセット信号 $s e t 2 b$ である。

[0114] 第 3 回路 3 は、許容期間内までに電流 I 2 のゼロ電流検出信号 $c d 2$ が発生しなかった場合、次周期のスタートから $1 / 2$ 周期値 $T / 2$ において強制的にセット信号 $s e t 2 c$ を出力する

[0115] 以下に接続関係について説明する。保持回路 H C 4 のセット入力 S には、ダウンカウンタ 11 から出力されるカウント終了信号 $f i n$ が入力され、リセット入力 R には、一致信号 $c s 1$ が入力される。保持回路 H C 1 の出力信号は、次周期の $1 / 2$ 周期値 $T / 2$ まで保持するための保持信号 $h s 4$ である。この保持信号 $h s 4$ は A N D ゲート A 5 の一方の入力に入力される。A N D ゲート A 5 の他方の入力には、一致信号 $c s 1$ が入力される。A N D ゲート A 5 の出力信号は、第 3 回路 3 の出力信号であり、セット信号 $s e t 2$

の1つを構成するセット信号 $set\ 2\ c$ である。

[0116] DフリップフロップDF1は、カウント終了信号 fin が発生した場合、これを取り込み、エラーフラグ $ef\ 1$ を出力する。ORゲートO2には、第1回路～第3回路の出力であるセット信号 $set\ 2\ a$ 、 $set\ 2\ b$ 、 $set\ 2\ c$ が入力され、セット信号 $set\ 2$ として出力する。

[0117] 次に、図14のタイミングチャートを用いて、図13に示した出力タイミング補正回路113の動作を説明する。図14は、出力タイミング補正回路113の動作を説明するためのタイミングチャートである。図14の上から順に、セット信号 $set\ 1$ 、アップカウンタ101のカウント値 $cnt\ 1$ 、一致信号 $cs\ 1$ 、期間信号 $hs\ 1$ 、電流I2のゼロ電流検出信号 $cd\ 2$ 、保持信号 $hs\ 2$ 、許容期間用ダウンカウンタ11のカウントスタート信号 $start$ 、許容期間用ダウンカウンタ11のカウント値 $cnt\ 3$ 、許容期間用ダウンカウンタ11のカウントストップ信号 $stop$ 、判定期間信号 $hs\ 3$ 、許容期間用ダウンカウンタ11のカウント終了信号 fin 、保持信号 $hs\ 4$ 、セット信号 $set\ 2$ が示されている。

[0118] 図14の第1周期では、スタートから $1/2$ 周期値 $T/2$ までの間に電流I2のゼロ電流検出信号 $cd\ 2$ が発生した場合を示している。ここで、スタートから $1/2$ 周期値 $T/2$ までの間であることを示す期間信号 $hs\ 1$ は、この間Hに保持される。ゼロ電流検出信号 $cd\ 2$ が入力されたタイミングにおいて、保持信号 $hs\ 2$ がLからHとなり保持される。そして、 $1/2$ 周期値 $T/2$ の経過を示す一致信号 $cs\ 1$ が入力されたタイミングにおいて、保持信号 $hs\ 2$ がHからLとなり、セット信号 $set\ 2\ a$ が出力される。なお、第1周期とは周期を区別するための便宜的な呼称であり、第1周期から動作がスタートすることを意味するものではない。

[0119] 図14の第2周期では、 $1/2$ 周期値 $T/2$ からの許容期間内に電流I2のゼロ電流検出信号 $cd\ 2$ が発生した場合を示している。 $1/2$ 周期値 $T/2$ の経過を示す一致信号 $cs\ 1$ が入力されたタイミングにおいて、許容期間用ダウンカウンタ11のカウントスタート信号 $start$ が発生し、許容期

間用ダウンカウンタ 11 がカウントダウンを開始する。そして、判定期間信号 $h s 3$ が L から H となる。電流 $I 2$ のゼロ電流検出信号 $c d 2$ が入力されたタイミングにおいて、許容期間用ダウンカウンタ 11 のカウントストップ信号 $s t o p$ が発生し、許容期間用ダウンカウンタ 11 がカウントダウンをストップする。そして、判定期間信号 $h s 3$ が H から L となる。同時に、セット信号 $s e t 2 b$ が出力される。

[0120] 図 14 の第 3、4 周期では、電流 $I 2$ のゼロ電流検出信号 $c d 2$ が発生していない。そのため、 $1/2$ 周期値 $T/2$ の経過を示す一致信号 $c s 1$ が入力されたタイミングにおいて、許容期間用ダウンカウンタ 11 のカウントスタート信号 $s t a r t$ が発生し、許容期間用ダウンカウンタ 11 がカウントダウンを開始する。そして、判定期間信号 $h s 3$ が L から H となる。電流 $I 2$ のゼロ電流検出信号 $c d 2$ が入力されないため、許容期間用ダウンカウンタ 11 は許容期間を最後までカウントダウンし、カウント終了信号 $f i n$ を出力する。同時に、許容期間用ダウンカウンタ 11 のカウントストップ信号 $s t o p$ が発生し、許容期間用ダウンカウンタ 11 がカウントダウンをストップする。そして、判定期間信号 $h s 3$ が H から L となる。同時に、保持信号 $h s 4$ が L から H となり保持される。そして、第 4 周期の $1/2$ 周期値 $T/2$ の経過を示す一致信号 $c s 1$ が入力されたタイミングにおいて、保持信号 $h s 2$ が H から L となり、セット信号 $s e t 2 c$ が出力される。

[0121] 次に、図 15、16 のタイミングチャートを用いて、出力タイミング補正回路 113 が備え得る付加的な機能について説明する。図 15、16 は、図 8 と同様に、PFC 制御パルス信号 $p f c 2$ の生成方法を説明するためのタイミングチャートである。図 15、16 では、いずれも図の上から順に、セット信号 $s e t 1$ 、電流 $I 2$ のゼロ電流検出信号 $c d 2$ 、セット信号 $s e t 2$ 、アップカウンタ 101 のカウント値 $c n t 1$ 、ダウンカウンタ 116 のカウント値 $c n t 2$ 、リセット信号 $r s t 2$ 、PFC 制御パルス信号 $p f c 1$ 、PFC 制御パルス信号 $p f c 2$ が示されている。

[0122] まず、図 15 について説明する。第 1 周期は、上述の理想状態であるため

説明を省略する。第2周期は、その周期 c が前周期の $1/2$ 周期値 $T/2 = b/2$ よりも短い特殊なケースである。このように、当該周期が前周期の $1/2$ 周期より短い場合、次周期の $1/2$ 周期値 $T/2 = c/2$ において、出力タイミング補正回路113が、強制的にセット信号 $set2$ を出力するようにしてもよい。

[0123] 次に、図16について説明する。第1周期は、上述の理想状態であるため説明を省略する。第2周期は、ダウンカウンタ116がカウントダウン中に（つまり、PFC制御パルス信号 $pf c2$ がアクティブレベルの状態において）、電流 $I2$ のゼロ電流検出信号 $cd2$ が発生する特殊なケースである。このような場合、電流 $I2$ のゼロ電流検出信号 $cd2$ を無視するようにしてもよい。

[0124] 次に、図17のタイミングチャートを用いて、ダウンカウンタ116が備え得る付加的な機能について説明する。図17は、図8と同様に、PFC制御パルス信号 $pf c2$ の生成方法を説明するためのタイミングチャートである。図17の上から順に、セット信号 $set1$ 、電流 $I2$ のゼロ電流検出信号 $cd2$ 、セット信号 $set2$ 、リセット信号 $rst2$ 、アップカウンタ101のカウント値 $cnt1$ 、ダウンカウンタ116のカウント値 $cnt2$ 、PFC制御パルス信号 $pf c1$ 、PFC制御パルス信号 $pf c2$ が示されている。

[0125] 図17に示す例は、第1周期において理想的なタイミングにおいてアクティブレベルに切り換わったPFC制御パルス信号 $pf c2$ が、第2周期を超えて第3周期に跨るような特殊ケースである。このように、ダウンカウンタ116がカウントダウン中に（つまり、PFC制御パルス信号 $pf c2$ がアクティブレベルの状態において）、電流 $I1$ のゼロ電流検出信号 $cd1$ が2回発生した場合、その2回目に強制的にリセット信号 $rst2$ を発生させ、PFC制御パルス信号 $pf c2$ をアクティブレベルからインアクティブレベルへ切り換えてもよい。

[0126] 以上説明したように、本実施の形態に係るPFC信号生成ユニットPSG

は、出力タイミング補正回路 113 を備えている。この出力タイミング補正回路 113 は、PFC 制御パルス信号 p f c 1 をアクティブレベルへセットするセット信号 s e t 1 と、位相比較器 112 が出力する一致信号 c s 1 とに基づいて、電流 I 2 のゼロ電流検出信号 c d 2 が入力されたタイミングを判断し、適切なタイミングで PFC 制御パルス信号 p f c 2 をアクティブレベルへセットするセット信号 s e t 2 を出力する。これにより、電流 I 2 のゼロ電流検出による高効率化と、PFC 制御パルス信号 p f c 1、p f c 2 の位相差を π に近づけることによる高効率化とをバランスさせることができ、PFC 回路による力率改善をより向上させることができる。

[0127] (実施の形態 2)

次に、図 18 を用いて、実施の形態 2 に係る PFC 信号生成ユニット P S G について説明する。図 18 は、実施の形態 2 に係る PFC 信号生成ユニット P S G のブロック図である。図 18 に示す PFC 信号生成ユニット P S G は、図 6 に示す PFC 信号生成ユニット P S G に対し、周期下限比較器 201、カウンタクリア制御回路 202 が付加されている。なお、図 18 においては、各設定値が格納されるレジスタは省略されている。

[0128] 周期下限比較器 201 は、デジタルコンパレータであって、詳細には一致回路である。周期下限比較器 201 は、アップカウンタ 101 のカウント値 c n t 1 と、周期下限設定値とが一致した場合、一致信号 c s 2 を出力する。一致信号 c s 2 は、カウンタクリア制御回路 202 に入力される。

[0129] カウンタクリア制御回路 202 は、周期下限比較器 201 が出力する一致信号 c s 2 に基づいて、電流 I 1 のゼロ電流検出信号 c d 1 が入力されたタイミングを判断し、適切なタイミングでクリア信号 c d 1 a、c d 1 b を出力する。具体的には、電流 I 1 のゼロ電流検出信号 c d 1 が周期下限設定値以下のタイミングで入力された場合、周期下限設定値まで待機して、アップカウンタ 101 のカウント値をクリアする。一方、電流 I 1 のゼロ電流検出信号 c d 1 が周期下限設定値を超えたタイミングで入力された場合、通常通り、そのタイミングにおいて、アップカウンタ 101 のカウント値をクリア

する。カウンタクリア制御回路 202 の構成及び動作の詳細については、後述する。

[0130] ORゲート 108 には、カウンタクリア制御回路 202 から出力されたクリア信号 $cd1a$ 、 $cd1b$ と、周期上限比較器 104 から出力されたクリア信号 clr とが入力される。ORゲート 108 はセット信号 $set1$ を出力する。セット信号 $set1$ は、つまりアップカウンタ 101 のカウント値をクリアするためのクリア信号である。その他の構成は図 6 と同様であるため、説明を省略する。

[0131] 次に、図 19 を参照して、カウンタクリア制御回路 202 の具体的な回路構成について説明する。以下に示す回路構成はあくまでも一例である。図 19 は、カウンタクリア制御回路 202 の具体的な回路構成の一例を示す回路図である。図 19 に示すように、カウンタクリア制御回路 202 は、保持回路 HC11、HC12、ANDゲート A11～A13、Dフリップフロップ DF11、を備えている。ここで、各保持回路 HC11、HC12 は、Dフリップフロップから構成されている。前段の SR は Dフリップフロップのデータ入力に対するセット入力及びリセット入力を示している。各 Dフリップフロップのクロック入力にはクロック信号 clk が入力される。

[0132] 保持回路 HC11 のセット入力 S には、周期下限比較器 201 が出力する一致信号 $cs2$ が入力され、リセット入力 R には、セット信号 $set1$ が入力される。保持回路 HC1 の出力信号は、周期下限設定値を超えた期間を示す期間信号 $hs11$ である。この期間信号 $hs11$ の反転信号が ANDゲート A11 の一方の入力に入力される。ANDゲート A11 の他方の入力には、電流 I1 のゼロ電流検出信号 $cd1$ が入力される。

[0133] ANDゲート A11 の出力信号は、周期下限設定値以下において電流 I1 のゼロ電流検出信号 $cd1$ が入力された場合、発生する検出信号 $s1$ である。この検出信号 $s1$ は、保持回路 HC12 のセット入力 S に入力される。保持回路 HC12 のリセット入力 R には、一致信号 $cs2$ が入力される。保持回路 HC12 の出力信号は、電流 I1 のゼロ電流検出信号 $cd1$ が入力され

た場合、周期下限設定値まで保持するための保持信号 $h s 1 2$ である。この保持信号 $h s 1 2$ は AND ゲート $A 1 2$ の一方の入力に入力される。AND ゲート $A 1 2$ の他方の入力には、一致信号 $c s 2$ が入力される。AND ゲート $A 1 2$ の出力信号は、セット信号 $s e t 1$ の 1 つを構成するクリア信号 $c d 1 b$ である。

[0134] また、保持回路 $H C 1 1$ から出力された期間信号 $h s 1 1$ が AND ゲート $A 1 3$ の一方の入力に入力される。AND ゲート $A 1 3$ の他方の入力には、電流 $I 1$ のゼロ電流検出信号 $c d 1$ が入力される。AND ゲート $A 1 3$ の出力信号は、セット信号 $s e t 1$ の 1 つを構成するクリア信号 $c d 1 a$ である。

[0135] D フリップフロップ $D F 1 1$ は、検出信号 $s 1$ が発生した場合、これを取り込み、エラーフラグ $e f 2$ を出力する。

[0136] 次に、図 20 のタイミングチャートを用いて、図 19 に示したカウンタクリア制御回路 202 の動作を説明する。図 20 は、カウンタクリア制御回路 202 の動作を説明するためのタイミングチャートである。図 20 の上から順に、電流 $I 1$ のゼロ電流検出信号 $c d 1$ 、一致信号 $c s 2$ 、期間信号 $h s 1 1$ 、セット信号 $s e t 1$ 、アップカウンタ 101 のカウント値 $c n t 1$ 、一致信号 $c s 2$ 、検出信号 $s 1$ 、保持信号 $h s 1 2$ 、クリア信号 $c d 1 a$ 、クリア信号 $c d 1 b$ 、セット信号 $s e t 1$ 、PFC 制御パルス信号 $p f c 1$ 、エラーフラグ $e f 2$ が示されている。

[0137] 図 20 の第 1 及び第 3 周期では、周期下限設定値を超えてから電流 $I 1$ のゼロ電流検出信号 $c d 1$ が入力されている。そのため、通常通り、そのタイミングにおいて、クリア信号 $c d 1 a$ が出力される。

[0138] これに対し、図 20 の第 2 周期では、周期下限設定値以下において電流 $I 1$ のゼロ電流検出信号 $c d 1$ が入力されている。そのため、周期下限設定値を超えた期間を示す期間信号 $h s 1 1$ が L のまま、電流 $I 1$ のゼロ電流検出信号 $c d 1$ が入力される。そのタイミングにおいて、検出信号 $s 1$ が発生し、保持信号 $h s 1 2$ が L から H となり保持される。そして、周期下限設定値

の経過を示す一致信号 $c s 2$ が入力されたタイミングにおいて、保持信号 $h s 1 2$ が H から L となり、クリア信号 $c d 1 b$ が出力される。このように、周期下限設定値を設定し、PFC 制御パルス信号 $p f c 1$ の周期下限を保証することにより、PFC 回路による力率改善をより向上させる PFC 制御パルス信号を生成することができる。

[0139] 以上、実施の形態を参照して本願発明を説明したが、本願発明は上記によって限定されるものではない。本願発明の構成や詳細には、発明のScope内で当業者が理解し得る様々な変更をすることができる。

[0140] この出願は、2011年4月26日に提出された日本出願特願2011-098789を基礎とする優先権を主張し、その開示の全てをここに取り込む。

符号の説明

- [0141]
- 1 第1回路
 - 2 第2回路
 - 3 第3回路
 - 11 許容期間用ダウンカウンタ
 - 101 アップカウンタ
 - 102 周期上限設定レジスタ
 - 103 周期上限取込レジスタ
 - 104 周期上限比較器
 - 105 第1パルス幅設定レジスタ
 - 106 第1パルス幅取込レジスタ
 - 107 パルス幅比較器
 - 108 ORゲート
 - 109 第1制御パルス出力回路
 - 110 カウント値キャプチャ回路
 - 111 シフト回路
 - 112 位相比較器

1 1 3 出力タイミング補正回路
1 1 4 第2パルス幅設定レジスタ
1 1 5 第2パルス幅取込レジスタ
1 1 6 ダウンカウンタ
1 1 7 第2制御パルス出力回路
1 1 8 割込信号出力回路
2 0 1 周期下限比較器
2 0 2 カウンタクリア制御回路
A 1 - A 5、A 1 1 - A 1 3 ANDゲート
A P 交流電源
C 1、C 2 平滑コンデンサ
c d 1、c d 2 ゼロ電流検出信号
c l r、c d 1 a、c d 1 b クリア信号
C G クロック生成ユニット
c l k クロック信号
c n t 1、c n t 2、c n t 3 カウント値
c s 1、c s 2 一致信号
D 1 - D 3 ダイオード
D F 1、D F 1 1 Dフリップフロップ
e f 1、e f 2 エラーフラグ
f i n カウント終了信号
F W R 全波整流回路
H C 1 - H C 4、H C 1 1、H C 1 2 保持回路
h s 1、h s 1 1 期間信号
h s 2、h s 4、h s 1 2 保持信号
h s 3 判定期間信号
i n t 割込信号
I O U ユニット

L 1、L 1 1、L 1 2、L 2、L 2 1、L 2 2、L 3 インダクタ
L E D L E D
L m 1、L m 2 モニタ用インダクタ
M C U プロセッサシステム
M E M メモリ
M O N モニタユニット
m o n、m o n 1－m o n 4 フィードバック信号
N M 1－N M 3 N M O S トランジスタ
O 1、O 2 O R ゲート
P E 演算コア
P E R I 周辺回路
p f c、p f c 1、p f c 2 P F C 制御パルス信号
P S G P F C 信号生成ユニット
P W M P W M 信号生成ユニット
p w m P W M 制御パルス信号
P W R 電源回路（制御対象回路）
R、R 1、R 2、R m、R m 1、R m 2 抵抗

請求の範囲

- [請求項1] 第1のスイッチに接続された第1のインダクタと、第2のスイッチに接続された第2のインダクタと、を有するPFC回路を制御するPFC信号を生成するPFC信号生成回路であって、
- 前記第1のインダクタのゼロ電流検出タイミングで、前記第1のスイッチをオンする第1のPFC信号を出力する第1の制御信号出力回路と、
- 前記第2のインダクタのゼロ電流検出タイミングが、目標タイミングより早い場合、当該目標タイミングまで待機して前記第2のスイッチをオンにし、前記目標タイミングからの許容期間よりも遅い場合、次周期における前記目標タイミングで、前記第2のスイッチをオンする制御信号を生成するタイミング調整回路と、
- 前記制御信号に応じて、前記第2のスイッチをオンする第2のPFC信号を生成する第2の制御信号出力回路と、を備えるPFC信号生成回路。
- [請求項2] 前記第1のインダクタのゼロ電流検出タイミングで、カウント値がクリアされるカウンタを更に備えることを特徴とする請求項1に記載のPFC信号生成回路。
- [請求項3] 前記第1のインダクタのゼロ電流検出タイミングが、周期下限値を下回る場合、当該周期下限値まで待機してから前記カウンタ値をクリアするカウンタクリア制御回路を更に備える請求項2に記載のPFC信号生成回路。
- [請求項4] 前記カウンタの前周期における最大カウント値を取得するキャプチャ回路を更に備え、
- 前記目標タイミングが、前記最大カウント値から決定されることを特徴とする請求項2又は3に記載のPFC信号生成回路。
- [請求項5] 前記最大カウント値から前記目標タイミングの設定値を生成するシフト回路と、

前記目標タイミングの設定値と前記カウンタのカウント値を比較し、前記目標タイミングを生成する第1のデジタル比較器と、を更に備えることを特徴とする請求項4に記載のPFC信号生成回路。

[請求項6] 前記目標タイミングが、前記最大カウント値の $3/8 \sim 5/8$ であることを特徴とする請求項4又は5に記載のPFC信号生成回路。

[請求項7] 前記許容期間が、前記最大カウント値の $1/64 \sim 1/8$ であることを特徴とする請求項4～6のいずれか一項に記載のPFC信号生成回路。

[請求項8] 前記PFC回路からのフィードバック信号に基づいて決定される前記第2のPFC信号のパルス幅の設定値をカウントダウンするダウンカウンタを更に備えることを特徴とする請求項1～7のいずれか一項に記載のPFC信号生成回路。

[請求項9] 前記フィードバック信号に基づいて決定される前記第1のPFC信号のパルス幅の設定値と、前記カウンタのカウント値を比較する第2のデジタル比較器を更に備えることを特徴とする請求項8に記載のPFC信号生成回路。

[請求項10] 前記タイミング調整回路は、
前記第2のインダクタのゼロ電流検出タイミングが、前記許容期間内である場合、当該第2のインダクタのゼロ電流検出タイミングで、前記第2のスイッチをオンする前記制御信号を生成することを特徴とする請求項1～9のいずれか一項に記載のPFC信号生成回路。

[請求項11] 交流電源に接続されたPFC回路と、
前記PFC回路を制御するPFC信号を生成するPFC信号生成回路と、を備えたPFC制御システムであって、
前記PFC回路は、
第1のスイッチに接続された第1のインダクタと、
第2のスイッチに接続された第2のインダクタと、を備え、
前記PFC信号生成回路は、

前記第 1 のインダクタのゼロ電流検出タイミングで、前記第 1 のスイッチをオンする第 1 の P F C 信号を出力する第 1 の制御信号出力回路と、

前記第 2 のインダクタのゼロ電流検出タイミングが、目標タイミングより早い場合、当該目標タイミングまで待機して前記第 2 のスイッチをオンにし、前記目標タイミングからの許容期間よりも遅い場合、次周期における前記目標タイミングで、前記第 2 のスイッチをオンする制御信号を生成するタイミング調整回路と、

前記制御信号に応じて、前記第 2 のスイッチをオンする第 2 の P F C 信号を生成する第 2 の制御信号出力回路と、を備える P F C 制御システム。

[請求項12] 前記 P F C 回路は、

前記第 1 のインダクタのゼロ電流検出タイミングで、カウント値がクリアされるカウンタを更に備えることを特徴とする請求項 1 1 に記載の P F C 制御システム。

[請求項13] 前記第 1 のインダクタのゼロ電流検出タイミングが、周期下限値を下回る場合、当該周期下限値まで待機してから前記カウンタ値をクリアするカウンタクリア制御回路を更に備える請求項 1 2 に記載の P F C 制御システム。

[請求項14] 前記 P F C 回路は、

前記カウンタの前周期における最大カウント値を取得するキャプチャ回路を更に備え、

前記目標タイミングが、前記最大カウント値から決定されることを特徴とする請求項 1 2 又は 1 3 に記載の P F C 制御システム。

[請求項15] 前記 P F C 回路は、

前記最大カウント値から前記目標タイミングの設定値を生成するシフト回路と、

前記目標タイミングの設定値と前記カウンタのカウント値を比較し

、前記目標タイミングを生成する第1のデジタル比較器と、を更に備えることを特徴とする請求項14に記載のPFC制御システム。

[請求項16] 前記PFC回路からのフィードバック信号に基づいて、前記第1及び第2のPFC信号のパルス幅を決定する演算回路を更に備えることを特徴とする請求項11～15のいずれか一項に記載のPFC制御システム。

[請求項17] 前記PFC回路の出力電圧が供給されるDC／DCコンバータを更に備えることを特徴とする請求項11～16のいずれか一項に記載のPFC制御システム。

[請求項18] 前記DC／DCコンバータの出力電圧が供給される発光ダイオードを更に備えることを特徴とする請求項17に記載のPFC制御システム。

[請求項19] 第1のスイッチに接続された第1のインダクタと、第2のスイッチに接続された第2のインダクタと、を有するPFC回路を制御するPFC制御方法であって、

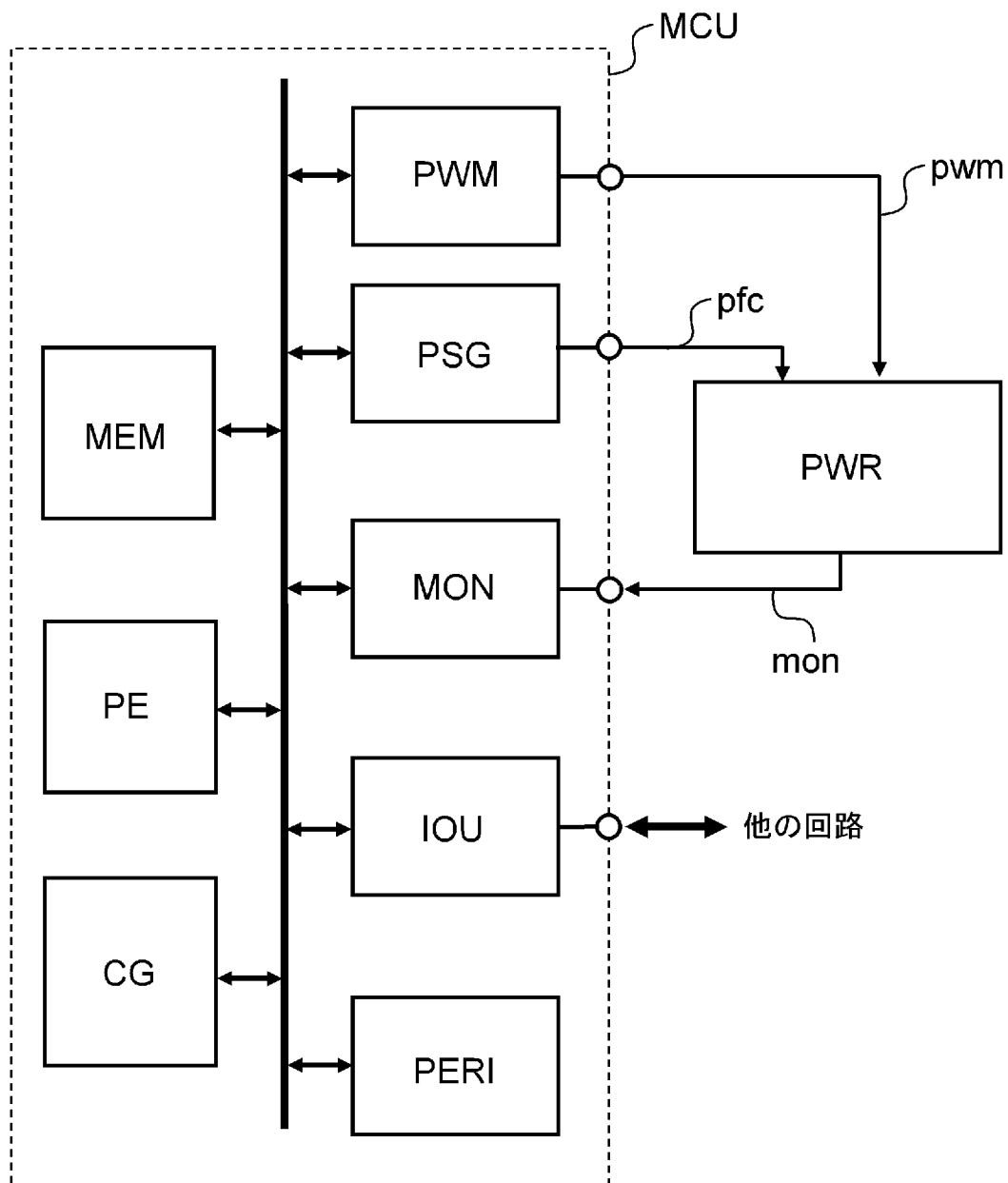
前記第1のインダクタのゼロ電流検出タイミングで、前記第1のスイッチをオンにし、

前記第2のインダクタのゼロ電流検出タイミングが、目標タイミングより早い場合、当該目標タイミングまで待機して前記第2のスイッチをオンにし、

前記目標タイミングからの許容期間よりも遅い場合、次周期における前記目標タイミングで、前記第2のスイッチをオンにするPFC制御方法。

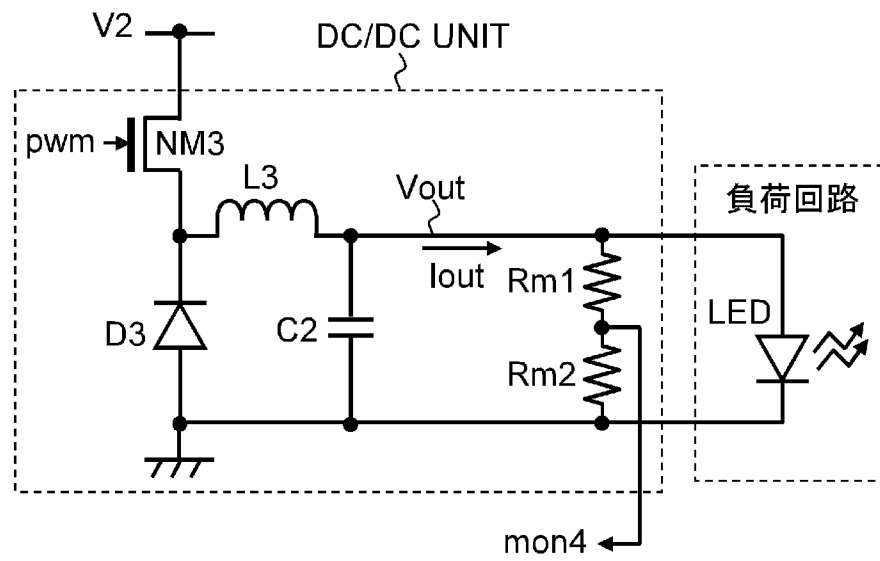
[請求項20] 前記第2のインダクタのゼロ電流検出タイミングが、前記許容期間内である場合、当該第2のインダクタのゼロ電流検出タイミングで、前記第2のスイッチをオンすることを特徴とする請求項19に記載のPFC制御方法。

[図1]

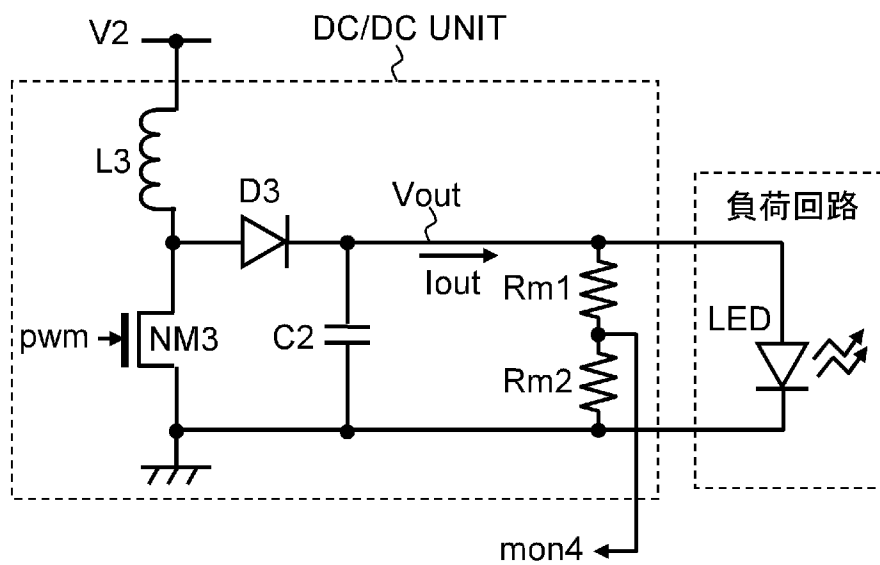


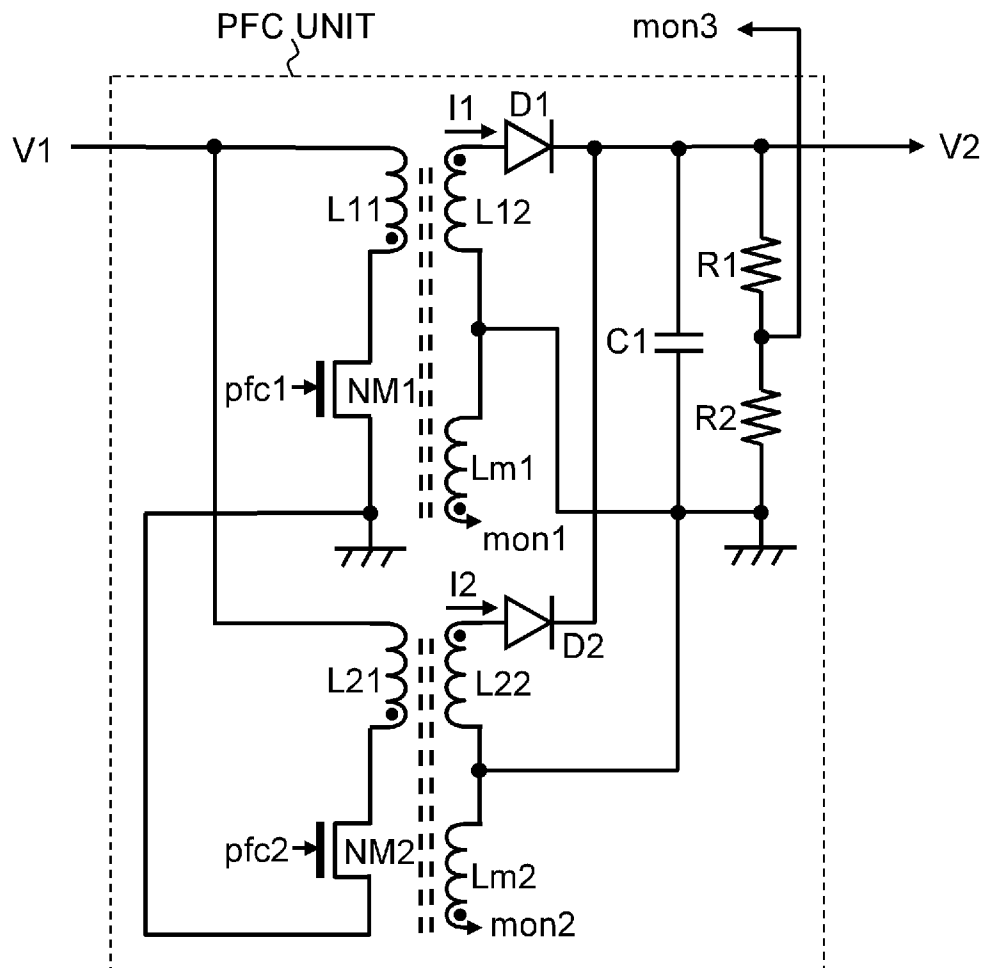
The diagram illustrates a power supply system architecture. It begins with an AC source (AP) connected to a full-wave rectifier (FWR). The output of the FWR is split into two parallel paths, each containing an inductor (L1, L2), a diode (D1, D2), and an NMOS transistor (NM1, NM2) driven by a PFC signal. These paths are connected to a common DC link. This DC link also feeds a second stage consisting of a capacitor (C1), resistors (R1, R2), and a diode (D3). The output of this stage is connected to a DC/DC converter, which includes an inductor (L3), a diode (D3), and an NMOS transistor (NM3) driven by a PWM signal. The final output is connected to a load (LED) through a resistor (Rm). The system is monitored at four points: mon1, mon2, mon3, and mon4.

[図3A]

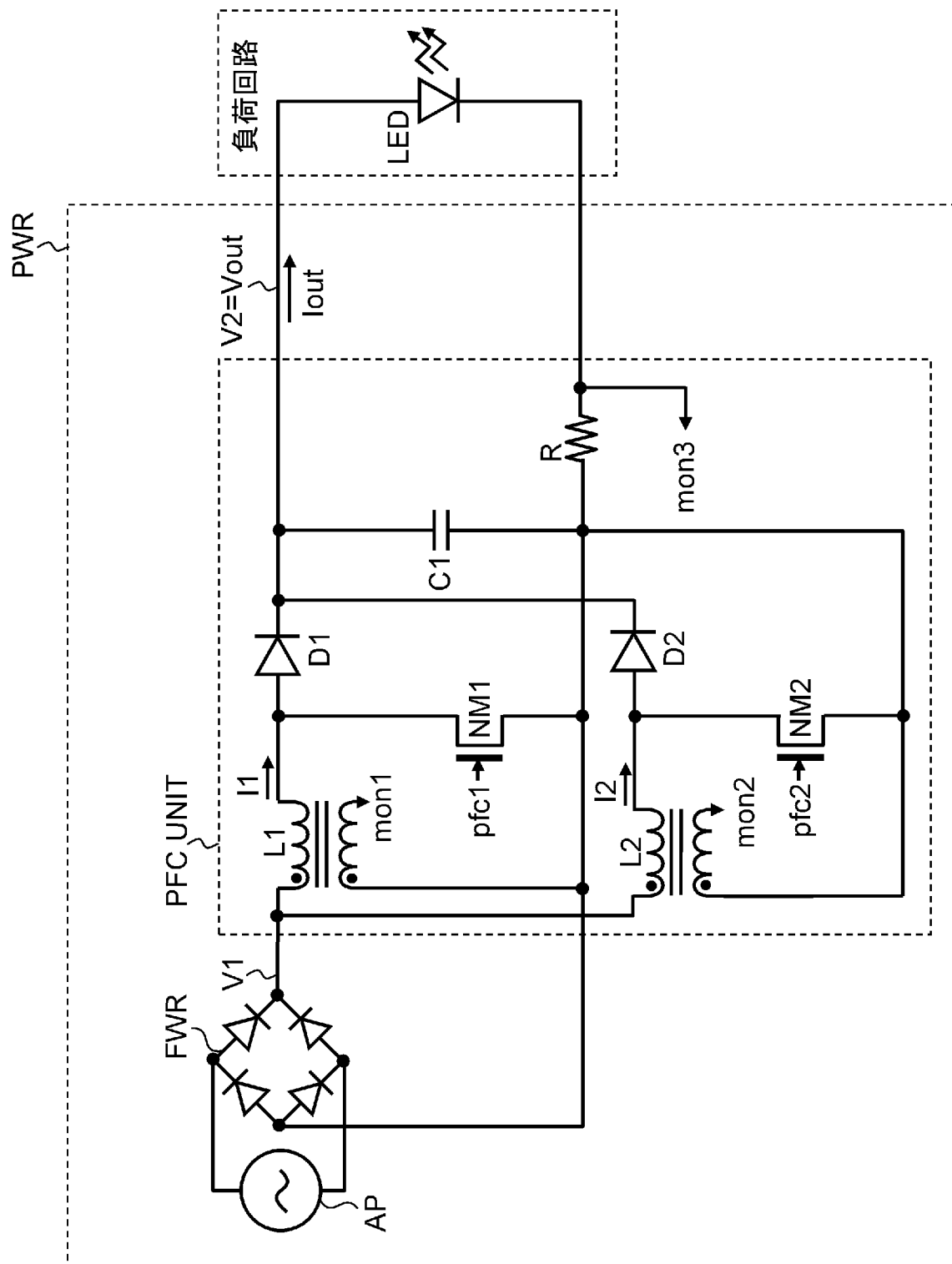


[図3B]

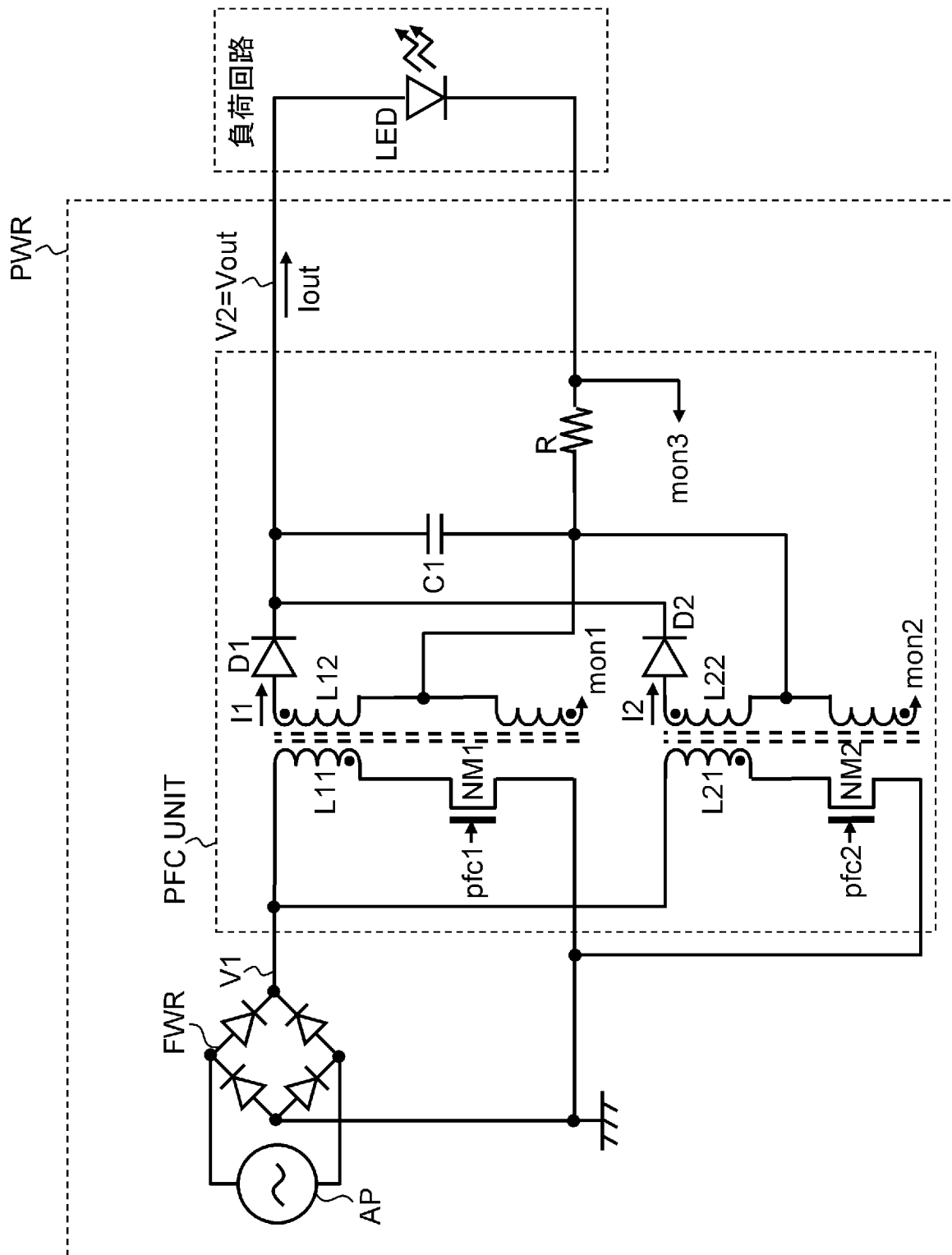




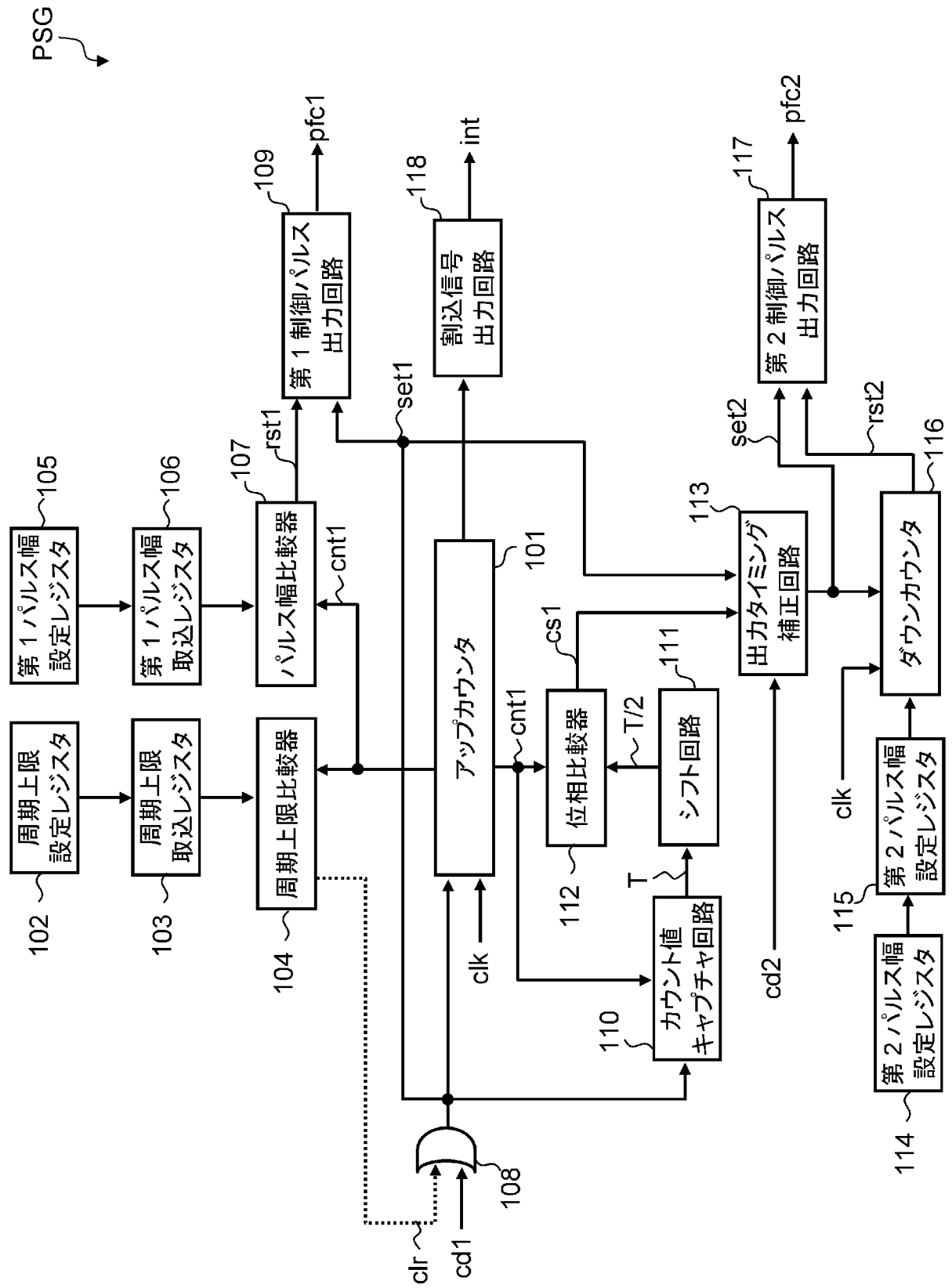
[図5A]



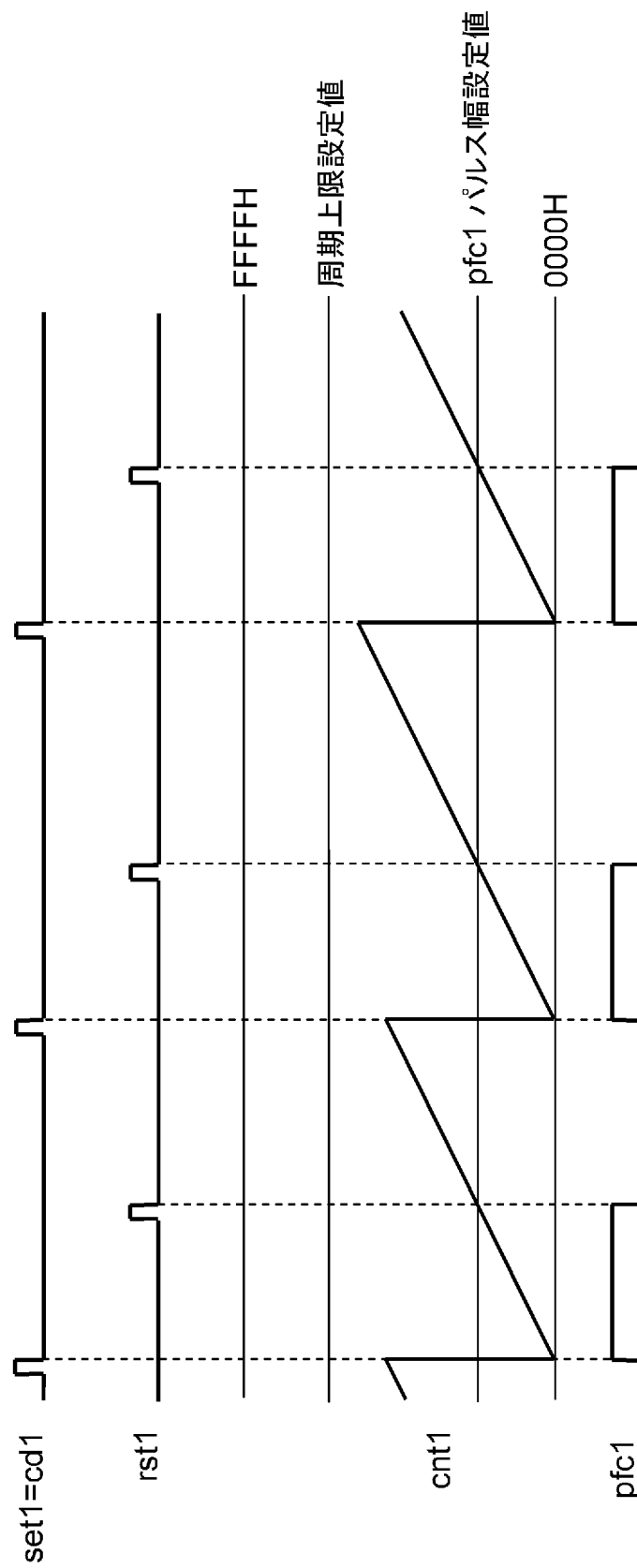
[図5B]



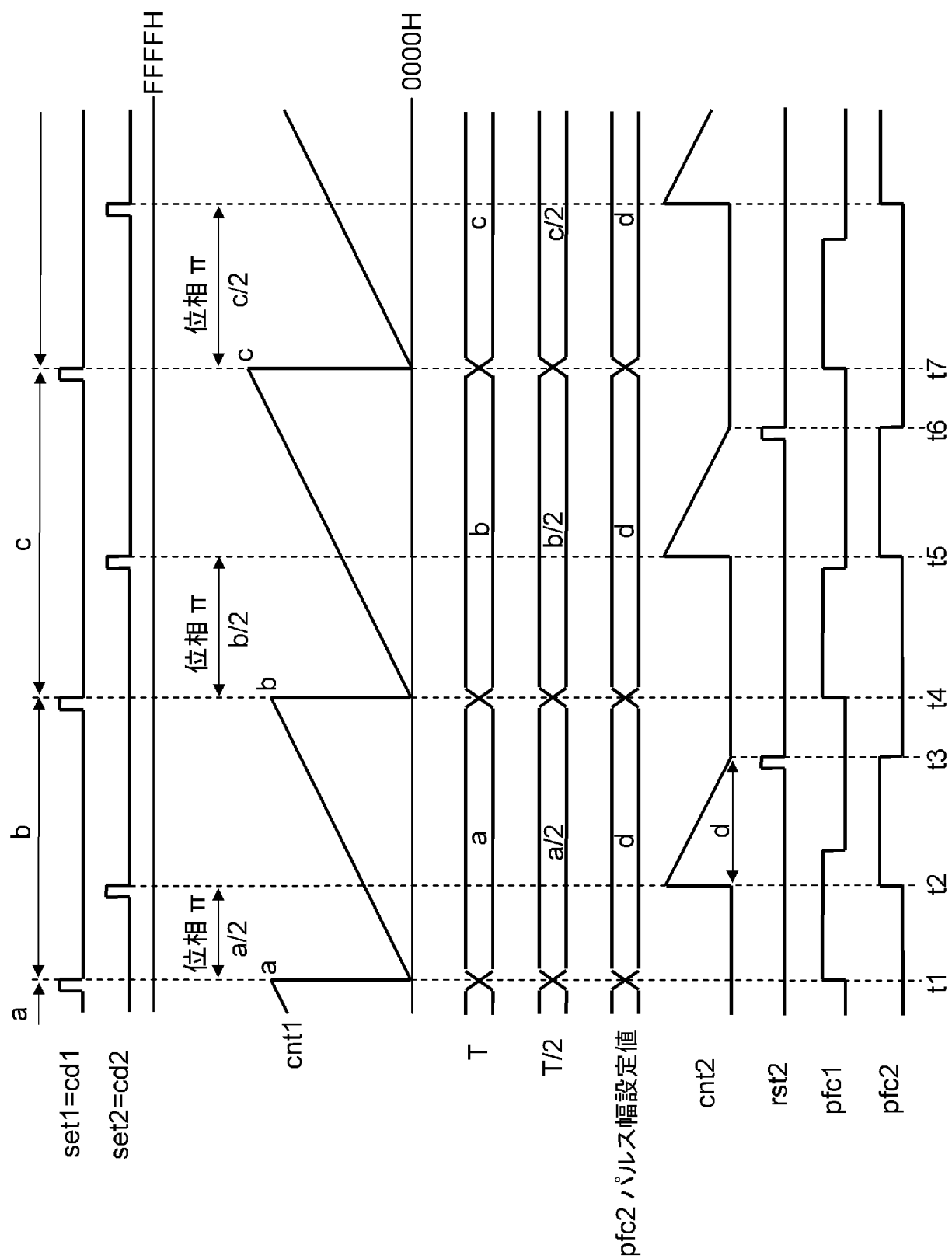
[図6]



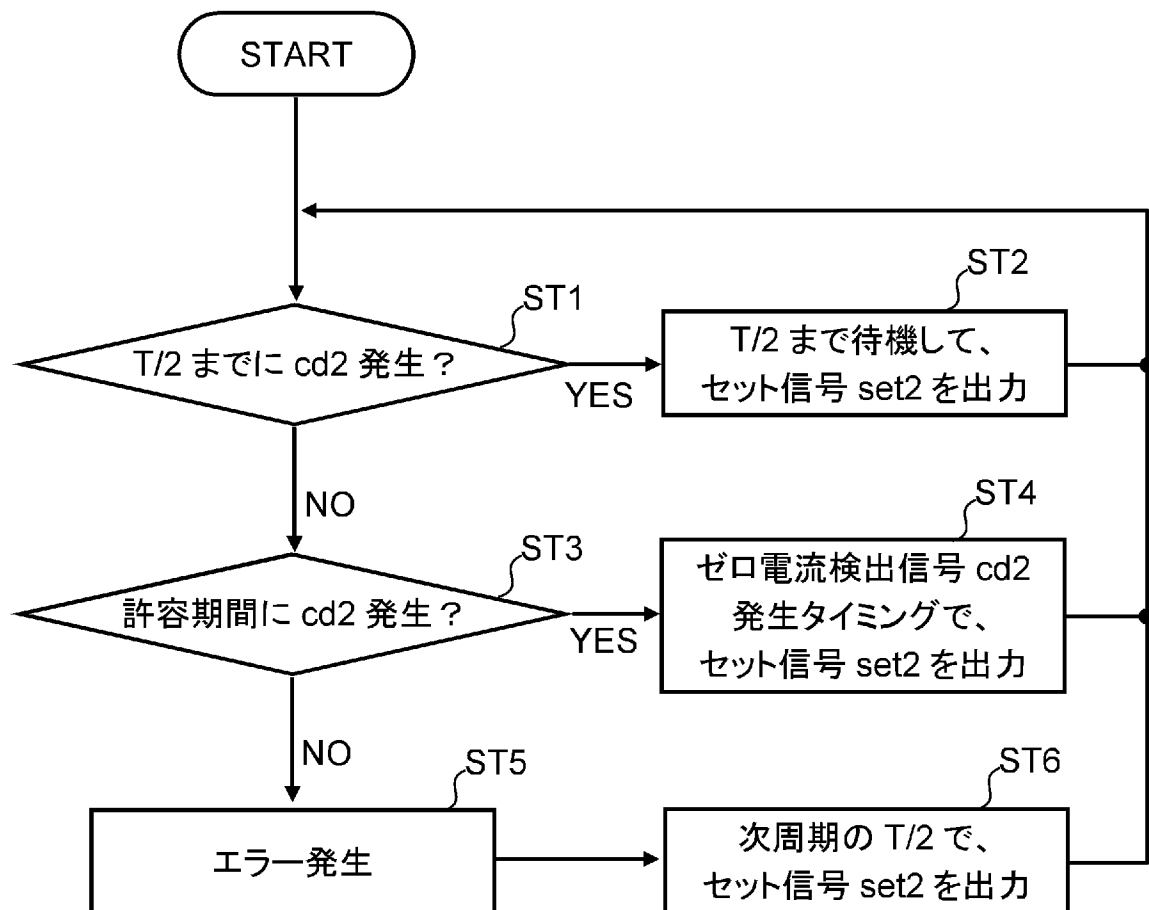
[図7]



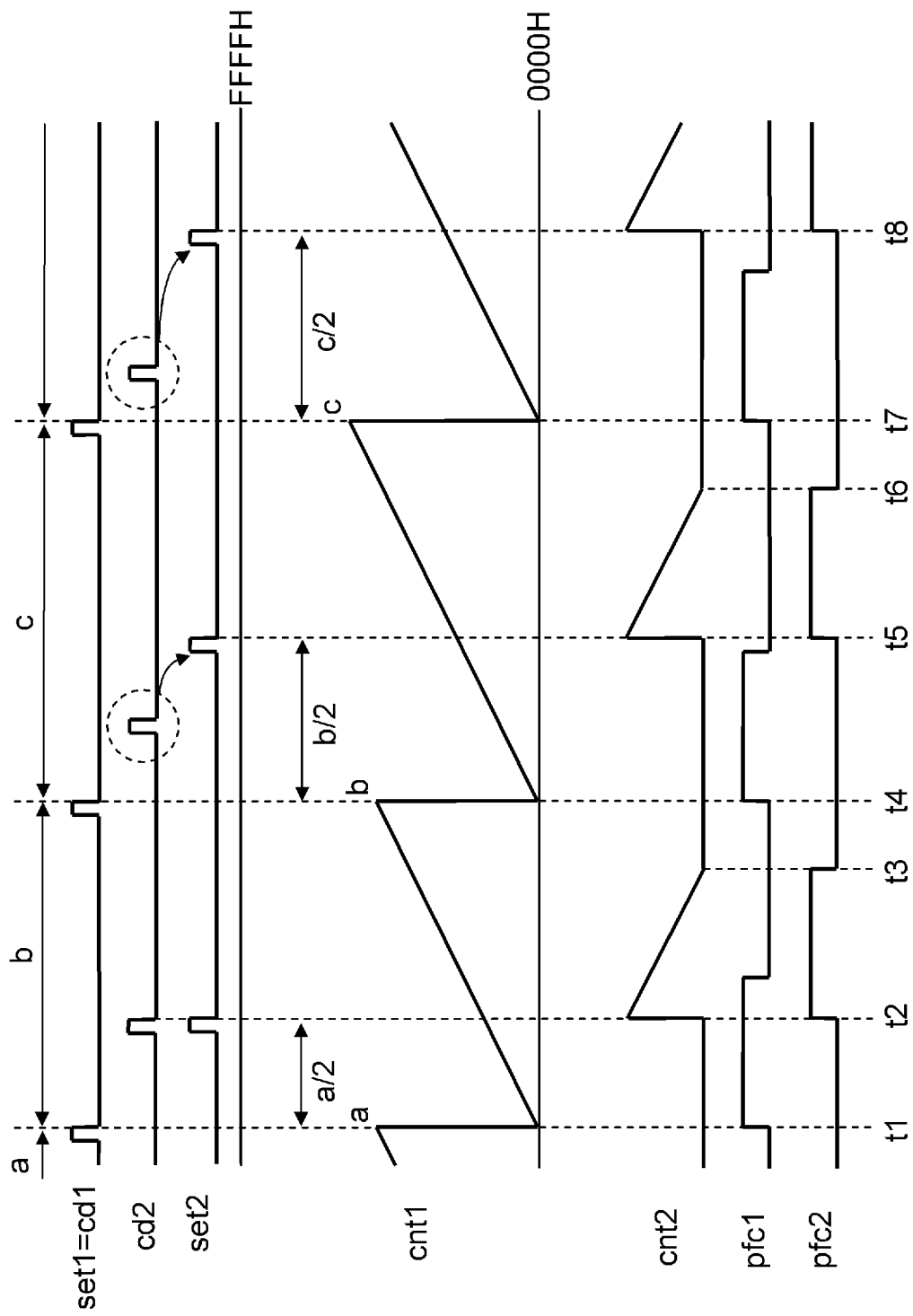
[図8]



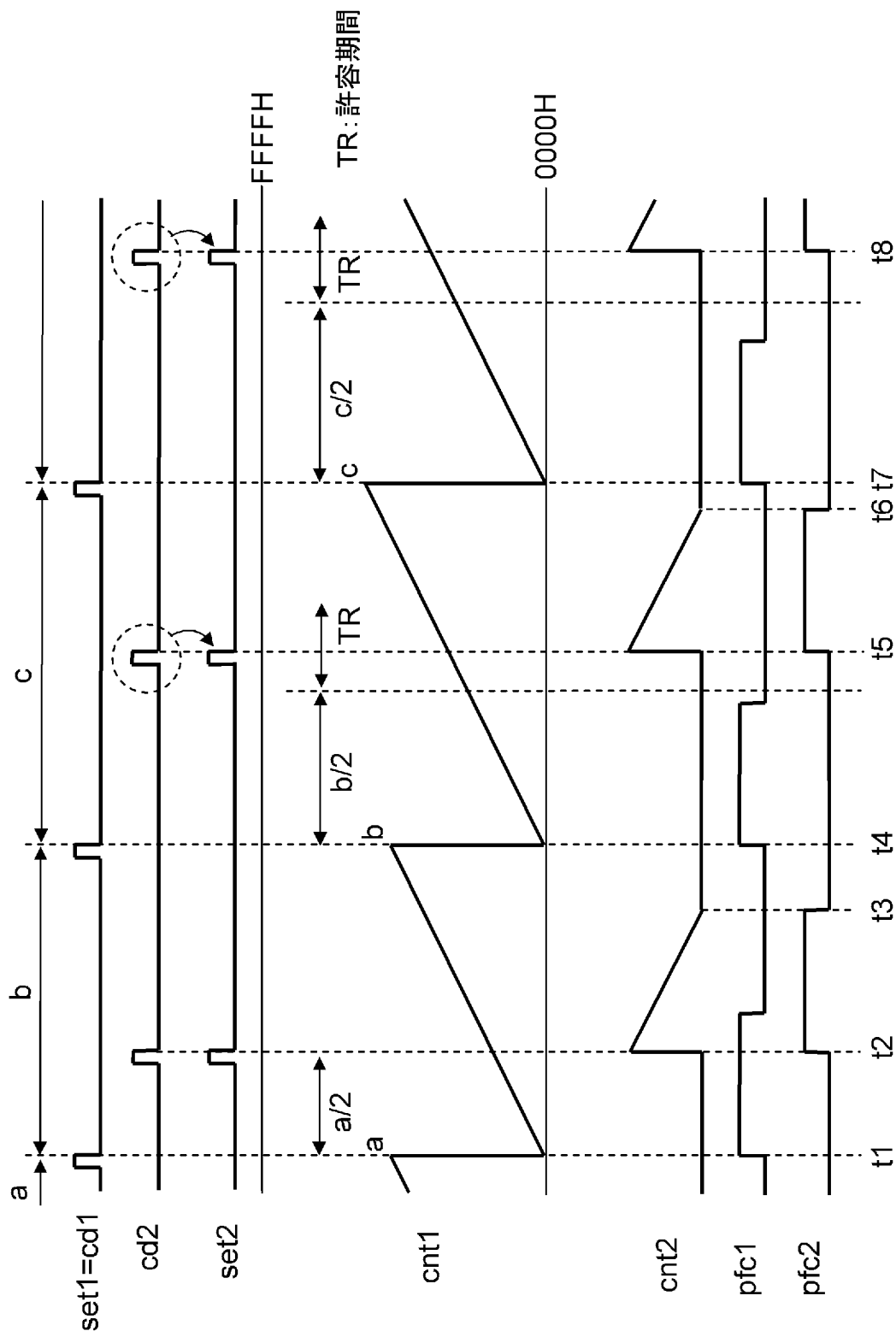
[図9]



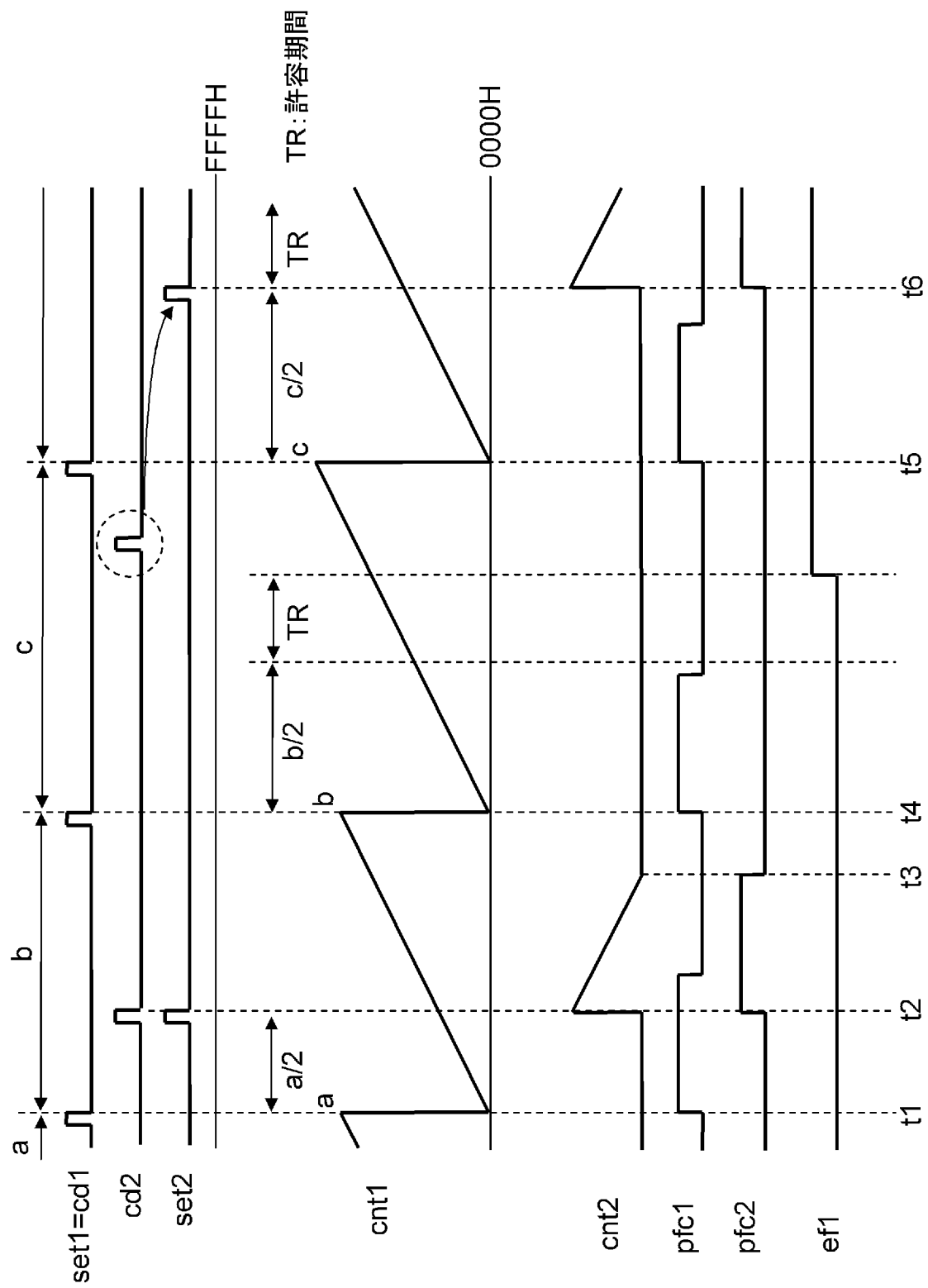
[図10]



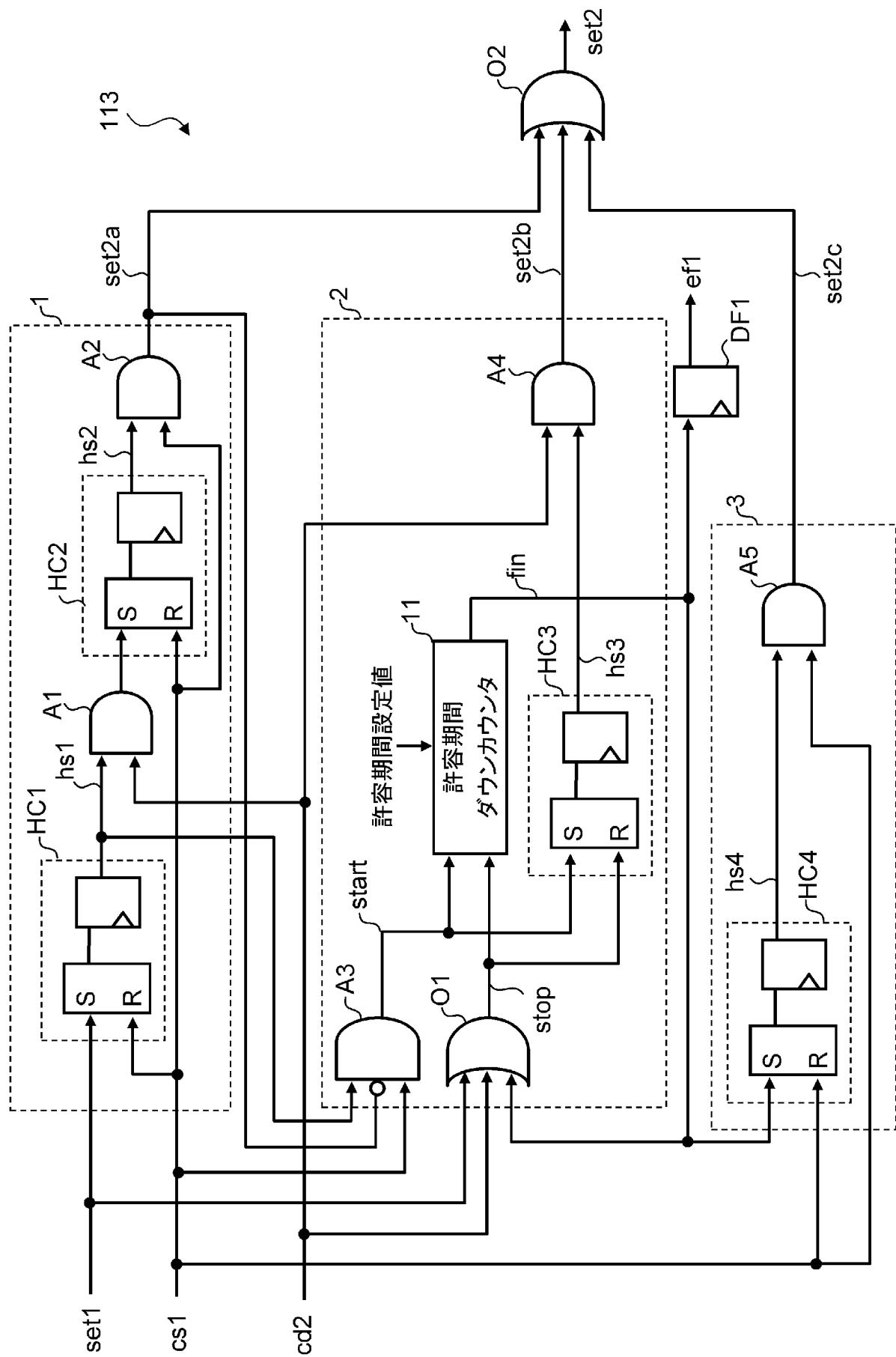
[図11]



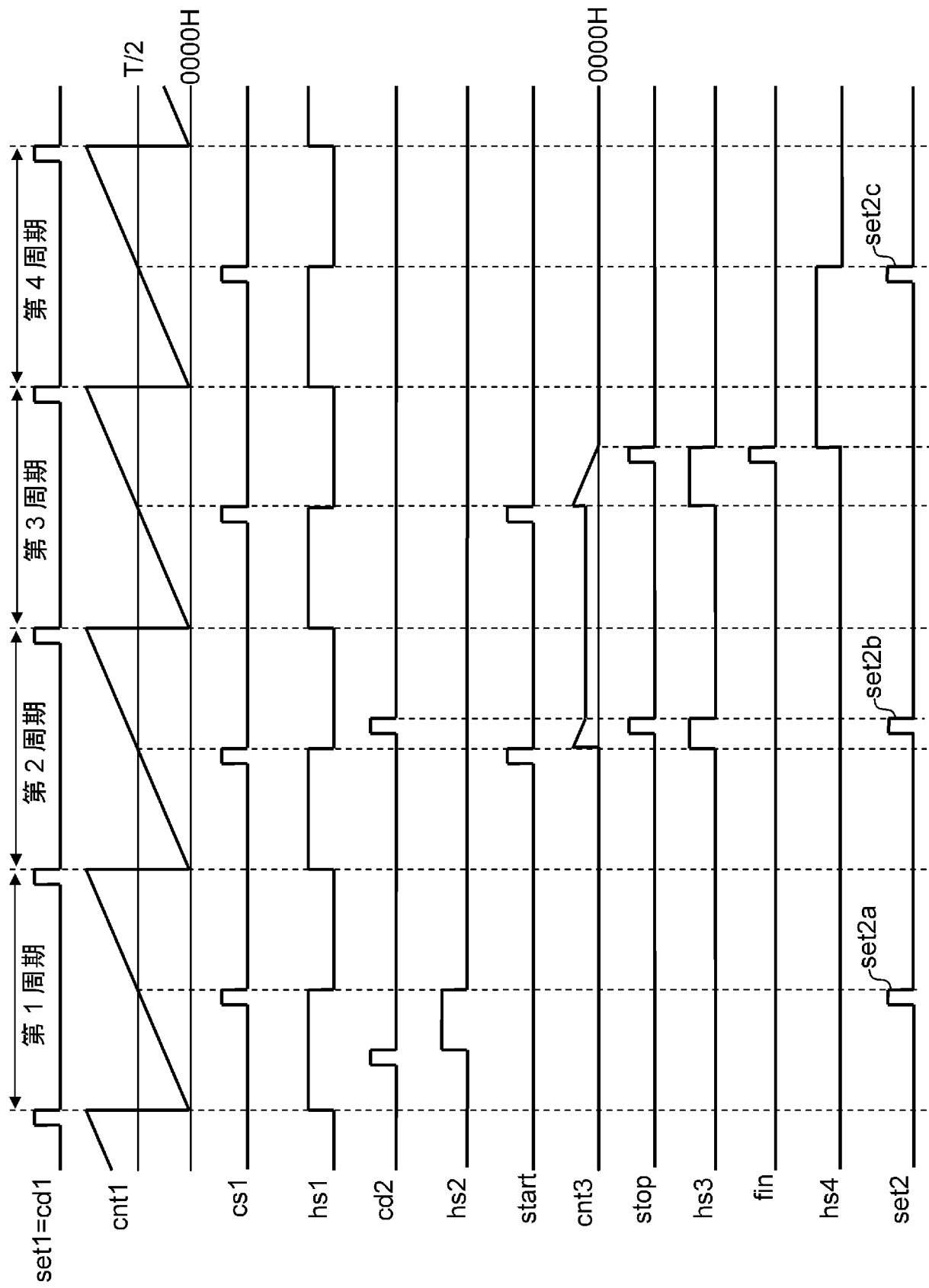
[図12]



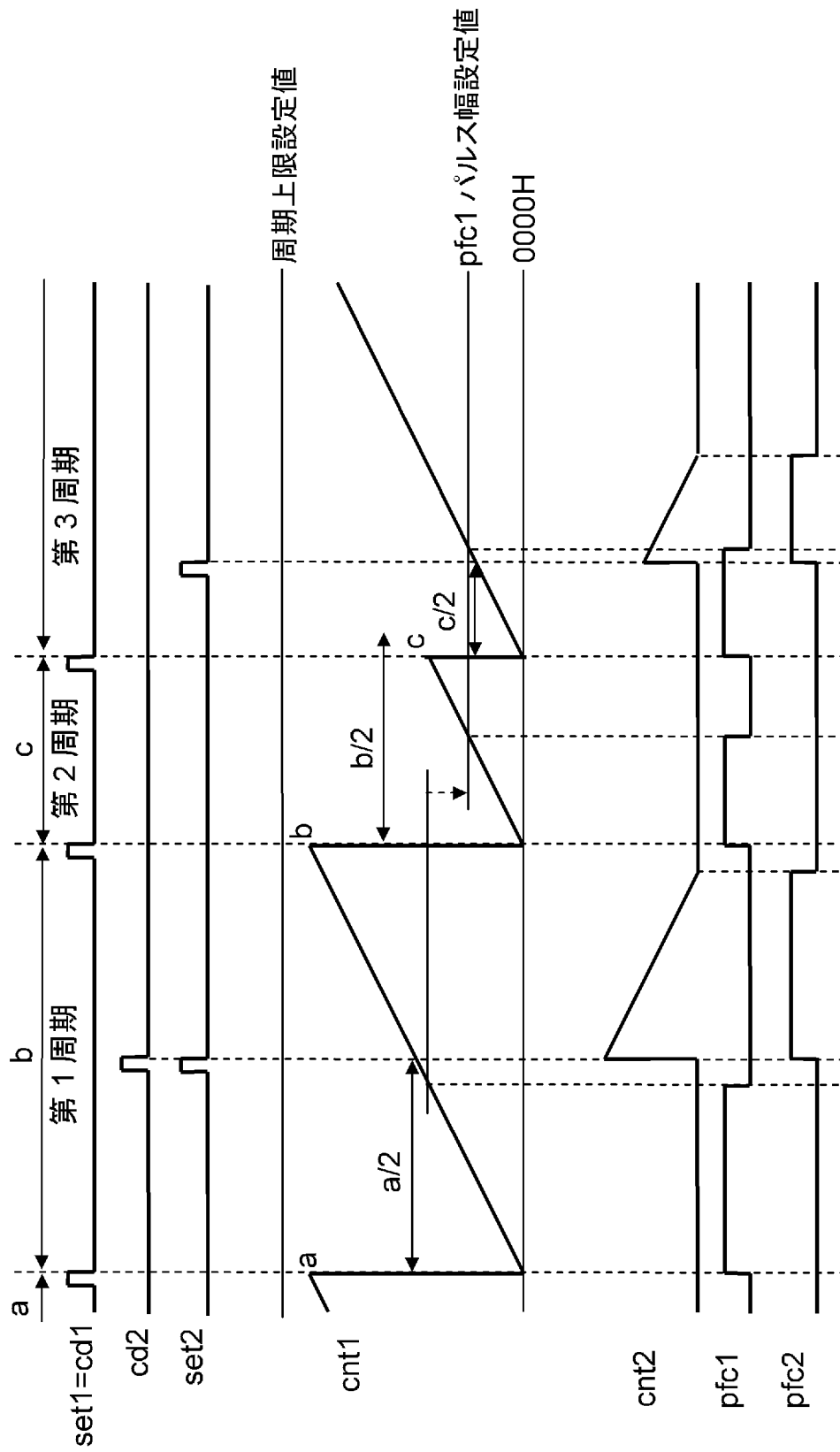
[図13]



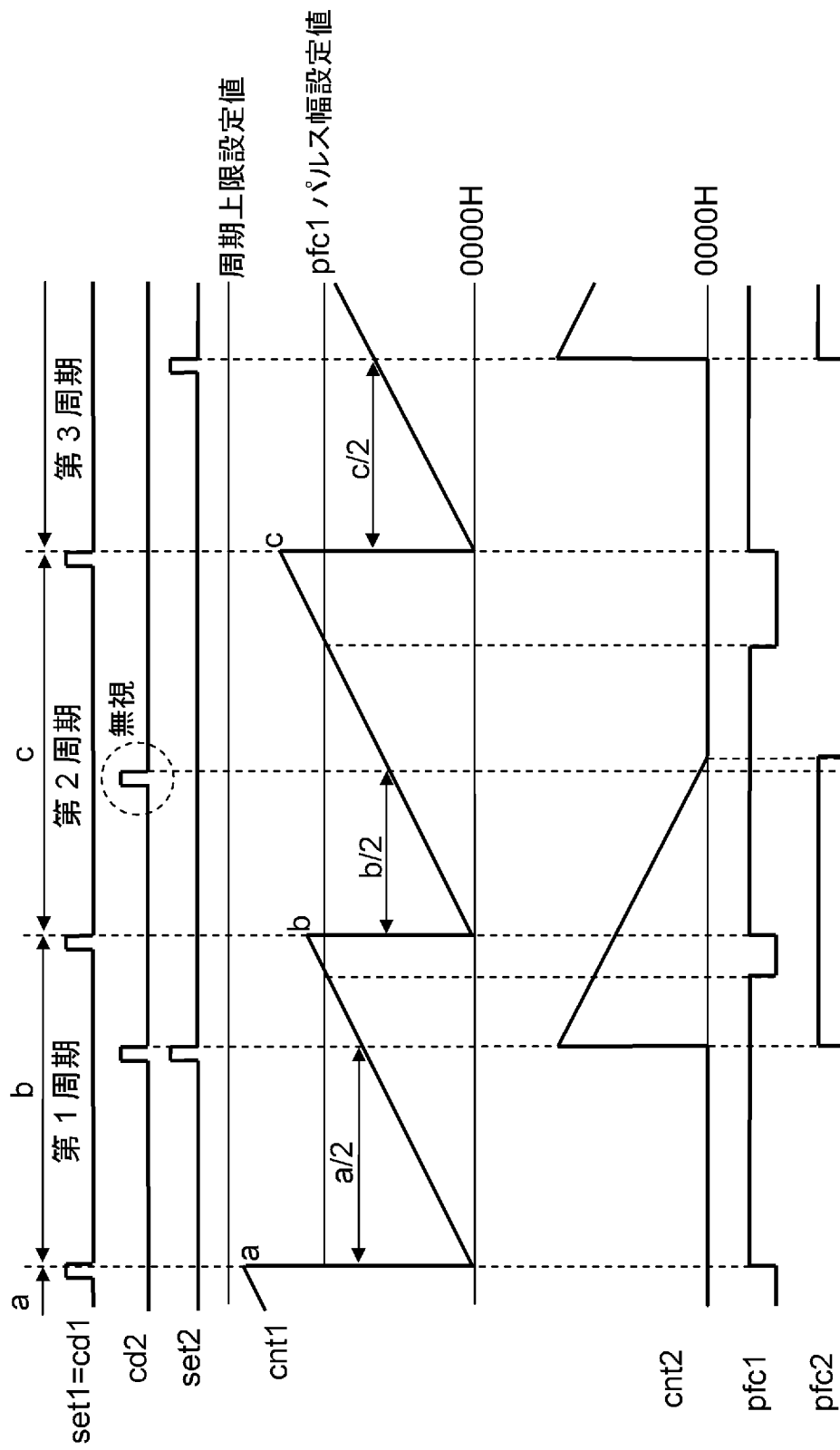
[图14]



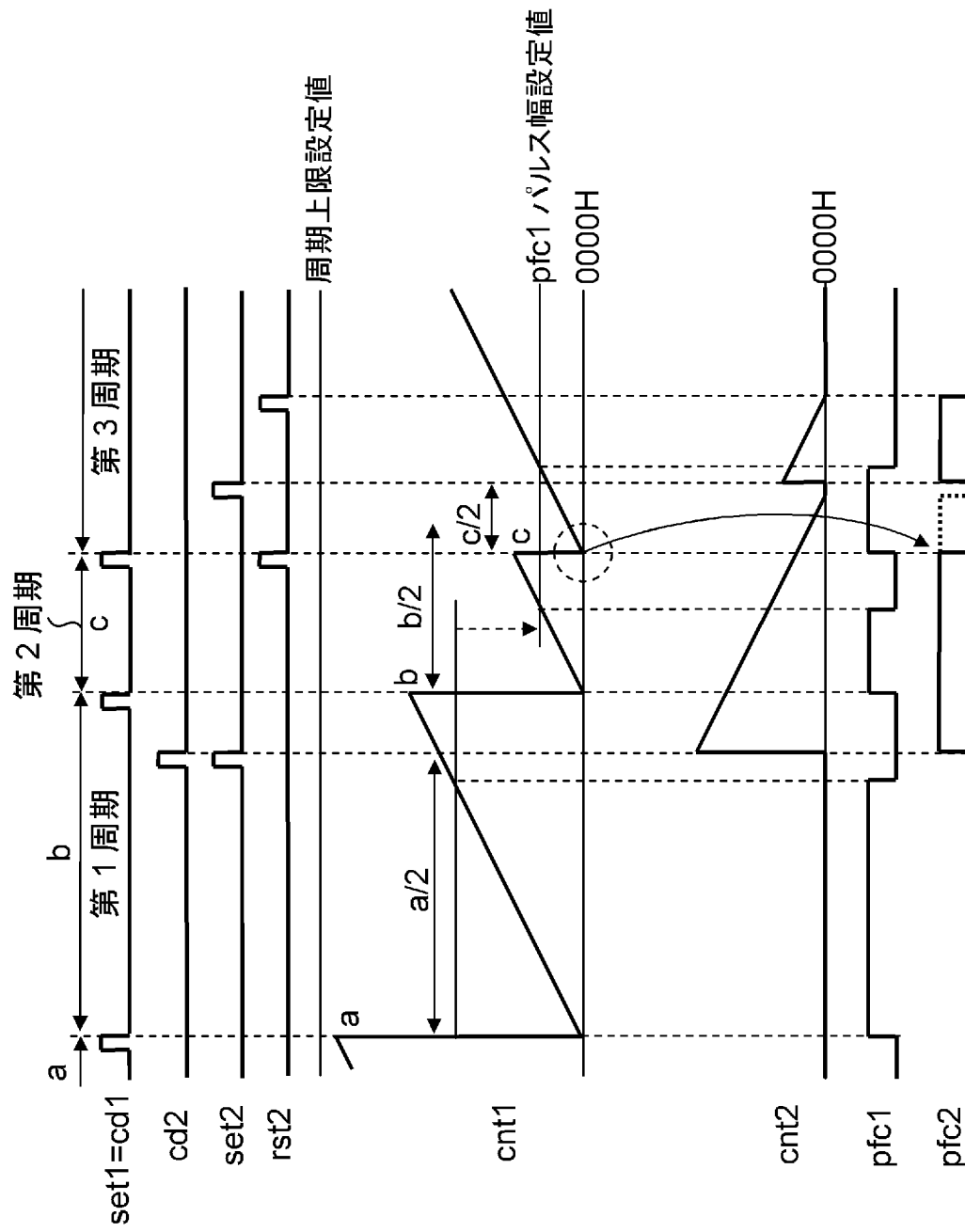
[図15]



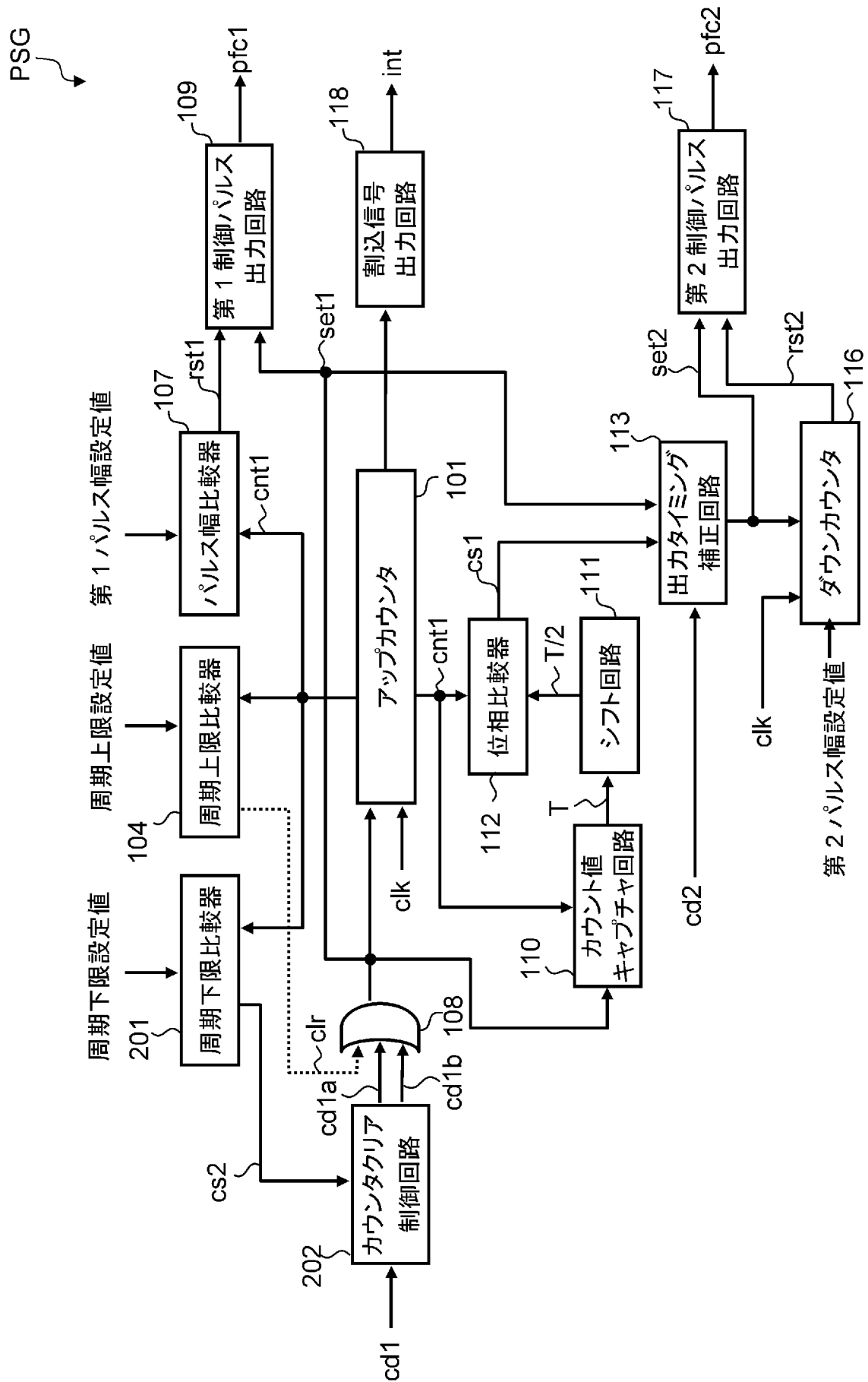
[図16]



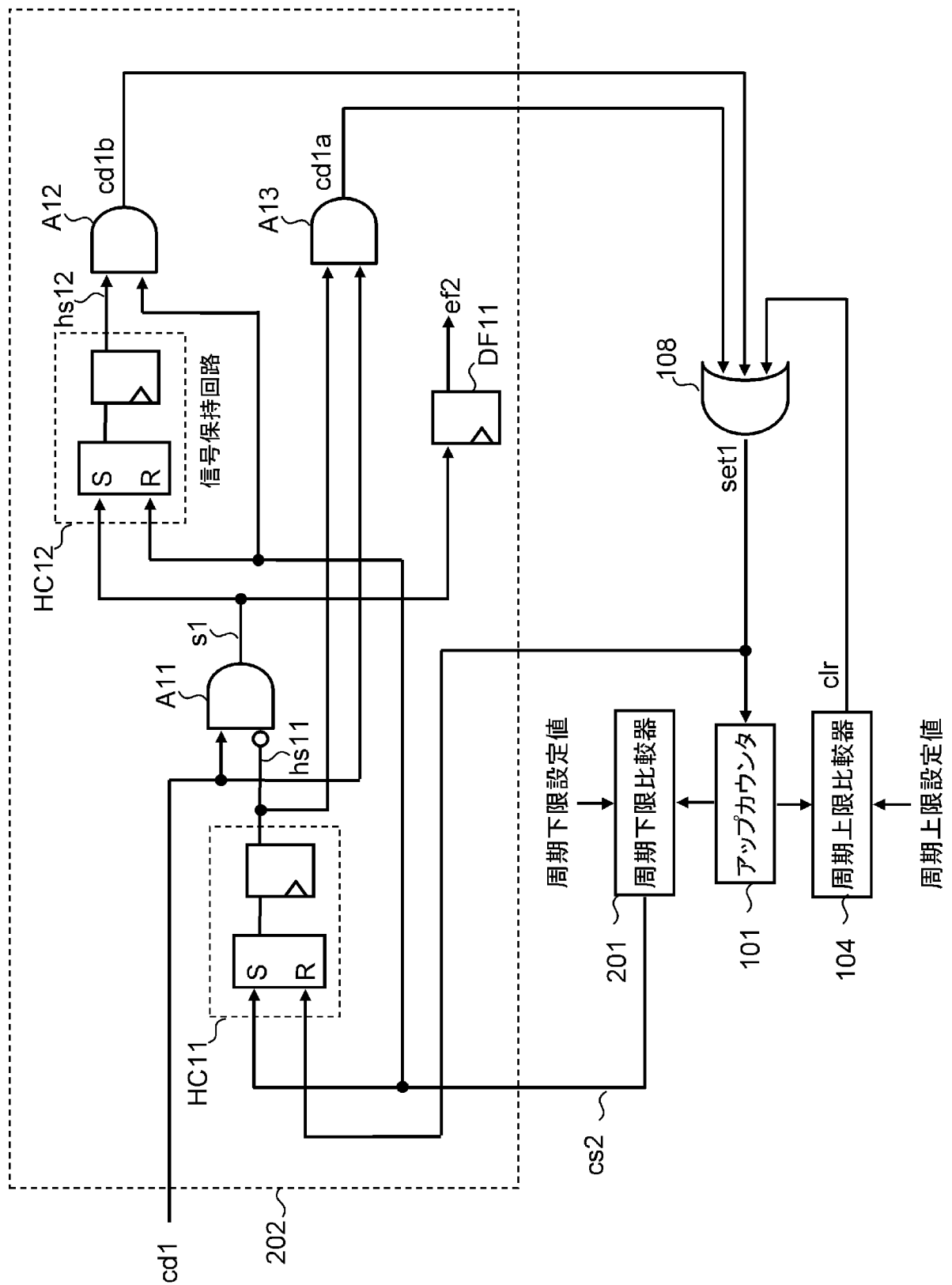
[図17]



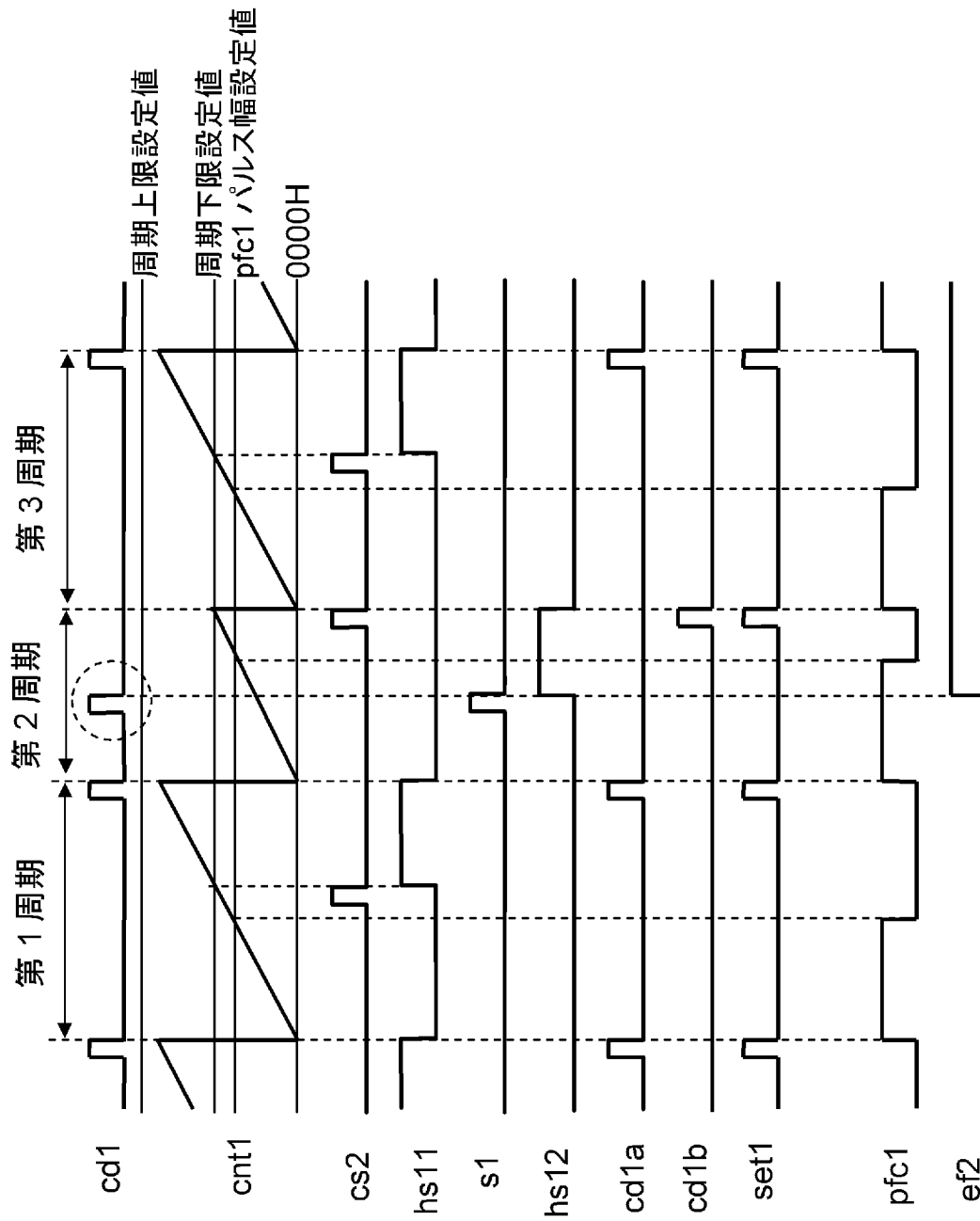
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/002341

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/12(2006.01)i, G06F1/26(2006.01)i, H02M3/155(2006.01)i, H02M3/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/12, G06F1/26, H02M3/155, H02M3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-195282 A (Renesas Technology Corp.), 02 August 2007 (02.08.2007), paragraphs [0023] to [0030]; fig. 2 (Family: none)	1-20
A	JP 2010-119285 A (Fuji Electric Systems Co., Ltd.), 27 May 2010 (27.05.2010), fig. 1 & US 2010/0097828 A1	1-20
A	JP 2010-233439 A (Toshiba Corp.), 14 October 2010 (14.10.2010), fig. 1 & US 2010/0226149 A1	1-20

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 June, 2012 (15.06.12)Date of mailing of the international search report
26 June, 2012 (26.06.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/002341

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-200437 A (Fuji Xerox Co., Ltd.), 09 September 2010 (09.09.2010), fig. 1 (Family: none)	1-20

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H02M7/12(2006.01)i, G06F1/26(2006.01)i, H02M3/155(2006.01)i, H02M3/28(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H02M7/12, G06F1/26, H02M3/155, H02M3/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-195282 A (株式会社ルネサステクノロジ) 2007.08.02, 段落【0023】-【0030】, 図2等 (ファミリーなし)	1-20
A	JP 2010-119285 A (富士電機システムズ株式会社) 2010.05.27, 図1等 & US 2010/0097828 A1	1-20
A	JP 2010-233439 A (株式会社東芝) 2010.10.14, 図1等 & US 2010/0226149 A1	1-20

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 0 6 . 2 0 1 2

国際調査報告の発送日

2 6 . 0 6 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 貞雄

3 V

4 1 2 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-200437 A (富士ゼロックス株式会社) 2010.09.09, 図1等 (ファミリーなし)	1-20