

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5799322号  
(P5799322)

(45) 発行日 平成27年10月21日 (2015. 10. 21)

(24) 登録日 平成27年9月4日 (2015. 9. 4)

(51) Int. Cl. F I  
**A 6 3 F 7/02 (2006.01)**  
 A 6 3 F 7/02 3 2 6 Z  
 A 6 3 F 7/02 3 2 O

請求項の数 1 (全 93 頁)

(21) 出願番号	特願2014-69171 (P2014-69171)	(73) 特許権者	000132747
(22) 出願日	平成26年3月28日 (2014. 3. 28)		株式会社ソフィア
(62) 分割の表示	特願2010-79166 (P2010-79166) の分割		群馬県桐生市境野町7丁目201番地
原出願日	平成22年3月30日 (2010. 3. 30)	(74) 代理人	100075513 弁理士 後藤 政喜
(65) 公開番号	特開2014-166441 (P2014-166441A)	(74) 代理人	100120260 弁理士 飯田 雅昭
(43) 公開日	平成26年9月11日 (2014. 9. 11)	(72) 発明者	田中 雅也 群馬県太田市吉沢町990番地 株式会社 ソフィア内
審査請求日	平成26年4月25日 (2014. 4. 25)	(72) 発明者	松橋 光一 群馬県太田市吉沢町990番地 株式会社 ソフィア内
		審査官	鹿戸 俊介

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項 1】

遊技の演出を行う複数の演出装置を制御する演出制御手段を備え、

前記複数の演出装置を複数グループに分割し、該分割されたグループに属する演出装置を制御するためのグループ単位制御手段をグループ毎に設け、

前記演出制御手段を、前記グループ単位制御手段の各々を統括的に制御するグループ統括制御手段として構成するとともに、

前記グループ統括制御手段と前記グループ単位制御手段との間にデータ線とタイミング信号線を備えることによって、前記グループ統括制御手段から前記グループ単位制御手段にデータの伝達を可能とし、

前記伝達されるデータには、前記グループ単位制御手段を指定するためのアドレスデータと、前記演出装置の態様に関する制御情報と、前記グループ単位制御手段が前記演出装置の態様を更新させるタイミングを規定する更新規定情報が含まれ、

前記グループ統括制御手段は、

前記グループ単位制御手段の一部と接続されて、該グループ単位制御手段との間のデータ線とタイミング信号線の信号レベルを制御する第1の信号レベル制御手段と、

前記第1の信号レベル制御手段に接続されていないグループ単位制御手段と接続されて、該グループ単位制御手段との間のデータ線とタイミング信号線の信号レベルを制御する第2の信号レベル制御手段と、

を含んで構成され、

10

20

前記第 1 の信号レベル制御手段及び前記第 2 の信号レベル制御手段は、互いに異なる周期で接続されているグループ単位制御手段とデータの伝達を行い、

前記グループ単位制御手段は、

前記各グループ単位制御手段の間で共通となる共通アドレスと、各グループ単位制御手段同士で相違する個別アドレスと、が予め割り当てられ、

前記グループ統括制御手段から伝達されたアドレスデータが自身の個別アドレス又は共通アドレスを示す場合に、伝達される制御情報の取り込みを行い、

前記共通アドレスを示すアドレスデータは、複数のビットで構成されるとともに、全ての複数のビットがともに同一とならない値とし、

前記グループ単位制御手段は、前記グループ統括制御手段から伝達される更新規定情報に規定されるタイミングで、前記演出装置の態様を前記制御情報に対応する態様に更新することを特徴とする遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

グループに分割された演出装置を制御する複数のグループ単位制御手段と、複数のグループ単位制御手段を制御するグループ統括制御手段とを備える遊技機に関し、特に、グループ統括制御手段からグループ単位制御手段へのデータ送信方法に関する。

【背景技術】

【0002】

サブ中継基板と電飾基板との間の配線を簡素化することができる遊技機として、トップ電飾領域の中央部に配置されたトップLED中央基板をサブ中継基板とシリアル接続し、トップ電飾領域の右側部に配置されたトップLED右基板及びトップ電飾領域の左側部に配置されたトップLED左基板をトップLED中央基板から分離して配線により接続した構成の遊技機が知られている。これにより、サブ中継基板からトップ電飾領域への配線数を減らして配線を簡素化することができる（例えば、特許文献 1 参照）。

【0003】

また、信号線の本数を削減することができると共に不正行為の発見を容易に行うことができる遊技機として、主基板と副基板との間での信号送信を I<sup>2</sup>C バス方式により行い、主基板及び副基板にそれぞれ双方向バスバッファを設けたものがある。この双方向バスバッファは、I<sup>2</sup>C バスを構成する二つの双方向シリアルライン（SDA、SCL）をそれぞれ二つの片方向シリアルラインに分岐させるためのものであり、主基板に設けられた双方向バスバッファと副基板に設けられた双方向バスバッファとの間を、それらによって分岐された片方向シリアルラインの信号伝送方向が互いに一致するようにして、四つのシリアル線で接続した構成としている（例えば、特許文献 2 参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2008 - 212271 号公報

【特許文献 2】特開 2006 - 15036 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、従来の遊技機では、異なるグループ単位制御手段同士を効率よく制御することができなかった。

【0009】

本発明は、異なるグループ単位制御手段同士を効率よく制御することを目的とする。

【課題を解決するための手段】

【0010】

本発明は、遊技の演出を行う複数の演出装置を制御する演出制御手段を備え、前記複数

10

20

30

40

50

の演出装置を複数グループに分割し、該分割されたグループに属する演出装置を制御するためのグループ単位制御手段をグループ毎に設け、前記演出制御手段を、前記グループ単位制御手段の各々を統括的に制御するグループ統括制御手段として構成するとともに、前記グループ統括制御手段と前記グループ単位制御手段との間にデータ線とタイミング信号線を備えることによって、前記グループ統括制御手段から前記グループ単位制御手段にデータの伝達を可能とし、前記伝達されるデータには、前記グループ単位制御手段を指定するためのアドレスデータと、前記演出装置の態様に関する制御情報と、前記グループ単位制御手段が前記演出装置の態様を更新させるタイミングを規定する更新規定情報が含まれ、前記グループ統括制御手段は、前記グループ単位制御手段の一部と接続されて、該グループ単位制御手段との間のデータ線とタイミング信号線の信号レベルを制御する第1の信号レベル制御手段と、前記第1の信号レベル制御手段に接続されていないグループ単位制御手段と接続されて、該グループ単位制御手段との間のデータ線とタイミング信号線の信号レベルを制御する第2の信号レベル制御手段と、を含んで構成され、前記第1の信号レベル制御手段及び前記第2の信号レベル制御手段は、互いに異なる周期で接続されているグループ単位制御手段とデータの伝達を行い、前記グループ単位制御手段は、前記各グループ単位制御手段の間で共通となる共通アドレスと、各グループ単位制御手段同士で相違する個別アドレスと、が予め割り当てられ、前記グループ統括制御手段から伝達されたアドレスデータが自身の個別アドレス又は共通アドレスを示す場合に、伝達される制御情報の取り込みを行い、前記共通アドレスを示すアドレスデータは、複数のビットで構成されるとともに、全ての複数のビットがともに同一とならない値とし、前記グループ単位制御手段は、前記グループ統括制御手段から伝達される更新規定情報に規定されるタイミングで、前記演出装置の態様を前記制御情報に対応する態様に更新する。

【発明の効果】

【0015】

本発明によれば、異なるグループ単位制御手段同士を効率よく制御することができる。

【図面の簡単な説明】

【0024】

【図1】本発明の実施の形態の遊技機の説明図である。

【図2】本発明の実施の形態の遊技盤の正面図である。

【図3】本発明の実施の形態のセンターケースの分解斜視図である。

【図4】本発明の実施の形態の可動演出装置が動作する前の状態を示す図である。

【図5】本発明の実施の形態の可動演出装置が動作し、第1演出ユニット及び第2演出ユニットが動作した結果、当接部にて当接している状態を示す図である。

【図6】本発明の実施の形態の第1演出部材の分解斜視図である。

【図7】本発明の実施の形態の第2演出部材の分解斜視図である。

【図8】本発明の実施の形態の遊技機の配線を説明する図である。

【図9】本発明の実施の形態の遊技機の構成を示すブロック図である。

【図10】本発明の実施の形態の演出制御装置の構成を示すブロック図である。

【図11】本発明の実施の形態の演出制御装置に備えられた第1マスタICと遊技盤に備えられた演出装置の構成を示すブロック図である。

【図12】本発明の実施の形態の演出制御装置に備えられた第2マスタICと前面枠に備えられた演出装置の構成を示すブロック図である。

【図13】本発明の実施の形態の遊技盤及び通常版の前面枠に取り付けられる装飾制御装置の接続形態の説明図である。

【図14】本発明の実施の形態の演出制御装置に搭載される第1マスタICと遊技盤に含まれる中継基板及び照明用の装飾制御装置の接続状態を説明する図である。

【図15】本発明の実施の形態の演出制御装置と前面枠に含まれる簡易中継基板及び可動用の装飾制御装置の接続状態を説明する図である。

【図16】本発明の実施の形態の装飾制御装置のブロック図である。

【図17】本発明の実施の形態のI<sup>2</sup>C I/Oエクスパンドの構成を示すブロック図であ

10

20

30

40

50

る。

【図 1 8】本発明の実施の形態の第 1 マスタ IC に接続され、発光型の装飾装置を制御する装飾制御装置の I<sup>2</sup>C I / O エクスパンダ周辺の回路図である。

【図 1 9】本発明の実施の形態の第 2 マスタ IC に接続される装飾制御装置の I<sup>2</sup>C I / O エクスパンダ周辺の回路図であり、モータやソレノイドを制御する場合を示す図である。

【図 2 0】本発明の実施の形態の装飾制御装置（中継基板、簡易中継基板を含む）の入出力に関する接続線の回路図である。

【図 2 1】本発明の実施の形態の遊技盤及び廉価版前面枠に取り付けられる装飾制御装置の接続形態の説明図である。

10

【図 2 2】本発明の実施の形態の演出制御装置から装飾制御装置に出力されるデータに含まれるスレーブアドレス 2 2 0 0 の説明図である。

【図 2 3】本発明の実施の形態の I<sup>2</sup>C I / O エクスパンダアドレステーブルの説明図である。

【図 2 4】本発明の実施の形態の I<sup>2</sup>C I / O エクスパンダに備えられる出力設定レジスタに割り当てられたワークレジスタを説明するための図である。

【図 2 5】本発明の実施の形態のマスタ IC が接続線 S D A 及び接続線 S C L を介してデータを出力するスタート条件及びストップ条件の説明図である。

【図 2 6】本発明の実施の形態のマスタ IC から出力されたデータが入力された装飾制御装置が返答信号を出力するタイミングチャートである。

20

【図 2 7】本発明の実施の形態のマスタ IC が演出制御データを出力する場合の接続線 S D A 及び接続線 S C L の信号レベルのタイミングチャートである。

【図 2 8】本発明の実施の形態のマスタ IC が、スレーブの個別アドレスを指定して装飾制御装置に演出制御データを設定する場合において、マスタ IC と I<sup>2</sup>C I / O エクスパンダとの間で送受信されるデータのフォーマットを説明する図である。

【図 2 9】本発明の実施の形態のマスタ IC が、スレーブの個別アドレスを指定して装飾制御装置に演出制御データを設定する場合において、マスタ IC と I<sup>2</sup>C I / O エクスパンダとの間で送受信される演出制御データに具体的な数値を適用した図である。

【図 3 0】本発明の実施の形態のマスタ IC の演出制御データを送信する順序を説明する図である。

30

【図 3 1】本発明の実施の形態のマスタ IC が I<sup>2</sup>C I / O エクスパンダを初期化する場合に、マスタ IC から I<sup>2</sup>C I / O エクスパンダに送信される初期化指示データのフォーマットを説明する図である。

【図 3 2】本発明の実施の形態の第 1 マスタ IC の異常判定テーブルを説明する図である。

【図 3 3】本発明の実施の形態の第 2 マスタ IC の異常判定テーブルを説明する図である。

【図 3 4】本発明の実施の形態の各装飾制御装置（スレーブ）を初期化（リセット）時に C P U とマスタ IC （第 1 マスタ IC 又は第 2 マスタ IC ）との間で送受信される情報を説明する図である。

40

【図 3 5】本発明の実施の形態の各装飾制御装置（スレーブ）に演出制御データを送信する際に C P U とマスタ IC （第 1 マスタ IC 又は第 2 マスタ IC ）との間で送受信される情報を説明する図である。

【図 3 6】本発明の実施の形態の演出制御装置からマスタ IC （第 1 マスタ IC 又は第 2 マスタ IC ）に演出制御データを送信する段階を説明する図である。

【図 3 7】本発明の実施の形態の演出制御装置による処理の手順を示すフローチャートである。

【図 3 8】本発明の実施の形態の第 1 マスタ IC 側スレーブ初期化開始処理及び第 2 マスタ IC 側スレーブ初期化開始処理の手順を示すフローチャートである。

【図 3 9】本発明の実施の形態の第 1 マスタ側スレーブ出力開始処理及び第 2 マスタ側ス

50

レーブ出力開始処理の手順を示すフローチャートである。

【図４０】本発明の実施の形態の第１マスタＩＣ及び第２マスタＩＣによる送信中断割込み発生時の処理の手順を示すフローチャートである。

【図４１】本発明の実施の形態の第１マスタＩＣ及び第２マスタＩＣによるタイムアウト割込み発生時の処理の手順を示すフローチャートである。

【図４２】本発明の実施の形態の初期化指示データの送信再開処理の手順を示すフローチャートである。

【図４３】本発明の実施の形態の演出制御データの送信再開処理の手順を示すフローチャートである。

【図４４】本発明の実施の形態のタイマ割込みが発生した場合の演出制御装置のＣＰＵによって実行される処理の手順を示すフローチャートである。 10

【図４５】本発明の実施の形態の第２マスタ側スレーブ出力データ編集処理の手順を示すフローチャートである。

【図４６】本発明の実施の形態のマスタＩＣによるデータ送信処理の手順を示すフローチャートである。

【図４７】本発明の実施の形態のアドレス認識処理の手順を示すフローチャートである。

【図４８】本発明の実施の形態のバイト単位データ送信処理の手順を示すフローチャートである。

【図４９】本発明の実施の形態における装飾制御装置及び装飾装置の接続例を示す図であり、８セット分のＬＥＤを２つの装飾制御装置によって制御する構成を示す図である。 20

【図５０】本発明の実施の形態における装飾制御装置がデータを受信し、演出装置を制御するタイミングを示す図であり、ストップコンディションを出力した時点で受信したデータを反映させる場合について説明する図である。

【発明を実施するための形態】

【００２５】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【００２６】

（実施の形態）

図１は、本発明の実施の形態の遊技機１の説明図である。

【００２７】

遊技機１の前面枠（遊技枠）３は、本体枠（外枠）２にヒンジ４を介して、遊技機１の前面に開閉回動可能に組み付けられる。前面枠３の表側には、遊技盤１０（図２参照）が収装される。また、前面枠３には、遊技盤１０の前面を覆うカバーガラス（透明部材）を備えたガラス枠１８が取り付けられている。 30

【００２８】

ガラス枠１８のカバーガラスの周囲には、装飾光が発光される装飾部材９ａ、９ｂが備えられている。装飾部材９ａ、９ｂの内部にはランプやＬＥＤ等からなる装飾装置が備えられている。装飾装置を所定の発光態様によって発光させることによって、装飾部材９ａ、９ｂが所定の発光態様によって発光する。 40

【００２９】

ガラス枠１８の左右には、音響（例えば、効果音）を発するスピーカ３０が備えられている。また、ガラス枠１８の上方には照明ユニット１１が備えられている。

【００３０】

照明ユニット１１には、第１可動式照明１３及び第２可動式照明１４が左右に配置されている。第１可動式照明１３及び第２可動式照明１４には、ＬＥＤなどの照明部材の他に、照明駆動第１モータ（ＭＯＴ）１３ａ及び照明駆動第２モータ（ＭＯＴ）１４ａが備えられており、演出内容に応じて動作するように制御される。

【００３１】

照明ユニット１１の右下方には、遊技機１において異常が発生したことを報知するための異常報知ＬＥＤ２９が備えられている。 50

## 【 0 0 3 2 】

前面枠 3 の下部の開閉パネル 2 0 には図示しない打球発射装置に遊技球を供給する上皿が、固定パネル 2 2 には下皿 2 3 及び打球発射装置の操作部 2 4 等が備えられる。下皿 2 3 には、下皿 2 3 に貯まった遊技球を排出するための下皿球抜き機構 1 6 が備えられる。前面枠 3 下部右側には、ガラス枠 1 8 を施錠するための鍵 2 5 が備えられている。

## 【 0 0 3 3 】

また、遊技者が操作部 2 4 を回動操作することによって、打球発射装置は、上皿 2 1 から供給される遊技球を発射する。

## 【 0 0 3 4 】

また、上皿 2 1 の上縁部には、遊技者からの操作入力を受け付けるための演出ボタン 1 7 が備えられている。遊技者が演出ボタン 1 7 を操作することによって、遊技盤 1 0 に設けられた表示装置 5 3 ( 図 2 参照 ) における特図変動表示ゲームの演出内容を選択して、表示装置 5 3 における特図変動表示ゲームに、遊技者の操作を介入させた演出を行うことができる。

10

## 【 0 0 3 5 】

特図変動表示ゲームは、発射された遊技球が遊技盤 1 0 に備わる始動口 3 6 ( 図 2 参照 ) に入賞した場合に開始される。特図変動表示ゲームでは、表示装置 5 3 において複数の識別情報が変動表示する。そして、変動表示していた識別情報が停止し、停止した識別情報の結果態様が特定の結果態様である場合に、遊技機 1 の状態が遊技者に有利な状態 ( 特典が付与される状態 ) である特別遊技状態に遷移する。

20

## 【 0 0 3 6 】

上皿 2 1 の右上部には、遊技者が遊技球を借りる場合に操作する球貸ボタン 2 6 、及び、図示しないカードユニットからプリペイドカードを排出させるために操作される排出ボタン 2 7 が設けられている。さらに、これらの球貸ボタン 2 6 と排出ボタン 2 7 との間には、プリペイドカードの残高を表示する残高表示部 2 8 が設けられる。

## 【 0 0 3 7 】

図 2 は、本発明の実施の形態の遊技盤 1 0 の正面図である。

## 【 0 0 3 8 】

図 1 に示す遊技機 1 は、内部の遊技領域 1 0 a 内に遊技球を発射して ( 弾球して ) 遊技を行うもので、ガラス枠 1 8 のカバーガラスの奥側には、遊技領域 1 0 a を構成する遊技盤 1 0 が設置されている。

30

## 【 0 0 3 9 】

遊技盤 1 0 は、各種部材の取付ベースとなる平板状の遊技盤本体 1 0 b ( 木製又は合成樹脂製 ) を備え、該遊技盤本体 1 0 b の前面にガイドレール 3 2 で囲まれた遊技領域 1 0 a を有している。また、遊技盤本体 1 0 b の前面であってガイドレール 3 2 の外側には、前面構成部材 3 3 が取り付けられている。そして、このガイドレール 3 2 で囲まれた遊技領域 1 0 a 内に発射装置から遊技球 ( 打球 ; 遊技媒体 ) を発射して遊技を行う。

## 【 0 0 4 0 】

遊技領域 1 0 a の略中央には、特図変動表示ゲームの表示領域となる窓部 5 2 を形成するセンターケース 5 1 が取り付けられている。センターケース 5 1 に形成された窓部 5 2 の後方には、複数の識別情報を変動表示する特図変動表示ゲームの演出を実行可能な演出表示装置としての表示装置 5 3 が配される。表示装置 5 3 は、例えば、液晶ディスプレイを備え、表示内容が変化可能な表示部 5 3 a がセンターケース 5 1 の窓部 5 2 を介して遊技盤 1 0 の前面側から視認可能となるように配されている。なお、表示装置 5 3 は、液晶ディスプレイを備えるものに限らず、E L、C R T 等のディスプレイを備えるものであってもよい。

40

## 【 0 0 4 1 】

また、センターケース 5 1 の上部には、大当たりの可能性 ( 信頼度 ) を報知する信頼度報知装置 1 5 が備えられる。信頼度報知装置 1 5 には、複数色の L E D ( 例えば、赤、青、緑の 3 色の L E D ) が備えられており、信頼度に応じた色及び態様で発光するように制

50

御される。

【 0 0 4 2 】

さらに、センターケース 5 1 の左部には、遊技球が流下可能な球導入路（ワープ流路）5 0 が設けられ、遊技領域 1 0 a に向けて入口 5 0 a が開放した状態で開設されている。球導入路 5 0 は、センターケース 5 1 の内部に連通しており、入口 5 0 a から流入した遊技球は、センターケース 5 1 の裏側を通過して、ユニット側ステージ部 4 9 b 上に排出される。さらに、ユニット側ステージ部 4 9 b 上で転動した遊技球が当該ユニット側ステージ部 4 9 b の下方に配置されたベース側ステージ部 4 9 a 上に流下できるように構成されている。

【 0 0 4 3 】

センターケース 5 1 の周縁部には、複数の装飾具 4 7 が配置される。センターケース 5 1 の左下部には、装飾ランプ 4 8 が配置される、センターケース 5 1 の上部には、複数の装飾ピース 4 6 を上下動可能な状態で配置される。装飾具 4 7、装飾ランプ 4 8 及び装飾ピース 4 6 は、後述する演出制御装置 5 5 0 からの命令に従って演出動作を行う。センターケース 5 1 の構成については、図 3 を参照しながらさらに詳細に説明する。

【 0 0 4 4 】

また、遊技領域 1 0 a のうちセンターケース 5 1 の下方には、遊技球を受入可能（入賞可能）な特図変動表示ゲームを始動させるための始動口 3 6 が配置される。さらに、センターケース 5 1 の側方（左側方）には、普図変動表示ゲームを始動させるための普図始動ゲート 3 4 が配置される。

【 0 0 4 5 】

さらに、遊技領域 1 0 a には、センターケース 5 1 の左下方及び右下方に、発光によって各種装飾表示を行うサイドランプ 4 5 が配置される。また、サイドランプ 4 5 には、一般入賞口 4 4 が備えられている。

【 0 0 4 6 】

さらに、始動口 3 6 の下方には大入賞口 4 2 が配置され、該大入賞口 4 2 の下方であって遊技領域 1 0 a の下縁部には、入賞せずに流下した遊技球を回収するアウト口 4 3 が開設される。大入賞口 4 2 は、上端側が手前側に倒れる方向に回動して開放可能になっているアタッカ形式の開閉扉 4 2 a を備える。特図変動表示ゲームの結果によって開閉扉 4 2 a を閉じた状態（遊技者にとって不利な状態）から開放状態（遊技者にとって有利な状態）に変換する。

【 0 0 4 7 】

また、センターケース 5 1、始動口 3 6 やサイドランプ 4 5 等の取付部分を除いた遊技領域 1 0 a 内には、この他、遊技領域 1 0 a には、打球方向変換部材としての風車（図示略）、及び多数の障害釘（図示略）などが配設されている。そして、センターケース 5 1 と、該センターケース 5 1 を挟んで普図始動ゲート 3 4 とは反対側に位置する前面構成部材 3 3 との間に縦長な円弧状の遊技球通路 5 7 が形成されている。

【 0 0 4 8 】

さらに、遊技盤 1 0 には、特図変動表示ゲーム及び普図変動表示ゲームを実行する普図・特図表示器 3 5 が備えられている。普図・特図表示器 3 5 には、特図変動表示ゲームの未処理回数（特図始動記憶数）及び普図変動表示ゲームの未処理回数（普図始動記憶数）が表示される。普図・特図表示器 3 5 は、遊技状態を表す遊技状態表示 L E D（図示略）と併せて、セグメント L E D として設けられている。

【 0 0 4 9 】

普図始動ゲート 3 4 内には、該普図始動ゲート 3 4 を通過した遊技球を検出するためのゲート S W 3 4 a（図 9 参照）が設けられている。そして、遊技領域 1 0 a 内に打ち込まれた遊技球が普図始動ゲート 3 4 内を通過すると、普図変動表示ゲームが開始される。

【 0 0 5 0 】

また、普図変動表示ゲームを開始できない状態で、普図始動ゲート 3 4 を遊技球が通過すると、普図始動記憶数が上限数未満であるならば、普図始動記憶数が 1 加算されて、当

10

20

30

40

50

該普図変動表示ゲームが当たりとなるか否かを示す乱数が普図始動記憶として一つ記憶される。

【0051】

普図変動表示ゲームが開始できない状態とは、例えば、普図変動表示ゲームが既に行われ、その普図変動表示ゲームが終了していない状態や、普図変動表示ゲームに当選して始動口36が開状態に変換されている状態のことをいう。

【0052】

なお、普図変動表示ゲームは、表示装置53の表示領域の一部で普図変動表示ゲームを表示するようにしてもよく、この場合は識別図柄として、例えば、数字、記号、キャラクタ図柄などを用い、この識別図柄を所定時間変動表示させた後、停止表示させることによって行うようにする。

【0053】

普図変動表示ゲームの停止表示が特別の結果態様となった場合には、普図変動表示ゲームに当選したものとして、始動口36の開閉部材36aが所定時間（例えば、0.5秒間）開放される。これにより、始動口36に遊技球が入賞しやすくなり、特図変動表示ゲームの始動が容易となる。始動口36の開閉部材36aは、通常時は遊技球の直径程度の間隔をおいて閉じた状態（遊技者にとって不利な状態）を保持しているが、普図変動表示ゲームの結果が所定の停止表示態様となった場合（普図変動表示ゲームに当選した場合）には、ソレノイド（普電SOL36b、図9参照）によって、逆「ハ」の字状に開いて始動口36に遊技球が流入し易い状態（遊技者にとって有利な状態）に変化させられる。

【0054】

また、本発明の実施の形態の遊技機1は、特図変動表示ゲームの結果態様に基づいて、遊技状態として、表示装置53における特図変動表示ゲームの変動表示時間を短縮する時短動作状態（第2動作状態）を発生可能となっている。時短動作状態（第2動作状態）は、通常動作状態（第1動作状態）と比較して始動口36の開閉部材36aが開放状態となりやすい状態である。

【0055】

時短動作状態においては、普図変動表示ゲームの実行時間が通常動作状態における実行時間よりも短くなるように制御され（例えば、10秒が1秒）、単位時間当りの始動口36の開放回数が実質的に多くなるように制御される。また、時短動作状態においては、普図変動表示ゲームに当選したことによって始動口36が開放される場合に、開放時間が通常動作状態の開放時間よりも長くなるように制御される（例えば、0.3秒が1.8秒）。また、時短動作状態においては、普図変動表示ゲームの1回の当選結果に対して、始動口36が1回ではなく、複数回（例えば、2回）開放される。さらに、時短動作状態においては普図変動表示ゲームの当選結果となる確率が通常動作状態よりも高くなるように制御される。すなわち、通常動作状態よりも始動口36の開放回数が増加され、始動口36に遊技球が入賞しやすくなり、特図変動表示ゲームの始動が容易となる。

【0056】

また、始動口36の内部には、始動口36を通過した遊技球を検出するための、始動口SW36d（図9参照）が備えられる。始動口SW36dによって遊技球を検出すると、補助遊技としての特図変動表示ゲームを開始する始動権利が発生する。このとき、特図変動表示ゲームを開始する始動権利は、所定の上限数（例えば4）の範囲内で特図始動記憶として記憶される。

【0057】

特図変動表示ゲームを直ちに開始できない状態、例えば、既に特図変動表示ゲームが行われ、その特図変動表示ゲームが終了していない状態や、特別遊技状態となっている場合に、始動口36に遊技球が入賞すると、特図始動記憶数が上限数未満（例えば、4個未満）ならば、特図始動記憶数が1加算され、始動口36に遊技球が入賞したタイミングで抽出された乱数が特図始動記憶として一つ記憶される。そして、特図変動表示ゲームが開始可能な状態となると、特図始動記憶に基づき特図変動表示ゲームが開始される。



## 【 0 0 5 8 】

補助遊技としての特図変動表示ゲームは、遊技盤 1 0 に設けられた普図・特図表示器 3 5 で実行され、複数の識別情報を変動表示したのち、所定の結果態様を停止表示することで行われる。また、表示装置 5 3 にて特図変動表示ゲームに対応して複数種類の識別情報（例えば、数字、記号、キャラクタ図柄など）が変動表示される。そして、特図変動表示ゲームの結果として、普図・特図表示器 3 5 の表示態様が特別結果態様となった場合には、大当たりとなって特別遊技状態（いわゆる、大当たり状態）となる。また、これに対応して表示装置 5 3 の表示態様も特別結果態様（例えば、「 7 , 7 , 7 」等のゾロ目数字の何れか）となる。なお、普図・特図表示器 3 5 ではなく、表示装置 5 3 のみで特図変動表示ゲームを実行するように構成してもよい。

10

## 【 0 0 5 9 】

また、本発明の実施の形態の遊技機 1 は、特図変動表示ゲームの結果態様に基づき、遊技状態として確変状態（第 2 確率状態）を発生可能となっている。この確変状態（第 2 確率状態）は、特図変動表示ゲームでの当り結果となる確率が、通常確率状態（第 1 確率状態）に比べて高い状態である。なお、確変状態と上述した時短動作状態はそれぞれ独立して発生可能であり、両方を同時に発生することも可能であるし、一方のみを発生させることも可能である。

## 【 0 0 6 0 】

図 3 は、本発明の実施の形態のセンターケース 5 1 の分解斜視図である。

## 【 0 0 6 1 】

センターケース 5 1 は、遊技盤本体 1 0 b（遊技盤 1 0）の表面側に前面構成部として配置される枠装飾部 6 5 と、遊技盤本体 1 0 b の裏面側に裏面構成部として配置される枠体基部 6 0 とを前後に重合して構成されている。枠装飾部 6 5 は、遊技盤本体 1 0 b の表面に止着される環状の装飾ベース 6 6 を備える。装飾ベース 6 6 の裏面側には、装飾ベース 6 6 と略同じ大きさで円形状に形成された装飾パネルユニット 6 7 を備え、枠装飾部 6 5 は、装飾ベース 6 6 と装飾パネルユニット 6 7 とを前後に重合して構成されている。

20

## 【 0 0 6 2 】

装飾ベース 6 6 の下部には、上面に遊技球を前後方向及び左右方向に転動可能なベース側ステージ部 4 9 a が配置され、該ベース側ステージ部 4 9 a と遊技球通路 5 7 との間には装飾ランプ 4 8 が配置されている（図 2 参照）。そして、ベース側ステージ部 4 9 a を挟んで装飾ランプ 4 8 とは反対側には、遊技球が流下可能な球導入路（ワープ流路）5 0 が設けられ、球導入路 5 0 の入口 5 0 a を装飾ベース 6 6 の外方へ向けて開放した状態で開設し、球導入路 5 0 の出口 5 0 b を後述する装飾パネルユニット 6 7 の裏側へ連通している。

30

## 【 0 0 6 3 】

装飾パネルユニット 6 7 は、略円形状の透明樹脂板で形成されたカバーパネル部 6 9 を備え、該カバーパネル部 6 9 の前面側の周縁に複数の装飾具 4 7 を配置している。装飾パネルユニット 6 7 と枠装飾部 6 5 とを重合すると、装飾具 4 7 が装飾ベース 6 6 の内周縁に沿って配置されるように設定されている（図 2 参照）。また、カバーパネル部 6 9 の上部には、信頼度報知装置 1 5 が配置されている。

40

## 【 0 0 6 4 】

また、カバーパネル部 6 9 の裏面側の下部には、上面に遊技球を前後方向及び左右方向に転動可能なユニット側ステージ部 4 9 b が配置される。ユニット側ステージ部 4 9 b は、装飾ベース 6 6 のベース側ステージ部 4 9 a よりも上方に配置される。

## 【 0 0 6 5 】

さらに、カバーパネル部 6 9 のうち球導入路 5 0 の出口 5 0 b に重合する箇所には球流入口 6 8 を開設し、該球流入口 6 8 を介して球導入路 5 0 とユニット側ステージ部 4 9 b とを連通している。したがって、遊技領域 1 0 a を流下する遊技球が球導入路 5 0 に流入すると、球導入路 5 0 がこの遊技球をユニット側ステージ部 4 9 b 上に導入できるように構成されている。

50

## 【 0 0 6 6 】

枠体基部 6 0 は、遊技盤 1 0 の裏面側に止着される額縁状の基部ケース 6 1 を前側が開放した状態で備え、該基部ケース 6 1 の内側（言い換えるとセンターケース 5 1 の内部）に、開口部 6 2 a が前面側に設けられた凹室 6 2 を形成している。

## 【 0 0 6 7 】

また、基部ケース 6 1 のうち凹室 6 2 の後方には矩形状の窓部 5 2 を前後方向へ貫通して開設し、基部ケース 6 1 の後方から表示装置 5 3 を装着して、表示装置 5 3 の表示部 5 3 a を窓部 5 2 及び凹室 6 2 を通してセンターケース 5 1 の前方へ臨ませている。

## 【 0 0 6 8 】

さらに、窓部 5 2 の上縁部の前側には、役物駆動ソレノイド（図示せず）によって上下動可能な複数の装飾ピース 4 6 が配置され、窓部 5 2 の左右両側の周縁には、表示部 5 3 a の前方へ移動して演出動作を行う可動演出装置 5 8 が備えられる。

10

## 【 0 0 6 9 】

そして、枠体基部 6 0 の前方に枠装飾部 6 5 を重合すると、凹室 6 2 の開口部 6 2 a 及び窓部 5 2 をカバーパネル部 6 9 で前方から被覆し、表示装置 5 3 の表示部 5 3 a を枠装飾部 6 5 の内側（カバーパネル部 6 9 が露出した箇所）からセンターケース 5 1 の前方へ臨ませるように構成されている。

## 【 0 0 7 0 】

図 4 及び図 5 は、本発明の実施の形態の可動演出装置 5 8 の構成を説明する図である。

## 【 0 0 7 1 】

20

可動演出装置 5 8 は、第 1 演出ユニット 6 3 と第 2 演出ユニット 6 4 とを互いに離間した位置に備えて構成され、第 1 演出ユニット 6 3 及び第 2 演出ユニット 6 4 が連動して演出動作が実行される。

## 【 0 0 7 2 】

図 4 は、可動演出装置 5 8 が動作する前の状態を示す図であり、図 5 は、可動演出装置 5 8 が動作し、第 1 演出ユニット 6 3 及び第 2 演出ユニット 6 4 が動作した結果、当接部（第 1 当接部 1 2 1 及び第 2 当接部 1 2 2 ）にて当接している状態を示す図である。

## 【 0 0 7 3 】

第 1 演出ユニット 6 3 は、センターケース 5 1 の左側、すなわち、基部ケース 6 1 の窓部 5 2 の周縁の左側に配置される。また、第 2 演出ユニット 6 4 は、センターケース 5 1 の右側に配置される。センターケース 5 1 の前方から見て第 1 演出ユニット 6 3 と第 2 演出ユニット 6 4 との間に凹室 6 2 及び窓部 5 2 を臨ませるように配置される。

30

## 【 0 0 7 4 】

第 1 演出ユニット 6 3 は、表示部 5 3 a の前方へ移動可能な第 1 演出部材 7 0 と、該第 1 演出部材 7 0 の駆動力を発生する第 1 演出駆動源としての役物駆動第 1 モータ（MOT）7 1 と、役物駆動第 1 MOT 7 1 から発生した駆動力（回動力）を第 1 演出部材 7 0 へ伝達する第 1 演出伝達機構（第 1 主腕部材 7 3 及び第 1 副腕部材 7 4 ）とを備える。

## 【 0 0 7 5 】

また、役物駆動第 1 MOT 7 1 の出力軸（第 1 出力軸）7 1 a がセンターケース 5 1 の前後方向に延在し、第 1 出力軸 7 1 a には第 1 駆動ギア 7 6 を共回り可能に軸着している。

40

## 【 0 0 7 6 】

第 1 主腕部材 7 3 は、第 1 駆動ギア 7 6 と噛合される第 1 主腕ギア 7 7 が形成され、当該第 1 駆動ギア 7 6 の上方に軸着される。第 1 副腕部材 7 4 は、第 1 駆動ギア 7 6 と噛合される第 1 副腕ギア 7 8 が形成され、当該第 1 駆動ギア 7 6 の下方に軸着される。第 1 主腕部材 7 3 及び第 1 副腕部材 7 4 は、基部ケース 6 1 と軸着された端部の反対側の端部が互いに異なる位置で第 1 演出部材 7 0 に軸着し、第 1 演出部材 7 0 を支持している。

## 【 0 0 7 7 】

第 1 演出ユニット 6 3 は、役物駆動第 1 MOT 7 1 を駆動して第 1 駆動ギア 7 6 をセンターケース 5 1 の正面から見て時計方向へ回動すると、役物駆動第 1 MOT 7 1 の駆動力

50

(回動力)を第1駆動ギア76及び第1主腕ギア77を介して第1主腕部材73へ伝達し、この駆動力により第1主腕部材73がセンターケース51の正面から見て反時計方向へ回転する。また、役物駆動第1MOT71の駆動力を第1駆動ギア76及び第1副腕ギア78を介して第1副腕部材74へ伝達し、この駆動力により第1副腕部材74が第1主腕部材73と同じ反時計方向へ回転する。この結果、第1演出部材70が第1主腕部材73及び第1副腕部材74に支持された状態で上昇する。

【0078】

そして、役物駆動第1MOT71の駆動力により第1主腕部材73及び第1副腕部材74を上方へ延出して縦向き姿勢に設定すると、図4に示すように、第1演出部材70を表示部53aの前方から外れて位置させた第1演出停止状態となり、第1演出部材70が窓部52の側方に位置して、枠装飾部65の後方及び遊技盤本体10bの後方に隠れる(図2参照)。

10

【0079】

一方、第1演出停止状態から役物駆動第1MOT71を駆動して第1駆動ギア76をセンターケース51の正面から見て反時計方向へ回転すると、役物駆動第1MOT71の駆動力(回動力)を第1駆動ギア76及び第1主腕ギア77を介して第1主腕部材73へ伝達し、この駆動力により第1主腕部材73がセンターケース51の正面から見て時計方向へ回転する。

【0080】

また、役物駆動第1MOT71の駆動力を第1駆動ギア76及び第1副腕ギア78を介して第1副腕部材74へ伝達し、この駆動力により第1副腕部材74が第1主腕部材73と同じ時計方向へ回転する。この結果、第1演出部材70が第1主腕部材73及び第1副腕部材74に支持された状態で下降する。

20

【0081】

そして、役物駆動第1MOT71の駆動力により第1主腕部材73及び第1副腕部材74を表示部53aの前方へ延出して横向き姿勢に設定すると、図5に示すように、第1演出部材70を表示部53aの前方へ位置させた第1演出実行状態となり、第1演出部材70が表示部53aとカバーパネル部69との間の空間部のうち表示部53aの中央部分の前方に位置する。

【0082】

30

第2演出ユニット64は、表示部53aの前方へ移動可能な第2演出部材80と、該第2演出部材80の駆動力を発生する第2演出駆動源としての役物駆動第2モータ(MOT)81と、役物駆動第2MOT81から発生した駆動力(回動力)を第2演出部材80へ伝達する第2演出伝達機構(第2主腕部材83及び第2副腕部材84)とを備える。

【0083】

また、役物駆動第2MOT81を出力軸(第2出力軸)81aがセンターケース51の前後方向に延在し、第2出力軸81aには第2駆動ギア86を共回り可能に軸着している。

【0084】

第2主腕部材83は、第2駆動ギア86と噛合される第2主腕ギア87が形成され、当該第2駆動ギア86よりも第1演出ユニット63寄りの位置に軸着される。第2副腕部材84は、第2駆動ギア86と噛合される第2副腕ギア88が形成され、当該第2駆動ギア86の下方に軸着される。第2主腕部材83及び第2副腕部材84は、基部ケース61と軸着された端部の反対側の端部が互いに異なる位置で第2演出部材80に軸着し、第2演出部材80を支持している。

40

【0085】

第2演出ユニット64は、役物駆動第2MOT81を駆動して第2駆動ギア86をセンターケース51の正面から見て時計方向へ回転すると、役物駆動第2MOT81の駆動力(回動力)を第2駆動ギア86及び第2主腕ギア87を介して第2主腕部材83へ伝達し、この駆動力により第2主腕部材83がセンターケース51の正面から見て反時計方向へ

50

回転する。また、役物駆動第2MOT81の駆動力を第2駆動ギア86及び第2副腕ギア88を介して第2副腕部材84へ伝達し、この駆動力により第2副腕部材84が第2主腕部材83と同じ反時計方向へ回転する。この結果、第2演出部材80が第2主腕部材83及び第2副腕部材84に支持された状態で下降する。

【0086】

そして、役物駆動第2MOT81の駆動力により第2主腕部材83及び第2副腕部材84を回転して第2演出部材80を下死点へ到達させ、引き続き第2主腕部材83及び第2副腕部材84を回転して斜め下方へ延出して縦向き姿勢に設定し、第2演出部材80を下死点から僅かに上昇させると、図4に示すように、第2演出部材80を表示部53aの前方から外れて位置させた第2演出停止状態となり、第2演出部材80が枠装飾部65の後方及び遊技盤本体10bの後方に隠れる(図2参照)。

10

【0087】

一方、第2演出停止状態から役物駆動第2MOT81を駆動して第2駆動ギア86をセンターケース51の正面から見て反時計方向へ回転すると、役物駆動第2MOT81の駆動力(回動力)を第2駆動ギア86及び第2主腕ギア87を介して第2主腕部材83へ伝達し、この駆動力により第2主腕部材83がセンターケース51の正面から見て時計方向へ回転する。

【0088】

また、役物駆動第2MOT81の駆動力を第2駆動ギア86及び第2副腕ギア88を介して第2副腕部材84へ伝達し、この駆動力により第2副腕部材84が第2主腕部材83と同じ時計方向へ回転する。この結果、第2演出部材80が第2主腕部材83及び第2副腕部材84に支持された状態で上昇する。

20

【0089】

そして、役物駆動第2MOT81の駆動力により第2主腕部材83及び第2副腕部材84を表示部53aの前方へ延出して横向き姿勢に設定すると、図5に示すように、第2演出部材80を表示部53aの前方へ位置させた第2演出実行状態となり、第2演出部材80が表示部53aとカバーパネル部69との間の空間部のうち表示部53aの中央部分の前方に位置する。

【0090】

図6は、本発明の実施の形態の第1演出部材70の分解斜視図である。

30

【0091】

第1演出部材70は、センターケース51の正面から見て略半円形状の部材であり、第1演出ユニット63側に円弧面を配置した姿勢に設定されている。

【0092】

第1演出部材70には、基部となる第1演出ベース100が備えられる。第1演出ベース100は、透明な樹脂によって形成される。第1演出ベース100の上部には、第1主腕部材73を第1演出ベース100の前方から軸着する第1主腕軸着部101を形成し、第1演出ベース100の下部には、第1副腕部材74を第1演出ベース100の後方から軸着する第1副腕軸着部102を形成している。

【0093】

第1演出ベース100の前面には、光を拡散しながら透過可能な第1光拡散シート103が重合される。さらに、第1光拡散シート103の前面に透明な第1保護パネル104を重合することによって、第1光拡散シート103が第1演出部材70から脱落することを阻止している。

40

【0094】

また、第1演出ベース100の後部を前方へ窪ませて第1基板収納空間部105を形成し、該第1基板収納空間部105にLEDなどの発光装置(装飾装置620、図17参照)が実装された第1発光基板106を収納する。さらに、この状態で第1基板収納空間部105を第1ベース蓋部107で閉塞し、第1発光基板106が第1演出部材70から脱落することを阻止している。

50

## 【0095】

そして、第1発光基板106の発光装置から光を発生すると、この光が第1演出ベース100、第1光拡散シート103、第1保護パネル104を透過してセンターケース51の前方へ照射されるように構成されている。

## 【0096】

さらに、第1当接部121の第1基板収納空間部105側には、後部が開放された第1演出磁石ホルダ124を窪ませて形成されている。第1演出磁石ホルダ124には、ボタン形状の永久磁石からなる第1磁石125を磁極が第2演出部材80側へ向いた姿勢で、第1磁石125が第1当接部121（第1演出磁石ホルダ124）から脱落しないように収納されている。

10

## 【0097】

第1発光基板106には、装飾装置620の発光を制御するためのI<sup>2</sup>C I/Oエクspanda615（図17参照）が搭載され、演出制御装置550から出力された制御信号（電気信号）など送信するためのデータ線及びクロック線（信号線）が接続される。さらに、装飾装置620を発光させるために必要な電力を供給するための電源線などが接続される。これらの接続線は、ケーブル108としてまとめられて接続されている。

## 【0098】

図7は、本発明の実施の形態の第2演出部材80の分解斜視図である。

## 【0099】

第2演出部材80は、センターケース51の正面から見て上部に切欠部分がある略平行四辺形状となっている。第2演出停止状態においては第2演出部材80の上下両側面を第2演出ユニット64側から第1演出ユニット63側へ向けて下り傾斜させ（図4参照）、第2演出実行状態においては当該第2演出部材80の左右両側面を第2演出ユニット64側から第1演出ユニット63側へ向けて下り傾斜させる姿勢に設定されている（図5参照）。

20

## 【0100】

第2演出部材80には、基部となる第2演出ベース110が備えられる。第2演出ベース110は、透明な樹脂によって形成される。第2演出ベース110の上部には、第2主腕部材83を第2演出ベース110の前方から軸着する第2主腕軸着部111を形成し、第2演出ベース110の下部には、第2副腕部材84を第2演出ベース110の後方から軸着する第2副腕軸着部112を形成している。

30

## 【0101】

さらに、第2演出ベース110の前面には、光を拡散しながら透過可能な第2光拡散シート113を重合される。第2光拡散シート113の前面に透明な第2保護パネル114を重合することによって、第2光拡散シート113が第2演出部材80から脱落することを阻止している。

## 【0102】

また、第2演出ベース110の後部を前方へ窪ませて第2基板収納空間部115を形成し、該第2基板収納空間部115にLEDなどの発光装置（装飾装置620）が実装された第2発光基板116を収納し、この状態で第2基板収納空間部115を第2ベース蓋部117で閉塞して、第2発光基板116が第2演出部材80から脱落することを阻止している。

40

## 【0103】

そして、第2発光基板116の発光装置から光を発生すると、この光が第2演出ベース110、第2光拡散シート113、第2保護パネル114を透過してセンターケース51の前方へ照射されるように構成されている。

## 【0104】

さらに、第2当接部122の第2基板収納空間部115側には、後部が開放された第2演出磁石ホルダ128を窪ませて形成されている。第2演出磁石ホルダ128には、ボタン形状の永久磁石からなる第2磁石129が、第1当接部121及び第2当接部122を

50

挟んで第1磁石125とは対称となる位置に収納されている。

【0105】

第2発光基板116には、第1発光基板106と同様に、装飾装置620の発光を制御するためのI<sup>2</sup>C I/Oエキスパンダ615（図17参照）が搭載され、演出制御装置550から出力された制御信号などを送信するためのデータ線及びクロック線（信号線）が接続される。さらに、装飾装置620を発光させるために必要な電力を供給するための電源線などが接続される。これらの接続線は、ケーブル118としてまとめられて接続されている。

【0106】

可動演出装置58は、第1演出部材70に第1当接部121を備えるとともに、第2演出部材80に第2当接部122を備える。そして、第1演出ユニット63を第1演出実行状態へ変換するとともに、第2演出ユニット64を第2演出実行状態へ変換すると、第1当接部121と第2当接部122とが当接し、第1演出部材70と第2演出部材80とで1つの装飾体を形成する。このとき、第1磁石125と第2磁石129との間で吸引力を発生するように第1磁石125及び第2磁石129が配置されている。さらに、この形成された装飾体を表示部53aの中央部の前方に位置させるように構成している。

【0107】

図8は、本発明の実施の形態の遊技機1の配線を説明する図である。

【0108】

図8では、遊技盤本体10bにセンターケース51が取り付けられ、表示装置53がセンターケース51に取り付けられる前の状態を示している。また、表示装置53の背面には、演出制御装置550が取り付けられている。演出制御装置550には、第1接続端子90及び第2接続端子92が備えられており、第1接続端子90及び第2接続端子92を介して制御対象となる演出装置に対し、制御信号の送信や電力の供給を行う。具体的には、第1接続端子90は後述する中継基板600にケーブル91を介して接続され、第2接続端子92は後述する簡易中継基板1600（図12参照）に接続される。

【0109】

また、遊技盤本体10bの背面下部には、遊技制御装置500や各種制御基板を含む制御ユニット700が配置される。制御ユニット700に搭載される制御基板には、演出制御装置550から送信された制御信号を、装飾制御装置610（図11参照）に中継する中継基板600が含まれる。装飾制御装置610は、詳細については後述するが、遊技を演出するための発光装置（例えば、LED）や可動物（例えば、モータ）などの演出装置の制御を行う。また、中継基板600は、装飾制御装置610と同様に、発光装置や可動物を接続可能である。

【0110】

中継基板600には発光装置を制御する装飾制御装置610が接続され、簡易中継基板1600には可動物を制御する装飾制御装置610が接続される。

【0111】

中継基板600には、演出制御装置550にケーブル91を介して接続される上流コネクタ601が備えられる。ケーブル91の一方のコネクタ91aは、前述のように、演出制御装置550の第1接続端子90に接続される。ケーブル91の他方のコネクタ91bは、中継基板600の上流コネクタ601に接続される。さらに、遊技機1に備えられた各演出装置の制御を行う装飾制御装置610に接続するためのコネクタ602a～602eを備える。

【0112】

さらに、中継基板600には、接続されたケーブルの接続状態を示す空き端子モニタ603が備えられている。空き端子モニタ603の詳細については、図15にて説明する。

【0113】

また、図示は略するが、遊技制御装置500を構成するユニットが、中継基板600のコネクタ装着面を覆うようにして設けられている。そのため、遊技制御装置500は、中

10

20

30

40

50

継基板 6 0 0 の各コネクタに必要なケーブルを装着した後に取り付けられる配置構成となっている。

【 0 1 1 4 】

遊技盤本体 1 0 b には、サイドランプ 4 5 を取り付けるための開口部 4 5 b が形成されている。サイドランプ 4 5 には、電力及び信号を送信するケーブル 4 5 a が接続され、開口部 4 5 b から遊技盤 1 0 の裏面側へ導入される。遊技盤 1 0 の裏面側へ導入されたケーブル 4 5 a は、中継基板 6 0 0 に接続され、例えば、コネクタ 6 0 2 d に接続される。

【 0 1 1 5 】

また、遊技盤 1 0 の下部には、図 2 に示したように、始動口 3 6 及び大入賞口 4 2 が配置される。始動口 3 6 が配置されている遊技盤 1 0 の裏側には、普図変動表示ゲームに当選した場合に開放される開閉部材 3 6 a を開閉するための普電ソレノイド ( S O L ) 3 6 b が配置される。また、特図変動表示ゲームに当選した場合に、大入賞口 4 2 を開閉するための大入賞口 S O L 4 2 b も遊技盤 1 0 の裏側に配置されている。普電 S O L 3 6 b 及び大入賞口 S O L 4 2 b には、制御信号の入力を受け付けるためのケーブル ( 図示略 ) が接続され、このケーブルは遊技制御装置 5 0 0 に接続されている。また、ケーブル 4 2 c は、大入賞口 4 2 の内部に備えられる演出用の L E D を点灯させるための電力及び信号を伝達するケーブルとして中継基板 6 0 0 に接続され、例えば、コネクタ 6 0 2 f に接続される。

【 0 1 1 6 】

前述のように、遊技盤 1 0 の中央部には、センターケース 5 1 が取り付けられている。センターケース 5 1 の内部には、第 1 演出部材 7 0 及び第 2 演出部材 8 0 によって構成される可動演出装置 5 8 が備えられる。図 8 では、第 1 演出部材 7 0 及び第 2 演出部材 8 0 が当接面 ( 1 2 1 , 1 2 2 ) で当接している状態となっている。

【 0 1 1 7 】

また、可動演出装置 5 8 の第 1 演出ユニット 6 3 及び第 2 演出ユニット 6 4 には、前述のように、第 1 演出部材 7 0 及び第 2 演出部材 8 0 を稼動させるためのモータ ( 役物駆動第 1 モータ 7 1 、役物駆動第 2 モータ 8 1 ) ( 図 1 2 参照 ) が備えられている。

【 0 1 1 8 】

また、複数の装飾ピース 4 6 を稼動させるためのソレノイド ( 役物駆動ソレノイド 8 2 ) が備えられている。

【 0 1 1 9 】

図 8 には図示しないが、前面枠 3 には簡易中継基板 1 6 0 0 ( 図 1 2 参照 ) が配設される。また、前面枠 3 に配置されたスピーカ 3 0 、前面枠 3 の照明ユニット 1 1 の左右に配置された照明駆動モータ ( 1 3 a 、 1 4 a ) ( 図 1 2 参照 ) 、遊技盤 1 0 に設けられた役物駆動モータ ( 7 1 、 8 1 ) 、役物駆動ソレノイド 8 2 ( 図 1 2 参照 ) などを制御するための信号を送信するケーブル 3 b が簡易中継基板 1 6 0 0 に接続されている。このケーブル 3 b のコネクタは、演出制御装置 5 5 0 の第 2 接続端子 9 2 に接続される。

【 0 1 2 0 】

そして、遊技盤 1 0 に設けられたこれらのモータ及びソレノイドを制御するための信号、並びに、遊技盤 1 0 に設けられたこれらのモータ及びソレノイドを駆動させるための電力を供給するためのケーブル 6 5 2 が可動演出装置 5 8 及び装飾ピース 4 6 に接続されている。ケーブル 6 5 2 は、センターケース 5 1 の開口部 5 1 c から遊技盤 1 0 の裏面側に延びており、簡易中継基板 1 6 0 0 に接続されている。

【 0 1 2 1 】

また、可動演出装置 5 8 には、これらのモータの動作状態を検知するための役物駆動モータ位置検出センサ 5 6 0 a ( 図 1 1 参照 ) が備えられており、センシング結果を受信するためのケーブル 6 5 1 が接続されている。ケーブル 6 5 1 は、センターケース 5 1 の開口部 5 1 b から遊技盤 1 0 の裏面側に延びており、中継基板 6 0 0 に接続される。例えば、ケーブル 6 5 1 はコネクタ 6 0 2 e に接続される。

【 0 1 2 2 】

さらに、演出制御装置 550 から出力された制御信号を、センターケース 51 の内部に配置された LED などの演出装置を制御するための装飾制御装置 610 (図 11 参照) へ伝達するケーブル 653 が接続される。ケーブル 653 は、センターケース 51 に設けられた開口部 51a から遊技盤 10 の裏面側の中継基板 600 に接続され、例えば、コネクタ 602a に接続される。

【0123】

図 9 は、本発明の実施の形態の遊技機 1 の構成を示すブロック図である。

【0124】

遊技機 1 は、遊技を統括的に制御する遊技制御装置 500、各種演出を行うために表示装置 53 及びスピーカ 30 等を制御する演出制御装置 550、遊技球を払い出すために図 10

【0125】

まず、遊技制御装置 500 の構成について説明する。なお、演出制御装置 550 については、図 10 にて説明する。

【0126】

遊技制御装置 500 は、遊技用マイコン 501、入力 I/F (Interface) 505、出力 I/F (Interface) 506、及び外部通信端子 507 を備える。

【0127】

遊技用マイコン 501 は、CPU 502、ROM (Read Only Memory) 503 及び RAM (Random Access Memory) 504 を備える。 20

【0128】

CPU 502 は、遊技を統括的に制御する主制御装置であって、遊技制御を司る。ROM 503 は、遊技制御のための不変の情報 (プログラム、データ等) を記憶している。RAM 504 は、遊技制御時にワークエリアとして利用される。

【0129】

外部通信端子 507 は、遊技制御装置 500 の設定情報等进行检查する検査装置等の外部機器に遊技制御装置 500 を接続する。

【0130】

CPU 502 は、入力 I/F 505 を介して各種入力装置 (始動口 SW 36d、一般入賞口 SW 44a ~ 44n、ゲート SW 34a、カウント SW 42d、ガラス枠開放 SW 18a、前面枠開放 SW 3a、球切れ SW 54、振動センサ 55、及び磁気センサ 56) からの検出信号を受けて、大当たり抽選等、種々の処理を行う。 30

【0131】

始動口 SW 36d は、始動口 36 に遊技球が入賞したことを検出するスイッチである。一般入賞口 SW 44a ~ 44n は、一般入賞口 44 に遊技球が入賞したことを検出するスイッチである。

【0132】

ゲート SW 34a は、普図始動ゲート 34 を遊技球が通過したことを検出するスイッチである。カウント SW 42d は、大入賞口 42 に遊技球が入賞したことを検出するスイッチである。 40

【0133】

ガラス枠開放 SW 18a は、ガラス枠 18 が開放されたことを検出するスイッチである。前面枠開放 SW 3a は、前面枠 3 が開放されたことを検出するスイッチである。

【0134】

球切れ SW 54 は、遊技機 1 の内部に貯留され、払い出しに用いられる遊技球の数が所定数以下になったことを検出するスイッチである。

【0135】

振動センサ 55 は、遊技機 1 に与えられた振動を検出するセンサであり、遊技機 1 を振動させるなどの不正行為を検出する。磁気センサ 56 は、始動口 36、一般入賞口 44、大入賞口 42、及び普図始動ゲート 34 付近に設けられ、磁力を検出するセンサである。 50



磁気センサ 56 は、各入賞口付近に磁石を近づけて、遊技領域 10a に発射された遊技球を各入賞口に導く不正を検出する。

【0136】

また、CPU 502 は、出力 I/F 506 を介して、普図・特図表示器 35、普電 SOL 36b、大入賞口 SOL 42b、払出制御装置 580、及び演出制御装置 550 に指令信号を送信して、遊技を統括的に制御する。

【0137】

普図・特図表示器 35 には、前述のように、特図変動表示ゲーム及び普図変動表示ゲームが実行される。さらに、特図変動表示ゲームの未処理回数（特図始動記憶数）及び普図変動表示ゲームの未処理回数（普図始動記憶数）が表示される。普図変動表示ゲームが当りとなるか否かを示す乱数を含む普図始動記憶、及び特図変動表示ゲームが当りとなるか否かを示す乱数を含む特図始動記憶が記憶されている。

10

【0138】

普電 SOL 36b は、普図変動表示ゲームの停止表示が特別の結果態様となった場合に、開閉部材 36a を開放することによって、始動口 36 に遊技球が入賞しやすい状態にする。

【0139】

大入賞口 SOL 42b は、特図変動表示ゲームの結果が特別の結果態様となって、特別遊技状態（大当たり状態）となった場合に、大入賞口 42 の開閉扉 42a を開放して、遊技球が入賞しやすい状態に変換する。

20

【0140】

遊技制御装置 500 は、図示しない外部情報端子から図示しない情報収集端末装置を介して、遊技機データを図示しない遊技場管理装置に出力する。遊技場管理装置は、遊技場に設置された遊技機 1 の遊技データを収集管理する計算機である。

【0141】

払出制御装置 580 は、遊技球が一般入賞口 44 又は大入賞口 42 に入賞した場合に、入賞した入賞口に対応する数の遊技球の払出指令を遊技制御装置 500 から受信する。また、球貸ボタン 26 が操作された場合にも所定数の遊技球の払い出しを行う払出指令を遊技制御装置 500 から受信する。払出制御装置 580 は、受信した払出指令に基づいて、図示しない払出モータを制御し、払出指令に指定された数の遊技球を払い出す。

30

【0142】

遊技制御装置 500 は、変動開始コマンド、客待ちデモコマンド、ファンファーレコマンド、確率情報コマンド、及びエラー指定コマンド等を、遊技の状況を示す遊技データとして、出力 I/F 506 を介して、演出制御装置 550 へ送信する。

【0143】

図 10 は、本発明の実施の形態の演出制御装置 550 の構成を示すブロック図である。

【0144】

演出制御装置 550 は、遊技制御装置 500 から入力される遊技データに基づいて、演出内容を決定し、表示装置 53 を制御するとともに、遊技盤 10 及び前面枠 3 に備えられた各種演出装置を制御する。演出装置には、LED などの発光装置やモータ又はソレノイドなどの可動物が含まれる。

40

【0145】

演出制御装置 550 は、CPU 551、制御 ROM 552、RAM 553、画像 ROM 554、音 ROM 555、VDP 556、音 LSI 557、入力 I/F 558b、出力 I/F 558a、電源投入検出回路 559、第 1 マスタ IC 570a、第 2 マスタ IC 570b、NOR ゲート回路 561 及び監視タイマ回路 562 を備える。さらに、演出制御装置 550 は、中継基板 600 に接続される第 1 接続端子 90 と簡易中継基板 1600 に接続される第 2 接続端子 92 を備える。

【0146】

中継基板 600 は、発光装置を制御する装飾制御装置 610 に接続されるものであり、

50

簡易中継基板 1 6 0 0 は、可動物を制御する装飾制御装置 6 1 0 に接続されるものである。

【 0 1 4 7 】

なお、第 1 マスタ I C 5 7 0 a 及び第 2 マスタ I C 5 7 0 b に共通の機能については、単に「マスタ I C」として説明する。

【 0 1 4 8 】

C P U 5 5 1 は、遊技制御装置 5 0 0 から送信された指令信号が通信割込としての割込信号 ( I N T ) として入力され、入力された指令信号に基づいて、各種演出を制御する。また、C P U 5 5 1 には、第 1 マスタ I C 5 7 0 a 及び第 2 マスタ I C 5 7 0 b からマスタ割込としての割込信号 ( I N T ) が入力されるとともに、V D P 5 5 6 から画像更新割込としての割込信号 ( I N T ) が入力される。

10

【 0 1 4 9 】

さらに、C P U 5 5 1 は、監視タイマ回路 5 6 2 からタイムアウト割込としての割込信号 ( I N T ) が入力される。監視タイマ回路 5 6 2 は、複数種類の監視タイマが内蔵されており、C P U 5 5 1 によって設定された監視タイマ値がタイムアップすると、C P U 5 5 1 に割込信号を出力する。C P U 5 5 1 は、割込信号の入力を受け付けると、実行中の処理を中断し、入力された割込信号に対応する処理を実行する。

【 0 1 5 0 】

制御 R O M 5 5 2 には、演出制御のための不変の情報 ( プログラム、データ等 ) が格納されている。R A M 5 5 3 は、演出制御時にワークエリアとして利用される。

20

【 0 1 5 1 】

画像 R O M 5 5 4 は、V D P 5 5 6 に接続され、表示装置 5 3 に表示される画像データを格納する。V D P 5 5 6 は、表示装置 5 3 への画像出力を制御するプロセッサである。

【 0 1 5 2 】

また、V D P 5 5 6 は、表示装置 5 3 に表示される画像を更新する周期 ( 3 3 m s 周期 ) と同期する同期信号を発生させる同期信号発生手段を備える。同期信号発生手段は、同期信号を発生させるごとに、発生させた同期信号を C P U 5 5 1 に割込信号として入力する。

【 0 1 5 3 】

音 R O M 5 5 5 は、音 L S I 5 5 7 に接続され、前面枠 3 に備えられたスピーカ 3 0 から出力される音データを格納する。音 L S I 5 5 7 は、スピーカ 3 0 からの音声出力を制御する回路である。

30

【 0 1 5 4 】

入力 I / F 5 5 8 b は、フィルタ 5 6 5 a 及び 5 6 5 b を介して外部から入力された情報を受け付けるインタフェースである。具体的には、前面枠 3 に備えられた演出ボタン 1 7 が操作されたことを示す信号の入力を受け付けたり、遊技盤 1 0 に備えられた役物駆動モータ位置検出センサ 5 6 0 a ( 図 1 1 参照 ) によって検出された各モータの位置情報などの入力を受け付けたりする。

【 0 1 5 5 】

電源投入検出回路 5 5 9 は、演出制御装置 5 5 0 に電源が投入された場合に、第 1 マスタ I C 5 7 0 a 及び第 2 マスタ I C 5 7 0 b のレジスタをデフォルト状態 ( すべて 0 ) に初期化するリセット信号 ( 初期化信号 ) を発生させ、N O R ゲート回路 5 6 1 に出力する。

40

【 0 1 5 6 】

また、C P U 5 5 1 は、所定の条件が成立した場合に、バス 5 6 3 を介してリセット信号を出力 I / F 5 5 8 a に出力する。そして、出力 I / F 5 5 8 a は、入力されたりリセット信号を N O R ゲート回路 5 6 1 に出力し、さらに、N O R ゲート回路 5 6 1 から、第 1 マスタ I C 5 7 0 a 及び第 2 マスタ I C 5 7 0 b に当該リセット信号を出力する。所定の条件とは、例えば、すべての装飾制御装置 6 1 0 において、エラーフラグが「 O N 」になった場合などである ( 図 3 2 及び図 3 3 参照 ) 。

50

## 【 0 1 5 7 】

なお、電源投入検出回路 5 5 9 から NOR ゲート回路 5 6 1 に入力されるリセット信号と、CPU 5 5 1 から出力 I / F 5 5 8 a を介して NOR ゲート回路 5 6 1 に入力されるリセット信号は、いずれの場合にも LOW レベルの状態のときにリセットを指令する信号として機能する。そのため、電源投入検出回路 5 5 9 及び CPU 5 5 1 の少なくとも一方から NOR ゲート回路 5 6 1 にリセット信号が出力されていれば、NOR ゲート回路 5 6 1 を介してリセット信号が第 1 マスタ IC 5 7 0 a 及び第 2 マスタ IC 5 7 0 b に入力される。

## 【 0 1 5 8 】

監視タイマ回路 5 6 2 は、演出制御装置 5 5 0 にて時間を計測するための回路であり、設定された時間が経過すると CPU 5 5 1 に割込信号を入力する。

10

## 【 0 1 5 9 】

図 1 1 は、本発明の実施の形態の演出制御装置 5 5 0 に備えられた第 1 マスタ IC 5 7 0 a と演出装置の構成を示すブロック図である。

## 【 0 1 6 0 】

遊技盤 1 0 は、第 1 マスタ IC 5 7 0 a に接続される中継基板 6 0 0、当該中継基板 6 0 0 に接続される補助遊技装置ユニット 1 2 を備える。

## 【 0 1 6 1 】

中継基板 6 0 0 は、装飾制御装置 6 1 0 が遊技盤 1 0 及び前面枠 3 に設けられているかに拘らず、発光装置を制御する装飾制御装置 6 1 0 に接続される。

20

## 【 0 1 6 2 】

中継基板 6 0 0 は、第 1 マスタ IC 5 7 0 a から送信された電気信号を、遊技盤 1 0 及び前面枠 3 に備えられた発光装置を制御する装飾制御装置 6 1 0 に送信（中継）する。また、中継基板 6 0 0 には、装飾制御装置 6 1 0 と同様に、演出装置を制御する機能を有し、当該中継基板 6 0 0 に直接接続された装飾装置基板 6 2 5 を制御する。

## 【 0 1 6 3 】

ここで、発光装置となる装飾装置 6 2 0 は、装飾制御装置 6 1 0 に備えられる  $I^2C$  I / O エクスパンダ 6 1 5（図 1 7 参照）によって制御され、電流を流すことによって光が点滅して演出を行うものであり、例えば LED などである。装飾装置基板 6 2 5 は、サイドランプ 4 5（図 8 参照）に設けられる基板であり、サイドランプ 4 5 の発光装置（LED）が搭載されている。このサイドランプ 4 5 の発光装置は、中継基板 6 0 0 に備えられる  $I^2C$  I / O エクスパンダ 6 1 5 によって、直接制御される。

30

## 【 0 1 6 4 】

補助遊技装置ユニット 1 2 には、LED などの発光装置である装飾装置 6 2 0、可動物である役物駆動第 1 モータ（MOT）7 1、役物駆動第 2 MOT 8 1、及び役物駆動ソレノイド 8 2 が含まれるが、第 1 マスタ IC 5 6 0 は、発光装置である装飾装置 6 2 0 を制御する装飾制御装置 6 1 0 に接続される。

## 【 0 1 6 5 】

なお、補助遊技装置ユニット 1 2 に含まれる役物駆動第 1 MOT 7 1、及び役物駆動第 2 MOT 8 1 を制御する装飾制御装置 6 1 0 は、簡易中継基板 1 6 0 0 を介して、第 2 マスタ IC 5 7 0 b に接続される（図 1 2 参照）。

40

## 【 0 1 6 6 】

役物駆動第 1 MOT 7 1 及び役物駆動第 2 MOT 8 1 は、電流が流れると回転動作することによって演出動作を行う駆動装置である。

## 【 0 1 6 7 】

本発明の実施の形態では、役物駆動第 1 MOT 7 1 及び役物駆動第 2 MOT 8 1 は、可動演出装置 5 8 に含まれ、具体的には、役物駆動第 1 MOT 7 1 は第 1 演出ユニット 6 3、役物駆動第 2 MOT 8 1 は第 2 演出ユニット 6 4 に含まれている。

## 【 0 1 6 8 】

演出制御装置 5 5 0 は、役物駆動第 1 MOT 7 1 及び役物駆動第 2 MOT 8 1 を制御す

50

ることによって、第1演出ユニット63及び第2演出ユニット64が連動した演出動作を実行させる。

【0169】

第1マスタIC570aは、制御対象となる装飾装置620を制御する装飾制御装置610に個別に割り当てられたアドレスを指定して、指定した個別アドレスの装飾制御装置610に装飾装置620の制御内容を出力する。なお、装飾制御装置610の個別アドレスは、正確には、装飾制御装置610に含まれるI<sup>2</sup>C I/Oエクスパンダ615（図17参照）の個別アドレスである。

【0170】

第1マスタIC570aは、接続線SDA、接続線SCL、接続線GND、接続線Vcc、接続線Vled、及び接続線Vseの6種類の接続線を介して、中継基板（装飾制御装置）600に接続される。これらの接続線は、第1マスタIC570aと中継基板600とを接続するケーブル91（図8参照）により構成される。

【0171】

接続線SDAは、演出制御装置550と装飾制御装置610との間でデータ信号を授受するための接続線であり、本発明の実施の形態におけるデータ線（データ信号線）として機能する。接続線SCLは、接続線SDAでのデータ通信に用いられるクロック信号を出力するための接続線であり、本発明の実施の形態におけるタイミング信号線として機能する。接続線GNDは、接続線Vcc、接続線Vled、及び接続線Vseで供給される電源のグランドである。

【0172】

接続線Vccは、中継基板600及び装飾制御装置610にロジック用の電源を供給するための接続線である。接続線Vledは、LED（装飾装置620）を発光させるための電源を供給するための接続線である。接続線Vseは、各種センサ（演出装置に含まれるモータの状態を検出する状態検出センサであって、具体的には、役物駆動モータ位置検出センサ560aが相当する）に電源を供給するための接続線である。

【0173】

中継基板600と補助遊技装置ユニット12との間は、演出制御装置550と中継基板600との間を接続する7種類の接続線が接続される。本発明の実施の形態では、役物駆動モータ位置検出センサ560aは、中継基板600によって直接制御されるため、前述した6種類の接続線のうち、接続線Vse以外の5種類の接続線が、補助遊技装置ユニット12の最上流に配置された装飾制御装置610に接続される。具体的には、中継基板600と装飾制御装置610との間は、接続線Vcc、接続線Vled、接続線SDA、接続線SCL及び接続線GNDが接続される。

【0174】

なお、図8に示した配線（ケーブル）と各接続線を対応させると、演出制御装置550から中継基板600に引き渡される各種接続線（接続線Vcc、接続線Vled、接続線SDA、接続線SCL、接続線Vse、及び接続線GND）（図11参照）は、ケーブル91に含まれている。

【0175】

また、演出制御装置550から中継基板600に引き渡される各種接続線は、中継基板600からさらに分岐して別の基板に引き渡され、中継基板600から分岐する接続線Vcc、接続線Vled、接続線SDA、及び接続線SCLはケーブル653に、接続線Vseはケーブル651に含まれている。また、中継基板600から分岐する接続線GNDが、ケーブル651、653の全てに含まれている。

【0176】

演出制御装置550から簡易中継基板1600に引き渡される各種接続線（接続線Vcc、接続線Vms、接続線SDA、接続線SCL、接続線Vse、及び接続線GND）は、ケーブル3bに含まれている。

【0177】

また、演出制御装置 550 から簡易中継基板 1600 に引き渡される各種接続線は、簡易中継基板 1600 からさらに分岐して別の基板に引き渡され、簡易中継基板 1600 から分岐する接続線 Vcc、接続線 Vms、接続線 SDA、接続線 Vse、接続線 GND、及び接続線 SCL はケーブル 652 に含まれている。

【0178】

第 1 マスタ IC 570a と装飾制御装置 610 とは、接続線 SDA 及び接続 SCL によって 2 ライン双方向通信を行う。第 1 マスタ IC 570a は、CPU 551 からの指令に基づいて、装飾制御装置 610 との間に接続された接続線 SDA 及び接続線 SCL の各信号レベルを制御する（第 1 の）信号レベル制御手段として機能する。

【0179】

第 1 マスタ IC 570a は、中継基板 600 及び装飾制御装置 610 にデータを送信する場合には、まず、接続線 SCL の信号レベルを HIGH に維持したまま、接続線 SDA の信号レベルを HIGH から LOW に変化させることにより、装飾制御装置 610 へのデータ出力を開始するためのスタート条件を成立させる（装飾制御装置 610 に対してスタートコンディションを発行（出力）する）。

【0180】

この後、第 1 マスタ IC 570a は、接続線 SCL の信号レベルを LOW に変更し、接続線 SCL の信号レベルが LOW である間に接続線 SDA の信号レベルを送信データの最初のビットのレベルに設定し、所定時間後に接続線 SCL の信号レベルを LOW から HIGH に変化させる。接続線 SCL の信号レベルが HIGH に変化すると、装飾制御装置 610 は接続線 SDA の信号レベルを取得し、送信データの最初のビットとして認識する。次いで、第 1 マスタ IC 570a は、接続線 SCL の信号レベルを HIGH から LOW に戻す。

【0181】

この手順を 1 回実行すると、第 1 マスタ IC 570a から装飾制御装置 610 へ 1 ビットのデータが送信され、最終的にはこの手順が 8 回繰り返されることで、送信データの 8 ビットすべてが第 1 マスタ IC 570a から装飾制御装置 610 へ送信される（1 バイト分のデータが送信される）。

【0182】

そして、第 1 マスタ IC 570a は、最後の 8 ビット目のデータ送信が終了すると、接続線 SCL の信号レベルを HIGH から LOW に戻した際に、接続線 SDA を解放して装飾制御装置 610 からの返答信号を受信することを待機する受信待機状態にする。

【0183】

受信待機状態になると、装飾制御装置 610 は、接続線 SDA を介して 1 ビットの返答信号（後述する ACK 又は NACK）を第 1 マスタ IC 570a に返す。次いで、第 1 マスタ IC 570a は、接続線 SCL の信号レベルを LOW から HIGH に変化させて返答信号のレベルを取り込み、所定時間後に接続線 SCL の信号レベルを HIGH から LOW に変化させると、装飾制御装置 610 は接続線 SDA を解放する。

【0184】

第 1 マスタ IC 570a は、このような 1 バイト分のデータ送信と 1 ビット分の返答信号の受信とを交互に繰り返し、装飾制御装置 610 へ出力すべきデータがすべて出力されるまで継続する。第 1 マスタ IC 570a は、出力すべきデータの出力が終了した場合には、接続線 SCL の信号レベルを HIGH に維持したまま、接続線 SDA の信号レベルを LOW から HIGH に変更させることにより、装飾制御装置 610 へのデータ出力を終了するためのストップ条件を成立させる（装飾制御装置 610 に対してストップコンディションを発行する）。

【0185】

入力用バッファ 571 は、装飾制御装置 610 から接続線 SDA を介して入力されたデータが一時的に記憶される記憶装置である。

【0186】

10

20

30

40

50

具体的には、第1マスタIC570aが入力モードに設定された場合において、装飾制御装置610から第1マスタIC570aに送信されたデータが、フィルタ575aによりノイズが除去されて入力用バッファ571に一時的に記憶される。

【0187】

出力用バッファ572は、装飾制御装置610に接続線SDAを介して出力するデータが一時的に記憶される。

【0188】

リセットレジスタ(REG)573は、バス563に接続され、演出制御装置550のCPU551からの指令を受け付けてリセット信号をコントローラ574に出力する。コントローラ574は、第1マスタIC570aを統括的に制御し、各種処理を実行する。

10

【0189】

フィルタ575aは、接続線SDAから入力されたデータのノイズを除去する。ドライバ576aは、接続線SDAからデータを出力する場合に、トランジスタ578aが動作可能な電圧をトランジスタ578aに印加する。

【0190】

接続線SDAは、プルアップ抵抗Rによって所定の電圧が印加され(図21参照)、フィルタ575a及びトランジスタ578aに接続されている。

【0191】

トランジスタ578aは、電力消費を抑えるために電界効果トランジスタ(FET)が用いられている。トランジスタ578aのゲートはドライバ576aに接続され、ドレインはプルアップ抵抗Rにより所定の電圧が印加された接続線SDAに接続され、ソースは接地されている。

20

【0192】

トランジスタ578aのゲートに印加される電圧がトランジスタ578aを動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れないので、接続線SDAに印加された電圧は降下せず、その結果、接続線SDAはHIGHレベルとなる。一方、トランジスタ578aのゲートに印加される電圧がトランジスタ578aを動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線SDAの電圧が低下し、その結果、接続線SDAはLOWレベルとなる。

30

【0193】

なお、トランジスタ578aは、10ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のもを用いている。このため、接続線SDAには、通常の $I^2C$ バス使用で用いられる電流値よりもはるかに大きい10ミリアンペア程度の電流を流すことが可能であり、演出制御装置550と装飾制御装置610との間のデータ送信が、ノイズによる障害に耐えうる構成となっている。

【0194】

ドライバ576aは、データを接続線SDAから出力する場合に、トランジスタ578aにドレインとソースとの間に電流を流すためにトランジスタ578aのゲートにトランジスタ578aが動作可能な値の電圧を印加する。そして、ドライバ576aは、接続線SDAの電圧を、HIGHレベル又はLOWレベルに設定することによって、データを接続線SDAから出力する。

40

【0195】

また、フィルタ575bは、接続線SCLから入力されたデータのノイズを除去する。ドライバ576bは、接続線SCLからデータを出力する場合に、トランジスタ578bが動作可能な電圧をトランジスタ578bに印加する。

【0196】

接続線SCLは、プルアップ抵抗Rによって所定の電圧が印加され(図21参照)、フィルタ575b及びトランジスタ578bに接続されている。

【0197】

50

トランジスタ578bは、電力消費を抑えるために電界効果トランジスタ(FET)が用いられている。トランジスタ578bのゲートはドライバ576bに接続され、ドレインはプルアップ抵抗Rにより所定の電圧が印加された接続線SCLに接続され、ソースは接地されている。

【0198】

トランジスタ578bのゲートに印加される電圧がトランジスタ578bを動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れないので、接続線SCLに印加された電圧は降下せず、その結果、接続線SCLはHIGHレベルとなる。一方、トランジスタ578bのゲートに印加される電圧がトランジスタ578bを動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線SCLの電圧が低下し、その結果、接続線SCLはLOWレベルとなる。

10

【0199】

なお、トランジスタ578bは、10ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のもを用いている。そのため、接続線SCLには、通常のI<sup>2</sup>Cバス使用で用いられる電流値よりもはるかに大きい10ミリアンペア程度の電流を流すことが可能であり、演出制御装置550と装飾制御装置610との間のデータ送信が、ノイズによる障害に耐えうる構成となっている。

【0200】

ドライバ576bは、クロック信号を接続線SCLから出力する場合に、トランジスタ578bにドレインとソースとの間に電流を流すためにトランジスタ578bのゲートにトランジスタ578bが動作可能な値の電圧を印加する。そして、ドライバ576bは、接続線SCLの電圧を、HIGHレベルとLOWレベルとに繰り返し変化させることによって、クロック信号を接続線SCLから出力する。

20

【0201】

電源投入リセット回路577は、第1マスタIC570aに電源が投入されて、電源投入リセット回路577内の電圧が所定値に達した場合に、入力用バッファ571及び出力用バッファ572などの記憶領域をデフォルト状態にするためのリセット信号をコントローラ574に出力する。なお、電源投入リセット回路577については、第1マスタIC570aの外部に設け、後述する第2マスタIC570bの共通としてもよい。

30

【0202】

コマンドレジスタ(REG)581は、演出制御装置550のCPU551からコマンドを受け付けるためのレジスタである。本発明の実施の形態では、コマンドレジスタ581には、STA、STO、SI、及びMODEの各ビットが予め割り当てられており、CPU551によって、各ビット毎個別に“0”又は“1”が設定可能となっている。

【0203】

STAは、第1マスタIC570aが制御対象の装飾制御装置610に対し、スタート条件(スタートコンディション)の出力を指示するためのビットである。STAに“1”が設定されると、第1マスタIC570aは、制御対象の装飾制御装置610に対し、スタートコンディションを発行(出力)し、スタート条件を成立させる。

40

【0204】

STOは、第1マスタIC570aが制御対象の装飾制御装置610に対し、ストップ条件(ストップコンディション)の出力を指示するためのビットである。STOに“1”が設定されると、第1マスタIC570aは、制御対象の装飾制御装置610に対し、ストップコンディションを発行(出力)し、ストップ条件を成立させる。

【0205】

SIは、第1マスタIC570aから、演出制御装置550において割込みを発生させるときに設定されるビットである。第1マスタIC570aからCPU551に割込みを発生させるときには、コントローラ574によってSIに“1”が設定され、割込信号(INT)がCPU551に入力される。その後、SIに“1”が設定されている間は、第

50

1 マスタ I C 5 7 0 a は処理を中断しているが、C P U 5 5 1 によって S I に “ 0 ” が設定されると、第 1 マスタ I C 5 7 0 a は、割込を中断して処理を再開する。

【 0 2 0 6 】

M O D E は、データを送信するモードを指定するビットであり、“ 1 ” が設定されている場合には「バッファモード」、「 0 ” が設定されている場合には「バイトモード」が指定される。バッファモードは、最大 6 8 バイトのデータの送信が可能である。また、バイトモードは、1 バイトのデータの送信が可能であり、スタートコンディション又はストップコンディションの送信、バイト単位でのデータの送受信に利用される。

【 0 2 0 7 】

ステータスレジスタ ( R E G ) 5 8 2 は、第 1 マスタ I C 5 7 0 a のステータスを示す情報が格納される。下位 2 ビットには常に “ 0 ” が設定され、上位 5 ビットにステータスコードが設定される。

【 0 2 0 8 】

自身アドレス設定レジスタ ( R E G ) 5 8 3 は、第 1 マスタ I C 5 7 0 a がスレーブ ( 装飾制御装置 ) として機能する場合に設定されるレジスタである。市販されているマスタ I C は、通常、マスタとしての機能とスレーブとしての機能を備えており、用途に応じて使用される。自身アドレス設定 R E G 5 8 3 には、第 1 マスタ I C 5 7 0 a がスレーブとして機能する場合に、自身を特定するためのアドレスが設定される。

【 0 2 0 9 】

図 1 2 は、本発明の実施の形態の演出制御装置 5 5 0 に備えられた第 2 マスタ I C 5 7 0 b と演出装置の構成を示すブロック図である。

【 0 2 1 0 】

前面枠 3 は、第 2 マスタ I C 5 7 0 b に接続される簡易中継基板 1 6 0 0 を備える。

【 0 2 1 1 】

簡易中継基板 1 6 0 0 は、前面枠 3 及び遊技盤 1 0 に設けられた各種装置に接続される。

【 0 2 1 2 】

前面枠 3 に設けられた装置のうち簡易中継基板 1 6 0 0 に接続される装置には、スピーカ 3 0、照明駆動モータ位置検出センサ 5 6 0 b、照明駆動第 1 M O T 1 3 a 及び照明駆動第 2 M O T 1 4 a ( 以下、照明駆動 M O T 1 3 a、1 4 a ) を制御する装飾制御装置 6 1 0、並びに演出ボタン 1 7 などが含まれる。

【 0 2 1 3 】

補助遊技装置ユニット 1 2 に設けられた装置のうち簡易中継基板 1 6 0 0 に接続される役物駆動第 1 M O T 7 1、役物駆動第 2 M O T 8 1、及び役物駆動ソレノイド 8 2 を制御する装飾制御装置 6 1 0 が含まれる。

【 0 2 1 4 】

簡易中継基板 1 6 0 0 は、第 2 マスタ I C 5 7 0 b から送信された電気信号を、前面枠 3 及び補助遊技装置ユニット 1 2 に備えられた可動物を制御する装飾制御装置 6 1 0 に送信 ( 中継 ) する。なお、簡易中継基板 1 6 0 0 は、中継基板 6 0 0 とは異なり、I<sup>2</sup>C I / O エクスパンダ 6 1 5 を備えていないので、簡易中継基板 1 6 0 0 に備えた電子部品には、演出装置を制御するための演算処理を実行する機能を有していない。

【 0 2 1 5 】

照明駆動第 1 M O T 1 3 a 及び照明駆動第 2 M O T 1 4 a は、演出制御装置 5 5 0 から送信された信号に基づいて内部に備えられた発光部材を駆動させ、各種演出を実行する。

【 0 2 1 6 】

また、演出制御装置 5 5 0 は、演出ボタン 1 7 から当該演出ボタン 1 7 が操作されたことを示す信号が簡易中継基板 1 6 0 0 を介して入力される。さらに、照明駆動モータ位置検出センサ 5 6 0 b によって検出された照明駆動 M O T 1 3 a、1 4 a の位置情報が、簡易中継基板 1 6 0 0 を介して入力される。

【 0 2 1 7 】

10

20

30

40

50



さらに、簡易中継基板 1600 は、演出制御装置 550 の音 L S I 557 からの信号を受信し、スピーカ 30 から出力する。

【0218】

なお、第 2 マスタ I C 570 b の構成は、第 1 マスタ I C 570 a と同じ構成であるため、第 2 マスタ I C 570 b の各構成には同じ符号を割り当てて説明を省略する。また、第 2 マスタ I C 570 b は、第 1 マスタ I C 570 a と同様に、C P U 551 からの指令に基づいて、装飾制御装置 610 との間に接続された接続線 S D A 及び接続線 S C L の各信号レベルを制御する（第 2 の）信号レベル制御手段として機能する。

【0219】

なお、演出制御装置 550 と中継基板 600 及び簡易中継基板 1600 との接続方法、並びに、中継基板 600 及び簡易中継基板 1600 と装飾制御装置 610 との接続方法については、図 13 ~ 図 15 にて詳細を後述する。また、中継基板 600 及び装飾制御装置 610 の構成などについては、図 16 ~ 図 20 にて詳細を後述する。

【0220】

前述したように、第 2 マスタ I C 570 b が制御する装飾制御装置 610 は、可動物を可動させる可動制御装置として機能する装飾制御装置 610 である。可動制御装置として機能する装飾制御装置 610 は、センターケース 51、表示装置 53、及び演出制御装置 550 を一体化して構成される補助遊技装置ユニット 12 及び前面枠 3 に取り付けられている。前面枠 3 に取り付けられた装飾制御装置 610 は、照明駆動 M O T 13 a、14 a を制御するものである。また、補助遊技装置ユニット 12 に取り付けられた装飾制御装置 610 は、役物駆動モータ（役物駆動第 1 M O T 71、役物駆動第 2 M O T 81）及び役物駆動ソレノイド 82 を制御するものである。

に含まれている。

【0221】

図 13 は、本発明の実施の形態の遊技盤 10 及び通常版の前面枠 3 に取り付けられる装飾制御装置 610 の接続形態の説明図である。

【0222】

補助遊技装置ユニット 12 を構成するセンターケース 51 は、前述したように、枠装飾部 65 と枠体基部 60 とを組み合わせる構成される。

【0223】

枠装飾部 65 には、変動表示ゲームなどの補助遊技の演出を行うための演出装置や当該演出装置を制御するための装飾制御装置 610 などが複数個備えられる。これらの装飾制御装置 610 同士を所定の信号ケーブルにより相互に接続し、さらに、この装飾制御装置 610 に制御される演出装置もケーブルで接続することにより、当該枠装飾部 65 が一体構成される。

【0224】

また、枠体基部 60 にも、変動表示ゲームなどの補助遊技の演出を行うための演出装置や当該演出装置を制御するための装飾制御装置 610 が複数個備えられる。これらの装飾制御装置 610 同士を所定の信号ケーブルにより相互に接続し、さらに、この装飾制御装置 610 に制御される演出装置もケーブルで接続することにより、当該枠体基部 60 が一体構成される。

【0225】

ゆえに、枠装飾部 65 や枠体基部 60 は、本実施形態における一体型演出ユニットを構成している。これに対し、サイドランプ 45 などは、一体型演出ユニットに含まれない単体の演出装置であるので、分離型演出装置を構成することになる。

【0226】

装飾制御装置 610 には、前述のように、装飾装置 620 を制御するための I<sup>2</sup>C I / O エクスパンド 615 が搭載され、I<sup>2</sup>C I / O エクスパンド 615 には、個々の I<sup>2</sup>C I / O エクスパンド 615 を識別するための個別アドレスが割り当てられている。本発明の実施の形態では、前述のように、I<sup>2</sup>C I / O エクスパンド 615 の個別アドレスが、装

10

20

30

40

50

飾制御装置 610 の個別アドレスとして利用される。

【0227】

演出制御装置 550 は、I<sup>2</sup>C I/O エクスパンダ 615 の個別アドレスを指定して制御信号を送信することによって、装飾装置 620 を個別に制御して演出動作を実行することが可能となる。各装飾制御装置 610 には、原則的に、それぞれ異なる個別アドレス（図中に「ad＝」で示す）が割り当てられる。

【0228】

また、装飾制御装置 610 は、接続形態によって、分岐型（分岐基板）、連結型（連結基板）及び終端型（終端基板）の三種類に分類される。分岐型、連結型及び終端型いずれの装飾制御装置 610 にも装飾装置 620 を接続可能であり、接続された装飾装置 620 を制御することが可能である。

10

【0229】

分岐型の装飾制御装置 610 は、下流側に複数の装飾制御装置 610 が直接接続され、これらの複数の装飾制御装置 610 に受信した制御信号を送信する。連結型の装飾制御装置 610 は、下流側に一つの装飾制御装置 610 が接続され、接続された装飾制御装置 610 に受信した制御信号を送信する。終端型の装飾制御装置 610 は、下流側に装飾制御装置 610 が接続されず、装飾装置 620 の制御のみを行う。分岐型、連結型、終端型の装飾制御装置 610 の詳細に関しては、図 16 を用いて後述する。

【0230】

なお、上流側とは、演出制御装置 550 から送信された電気信号を送信する側であり、反対に、下流側とは、演出制御装置 550 から送信された電気信号を受信する側である。

20

【0231】

要するに、演出制御装置 550 から末端の装飾制御装置 610 への信号ケーブルを順に辿っていったときに、より演出制御装置 550 に近い側へ接続されている装飾制御装置 610 が上流側となり、より末端の装飾制御装置 610 に近い側へ接続されている装飾制御装置 610 が下流側となる。例えば、装飾制御装置 610 A は、装飾制御装置 610 B、610 C、610 D の上流側に配置されており、装飾制御装置 610 B、610 C、610 D は、装飾制御装置 610 A の下流側に配置されていることになる。

【0232】

ここで、本発明の実施の形態では、前述のように、可動演出装置 58 を構成する第 1 演出部材 70 及び第 2 演出部材 80 の可動部分に装飾制御装置 610 が配置されている。言い換えれば、図 6 において、第 1 演出部材 70 の可動部（第 1 演出ベース 100）に装飾制御装置 610（第 1 発光基板 106）が配置され、図 7 において、第 2 演出部材 80 の可動部（第 2 演出ベース 110）に装飾制御装置 610（第 2 発光基板 116）が配置されている。

30

【0233】

このとき、従来のシフトレジスタのように、各装飾制御装置 610 をデジチェーンで配線すると、デジチェーンの末端となる何れか一方の装飾制御装置 610 だけは、入力用のケーブルのみを接続するだけで済む。しかし、デジチェーンの途中で接続される構成となる他方の装飾制御装置 610 には、入力用のケーブルと出力用のケーブルを接続する必要がある。可動部に複数のケーブルが接続されると、可動部とともに装飾制御装置 610（第 1 発光基板 106、第 2 発光基板 116）自体が可動する構造となってケーブルも移動するため、配線の引き回しが困難になってしまうおそれがある。さらに、ケーブルの移動により、ケーブルを構成する接続線が断線する可能性が生じ、演出に影響を与えるおそれがある。

40

【0234】

本発明の実施の形態では、第 1 演出部材 70 及び第 2 演出部材 80 に配置された装飾制御装置 610 を終端型とし、これらの装飾制御装置 610 の上流に分岐型の装飾制御装置 610 を配置している。そのため、終端型の装飾制御装置 610（第 1 発光基板 106、第 2 発光基板 116）には、第 1 演出部材 70 及び第 2 演出部材 80 の外部に備えた他の

50

装飾制御装置 610 へ信号を伝達するケーブルが、接続されない構造となる。このように装飾制御装置 610 を配置すれば、可動部に配置された装飾制御装置 610 には入力ケーブルのみを接続すればよいことになる。したがって、デジチェーンで配線する場合と比較して、配線の引き回しが容易になり、断線する可能性を少なくすることができる。

【0235】

装飾制御装置 610 は、受信した制御信号の宛先アドレスが自宛でない場合、下流側にさらに装飾制御装置 610 が接続されていれば受信した制御信号を送信する。また、送信先がなければ受信した制御信号を破棄する。

【0236】

装飾制御装置 610 は、16 個のポートに対応する LED を制御することが可能であり、装飾制御装置 610 に搭載された LED と、当該装飾制御装置 610 に接続された外部の装飾装置基板 625 に搭載された LED との合計数が 16 以下であれば、両方の LED を制御することが可能である。すなわち、一体型の装飾制御装置 610 (I<sup>2</sup>C I/O エクスパンダ 615 と装飾装置 620 がともに配置される主動型基板に相当) では、装飾装置基板 625 (I<sup>2</sup>C I/O エクスパンダ 615 が配置されず、装飾装置 620 が配置される従動型基板に相当) をさらに接続することによって、内部に備えられた装飾装置 620 と外部に接続した装飾装置 620 の両方を制御することが可能である。

【0237】

こうすることによって、離れて配置された装飾装置 620 を 1 つの装飾制御装置 610 で制御することが可能となり、装飾制御装置 610 の数を最小限にすることができる。

【0238】

第 1 マスタ IC 570 a は、LED によって構成される発光型装飾装置 620 に接続される発光型装飾制御装置 610 を制御し、第 2 マスタ IC 570 b は、モータやソレノイドによって構成される可動型装飾装置 620 に接続される可動型装飾制御装置 610 を制御する。

【0239】

第 1 マスタ IC 570 a は、遊技盤 10 に取り付けられる中継基板 600 に接続され、第 2 マスタ IC 570 b は、前面枠 3 に取り付けられる簡易中継基板 1600 に接続される。

【0240】

まず、第 1 マスタ IC 570 a が制御する発光型装飾制御装置 610 の接続形態について説明する。

【0241】

中継基板 600 は、上流側では演出制御装置 550 に搭載された第 1 マスタ IC 570 a に接続し、第 1 マスタ IC 570 a から送信された制御信号を受信する。また、下流側では補助遊技装置ユニット 12 に含まれる装飾制御装置 610 A (正確には一体型演出ユニットである枠体基部 60 に含まれる装飾制御装置 610 A)、及び、前面枠 3 に含まれる装飾制御装置 610 H に接続する。さらに、中継基板 600 は、遊技盤 10 に備えられた分離型演出装置である装飾装置基板 625 (サイドランプ 45 (図 8 参照) に設けられた基板) に接続し、当該中継基板 600 に備えられた I<sup>2</sup>C I/O エクスパンダ 615 によって、当該装飾装置基板 625 に搭載された装飾装置 620 を制御する。

【0242】

補助遊技装置ユニット 12 には、装飾制御装置 610 A ~ 610 G、及び装飾制御装置 610 M ~ 610 O が含まれる。装飾制御装置 610 A ~ 610 G は発光型装飾制御装置 610 であるので、第 1 マスタ IC 570 a によって制御され、装飾制御装置 610 M ~ 610 O は可動型装飾制御装置 610 であるので、第 2 マスタ IC 570 b によって制御される。

【0243】

装飾制御装置 610 A は、分岐型の装飾制御装置であり、装飾制御装置 610 B 及び装飾制御装置 610 C に第 1 マスタ IC 570 a から受信した制御信号を送信する。また、

装飾制御装置 6 1 0 B には、装飾装置基板 6 2 5 B が接続されており、装飾装置基板 6 2 5 B に配置された L E D などの演出装置（装飾装置 6 2 0）が装飾制御装置 6 1 0 B によって制御される。

【 0 2 4 4 】

装飾制御装置 6 1 0 C は、連結型の装飾制御装置 6 1 0 であり、下流側の装飾制御装置 6 1 0 D に受信した制御信号を送信する。装飾制御装置 6 1 0 D には、分岐型の装飾制御装置 6 1 0 E が接続され、さらに、装飾制御装置 6 1 0 D は装飾装置基板 6 2 5 D に含まれる装飾装置 6 2 0 D を制御する。

【 0 2 4 5 】

装飾制御装置 6 1 0 E には、第 1 演出部材 7 0 の発光態様を制御する装飾制御装置 6 1 0 F と、第 2 演出部材 8 0 の発光態様を制御する装飾制御装置 6 1 0 G とが接続される。第 1 演出部材 7 0 及び第 2 演出部材 8 0 は、連動して演出動作が実行される。装飾制御装置 6 1 0 F は、第 1 演出部材 7 0 に含まれる第 1 発光基板 1 0 6 に配置され（図 6）、また、装飾制御装置 6 1 0 G は、第 2 演出部材 8 0 に含まれる第 2 発光基板 1 1 6 に配置されている（図 7）。

【 0 2 4 6 】

前面枠 3 には、装飾制御装置 6 1 0 H ~ 6 1 0 L、6 1 0 P、及び 6 1 0 Q が含まれる。装飾制御装置 6 1 0 H ~ 6 1 0 L は発光型装飾制御装置 6 1 0 であるので、第 1 マスタ I C 5 7 0 a によって制御され、装飾制御装置 6 1 0 P、及び 6 1 0 Q は可動型装飾制御装置 6 1 0 であるので、第 2 マスタ I C 5 7 0 b によって制御される。

【 0 2 4 7 】

中継基板 6 0 0 に直接接続される装飾制御装置 6 1 0 H は、分岐型の装飾制御装置 6 1 0 であり、装飾制御装置 6 1 0 I 及び装飾制御装置 6 1 0 K に第 1 マスタ I C 5 7 0 a から受信した制御信号を送信する。装飾制御装置 6 1 0 H は、照明ユニット 1 1 内に配置され、装飾装置基板 6 2 5 H に備えられた装飾装置 6 2 0 H を制御する。具体的には、照明ユニット 1 1 に含まれる L E D や異常報知 L E D 2 9 などが制御される。

【 0 2 4 8 】

装飾制御装置 6 1 0 I 及び装飾制御装置 6 1 0 I の下流側の装飾制御装置 6 1 0 J は、前面枠 3 の左側部分の装飾部材 9 a を制御する。また、装飾制御装置 6 1 0 K 及び装飾制御装置 6 1 0 L は、前面枠 3 の右側部分の装飾部材 9 b を制御する。

【 0 2 4 9 】

前面枠 3 の左側部分の装飾部材 9 a は、装飾制御装置 6 1 0 I 及び 6 1 0 J を含む。

【 0 2 5 0 】

装飾制御装置 6 1 0 I は、連結型の装飾制御装置 6 1 0 であり、下流側の装飾制御装置 6 1 0 J に受信した制御信号を送信する。装飾制御装置 6 1 0 I は装飾装置基板 6 2 5 I に含まれる装飾装置 6 2 0 I を制御する。

【 0 2 5 1 】

装飾制御装置 6 1 0 J は、終端型の装飾制御装置 6 1 0 であり、下流側の装飾制御装置に接続されない。装飾制御装置 6 1 0 J は装飾装置基板 6 2 5 J に含まれる装飾装置 6 2 0 J を制御する。

【 0 2 5 2 】

前面枠 3 の右側部分の装飾部材 9 b は、装飾制御装置 6 1 0 K 及び 6 1 0 L を含む。

【 0 2 5 3 】

装飾制御装置 6 1 0 K は、連結型の装飾制御装置 6 1 0 であり、下流側の装飾制御装置 6 1 0 L に受信した制御信号を送信する。さらに、装飾制御装置 6 1 0 K は装飾装置基板 6 2 5 K に含まれる装飾装置 6 2 0 K を制御する。

【 0 2 5 4 】

装飾制御装置 6 1 0 L は、終端型の装飾制御装置 6 1 0 であり、下流側の装飾制御装置に接続されない。装飾制御装置 6 1 0 L は装飾装置基板 6 2 5 L に含まれる装飾装置 6 2 0 L を制御する。

## 【 0 2 5 5 】

第 1 マスタ IC 5 7 0 a に接続される中継基板 6 0 0 及び装飾制御装置 6 1 0 A ~ 6 1 0 L には、それぞれ異なる個別アドレスが割り当てられており、第 1 マスタ IC 5 7 0 a から送信された制御信号に基づいて、それぞれ別々の演出動作を実行させることができる。

## 【 0 2 5 6 】

まず、中継基板 6 0 0 の個別アドレスには、「 0 0 0 0 」が割り当てられている。補助遊技装置ユニット 1 2 に含まれる装飾制御装置 6 1 0 A、6 1 0 B、6 1 0 C、6 1 0 D、6 1 0 E、6 1 0 F、及び 6 1 0 G の個別アドレスには、「 0 0 0 1 」、 「 0 0 1 0 」、 「 0 0 1 1 」、 「 0 1 0 0 」、 「 0 1 0 1 」、 「 0 1 1 0 」、及び「 0 1 1 1 」が割り

10

## 【 0 2 5 7 】

また、照明ユニット 1 1 に含まれる装飾制御装置 6 1 0 H の個別アドレスには、「 1 0 0 1 」が割り当てられている。また、装飾部材 9 a 及び装飾部材 9 b に含まれる装飾制御装置 6 1 0 I、6 1 0 J、6 1 0 K、及び 6 1 0 L の個別アドレスには、「 1 0 1 0 」、 「 1 1 0 0 」、 「 1 1 0 1 」、及び「 1 1 1 0 」が割り当てられている。

## 【 0 2 5 8 】

また、第 1 マスタ IC 5 7 0 a は、第 1 演出部材 7 0 に含まれる LED などの発光装置を制御する制御信号を、第 1 演出部材 7 0 を制御する装飾制御装置 6 1 0 F の個別アドレス ( 「 0 1 1 0 」 ) を指定して送信する。同様に、第 1 マスタ IC 5 7 0 a は、第 2 演出部材 8 0 に含まれる LED などの発光装置を制御する制御信号を、第 2 演出部材 8 0 を制御する装飾制御装置 6 1 0 G の個別アドレス ( 「 0 1 1 1 」 ) を指定して送信する。

20

## 【 0 2 5 9 】

装飾制御装置 6 1 0 C は、連結型の装飾制御装置 6 1 0 であり、さらに、連結型の装飾制御装置 6 1 0 D が接続される。

## 【 0 2 6 0 】

本発明の実施の形態では、装飾制御装置 6 1 0 C 及び装飾制御装置 6 1 0 D は、信頼度報知装置 1 5 に含まれる演出装置 ( LED ) を制御する。所定の条件を満たした場合には、演出制御装置 5 5 0 の第 1 マスタ IC 5 7 0 a から所定の態様を示すようにするための制御信号が送信され、指定された態様で演出を行う。

30

## 【 0 2 6 1 】

なお、第 1 マスタ IC 5 7 0 a が制御する発光制御装置に関して、第 1 発光基板 1 0 6 自体が装飾制御装置 6 1 0 F として機能し、第 2 発光基板 1 1 6 自体が装飾制御装置 6 1 0 G として機能していてもよい。

## 【 0 2 6 2 】

次に、第 2 マスタ IC 5 7 0 b が制御する発光型装飾制御装置 6 1 0 の接続形態について説明する。

## 【 0 2 6 3 】

簡易中継基板 1 6 0 0 は、上流側では演出制御装置 5 5 0 に搭載された第 2 マスタ IC 5 7 0 b に接続し、第 2 マスタ IC 5 7 0 b から送信された制御信号を受信する。また、下流側では補助遊技装置ユニット 1 2 に含まれる装飾制御装置 6 1 0 M、及び、前面枠 3 に含まれる装飾制御装置 6 1 0 P に接続する。

40

## 【 0 2 6 4 】

なお、簡易中継基板 1 6 0 0 は、 $I^2C$  I / O エクспанダ 6 1 5 を備えないので、中継基板 6 0 0 のように、直接接続された装飾装置基板 6 2 5 に搭載された装飾装置 6 2 0 を制御するものではない。

## 【 0 2 6 5 】

装飾制御装置 6 1 0 M は、連結型の装飾制御装置であり、装飾制御装置 6 1 0 N に第 1 マスタ IC 5 7 0 a から受信した制御信号を送信する。また、装飾制御装置 6 1 0 M には、役物駆動ソレノイド 8 2 が接続されており、装飾制御装置 6 1 0 M は、役物駆動ソレノ

50

イド 8 2 へ通電させるか否かを制御することによって装飾ピース 4 6 ( 図 2 参照 ) の上下動を制御する。

【 0 2 6 6 】

装飾制御装置 6 1 0 N は、連結型の装飾制御装置 6 1 0 であり、下流側の装飾制御装置 6 1 0 O に受信した制御信号を送信する。また、装飾制御装置 6 1 0 N には、役物駆動第 1 M O T 7 1 が接続され、装飾制御装置 6 1 0 N は、役物駆動第 1 M O T 7 1 を制御することによって、第 1 演出部材 7 0 の可動 ( 駆動 ) を制御する。

【 0 2 6 7 】

装飾制御装置 6 1 0 O は、終端型の装飾制御装置 6 1 0 であり、下流側には装飾制御装置 6 1 0 は接続されない。また、装飾制御装置 6 1 0 O には、役物駆動第 2 M O T 8 1 が 10  
接続され、装飾制御装置 6 1 0 O は、役物駆動第 2 M O T 8 1 を制御することによって、第 2 演出部材 8 0 の可動 ( 駆動 ) を制御する。

【 0 2 6 8 】

簡易中継基板 1 6 0 0 に直接接続され、前面枠 3 に取り付けられる装飾制御装置 6 1 0 P は、連結型の装飾制御装置 6 1 0 であり、装飾制御装置 6 1 0 Q に第 2 マスタ I C 5 7 0 b から受信した制御信号を送信する。装飾制御装置 6 1 0 P は、照明駆動第 1 M O T 1 3 a に接続され、照明駆動第 1 M O T 1 3 a を制御することによって、第 1 可動式照明 1 3 の可動 ( 駆動 ) を制御する。

【 0 2 6 9 】

装飾制御装置 6 1 0 Q は、終端型の装飾制御装置 6 1 0 であり、下流側には装飾制御装置 6 1 0 は接続されない。装飾制御装置 6 1 0 Q は、照明駆動第 2 M O T 1 4 a に接続され、照明駆動第 2 M O T 1 4 a を制御することによって、第 2 可動式照明 1 4 の可動 ( 駆動 ) を制御する。 20

【 0 2 7 0 】

第 2 マスタ I C 5 7 0 b に接続される装飾制御装置 6 1 0 M ~ 6 1 0 Q には、それぞれ異なる個別アドレスが割り当てられており、第 2 マスタ I C 5 7 0 b から送信された制御信号に基づいて、それぞれ別々の演出動作を実行させることができる。

【 0 2 7 1 】

補助遊技装置ユニット 1 2 に含まれる装飾制御装置 6 1 0 M、6 1 0 N、及び 6 1 0 O の個別アドレスには、「 0 0 0 0 」、 「 0 0 0 1 」、及び「 0 0 1 0 」が割り当てられている。 30

【 0 2 7 2 】

また、前面枠 3 に含まれる装飾制御装置 6 1 0 P、及び 6 1 0 Q の個別アドレスには、「 0 0 1 1 」、及び「 0 1 0 0 」が割り当てられている。

【 0 2 7 3 】

演出制御装置 5 5 0 は、変動表示ゲーム実行時など、所定の条件を満たすと、第 1 演出ユニット 6 3 ( 第 1 演出部材 7 0 ) 及び第 2 演出ユニット 6 4 ( 第 2 演出部材 8 0 ) を制御して演出動作を実行する。

【 0 2 7 4 】

例えば、第 2 マスタ I C 5 7 0 b は、第 1 演出ユニット 6 3 に含まれる役物駆動第 1 M O T 7 1 を制御するために、装飾制御装置 6 1 0 N の個別アドレス ( 「 0 0 0 1 」 ) を指定して役物駆動第 1 M O T 7 1 を動作させるための制御信号を送信し、役物駆動第 1 M O T 7 1 を制御する。また、第 2 演出ユニット 6 4 に含まれる役物駆動第 2 M O T 8 1 を制御するために、第 2 マスタ I C 5 7 0 b は、装飾制御装置 6 1 0 O の個別アドレス ( 「 0 0 1 0 」 ) を指定して役物駆動第 2 M O T 8 1 を動作させるための制御信号を送信し、役物駆動第 2 M O T 8 1 を制御する。 40

【 0 2 7 5 】

図 1 3 では、遊技機に通常版前面枠 3 が取り付けられる場合について説明したが、通常版前面枠 3 よりも廉価なコストで構成された装飾部材を備えている前面枠 ( 廉価版前面枠 ) 3 が取り付けられる場合がある。廉価版前面枠 3' が遊技機 1 に取り付けられる場合に 50

ついては、図 21 で詳細を説明する。

【0276】

図 14 は、本発明の実施の形態の演出制御装置 550 に搭載される第 1 マスタ IC 570a と遊技盤 10 に含まれる中継基板 600 及び当該中継基板 600 に接続される装飾制御装置 610 の接続状態を説明する図である。

【0277】

図 14 では、演出制御装置 550、中継基板 600、装飾制御装置 610A、610C、610H、及び 610I の接続について説明する。また、説明の都合上、装飾制御装置 610 として、装飾制御装置 610C から分岐した装飾制御装置 610B、610C よりも下流に接続されている各装飾制御装置 (610D ~ 610G)、装飾制御装置 610H から分岐した装飾制御装置 610K、及び装飾制御装置 610K の下流に接続されている装飾制御装置 610L については記載を省略する。なお、各装飾制御装置 610 間の接続はそれぞれ同じである。

10

【0278】

演出制御装置 550 は、接続線 Vcc、接続線 Vled、接続線 SDA、接続線 SCL、接続線 GND、接続線 SE1 ~ 3、及び接続線 Vse によって中継基板 600 と接続される。

【0279】

接続線 Vcc、接続線 Vled、接続線 SDA、接続線 SCL、接続線 GND、及び接続線 Vse については、図 11 にて説明した通りである。

20

【0280】

中継基板 600 には、図 11 に示すように、役物駆動モータ (役物駆動第 1 MOT71、役物駆動第 2 MOT81) の回転位置を検出するための役物駆動モータ位置検出センサ 560a が接続される。接続線 SE1 ~ 3 は、役物駆動モータ位置検出センサ 560a による検出結果を受信するための接続線であり、中継基板 600 は、役物モータ位置検出センサ 560a によって検出された役物駆動モータの回転位置を、接続線 SE1 ~ 3 を介して演出制御装置 550 に送信する。

【0281】

中継基板 600 を含む装飾制御装置 610 は、接続線 Vcc、接続線 Vled、接続線 SDA、接続線 SCL、及び接続線 GND (以下、この 5 本の接続線を一つのハーネスという) を介して互いに接続される。

30

【0282】

中継基板 600 には 2 本のハーネスが接続されており、一方のハーネスは、中継基板 600 を遊技盤 10 の補助遊技装置ユニット 12 に含まれる最上流の装飾制御装置 610A に接続するためのハーネスであり、他方のハーネスは、中継基板 600 を前面枠 3 に含まれる最上流の装飾制御装置 610H に接続するためのハーネスである。

【0283】

また、装飾制御装置 610A にはハーネスを介して図示しない装飾制御装置 610B 及び装飾制御装置 610C が接続され、装飾制御装置 610C にはハーネスを介して図示しない装飾制御装置 610D が接続される。

40

【0284】

また、装飾制御装置 610H にはハーネスを介して装飾制御装置 610I 及び図示しない装飾制御装置 610K が接続され、装飾制御装置 610I にはハーネスを介して図示しない装飾制御装置 610J が接続され、装飾制御装置 610K にはハーネスを介して図示しない装飾制御装置 610L が接続される。

【0285】

各装飾制御装置 610 は、ハーネスを自身に接続するための取付口となるコネクタを備える。このコネクタは各装飾制御装置 610 で共通であるため、各接続線の接続順が共通となっており、誤配線を防止することができる。

【0286】

50

図15は、本発明の実施の形態の演出制御装置550と、前面枠3に含まれる簡易中継基板1600及び当該簡易中継基板1600に接続される装飾制御装置610の接続状態を説明する図である。

【0287】

図15では、演出制御装置550、簡易中継基板1600、装飾制御装置610M、610N、610P、及び610Qの接続について説明する。また、説明の都合上、装飾制御装置610として、装飾制御装置610Nよりも下流に接続されている装飾制御装置610Oについては記載を省略する。

【0288】

演出制御装置550は、接続線Vcc、接続線Vms、接続線SDA、接続線SC L、接続線GND、接続線SE1~3、及び接続線Vseに加え、演出ボタン17からのボタン信号を受信する接続線及び音信号をスピーカ30に送信する接続線によって簡易中継基板1600と接続される。

10

【0289】

接続線Vcc、接続線Vms、接続線SDA、接続線SC L、接続線GND、及び接続線Vseについては、図14にて説明したように、下流側に配置されている各装飾制御装置610に各種信号を送受信する。

【0290】

照明駆動MOT（照明駆動第1MOT13a、照明駆動第2MOT14a）、役物駆動モータ（役物駆動第1MOT71、役物駆動第2MOT81）、及び役物駆動ソレノイド82を駆動するために、接続線Vmsから供給された電力を各モータなどに供給する。

20

【0291】

また、簡易中継基板1600には、照明駆動MOTの回転位置を検出するための照明駆動MOT位置検出センサ560bが接続される。簡易中継基板1600は、照明駆動MOT位置検出センサ560bによって検出された照明駆動MOT（照明駆動第1MOT13a、照明駆動第2MOT14a）の回転位置を、接続線SE1~3を介して演出制御装置550に送信する。

【0292】

簡易中継基板1600に接続される装飾制御装置610は、接続線Vcc、接続線Vms、接続線SDA、接続線SC L、及び接続線GND（以下、この5本の接続線を一つのハーネスという）を介して互いに接続される。

30

【0293】

簡易中継基板1600には2本のハーネスが接続されており、一方のハーネスは、簡易中継基板1600を遊技盤10の補助遊技装置ユニット12に含まれる最上流の装飾制御装置610Mに接続するためのハーネスであり、他方のハーネスは、簡易中継基板1600を前面枠3に含まれる最上流の装飾制御装置610Pに接続するためのハーネスである。

【0294】

また、装飾制御装置610Mにはハーネスを介して装飾制御装置610Nが接続され、装飾制御装置610Nにはハーネスを介して図示しない装飾制御装置610Oが接続される。

40

【0295】

また、装飾制御装置610Pにはハーネスを介して装飾制御装置610Qが接続される。

【0296】

各装飾制御装置610は、ハーネスを自身に接続するための取付口となるコネクタを備える。このコネクタは各装飾制御装置610で共通であるため、各接続線の接続順が共通となっており、誤配線を防止することができる。

【0297】

なお、遊技機1の構成として、通常版前面枠3の代わりに廉価版前面枠3'を設けた場

50



合でも、廉価版前面枠 3' に含まれる各種基板の接続状態は、図 15 とほぼ同等の構成となる。

【0298】

但し、廉価版前面枠 3' には、照明駆動 MOT (照明駆動第 1 MOT 13a、照明駆動第 2 MOT 14a) が設けられていないので、簡易中継基板 1600' と装飾制御装置 610P、及び装飾制御装置 610Q を接続するケーブルが存在しない。

【0299】

ここで、装飾制御装置 610 に設けられた I<sup>2</sup>C I/O エクスパンダ 615 (図 17 で後述) が装飾装置 620 を制御する方法について説明する。

【0300】

演出制御装置 550 は、遊技制御装置 500 から入力された遊技データに基づいて、演出装置 (装飾装置 620) の出力態様を決定する。そして、演出制御装置 550 は、決定された出力態様となるように、制御対象となる装飾制御装置 610 の個別アドレス (I<sup>2</sup>C I/O エクスパンダ 615 の個別アドレス) を含む演出制御データ (演出制御情報) を中継基板 600 又は簡易中継基板 1600 に出力する。このとき、演出制御データは、中継基板 600 から接続線 SDA を介してすべての制御対象の装飾制御装置 610 に出力される。

【0301】

第 1 マスタ IC 570a が制御する装飾制御装置 610 によって制御される演出装置は LED 等の発光装置であるため、LED の発光態様が演出装置の出力態様に相当する。この場合、演出制御データによって、LED の点灯 / 点滅 / 消灯が指示され、さらに、LED の点滅周期や点灯輝度も指示される。

【0302】

また、第 2 マスタ IC 570b が制御する装飾制御装置 610 によって制御される演出装置はモータやソレノイドなどの可動装置であるため、モータやソレノイドの動作態様が演出装置の出力態様に相当する。

【0303】

各装飾制御装置 610 には、前述のようにあらかじめ一意な個別アドレスが設定されており、演出制御データが入力されると、入力された演出制御データに含まれるアドレスと設定されている個別アドレスとが一致するか否かを判定する。そして、入力された演出制御データに含まれるアドレスと設定されている個別アドレスとが一致すると判定された場合には、装飾制御装置 610 の I<sup>2</sup>C I/O エクスパンダ 615 は、演出制御データを取り込んで、対応する装飾装置 620 の出力態様を制御するとともに、8 ビット目のデータが入力された直後に返答信号をマスタ IC (第 1 マスタ IC 570a、第 2 マスタ IC 570b) に出力する。

【0304】

以上のように、マスタ IC は、当該マスタ IC に接続されるすべての装飾制御装置 610 に演出制御データを送信し、当該演出制御データに含まれる個別アドレスに対応する装飾制御装置 610 において、要求した出力態様となるように演出装置を制御することができる。

【0305】

なお、各装飾制御装置 610 には、個別アドレス以外にも、装飾制御装置 610 の I<sup>2</sup>C I/O エクスパンダ 615 を初期化するためのリセット用アドレスが設定されている。このリセットアドレスは、すべての I<sup>2</sup>C I/O エクスパンダ 615 に対して共通に設けられたアドレスであり、個別アドレスとして使用することはできない。また、このリセットアドレスの値を変更することもできないように構成されている (詳細は後述する)。

【0306】

演出制御装置 550 は、装飾制御装置 610 (正確には、装飾制御装置 610 の I<sup>2</sup>C I/O エクスパンダ 615) を初期化する場合に、このリセット用の共通アドレスを含んだ初期化指示データを、中継基板 600 又は簡易中継基板 1600 に出力する。このとき

10

20

30

40

50

、初期化指示データ及び演出制御データは、中継基板 6 0 0 又は簡易中継基板 1 6 0 0 を介して、演出制御装置 5 5 0 に接続されるすべての装飾制御装置 6 1 0 に対して接続線 S D A から出力される。

【 0 3 0 7 】

各装飾制御装置 6 1 0 には、リセット用の共通アドレスがあらかじめ設定されているので、入力されたデータに含まれるアドレスと、リセット用の共通アドレスとが一致するかどうかを判定する。一致すると判定された場合には、装飾制御装置 6 1 0 の I<sup>2</sup>C I / O エクスパンダ 6 1 5 は、返答信号をマスタ IC に出力するとともに、入力データを初期化指示データとして取り込み、I<sup>2</sup>C I / O エクスパンダ 6 1 5 自身を初期化する。

【 0 3 0 8 】

なお、I<sup>2</sup>C I / O エクスパンダ 6 1 5 が初期化されると、当該初期化された I<sup>2</sup>C I / O エクスパンダ 6 1 5 によって制御される演出装置はオフ状態となる。

【 0 3 0 9 】

このように、装飾制御装置 6 1 0 は、演出制御装置 5 5 0 からの指令に基づく制御を行うので、演出制御装置 5 5 0 と装飾制御装置 6 1 0 との関係は、演出制御装置 5 5 0 の第 1 マスタ IC 5 7 0 a 及び第 2 マスタ IC 5 7 0 b がマスタであり、各装飾制御装置 6 1 0 の I<sup>2</sup>C I / O エクスパンダ 6 1 5 がスレーブとなる。

【 0 3 1 0 】

図 1 6 は、本発明の実施の形態の装飾制御装置 6 1 0 のブロック図である。

【 0 3 1 1 】

本発明の実施の形態の装飾制御装置 6 1 0 は、前述のように、接続形態に基づいて、分岐型、連結型、及び終端型の 3 種類に分類される。図 1 6 には、分岐型の装飾制御装置 6 1 0 X に終端型の装飾制御装置 6 1 0 Y が接続されている例を示している。さらに、装飾制御装置 6 1 0 Y には、装飾装置基板 6 2 5 が接続されている。

【 0 3 1 2 】

分岐型の装飾制御装置 6 1 0 X とは、I<sup>2</sup>C I / O エクスパンダ 6 1 5 と、I<sup>2</sup>C I / O エクスパンダ 6 1 5 が受信する信号を受け入れるためのコネクタ（上流コネクタ）と、上流コネクタから受け入れた信号を、複数の装飾制御装置 6 1 0 に伝達するコネクタ（下流コネクタ）を備えたものである。例えば、図中の装飾制御装置 6 1 0 X のように、内部に I<sup>2</sup>C I / O エクスパンダ 6 1 5 及び L E D（装飾装置 6 2 0）を備え、さらに、一つの上流コネクタ 6 1 1 と二つの下流コネクタ 6 1 2 A、6 1 2 B を備える。

【 0 3 1 3 】

接続線 S D A 及び接続線 S C L は、装飾制御装置 6 1 0 内で二つに分岐し、一方は、そのまま次の装飾制御装置 6 1 0 Y に出力するための下流コネクタ 6 1 2 B に接続される。他方は、さらに分岐し、一方は I<sup>2</sup>C I / O エクスパンダ 6 1 5 に接続され、他方は別の下流コネクタ 6 1 2 A に接続される。

【 0 3 1 4 】

また、装飾制御装置 6 1 0 X の I<sup>2</sup>C I / O エクスパンダ 6 1 5 の出力側には、制御対象となる装飾装置 6 2 0 が接続される。I<sup>2</sup>C I / O エクスパンダ 6 1 5 の出力側は、図 1 8 及び図 1 9 で説明するポート 0 ~ 1 5 によって構成される。さらに、装飾制御装置 6 1 0 のすべてのポートが、図 1 8 で後述する電流制限抵抗 R 0 ~ R 1 5 を介して、内部の L E D に接続されている。なお、この電流制限抵抗 R 0 ~ R 1 5 も、装飾制御装置 6 1 0 に備えられている。

【 0 3 1 5 】

前述したように、I<sup>2</sup>C I / O エクスパンダ 6 1 5 は、演出制御装置 5 5 0 から入力された演出制御データに含まれるアドレスと、当該 I<sup>2</sup>C I / O エクスパンダ 6 1 5 に設定されている個別アドレスとが一致する場合にのみ、演出制御データに含まれる装飾データに基づいて、I<sup>2</sup>C I / O エクスパンダ 6 1 5 に接続されている装飾装置 6 2 0 を制御する。

【 0 3 1 6 】

10

20

30

40

50

なお、下流コネクタを１個しか備えないために、上流コネクタから受け入れた信号が、一つの装飾制御装置 610 にのみ伝達可能となっている装飾制御装置 610 は、連結型の装飾制御装置となる。例えば、前述した装飾制御装置 610 X にて、下流コネクタ 612 B のみが備えられ、下流コネクタ 612 A が存在しないようなものが該当する。

#### 【0317】

また、終端型の装飾制御装置とは、 $I^2C$  I/O エクスパンダ 615 と、 $I^2C$  I/O エクスパンダ 615 が受信する信号を受け入れるためのコネクタ（上流コネクタ）を有するが、上流コネクタから受け入れた信号を、他の装飾制御装置 610 に伝達しないものである。例えば、図中の装飾制御装置 610 Y は、 $I^2C$  I/O エクスパンダ 615 及び LED（装飾装置 620）を備え、装飾制御装置 610 Y の外部に接続される装飾装置基板 625 に備わる LED に電流を流すための接続線、装飾装置基板 625 の LED に電源電圧を供給する接続線、及び、グランドに接地する接続線を介して、装飾制御装置 610 と装飾装置基板 625 とが接続される。

10

#### 【0318】

装飾装置基板 625 は、 $I^2C$  I/O エクスパンダ 615 を備えておらず、LED などの発光装置のみを備えた基板である。この場合、装飾装置基板 625 に備えた LED に接続される電流制限抵抗を、装飾装置基板 625 に設けることになるが、 $I^2C$  I/O エクスパンダ 615 が備えられた装飾制御装置 610 に設けてもよい。

#### 【0319】

なお、装飾装置基板 625 に設けた LED の数に対応して、装飾制御装置 610 から装飾装置基板 625 へ渡されることになる、これらの LED に電流を流すための接続線の数決定される。例えば、装飾装置基板 625 に二つの LED を備えた場合には、 $I^2C$  I/O エクスパンダ 615 のポートと対応する LED とを接続するための 2 本の制御線と、Vled から供給された電力を供給する電源線 1 本とが、少なくとも必要となる。

20

#### 【0320】

そして、装飾制御装置 610 Y に設けられた  $I^2C$  I/O エクスパンダ 615 も、演出制御装置 550 から入力された演出制御データに含まれるアドレスと、当該  $I^2C$  I/O エクスパンダ 615 に設定されているアドレスとが一致する場合にのみ、演出制御データに含まれる装飾データに基づいて、 $I^2C$  I/O エクスパンダ 615 に接続されている装飾装置 620 を制御する。この場合、中央の装飾制御装置 610 に設けられた装飾装置 620 と、装飾装置基板 625 に設けられた装飾装置 620 の両方が、 $I^2C$  I/O エクスパンダ 615 によって制御される。

30

#### 【0321】

このように、装飾装置基板 625 を設けて、装飾制御装置 610 から一部の装飾装置（LED）を分離させることで、離れた箇所に配置された LED であっても、共通の  $I^2C$  I/O エクスパンダ 615 により制御することができる。

#### 【0322】

なお、第 2 マスタ IC 570 b によって制御される装飾制御装置 610 は、前述したように、ソレノイドやモータなどの可動物を制御するものであり、具体的な構成は、図 19 にて後述する。

40

#### 【0323】

図 17 は、本発明の実施の形態の  $I^2C$  I/O エクスパンダ 615 の構成を示すブロック図である。

#### 【0324】

$I^2C$  I/O エクスパンダ 615 は、接続線 SDA に接続されるトランジスタ 630、接続線 SDA に接続されるフィルタ 631、接続線 SDA に接続されるドライバ 632、接続線 SCL に接続されるフィルタ 633、バスコントローラ 634、出力設定レジスタ 635、出力コントローラ 636、 $I^2C$  I/O エクスパンダ 615 の出力側の各ポート 0～15 に接続されるドライバ 637、各ポート 0～15 に接続されるトランジスタ 638A～638P、及びリセット信号発生回路 639 を備える。

50

## 【 0 3 2 5 】

フィルタ 6 3 1 は、接続線 S D A に接続され、接続線 S D A から入力されたデータのノイズを除去し、ノイズが除去されたデータをバスコントローラ 6 3 4 に出力する。ドライバ 6 3 2 は、返答信号を接続線 S D A から出力する場合に、トランジスタ 6 3 0 が動作可能な電圧をトランジスタ 6 3 0 に印加する。

## 【 0 3 2 6 】

ドライバ 6 3 2 は、接続線 S D A からデータ（返答信号）を出力する場合に、トランジスタ 6 3 0 が動作可能な電圧をトランジスタ 6 3 0 に印加する。

## 【 0 3 2 7 】

トランジスタ 6 3 0 は、電力消費を抑えるために電界効果トランジスタ（F E T）が用いられており、トランジスタ 6 3 0 のゲートはドライバ 6 3 2 に接続され、ドレインはプルアップ抵抗 R により所定の電圧が印加された接続線 S D A に接続され、ソースは接地されている。

## 【 0 3 2 8 】

トランジスタ 6 3 0 のゲートに印加される電圧がトランジスタ 6 3 0 を動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れない。一方、トランジスタ 6 3 0 のゲートに印加される電圧がトランジスタ 6 3 0 を動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線 S D A の電圧が低下する。なお、トランジスタ 6 3 0 は、10 ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のもを用いている。

## 【 0 3 2 9 】

ドライバ 6 3 2 は、データ（返答信号）を接続線 S D A から出力する場合に、トランジスタ 6 3 0 にドレインとソースとの間に電流を流すためにトランジスタ 6 3 0 のゲートにトランジスタ 6 3 0 が動作可能な値の電圧を印加する。そして、ドライバ 6 3 2 は、接続線 S D A の電圧を H I G H から L O W へ繰り返し変化させることによって、データを接続線 S D A から出力する。

## 【 0 3 3 0 】

フィルタ 6 3 3 は、接続線 S C L に接続され、接続線 S C L から入力されたデータのノイズを除去し、ノイズが除去されたデータをバスコントローラ 6 3 4 に出力する。

## 【 0 3 3 1 】

また、I<sup>2</sup>C I / O エクスパンダ 6 1 5 には、当該 I<sup>2</sup>C I / O エクスパンダ 6 1 5 に備わるアドレス設定用端子 A 0 ~ A 3 によって固有のアドレスが設定されており、バスコントローラ 6 3 4 に入力されている。さらに、I<sup>2</sup>C I / O エクスパンダ 6 1 5 をリセットするためのアドレスも、あらかじめ設定されている。

## 【 0 3 3 2 】

バスコントローラ 6 3 4 は、接続線 S D A から入力されたデータのアドレスが I<sup>2</sup>C I / O エクスパンダ 6 1 5 に設定された固有のアドレスと一致するか否かを判定し、一致している場合に当該データを演出制御データとして取り込む。

## 【 0 3 3 3 】

また、バスコントローラ 6 3 4 は、接続線 S D A から入力されたデータのアドレスが I<sup>2</sup>C I / O エクスパンダ 6 1 5 に設定されたリセット用のアドレスと一致するか否かを判定し、一致している場合に当該データを初期化指示データとして取り込み、当該 I<sup>2</sup>C I / O エクスパンダ 6 1 5 を初期化する。

## 【 0 3 3 4 】

また、バスコントローラ 6 3 4 は、接続線 S C L の信号レベルの L O W から H I G H への変化回数が 8 回に達し、8 ビット目のデータを取り込んだ後、接続線 S C L の信号レベルが H I G H から L O W へ変化すると、返答信号を接続線 S D A から第 1 マスタ I C 5 7 0 a に出力する。さらに、接続線 S C L の信号レベルが L O W から H I G H へ変化することが確認され、再度接続線 S C L の信号レベルが H I G H から L O W へ変化すると、接続線 S D A を開放する。つまり、接続線 S C L の信号レベルの L O W から H I G H への変化

回数が 9 回になるタイミングで返答信号を出力する。

【 0 3 3 5 】

出力設定レジスタ 6 3 5 には、当該  $I^2C$  I / O エクスパンダ 6 1 5 の動作モードやポート 0 ~ 1 5 の出力状態が設定される。バスコントローラ 6 3 4 が接続線 S D A から初期化指示データを取り込んで、当該  $I^2C$  I / O エクスパンダ 6 1 5 が初期化された場合には、出力設定レジスタ 6 3 5 は、すべてのポート 0 ~ 1 5 に電流が流れないように初期状態に設定される。

【 0 3 3 6 】

出力コントローラ 6 3 6 は、出力設定レジスタ 6 3 5 に設定されたデータに基づいて、ポートドライバ 6 3 7 を介して、各ポート 0 ~ 1 5 に接続された演出装置に電流を流すことによって、演出装置の出力状態を実際に制御する。この出力状態は、バスコントローラ 6 3 4 が接続線 S D A から演出制御データを取り込むと、演出制御データに指定されている内容に更新される。

【 0 3 3 7 】

すなわち、第 1 マスタ  $I^2C$  5 7 0 a 又は第 2 マスタ  $I^2C$  5 7 0 b から受信した演出制御データに基づいて、出力設定レジスタ 6 3 5 に設定し、ストップコンディションを受信した時点で、各ポート 0 ~ 1 5 の出力状態を更新して演出装置に反映させる。したがって、シフトレジスタのように、L A T 信号を受信する必要もなく、すなわち、L A T 信号を受信するための配線を必要とすることなく、演出制御を行うことができる。特に、ポート出力状態を、複数の  $I^2C$  I / O エクスパンダ 6 1 5 で同時に更新する必要がある場合に有効であり、異なる  $I^2C$  I / O エクスパンダ 6 1 5 に制御される演出装置であっても、同時に演出動作を実行するように制御できるため、より演出効果を高めることが可能となる。

【 0 3 3 8 】

ドライバ 6 3 7 は、ポートに電流を流す場合に、電流を流すポートに接続されるトランジスタ 6 3 8 A ~ 6 3 8 P が動作可能な電圧を当該トランジスタに印加する。

【 0 3 3 9 】

トランジスタ 6 3 8 A ~ 6 3 8 P のゲートはドライバ 6 3 7 に接続され、ドレインは図 1 9 及び図 2 0 に示すように演出装置を動作させるための電圧が印加された接続線に接続するポート端子に接続され、ソースは接地されている。

【 0 3 4 0 】

トランジスタ 6 3 8 A ~ 6 3 8 P のゲートに印加される電圧がトランジスタ 6 3 8 A ~ 6 3 8 P を動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れない。一方、6 3 8 A ~ 6 3 8 P のゲートに印加される電圧がトランジスタ 6 3 8 を動作させる所定値以上であれば、図 1 8 に示す電源  $V_{led}$ 、又は図 1 9 に示す電源  $V_{mot}$  や電源  $V_{sol}$  からゲートに印加されている所定の電圧が、トランジスタ 6 3 8 のドレインを介して接地されているソースへ電流が流れることによって、ポート端子に接続された演出装置の出力状態を制御できる。

【 0 3 4 1 】

また、装飾制御装置 6 1 0 の  $I^2C$  I / O エクスパンダ 6 1 5 は、 $I^2C$  I / O エクスパンダ 6 1 5 のポート端子に接続されたすべての演出装置を同時に制御することが可能であるので、 $I^2C$  I / O エクスパンダ 6 1 5 のポート端子に接続された一つの演出装置を一つのグループとして制御することができる。

【 0 3 4 2 】

そして、各装飾制御装置 6 1 0 に備わる  $I^2C$  I / O エクスパンダ 6 1 5 同士は、互いに異なる個別アドレスが割り当てられているので、演出装置が複数のグループに分割された形態となっている。すなわち、各装飾制御装置 6 1 0 に備わる  $I^2C$  I / O エクスパンダ 6 1 5 は、演出装置をグループ単位で制御可能なグループ単位制御手段として構成されているものである。

【 0 3 4 3 】

したがって、各装飾制御装置 610 を統括する演出制御装置 550 は、グループ単位制御手段を統括して制御するグループ統括制御手段として機能している。

【0344】

リセット信号発生回路 639 には、 $I^2C$  I/O エクスパンダ 615 に電源を供給する接続線  $V_{cc}$  に接続される  $V_{cc}$  端子、及び外部からのリセット信号を受け付ける  $RESET$  端子が接続されている。

【0345】

リセット信号発生回路 639 は、 $I^2C$  I/O エクスパンダ 615 に電源が投入され、電圧が所定値まで立ち上がると、リセット信号を発生させ、発生させたりセット信号をバスコントローラ 634、出力設定レジスタ 635、及び出力コントローラ 636 に入力することによって初期化する。

10

【0346】

なお、外部から  $LOW$  レベルのリセット信号が入力された場合には、リセット信号発生回路 639 はリセット信号を出力するので、演出制御装置 550 の  $CPU$  551 から、 $NOR$  ゲート回路 561 を経由して、 $RESET$  端子からリセット信号を入力するようにしてもよい。 $RESET$  端子を使用しない場合には、図 18 及び図 19 に示すように  $RESET$  端子は  $HIGH$  にプルアップされていてもよい。

【0347】

図 18 は、本発明の実施の形態の第 1 マスタ  $I^2C$  570a に接続される装飾装置 620 を制御する装飾制御装置 610 の  $I^2C$  I/O エクスパンダ 615 周辺の回路図である。

20

【0348】

$I^2C$  I/O エクスパンダ 615 は、入力端子として  $NC$  端子、 $RESET$  端子、 $SC_L$  端子、 $SDA$  端子、 $V_{cc}$  端子、 $A0 \sim A3$  端子、及び  $GND$  端子を備え、出力端子として、 $PORT0 \sim PORT15$  を備える。

【0349】

$RESET$  端子には、プルアップ抵抗  $R$  を介して  $I^2C$  I/O エクスパンダ 615 に供給される電源が接続されている。このため、リセット端子に印加される電圧は常に  $HIGH$  に維持されている。

【0350】

$SC_L$  端子は接続線  $SC_L$  に接続され、 $SDA$  端子は接続線  $SDA$  に接続される。

30

【0351】

$V_{cc}$  端子には、 $I^2C$  I/O エクスパンダ 615 に供給される電源が接続される。さらに、 $V_{cc}$  端子には、電源ノイズを除去するコンデンサ  $CP$  が接続される。

【0352】

$A0$  端子  $\sim A3$  端子は、 $I^2C$  I/O エクスパンダ 615 に個別アドレスを設定するための端子である。なお、 $I^2C$  I/O エクスパンダ 615 の個別アドレスは、通常、4 ビットで表現され、この端子に  $I^2C$  I/O エクスパンダ 615 の電源が印加されている場合にはバスコントローラ 634 に「1」が設定され、この端子がグランドに接続されている場合にはバスコントローラ 634 に「0」が設定される。

【0353】

したがって、図 18 に示す  $I^2C$  I/O エクスパンダ 615 の個別アドレスは「0100」となる。 $GND$  端子は、電圧をグランドするための端子である。

40

【0354】

$PORT0$  端子  $\sim PORT15$  端子は、電流制限抵抗  $R0 \sim R15$  を介して  $LED0 \sim LED15$  からなる装飾装置 620 に接続される。なお、 $PORT0$  のように、ポート 1 個に対して 1 個の  $LED$  を接続してもよいが、 $PORT1 \sim 15$  のように、ポート 1 個に対して複数個の  $LED$  を接続してもよい。

【0355】

すべてのポートに  $LED$  を 1 個ずつ設ける場合は、1 個の  $I^2C$  I/O エクスパンダ 615 によって、最大で 16 個の  $LED$  を制御できることになる。また、各ポートに接続さ

50

れるLEDの個数が異なる場合は、1個のポートに直列に接続されたすべてのLEDを1種類のLEDということにすれば、1個のI<sup>2</sup>C I/Oエクスパンダ615によって、最大で16種類のLEDを制御できることになる。

【0356】

PORT0端子～PORT15端子に接続されるトランジスタ638A～638P(図17参照)のゲートに対してドライバ637から電圧が印加されると、電圧が印加されたトランジスタ638A～638Pのドレインからソースへ電流が流れることが可能になり、PORT0端子～PORT15端子に接続されるLED0～LED15に電流が流れ、各LED0～LED15は点灯する。

【0357】

一方、ドライバ637がトランジスタ638A～638Pのゲートに電圧を印加しなければ、各LED0～LED15に電流が流れない状態になり、各LED0～LED15は点灯しない。

【0358】

図19は、本発明の実施の形態の第2マスタIC570bに接続される装飾制御装置610のI<sup>2</sup>C I/Oエクスパンダ615周辺の回路図であり、モータやソレノイドを制御する場合を示す図である。

【0359】

図19では、説明の都合上、I<sup>2</sup>C I/Oエクスパンダ615にモータとソレノイドとが接続されているが、図13に示すように、一つのI<sup>2</sup>C I/Oエクスパンダ615(つまり一つの装飾制御装置610)に一つのモータ又は一つのソレノイドが接続されるものである。このような構成により、同一グループに属する演出装置を同じタイミングで制御することが可能となるので、高速処理が必要な演出装置だけをグループ化して効率よく制御することも可能となる。

【0360】

ここで使用されるモータはステッピングモータにより構成され、ステッピングモータを駆動する各相の信号端子に、所定の電圧を順次印加することで回転する。本発明の実施の形態では、モータの各相の信号端子がPORT0端子～PORT3端子に接続される。

【0361】

モータに接続されているPORT0端子～PORT3端子に接続されるトランジスタ638A～638Dのいずれかのゲートに対してドライバ637から電圧が印加されると、電圧が印加されたトランジスタ638A～638Dのドレインからソースへ電流が流れることが可能になり、PORT0端子～PORT3端子に接続されるモータに電流が流れ、役物駆動用のモータが駆動する。

【0362】

なお、各PORT0端子～PORT3端子とモータとを接続する接続線は分岐し、分岐した一方の接続線は、モータに供給される電源にダイオードD及びツェナダイオードZDを介して接続される。

【0363】

また、PORT端子15は、使用されるソレノイドに接続される。ソレノイドに接続されているPORT15端子に接続されるトランジスタ638Pのゲートに対してドライバ637から電圧が印加されると、電圧が印加されたトランジスタ638Pのドレインからソースへ電流が流れることが可能になり、PORT15端子に接続されるソレノイドに電流が流れ、ソレノイドによって駆動される図示しない演出装置が駆動する。

【0364】

なお、図19では、I<sup>2</sup>C I/Oエクスパンダ615にモータ及びソレノイドの双方が接続されているが、一つのI<sup>2</sup>C I/Oエクスパンダ615に対して、モータ及びソレノイドを接続した構成でもよい。

【0365】

図20は、本発明の実施の形態の装飾制御装置610、中継基板600及び簡易中継基

10

20

30

40

50

板 1 6 0 0 の回路構成を説明するための図であり、特に、信号線や電源線の入出力に関する接続状態を説明するための図である。

【 0 3 6 6 】

本図においては、装飾制御装置 6 1 0、中継基板 6 0 0 及び簡易中継基板 1 6 0 0 のうち、分岐型の装飾制御装置 6 1 0（例えば、装飾制御装置 6 1 0 A など）について説明を行うこととし、最後に、連結型の装飾制御装置 6 1 0、終端型の装飾制御装置 6 1 0、中継基板 6 0 0、簡易中継基板 1 6 0 0 との相違点の説明を行うことにする。

【 0 3 6 7 】

なお、本図においては、図 1 6 に示す分岐型の装飾制御装置 6 1 0 X に備えられる部品と、同一の付番を付けて説明を行う。

10

【 0 3 6 8 】

分岐型の装飾制御装置 6 1 0 は、上流コネクタ 6 1 1、下流コネクタ 6 1 2（6 1 2 A、6 1 2 B）、及び  $I^2C I/O$  エクスパンダ 6 1 5 を備える。

【 0 3 6 9 】

上流コネクタ 6 1 1 は、当該装飾制御装置 6 1 0 よりも上流の装飾制御装置 6 1 0 に接続されるコネクタである。下流コネクタ 6 1 2 A 及び 6 1 2 B は、当該装飾制御装置 6 1 0 よりも下流側の装飾制御装置 6 1 0 に接続される。

【 0 3 7 0 】

二つの下流コネクタ 6 1 2 A、6 1 2 B に接続線 S D A を接続するために、上流コネクタ 6 1 1 から延びる内部接続線 S D A 2 0 1 1 は分岐 2 0 0 1 で第 1 接続線 S D A 2 0 2 1 と第 2 接続線 S D A 2 0 3 1 とに分岐する。第 1 接続線 S D A 2 0 2 1 は下流コネクタ 6 1 2 A に接続され、第 2 接続線 S D A 2 0 3 1 は下流コネクタ 6 1 2 B に接続される。

20

【 0 3 7 1 】

同じく、上流コネクタ 6 1 1 から延びる内部接続線 S C L 2 0 1 2 は分岐 2 0 0 2 で第 1 接続線 S C L 2 0 2 2 と第 2 接続線 S C L 2 0 3 2 とに分岐する。第 1 接続線 S C L 2 0 2 2 は下流コネクタ 6 1 2 A に接続され、第 2 接続線 S C L 2 0 3 2 は下流コネクタ 6 1 2 B に接続される。

【 0 3 7 2 】

さらに、接続線 S D A を  $I^2C I/O$  エクスパンダ 6 1 5 に接続するために、第 2 接続線 S D A 2 0 3 1 は分岐 2 0 0 3 で分岐し、分岐した第 2 接続線 S D A 2 0 3 1 は  $I^2C I/O$  エクスパンダ 6 1 5 の図 1 8 及び図 1 9 に示す S D A 端子に接続される。また、接続線 S C L を  $I^2C I/O$  エクスパンダ 6 1 5 に接続するために、第 2 接続線 S C L 2 0 3 2 は分岐 2 0 0 4 で分岐し、分岐した第 2 接続線 S C L 2 0 3 2 は  $I^2C I/O$  エクスパンダ 6 1 5 の図 1 8 及び図 1 9 に示す S C L 端子に接続される。以下、 $I^2C I/O$  エクスパンダ 6 1 5、分岐 2 0 0 3 から  $I^2C I/O$  エクスパンダ 6 1 5 に接続される接続線 S D A、及び分岐 2 0 0 4 から  $I^2C I/O$  エクスパンダ 6 1 5 に接続される接続線 S C L を含む構成を  $I^2C I/O$  エクスパンダ部 2 0 8 1 とする。

30

【 0 3 7 3 】

なお、 $I^2C I/O$  エクスパンダ 6 1 5 には、 $I^2C I/O$  エクスパンダ 6 1 5 の電源電圧となる電圧 V c c が供給されている。また、図 2 0 では図示されていないが、 $I^2C I/O$  エクスパンダ 6 1 5 からは、装飾制御装置 6 1 0 に設けられた L E D など（装飾装置 6 2 0）を駆動する各ポート 0 ~ 1 5 の信号線（図 1 8、1 9 参照）が出力されている。

40

【 0 3 7 4 】

さらに、当該装飾制御装置 6 1 0 の  $I^2C I/O$  エクスパンダ 6 1 5 が上流の装飾制御装置 6 1 0 に接続線 S D A を介して出力する信号、及び上流の装飾制御装置 6 1 0 から、当該装飾制御装置 6 1 0 の  $I^2C I/O$  エクスパンダ 6 1 5 に接続線 S D A を介して入力される信号のノイズを除去するために、内部接続線 S D A 2 0 1 1 にはツェナダイオード Z D 2 0 4 1 が接続されている。

【 0 3 7 5 】

具体的には、内部接続線 S D A 2 0 1 1 は分岐 2 0 0 5 で分岐し、分岐した内部接続線

50



S D A 2 0 1 1 はツェナダイオード Z D 2 0 4 1 のカソード側に接続され、ツェナダイオード Z D 2 0 4 1 のアノード側は接地されている。

【 0 3 7 6 】

このため、内部接続線 S D A 2 0 1 1 に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオード Z D 2 0 4 1 によって逃がされる。

【 0 3 7 7 】

また、上流の装飾制御装置 6 1 0 から、当該装飾制御装置 6 1 0 の I<sup>2</sup>C I / O エクスパンダ 6 1 5 へ接続線 S C L を介して入力される信号のノイズを除去するために、内部接続線 S C L 2 0 1 2 にはツェナダイオード Z D 2 0 4 2 が接続されている。

【 0 3 7 8 】

具体的には、内部接続線 S C L 2 0 1 2 は分岐 2 0 0 6 で分岐し、分岐した内部接続線 S C L 2 0 1 2 はツェナダイオード Z D 2 0 4 2 のカソード側に接続され、ツェナダイオード Z D 2 0 4 2 のアノード側は接地されている。

【 0 3 7 9 】

このため、内部接続線 S C L 2 0 1 2 に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオード Z D 2 0 4 2 によって逃がされる。

【 0 3 8 0 】

また、当該装飾制御装置 6 1 0 の I<sup>2</sup>C I / O エクスパンダ 6 1 5 が、下流コネクタ 6 1 2 A に接続された装飾制御装置 6 1 0 に接続線 S D A を介して出力する信号、及び下流コネクタ 6 1 2 A に接続された装飾制御装置 6 1 0 から装飾制御装置 6 1 0 の I<sup>2</sup>C I / O エクスパンダ 6 1 5 へ接続線 S D A を介して入力される信号のノイズを除去するために、第 1 接続線 S D A 2 0 2 1 にはツェナダイオード Z D 2 0 4 3 が接続されている。

【 0 3 8 1 】

具体的には、第 1 接続線 S D A 2 0 2 1 は分岐 2 0 0 7 で分岐し、分岐した第 1 接続線 S D A 2 0 2 1 はツェナダイオード Z D 2 0 4 3 のカソード側に接続され、ツェナダイオード Z D 2 0 4 3 のアノード側は接地されている。

【 0 3 8 2 】

このため、第 1 接続線 S D A 2 0 2 1 に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオード Z D 2 0 4 3 によって逃がされる。

【 0 3 8 3 】

また、第 1 接続線 S D A 2 0 2 1 に接続されるツェナダイオード Z D 2 0 4 3 と同じく、第 2 接続線 S D A 2 0 3 1 にもツェナダイオード Z D 2 0 4 5 が接続される。

【 0 3 8 4 】

また、装飾制御装置 6 1 0 の I<sup>2</sup>C I / O エクスパンダ 6 1 5 から下流コネクタ 6 1 2 A に接続された装飾制御装置 6 1 0 へ接続線 S C L を介して入力される信号のノイズを除去するために、第 1 接続線 S C L 2 0 2 2 にはツェナダイオード Z D 2 0 4 4 が接続されている。

【 0 3 8 5 】

具体的には、第 1 接続線 S C L 2 0 2 2 は分岐 2 0 0 8 で分岐し、分岐した第 1 接続線 S C L 2 0 2 2 はツェナダイオード Z D 2 0 4 4 のカソード側に接続され、ツェナダイオード Z D 2 0 4 4 のアノード側は接地されている。

【 0 3 8 6 】

このため、第 1 接続線 S C L 2 0 2 2 に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオード Z D 2 0 4 4 によって逃がされる。

【 0 3 8 7 】

また、第 1 接続線 S C L 2 0 2 2 に接続されるツェナダイオード Z D 2 0 4 4 と同じく、第 2 接続線 S C L 2 0 3 2 にもツェナダイオード Z D 2 0 4 6 が接続される。

【 0 3 8 8 】

さらに、当該装飾制御装置 6 1 0 の I<sup>2</sup>C I / O エクスパンダ 6 1 5 に電源電圧を供給する接続線 V c c に接続される上流コネクタ 6 0 1 の V c c 端子から延びる内部接続線 V

10

20

30

40

50

c c 2 0 7 1 と、上流コネクタ 6 0 1 の G N D 端子から延び、接地されている内部接続線 G N D 2 0 7 2 とは、平滑コンデンサ C 2 0 6 1 及びバイパスコンデンサ C P 2 0 6 2 を介して接続されている。

【 0 3 8 9 】

平滑コンデンサ C 2 0 6 1 は、電源の電圧波形を滑らかにするためのコンデンサであり、バイパスコンデンサ C P 2 0 6 2 は、電源の電圧のノイズを除去するためのコンデンサである。

【 0 3 9 0 】

このため、装飾制御装置 6 1 0 の I<sup>2</sup>C I / O エクスパンダ 6 1 5 に供給される電源電圧は、平滑コンデンサ C 2 0 6 1 により電圧が平滑化され、バイパスコンデンサ C P 2 0 6 2 によりノイズが除去されて、I<sup>2</sup>C I / O エクスパンダ 6 1 5 に供給される。

10

【 0 3 9 1 】

同じく、下流コネクタ 6 1 2 A、6 1 2 B の V c c 端子から延びる内部接続線 V c c 2 0 7 3 と、G N D 端子から延びる内部接続線 G N D 2 0 7 4 とは、平滑コンデンサ C 2 0 6 1 及びバイパスコンデンサ C P 2 0 6 2 を介して接続されている。これによって、平滑化され、ノイズが除去された電圧が下流の装飾制御装置 6 1 0 に接続される接続線 V c c に印加される。

【 0 3 9 2 】

以上、分岐型の装飾制御装置 6 1 0 について説明を行ったが、次に、連結型の装飾制御装置 6 1 0 について説明する。

20

【 0 3 9 3 】

なお、下流コネクタ 6 1 2 A に加え、接続線 S D A に接続されるツェナダイオード Z D 2 0 4 3、及び接続線 S C L に接続されるツェナダイオード Z D 2 0 4 4、内部接続線 V c c 2 0 7 3、内部接続線 G N D 2 0 7 4、平滑コンデンサ C 2 0 6 1 及びバイパスコンデンサ C P 2 0 6 2 を備える構成を第 1 の下流コネクタ部 2 0 8 2 とする。

【 0 3 9 4 】

また、下流コネクタ 6 1 2 B に加え、接続線 S D A に接続されるツェナダイオード Z D 2 0 4 5、及び接続線 S C L に接続されるツェナダイオード Z D 2 0 4 6、内部接続線 V c c 2 0 7 3、内部接続線 G N D 2 0 7 4、平滑コンデンサ C 2 0 6 1 及びバイパスコンデンサ C P 2 0 6 2 を備える構成を第 2 の下流コネクタ部 2 0 8 3 とする。

30

【 0 3 9 5 】

装飾制御装置 6 1 0 が連結型の場合には、基板内に一つの下流コネクタのみを備える構成となるので、下流コネクタ 6 1 2 A は存在するが下流コネクタ 6 1 2 B が存在しない。

【 0 3 9 6 】

そのため、内部接続線 S D A 2 0 1 1 及び内部接続線 S C L 2 0 1 2 は、分岐 2 0 0 3、2 0 0 4 では分岐しない構成となり、第 2 接続線 S D A 2 0 3 1 及び第 2 接続線 S C L 2 0 3 2 は存在しない点が、分岐型の装飾制御装置 6 1 0 とは異なる構成となる。

【 0 3 9 7 】

また、連結型の装飾制御装置 6 1 0 は、第 2 の下流コネクタ部 2 0 8 3 を構成する電子部品が存在しない点も、分岐型の装飾制御装置 6 1 0 と異なる構成となる。他の構成は分岐型の装飾制御装置 6 1 0 と同様の構成となる。

40

【 0 3 9 8 】

次に、終端型の装飾制御装置 6 1 0 について説明する。

【 0 3 9 9 】

装飾制御装置 6 1 0 が終端型の場合には、基板内に下流コネクタを備えない構成となるので、下流コネクタ 6 1 2 A、6 1 2 B がともに存在しない。

【 0 4 0 0 】

そのため、内部接続線 S D A 2 0 1 1 及び内部接続線 S C L 2 0 1 2 は、分岐 2 0 0 1、2 0 0 2、2 0 0 3、2 0 0 4 で分岐することなく、I<sup>2</sup>C I / O エクスパンダ 6 1 5 へ接続される点が、分岐型の装飾制御装置 6 1 0 とは異なる構成となる。

50

## 【0401】

また、終端型の装飾制御装置610は、第1の下流コネクタ部2082及び第2の下流コネクタ部2083を構成する電子部品が存在しない点も、分岐型の装飾制御装置610と異なる構成となる。他の構成は分岐型の装飾制御装置610と同様の構成となる。

## 【0402】

次に、中継基板600について説明する。

## 【0403】

中継基板600は、連結型の装飾制御装置610と同様に、基板内に一つの下流コネクタのみを備える構成となるので、下流コネクタ612Aは存在するが下流コネクタ612Bが存在しない。

10

## 【0404】

そのため、内部接続線SDA2011及び内部接続線SCL2012は、分岐2003、2004では分岐しない構成となり、第2接続線SDA2031及び第2接続線SCL2032が存在しないので、連結型の装飾制御装置610と同様の構成となる。

## 【0405】

但し、中継基板600は、接続線SDA及び接続線SCLの電圧をプルアップするためのプルアップ抵抗を備えている点で、連結型の装飾制御装置610と異なる。

## 【0406】

具体的には、図20に示すように、中継基板600では、第1マスタIC570aに接続される上流側の接続線SDA、及び装飾制御装置610に接続される下流側の接続線SDAの電圧をプルアップするためのプルアップ抵抗R2051が、第1接続線SDA2021に接続される。同じく、第1マスタIC570aに接続される上流側の接続線SCL、及び装飾制御装置610に接続される下流側の接続線SCLの電圧をプルアップするためのプルアップ抵抗R2052が、第1接続線SCL2022に接続される。

20

## 【0407】

より詳しく説明すると、第1接続線SDA2021は分岐2009で分岐し、分岐した第1接続線SDA2021はプルアップ抵抗R2051に接続される。同じく第1接続線SCL2022は分岐2010で分岐し、分岐した第1接続線SCL2022はプルアップ抵抗R2052に接続される。以下、接続線SDAの電圧をプルアップするためのプルアップ抵抗R2051、及び接続線SCLの電圧をプルアップするためのプルアップ抵抗R2052をあわせてプルアップ抵抗部2080とする。

30

## 【0408】

次に、簡易中継基板1600について説明する。

## 【0409】

簡易中継基板1600は、分岐型の装飾制御装置610と同様に、基板内に複数の下流コネクタ(下流コネクタ612A、612B)を備える。但し、簡易中継基板1600は、I<sup>2</sup>C I/Oエクスパンダ部2081に相当する回路を備えておらず、代わりに、中継基板600に備えている前述のプルアップ抵抗部2080に相当する回路が設けられている点が、分岐型の装飾制御装置610と異なる構成である。他の構成は分岐型の装飾制御装置610と同様の構成となる。

40

## 【0410】

なお、前述のプルアップ抵抗部2080の構成は、本実施形態では、中継基板600と簡易中継基板1600だけに設けられており、装飾制御装置610や演出制御装置550には設けていない構成となっているが、接続線SDA及び接続線SCLのレベルが正しく生成できるのであれば、装飾制御装置610や演出制御装置550に設けられていてもよい。要するに、プルアップ抵抗R2051及びR2052は、接続線SDA及び接続線SCLを駆動するトランジスタのドレインの端子に電圧Vccを供給可能な箇所に備えられていればよい。

## 【0411】

例えば、プルアップ抵抗R2051及びR2052が第1マスタIC570aに備えられ

50

ていれば、中継基板 600、簡易中継基板 1600 若しくは装飾制御装置 610 内にプルアップ抵抗部 2080 が備えられている必要はない。

【0412】

図 21 は、本発明の実施の形態の遊技盤 10 及び廉価版前面枠 3' に取り付けられる装飾制御装置 610 の接続形態の説明図である。

【0413】

本発明の実施の形態の遊技機 1 には、図 13 で説明した通常版遊技機 1 と廉価版遊技機 1 がある。通常版遊技機 1 は、標準仕様の装飾部材を備えている前面枠 3 (以下、通常版前面枠 3 とする) を備えている。廉価版遊技機 1 は、標準仕様の装飾部材よりも廉価なコストで構成された装飾部材を備えている前面枠 3 (以下、廉価版前面枠 3' とする) を備えている。遊技機 1 では、何れか一方の仕様の前面枠 3 のみが取り付けられて演出制御装置 550 と接続されるので、第 2 マスタ IC 570b には、通常版前面枠 3 か廉価版前面枠 3' の何れか一方に設けられた簡易中継基板 1600 のみが接続される。

10

【0414】

廉価版前面枠 3' は、通常版前面枠 3 と同様に、第 2 マスタ IC 570b に接続される簡易中継基板 1600 と、ほぼ同様の機能を有する基板 (以下、廉価版の簡易中継基板 1600' とする) を備える。但し、廉価版前面枠 3' では、中継基板 600 に分岐型の装飾制御装置 610R のみが接続されており、また、廉価版前面枠 3' は、照明駆動 MOT (13a、14a) を備えないので、簡易中継基板 1600' は、遊技盤 10 に配置される装飾制御装置 610M に接続されるのみで、コストダウンが図られている。

20

【0415】

装飾制御装置 610R は、照明ユニット 11 内に配置されており、装飾装置基板 625H に備えられた装飾装置 620 を制御する。具体的には、照明ユニット 11 に含まれる LED や異常報知 LED 29 などが制御され、通常版前面枠 3 と同様である。また、装飾制御装置 610R は、通常版前面枠 3 の照明ユニット 11 を制御する装飾制御装置 610H と同一の基板であり、同じ個別アドレス (「1001」) が割り当てられている。そのため、通常版前面枠 3 の装飾制御装置 610H と、廉価版前面枠 3' の装飾制御装置 610R では、同じ制御が実行される。

【0416】

装飾制御装置 610R は、分岐型の装飾制御装置であり、装飾制御装置 610S 及び装飾制御装置 610T に受信した制御信号を送信する。装飾制御装置 610S は、廉価版前面枠 3' の左側部分の装飾部材 9a' を制御する。また、装飾制御装置 610T は、廉価版前面枠 3' の右側部分の装飾部材 9b' を制御する。

30

【0417】

また、廉価版前面枠 3' では、左側の装飾部材 9a' を制御する装飾制御装置 610S、及び右側の装飾部材 9b' を制御する装飾制御装置 610T が取り付けられている。装飾制御装置 610S と装飾制御装置 610T とは、同じ個別アドレス (「1111」) が割り当てられている。このため、廉価版前面枠 3' の装飾制御装置 610S と、廉価版前面枠 3' の装飾制御装置 610T とでは、同じ制御が実行されるので、廉価版前面枠 3' では、左側の装飾部材 9a' と右側の装飾部材 9b' とは同じ発光態様で制御される。

40

【0418】

なお、これらの装飾制御装置 610S 及び 610T には割り当てられた個別アドレスは、通常版前面枠 3 の装飾制御装置 610 に割り当てられていない個別アドレスである。

【0419】

そして、通常版前面枠 3 と廉価版前面枠 3' の何れに使用される場合であっても、演出制御装置 550 からは、装飾部材 9a、9b、9a'、9b' に含まれる装飾制御装置 610 の I<sup>2</sup>C I/O エクスパンダ 615 に割り当てられたすべての個別アドレスに対して演出制御データが送信される。

【0420】

以上のように、廉価版前面枠 3' には、備えられている装飾制御装置のうち、発光装置

50

を制御する装飾制御装置 610I、610J、610K、610L、並びに、可動物を制御する装飾制御装置 610P 及び 610Q (図 13 参照) (第 1 の仕様依存型グループ単位制御手段) に相当するものが存在せず、代わりに、装飾制御装置 610S 及び 610T (第 2 の仕様依存型グループ単位制御手段) が取り付けられている。換言すると、通常版前面枠 3 には、装飾制御装置 610I、610J、610K 及び 610L (第 1 の仕様依存型グループ単位制御手段) が取り付けられているのに対し、廉価版前面枠 3' には、より少ない数の装飾制御装置 610S 及び 610T (第 2 の仕様依存型グループ単位制御手段) が取り付けられている。

【0421】

また、装飾制御装置 610H と装飾制御装置 610R とは、互いに、通常版前面枠 3 と廉価版前面枠 3' とに共通利用可能な基板として構成されている。

10

【0422】

したがって、本発明の実施の形態の演出制御装置 550 は、通常版用の制御と廉価版用の制御とを共通化することが可能となり、前面枠ごとに制御を変更する必要が無く、演出制御装置 550 の製造コストを削減することができる。

【0423】

通常版前面枠 3 と廉価版前面枠 3' とは、装飾部材 9a、9b に含まれる装飾装置 620 の数が相違し、さらに、装飾装置 620 を制御する装飾制御装置 610 の数も相違する。具体的には、通常版前面枠 3 の装飾部材 9a、9b は四つの装飾制御装置 610I、610J、610K、610L によって制御され、廉価版前面枠 3' の装飾部材は二つの装飾制御装置 610R、610S によって制御される。通常版前面枠 3 の装飾部材 9a、9b は、廉価版前面枠 3' の装飾部材 9a'、9b' よりも多くの LED によって照射するので、通常版前面枠 3 のほうが廉価版前面枠 3' よりも明るくなり、実行可能な演出のバリエーションを増やすことも可能である。

20

【0424】

また、廉価版前面枠 3' には、照明駆動 MOT13a、14a が取り付けられていないので、第 2 マスタ IC 570b が制御する装飾制御装置 610P 及び 610Q も不要となる。

【0425】

このため、通常版前面枠 3 が取り付けられた場合の装飾装置 620 の制御と、廉価版前面枠 3' が取り付けられた場合の装飾装置 620 の制御が相違する。

30

【0426】

したがって、通常版前面枠 3 に取り付けられる装飾制御装置 610 の個別アドレスと廉価版前面枠 3' に取り付けられる装飾制御装置 610 の個別アドレスに同じアドレスを割り当てた場合には、演出制御装置 550 から装飾制御装置 610 へ送信する演出制御データを、通常版前面枠 3 の場合と廉価版前面枠 3' の場合とで異ならせる必要があるので、遊技機 1 に取り付けられる前面枠 3 に応じて通常版用の演出制御装置 550 と廉価版用の演出制御装置 550 をそれぞれ用意しなければならない。このため、製造メーカーが遊技機 1 を出荷する場合には、通常版用の演出制御装置 550 と廉価版用の演出制御装置 550 とを用意しなければならず、製造コストが上昇してしまう。

40

【0427】

そこで、本発明の実施の形態では、通常版前面枠 3 と廉価版前面枠 3' とで制御が異なる装飾制御装置 610 の個別アドレスには、異なるアドレスを割り当て、演出制御装置 550 から装飾制御装置 610 へ送信する演出制御データが、通常版前面枠 3 の場合と廉価版前面枠 3' の場合とで共通となるように構成することで、一つの演出制御装置 550 で通常版用の制御と廉価版用の制御とを実行できるように構成した。こうすることによって、通常版用の演出制御装置 550 と廉価版用の演出制御装置 550 とをそれぞれ用意する必要がなくなり、製造コストを抑えることができる。なお、本発明の実施の形態では、遊技盤 10 の構成については、通常版であっても廉価版であっても同じ構成となっている。

【0428】

50

したがって、本発明の実施の形態の演出制御装置 550 は、通常版用の制御と廉価版用の制御とを共通化することが可能となり、前面枠ごとに制御を変更する必要が無く、演出制御装置 550 の製造コストを削減することができる。なお、以降の説明では、特に断らない限り、本発明の実施の形態の遊技機 1 では通常版前面枠が取り付けられているものとする。

【0429】

廉価版前面枠 3' を図 21 を用いて詳細に説明する。なお、図 21 では、図 13 と同じ番号を付与した装飾制御装置 610 には、図 13 と同じアドレスが割り当てられているものとする。

【0430】

廉価版前面枠 3' では、分岐型の装飾制御装置 610H には、二つの終端型の装飾制御装置 610R、610S が接続される。装飾制御装置 610R 及び装飾制御装置 610S の個別アドレスには、「1111」が割り当てられる。

【0431】

このため、装飾制御装置 610R 及び装飾制御装置 610S は、個別アドレス「1111」が指定された演出制御データを受信すると、同じ制御を行うものである。

【0432】

また、廉価版前面枠 3' は、照明駆動第 1MOT13a 及び照明駆動第 2MOT14a を備えないので、装飾制御装置 610P、610Q を備えない。このため、簡易中継基板 1600 には、遊技盤 10 の補助遊技装置ユニット 12 に含まれる装飾制御装置 610M が接続されるのみである。

【0433】

このように、廉価版前面枠 3' では、第 1 マスタ IC570a に対する個別アドレスが「1100」及び「1110」、並びに、第 2 マスタ IC570b に対する個別アドレスが「0011」及び「0100」となる I<sup>2</sup>C I/O エクスパンダ 615 は使用されない。そのため、いずれの前面枠 3 であっても、異常判定テーブル 3300 (図 33 参照) において、接続されない I<sup>2</sup>C I/O エクスパンダ 615 が存在することになる。

【0434】

しかしながら、後述するように、異常判定テーブル 3300 に登録されている少なくとも 1 つの I<sup>2</sup>C I/O エクスパンダ 615 と、第 2 マスタ IC570b との間で正常にデータ送信が行われていれば、正常に動作していると判定されるため、これが原因で処理が中断することはない。

【0435】

図 22 は、本発明の実施の形態の演出制御装置 550 から装飾制御装置 610 に出力されるデータに含まれるスレーブアドレス 2200 の説明図である。

【0436】

スレーブアドレス 2200 は、上位 3 ビットからなる固定アドレス部 2201 及び下位 5 ビットからなる可変アドレス部 2202 によって構成される。

【0437】

固定アドレス部 2201 は、「110」の値があらかじめ設定され、I<sup>2</sup>C I/O エクスパンダ 615 によって変更することができない。

【0438】

可変アドレス部 2202 は、I<sup>2</sup>C I/O エクスパンダ 615 によって設定可能である。可変アドレス部 2202 は、制御対象となる I<sup>2</sup>C I/O エクスパンダ 615 の A0 ~ A3 の端子に設定されているパターンに対応した 4 ビットの I<sup>2</sup>C I/O エクスパンダアドレス 2203 と、当該データが読み出し要求であるのか書き込み要求であるのかを示す 1 ビットの R/W 識別データ 2204 とによって構成される。

【0439】

演出制御装置 550 から装飾制御装置 610 に出力される演出制御データは、書き込み要求であるので、R/W 識別データ 2204 には、通常「0」が登録される。

## 【0440】

図23は、本発明の実施の形態のI<sup>2</sup>C I/Oエクスパンダアドレステーブル2300の説明図である。

## 【0441】

I<sup>2</sup>C I/Oエクスパンダアドレステーブル2300は、第1マスタIC570a及び第2マスタIC570bによって管理されるテーブルである。I<sup>2</sup>C I/Oエクスパンダアドレステーブル2300は、スレーブアドレス2301とI<sup>2</sup>C I/Oエクスパンダアドレス2302との対応関係を示している。

## 【0442】

スレーブアドレス2301には、演出制御装置550により送受信の対象として指定される装飾制御装置610のスレーブアドレスが格納されている。スレーブアドレスは、図22で前述したように、上位3ビットからなる固定アドレス部と、4ビットのI<sup>2</sup>C I/Oエクスパンダアドレスと、1ビットのR/W識別データとを組み合わせで構成される。

## 【0443】

I<sup>2</sup>C I/Oエクスパンダアドレス2302には、図18や図19で前述したように、各スレーブアドレスに対応する4ビットのI<sup>2</sup>C I/Oエクスパンダアドレスが登録される。

## 【0444】

ただし、I<sup>2</sup>C I/Oエクスパンダアドレスのうち、アドレス「1000」及びアドレス「1011」（図23の網掛けされたエントリ）は、各I<sup>2</sup>C I/Oエクスパンダ615を相互に識別するための固有のアドレスとしては使用できない。

## 【0445】

アドレス「1000」は、すべての装飾制御装置610に対して共通の指令を出力する場合に指定されるアドレス（オールコールアドレス）の電源投入時のデフォルト値として用いられる。アドレス「1011」は、ソフトウェアによって、第1マスタIC570aに接続されているすべての装飾制御装置610を無条件にリセットする場合に用いられる共通アドレスである。

## 【0446】

以上のように、装飾制御装置610のI<sup>2</sup>C I/Oエクスパンダ615に設定可能なアドレスは14個であるため、演出制御装置550は、14個のI<sup>2</sup>C I/Oエクスパンダ615を制御することができる。また、各装飾制御装置610には、PORT0~PORT15が備えられているので、16個（言い換えれば16種類）のLEDを制御することが可能である。よって、演出制御装置550は、224個（言い換えれば224種類）のLEDを制御することが可能である。

## 【0447】

図24は、本発明の実施の形態のI<sup>2</sup>C I/Oエクスパンダ615に備えられる出力設定レジスタ635に割り当てられたワークレジスタを説明するための図である。

## 【0448】

I<sup>2</sup>C I/Oエクスパンダ615の出力設定レジスタ635には、ワークレジスタ（デバイスレジスタ）と、コントロールレジスタ（制御レジスタ）とが割り当てられている。

## 【0449】

ワークレジスタは、I<sup>2</sup>C I/Oエクスパンダ615に対してあらかじめ定義されている設定を行うための情報や、I<sup>2</sup>C I/Oエクスパンダ615に接続されている演出装置（装飾装置620、例えば、LEDやモータやソレノイド）の出力態様を特定するための情報を記憶するものである。

## 【0450】

また、コントロールレジスタは、ワークレジスタへのデータ書き込み手順を規定する情報を記憶する。なお、ワークレジスタは、複数の情報を異なる記憶領域に分散して記憶する構成となっており、記憶領域毎に異なるレジスタ番号が付与されている。

## 【0451】

10

20

30

40

50

レジスタ番号「00h」及びレジスタ番号「01h」は、I<sup>2</sup>C I/Oエクスパンダ615の初期設定を行うためのモードレジスタに対応する。レジスタ番号「00h」の記憶領域にはレジスタ名「MODE1」が付与されている。また、レジスタ番号「01h」の記憶領域にはレジスタ名「MODE2」が付与されている。レジスタ番号「00h」及び「01h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、I<sup>2</sup>C I/Oエクスパンダ615の初期設定が行われる。

【0452】

なお、「MODE2」のレジスタのビット3（OCH）は、I<sup>2</sup>C I/Oエクスパンダ615の出力設定レジスタ635に格納された演出制御データを演出装置に実際に反映させるタイミングを規定するパラメータである。本発明の実施の形態では、図17にて説明したように、「0」が設定されており、ストップコンディションを受信した時点で出力設定レジスタ635に格納された演出制御データを出力し、演出装置の出力状態を実際に制御するように設定されている。

10

【0453】

レジスタ番号「02h」～「11h」（レジスタ名「PWM0」～「PWM15」）には、装飾装置620に含まれるLEDなどの制御対象のパラメータが設定される。レジスタ番号「02h」～「11h」の記憶領域のいずれかに値が書き込まれると、I<sup>2</sup>C I/Oエクスパンダ615に接続される発光装置（装飾装置620）を構成する16個のLEDのうち、値が書き込まれたレジスタ番号に対応するLEDの輝度が、書き込まれた値に基づいて調整される。例えば、レジスタ番号「02h」の記憶領域に値が書き込まれた場合には、図18に示すポート0に接続されたLED0の輝度が調整される。

20

【0454】

なお、I<sup>2</sup>C I/Oエクスパンダ615は、前述のように、モータやソレノイドといった可動物を制御することも可能である。I<sup>2</sup>C I/Oエクスパンダ615にソレノイドが接続される場合には、ソレノイドが接続されるポートに対応するレジスタ番号には、ソレノイドを通電させて作動させるか、通電せずに未作動の状態にするかを示す値が書き込まれる。また、I<sup>2</sup>C I/Oエクスパンダ615にモータが接続される場合には、モータが接続されるポートに対応するレジスタ番号には、モータの目標回転位置を示す値が書き込まれる。

【0455】

30

レジスタ番号「12h」（レジスタ名「GRPPWM」）及びレジスタ番号「13h」（レジスタ名「GRPFRREQ」）には、制御対象全体の動作パターンなどを指定するパラメータが設定される。レジスタ番号「12h」及び「13h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、LED（16個のLED）全体の点滅パターンが設定される。具体的には、レジスタ番号「12h」には、LED全体のオン・オフ比率であるデューティサイクルが設定され、レジスタ番号「13h」には、LED全体の点滅周期が設定される。

【0456】

レジスタ番号「14h」（レジスタ名「LEDOUT0」）～「17h」（レジスタ名「LEDOUT3」）には、各ポートで制御されるLEDの出力状態が設定される。各レジスタには、それぞれ四つのLEDの出力状態を設定することが可能となっている。

40

【0457】

レジスタ番号「14h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、LED0～LED3の出力状態が設定される。同様に、レジスタ番号「15h」の記憶領域にはLED4～LED7の出力状態、レジスタ番号「16h」の記憶領域にはLED8～LED11の出力状態、レジスタ番号「17h」の記憶領域にはLED12～LED15の出力状態が設定される。

【0458】

レジスタ番号「18h」～「1Ah」（レジスタ名「SUBADR1」～「SUBADR3」）にはサブアドレスが設定される。レジスタ番号「18h」～「1Ah」の記憶領

50



域に値が書き込まれると、書き込まれた値に基づいて、第1サブアドレス～第3サブアドレスが設定される。

【0459】

レジスタ番号「1Bh」（レジスタ名「ALLCALLADR」）にはすべての装飾制御装置610に対する指令を出力するためのオールコールアドレスが設定される。オールコールアドレスは、例えば、電源投入時などにすべての装飾制御装置610で初期化処理を実行する場合などに使用される。

【0460】

図25は、本発明の実施の形態のマスタIC（第1マスタIC570a及び第2マスタIC570b）が接続線SDA及び接続線SCLを介してデータを出力するスタート条件及びストップ条件の説明図である。

10

【0461】

接続線SCLは、データの非送信時には信号レベルがHIGHになっている。マスタICは、装飾制御装置610にデータを出力する際に、接続線SCLの信号レベルをLOWからHIGHに変化させ、装飾制御装置610が接続線SDAのデータを取り込むためのストローブ信号として作用させる。

【0462】

接続線SDAは、データの非送信時には信号レベルがHIGHになっており、接続線SCLのクロック信号に合わせて接続線SDAからデータが出力される。

【0463】

20

マスタICは、接続線SCLの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをHIGHからLOWに変化させることで、データの出力が開始することを示すスタート条件となる信号を出力する。

【0464】

装飾制御装置610のI<sup>2</sup>C I/Oエクスパンダ615は、接続線SDA及び接続線SCLからスタート条件となる信号が入力されると、データの出力が開始されることを認識する。

【0465】

マスタICは、接続線SCLの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをLOWからHIGHに変化させることで、データの出力が終了することを示すストップ条件となる信号を出力する。

30

【0466】

装飾制御装置610のI<sup>2</sup>C I/Oエクスパンダ615は、ストップ条件となる信号が入力されると、データの出力が終了することを認識する。本発明の実施の形態では、前述のように、装飾制御装置610がストップ条件となる信号を受信すると、当該装飾制御装置610が制御する演出装置（装飾装置620）の制御を開始する。

【0467】

図26は、本発明の実施の形態のマスタICから出力されたデータが入力された装飾制御装置610が返答信号を出力するタイミングチャートである。

【0468】

40

装飾制御装置610は、スタート条件が成立してから接続線SCLの信号レベルの変化回数を計数し、接続線SCLのクロック信号に合わせて接続線SDAから入力されるデータを取り込む。

【0469】

そして、装飾制御装置610は、スタート条件が成立してから接続線SCLの信号レベルの変化回数が9回に達する直前に、返答信号をマスタICに接続線SDAを介して出力する。換言すると、装飾制御装置610は、接続線SDAから8ビット目のデータを取り込んだ後に、接続線SCLの信号レベルがHIGHからLOWに変化する契機に、当該接続線SDAを介して返答信号を出力する。

【0470】

50

なお、図 2 6 に示すように、データの受信に成功したことを示す返答信号（ACK の返答信号）は LOW レベルによって示され、データの受信に失敗したことを示す返答信号（NACK の返答信号、図では ACK 出力なしに相当）は HIGH レベルによって示される。

【0471】

また、マスタ IC は、スタート条件が成立してから接続線 SCL の信号レベルが 8 回変化すると、接続線 SDA を解放することによって、装飾制御装置 610 から返答信号の入力を待機する。そして、マスタ IC は、接続線 SDA を解放したまま、接続線 SCL の信号レベルを変化させて、装飾制御装置 610 からの返答信号を取り込む。

【0472】

10

図 2 7 は、本発明の実施の形態のマスタ IC が演出制御データを出力する場合の接続線 SDA 及び接続線 SCL の信号レベルのタイミングチャートである。

【0473】

まず、マスタ IC は、データの出力を開始する場合には、接続線 SCL の信号レベルを HIGH に維持したまま、接続線 SDA の信号レベルを HIGH から LOW に変化させることによって、スタート条件を示す信号を出力し、データの出力を開始することを装飾制御装置 610 に通知する。

【0474】

次に、マスタ IC は、合計 7 ビットからなる制御対象となる装飾制御装置 610 のスレーブアドレスを出力する。さらに、マスタ IC は、読み出し要求である書き込み要求であるかを示す情報を 8 ビット目に出力する。

20

【0475】

そして、マスタ IC は、接続線 SCL の信号レベルが 9 回目に HIGH になるときに、装飾制御装置 610 から返答信号が入力されるので、ACK の返答信号であれば接続線 SDA の信号レベルが LOW に変化し、NACK の返答信号であれば接続線 SDA の信号レベルが HIGH に変化する。

【0476】

次に、マスタ IC は、アドレスデータの出力後、8 の倍数となるビット数でデータを出力する。さらに、データの 8 ビット目を出力した後、ACK の返答信号が入力されるのを待ってデータの 9 ビット目を出力する。以降、8 の倍数番目に相当するビットのデータを出力すると、ACK の返答信号が入力されるのを確認してから、（8 の倍数 + 1）番目のビットを出力し、全データが出力されるまで繰り返す。

30

【0477】

なお、マスタ IC は、データの 8 の倍数番目となるビットを出力した後、所定時間経過しても ACK の返答信号が入力されない場合には、データの送信に失敗したものとみなして、再度スタート条件を送信する。次いで、接続線 SDA を介して、再度アドレスデータを出力し、ACK の返答信号を確認しながら、もう一度、データを 1 ビット目から出力する。

【0478】

また、マスタ IC は、データの最後のビットのデータを出力した後、ACK の返答信号が入力されるのを待って、ストップ条件を示す信号を出力する。

40

【0479】

なお、図 2 7 では、スタート条件を示す信号を出力してからストップ条件を示す信号を出力するまでの間に、合計 24 ビット（スレーブアドレス 8 ビット、データ 16 ビット）のデータを出力しているが、送信するデータのサイズに応じて、24 ビット以上であってもよいし、24 ビット以下であってもよい。

【0480】

図 2 8 は、本発明の実施の形態のマスタ IC が、スレーブの個別アドレスを指定して装飾制御装置 610 に演出制御データを設定する場合において、マスタ IC と I<sup>2</sup>C I/O エクスパンダ 615 との間で送受信されるデータのフォーマットを説明する図である。

50

## 【 0 4 8 1 】

最初に出力される 8 ビットのデータ 2 8 0 1 には、データ送信の対象となる装飾制御装置 6 1 0 のアドレス「A 0 ~ A 6」と、当該データが読み出し要求であるのか書き込み要求であるのかを示す 1 ビットの R / W 識別データとが含まれる。アドレス「A 0 ~ A 6」のうち、「A 4 ~ A 6」は値「1 1 0」となる固定アドレス部であり、「A 0 ~ A 3」は I<sup>2</sup>C I / O エクспанダ 6 1 5 の A 0 ~ A 3 の端子に設定されている個別アドレスに相当する（図 1 8 及び図 1 9 参照）。なお、データ 2 8 0 1 は、図 2 7 における「ADDRESS」及び「R / W」に対応するデータである。

## 【 0 4 8 2 】

次に出力される 8 ビットのデータ 2 8 0 2 には、I<sup>2</sup>C I / O エクспанダ 6 1 5 の出力設定レジスタ 6 3 5（図 1 7 参照）に割り当てられているコントロールレジスタへの設定データが含まれる。データ 2 8 0 2 は、図 2 7 において 1 番目に送信される「DATA」に対応するデータである。

## 【 0 4 8 3 】

ここで、コントロールレジスタについて説明する。コントロールレジスタは 8 ビットからなり、上位 3 ビット「A I 0 ~ A I 2」が出力設定レジスタ 6 3 5 のワークレジスタへの書き込み又は読み出し方法を指定する自動書込パラメータであり、下位 5 ビット「D 0 ~ D 4」がワークレジスタにおけるアクセス開始位置（書き込みを開始する先頭位置、又は読み出しを開始する先頭位置）を指定するレジスタアドレスである。

## 【 0 4 8 4 】

自動書込パラメータは、マスタ IC によって、レジスタアドレスが指定するアクセス開始位置の領域のみをアクセス（オートインクリメントを禁止）するのか、指定するアクセス開始位置の領域に隣接する領域も含んでアクセス（オートインクリメントを許可）するのかを指定するパラメータであり、具体的には「0 0 0」、「1 0 0」、「1 0 1」、「1 1 0」、「1 1 1」の何れかの値を設定することができる。

## 【 0 4 8 5 】

自動書込パラメータに「0 0 0」の値を設定すると、オートインクリメントが禁止され、レジスタアドレスが指定するアクセス開始位置の領域のみをアクセスし、開始位置以外の領域はアクセスしない。例えば、レジスタアドレスが「1 0 1 0 0」であれば、レジスタ番号が「1 4 h」となる記憶領域のみがアクセスされ、他の記憶領域にはアクセスされない。すなわち、特定のレジスタアドレスの記憶領域の値のみを変更する場合に使用される。複数のレジスタアドレスの記憶領域の値を連続して変更する場合には、以下に示すように、オートインクリメントを許可することによって、アドレスの指定を省略することができる。

## 【 0 4 8 6 】

自動書込パラメータに「1 0 0」の値を設定すると、オートインクリメントが許可され、レジスタアドレスが指定するアクセス開始位置の領域をアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。そして、レジスタ番号が最終の「1 B h」となる記憶領域をアクセスした後は、レジスタ番号が「0 0 h」となる記憶領域をアクセスし、再度、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。例えば、レジスタアドレスが「1 0 1 0 0」であれば、レジスタ番号が「1 4 h」となる記憶領域にアクセスした後は、レジスタ番号が「1 5 h」「1 6 h」・・・「1 B h」「0 0 h」「0 1 h」・・・となる領域（すなわち、すべての領域）を、繰り返しアクセスする。

## 【 0 4 8 7 】

自動書込パラメータに「1 0 1」の値を設定すると、自動書込パラメータに「1 0 0」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域をアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。ただし、一旦、レジスタ番号が「1 1 h」となる記憶領域をアクセスした後は、レジスタ番号が「0 2 h」となる記憶領域をアクセスし、以降、レジスタ番号が「0 2 h」

10

20

30

40

50

～「１１ｈ」となる区間の記録領域（ＬＥＤの輝度調整に関する領域）を繰り返しアクセスする。例えば、レジスタアドレスが「１０１００」であれば、レジスタ番号が「１４ｈ」となる記憶領域をアクセスした後は、レジスタ番号が「１５ｈ」「１６ｈ」・・・「１Ｂｈ」「００ｈ」「０１ｈ」・・・となる領域を、順にアクセスする。そして、レジスタ番号が「１１ｈ」となる記憶領域をアクセスした後は、レジスタ番号が「０２ｈ」「０３ｈ」・・・「１１ｈ」「０２ｈ」「０３ｈ」・・・となる領域を、繰り返しアクセスする。

#### 【０４８８】

自動書込パラメータに「１１０」の値を設定すると、自動書込パラメータに「１００」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域をアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。ただし、一旦、レジスタ番号が「１３ｈ」となる記憶領域をアクセスした後は、レジスタ番号が「１２ｈ」となる記憶領域をアクセスし、以降、レジスタ番号が「１２ｈ」～「１３ｈ」となる区間の記録領域（ＬＥＤの点滅周期に関する領域）を繰り返しアクセスする。例えば、レジスタアドレスが「１０１００」であれば、レジスタ番号が「１４ｈ」となる記憶領域をアクセスした後は、レジスタ番号が「１５ｈ」「１６ｈ」・・・「１Ｂｈ」「００ｈ」「０１ｈ」・・・となる領域を、順にアクセスする。そして、レジスタ番号が「１３ｈ」となる記憶領域をアクセスした後は、レジスタ番号が「１２ｈ」「１３ｈ」「１２ｈ」「１３ｈ」・・・となる領域を、繰り返しアクセスする。

#### 【０４８９】

自動書込パラメータに「１１１」の値を設定すると、自動書込パラメータに「１００」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域をアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。ただし、一旦、レジスタ番号が「１３ｈ」となる記憶領域をアクセスした後は、レジスタ番号が「０２ｈ」となる記憶領域をアクセスし、以降、レジスタ番号が「０２ｈ」～「１３ｈ」となる区間の記録領域（ＬＥＤの輝度及び点滅周期に関する領域）を繰り返しアクセスする。例えば、レジスタアドレスが「１０１００」であれば、レジスタ番号が「１４ｈ」となる記憶領域をアクセスした後は、レジスタ番号が「１５ｈ」「１６ｈ」・・・「１Ｂｈ」「００ｈ」「０１ｈ」・・・となる領域を、順にアクセスする。そして、レジスタ番号が「１３ｈ」となる記憶領域をアクセスした後は、レジスタ番号が「０２ｈ」「０３ｈ」・・・「１３ｈ」「０２ｈ」「０３ｈ」・・・となる領域を、繰り返しアクセスする。

#### 【０４９０】

ここで、図２８の説明に戻ると、コントロールレジスタの設定データ２８０２に続いて、ワークレジスタの設定データ２８０３が出力される。設定データ２８０３は、図２７において２番目以降に送信される「ＤＡＴＡ」に対応するデータである。

#### 【０４９１】

自動書込パラメータを「０００」とした場合には、設定データ２８０３は、レジスタアドレスが指定する１箇所の記憶領域を更新するための８ビットのデータとなる。自動書込パラメータを「０００」以外の値とした場合には、この設定データ２８０３は、レジスタアドレスが指定する記憶領域を先頭に、複数の領域を繰り返し更新するために必要な８の倍数となるビットのデータとなる。

#### 【０４９２】

図２９は、本発明の実施の形態のマスタＩＣが、スレーブの個別アドレスを指定して装飾制御装置６１０に演出制御データを設定する場合において、マスタＩＣとＩ<sup>２</sup>ＣＩ／Ｏエクスパンダ６１５との間で送受信される演出制御データに具体的な数値を適用した図である。図２９では、オートインクリメントを禁止して、ワークレジスタの特定の記憶領域を１箇所だけを更新する演出制御データを示しており、具体的には、Ｉ<sup>２</sup>ＣＩ／Ｏエクスパンダ６１５のＰＯＲＴ０端子～ＰＯＲＴ３端子に接続されるＬＥＤの発光状態を更新する場合について説明する。

## 【 0 4 9 3 】

まず、最初に出力される 8 ビットのデータ 2 9 0 1 には、送信先の装飾制御装置 6 1 0 の I<sup>2</sup>C I / O エクスパンダ 6 1 5 のスレーブアドレスを示す「 1 1 0 1 1 0 0 」が割り当てられている。

## 【 0 4 9 4 】

次に出力される 8 ビットのデータ 2 9 0 2 には、自動書込パラメータ、及び L E D の出力データを設定するために割り当てられている I<sup>2</sup>C I / O エクスパンダ 6 1 5 の出力設定レジスタ 6 3 5 のコントロールレジスタに設定される値が含まれる。

## 【 0 4 9 5 】

ここでは、I<sup>2</sup>C I / O エクスパンダ 6 1 5 の P O R T 0 端子 ~ P O R T 3 端子に接続される L E D の発光状態を設定するので、レジスタアドレスには L E D O U T 0 ( アドレス = 1 0 1 0 0 ) を指定することにする。

## 【 0 4 9 6 】

なお、自動書込パラメータには、オートインクリメントを禁止するために「 0 0 0 」が指定されている。

## 【 0 4 9 7 】

次に、出力される 8 ビットのデータ 2 9 0 3 には、送信先の装飾制御装置 6 1 0 によって制御される装飾装置 6 2 0 の発光態様を設定するデータが含まれる。具体的には、L E D O U T 0 レジスタに設定されるデータが割り当てられている。これにより、I<sup>2</sup>C I / O エクスパンダ 6 1 5 の P O R T 0 端子 ~ P O R T 3 端子に接続される L E D の発光状態 ( 点灯、消灯、点滅など ) が指定され、指定された状態で L E D が発光する。

## 【 0 4 9 8 】

このようにして、I<sup>2</sup>C I / O エクスパンダ 6 1 5 の P O R T 0 端子 ~ P O R T 3 端子の L E D の発光状態が制御されるが、I<sup>2</sup>C I / O エクスパンダ 6 1 5 の他の P O R T 端子 ( P O R T 4 ~ P O R T 1 5 ) も、コントロールレジスタデータ 2 9 0 2 の値を指定して、出力データ 2 9 0 3 を設定することで個別に制御可能である。P O R T 端子に、モータやソレノイドが接続されていても、同様に制御される。

## 【 0 4 9 9 】

図 3 0 は、本発明の実施の形態のマスタ I C の演出制御データを送信する順序を説明する図である。図 3 0 では、オートインクリメントを許可して、ワークレジスタのすべての記憶領域を更新する場合に、演出制御データに含まれる各データを送信する順序を規定している。

## 【 0 5 0 0 】

まず、マスタ I C は、制御対象となる装飾制御装置 6 1 0 の個別アドレスを特定可能な 8 ビットのデータ ( 図 2 8 のデータ 2 8 0 1 と同一フォーマットのデータ ) を送信する。

## 【 0 5 0 1 】

次に、マスタ I C は、制御対象の I<sup>2</sup>C I / O エクスパンダ 6 1 5 の出力設定レジスタ 6 3 5 のコントロールレジスタに設定されるデータ ( 図 2 8 のデータ 2 8 0 2 と同一フォーマットのデータ ) を送信する。図 3 0 においては、オートインクリメントを許可してワークレジスタのすべての記憶領域を更新するため、自動書込パラメータには「 1 0 0 」が指定され、書き込み又は読み出しの開始位置を指定するレジスタアドレスには、ワークレジスタの先頭領域となる「 0 0 h 」が指定される。

## 【 0 5 0 2 】

このため、コントロールレジスタ設定値を受信した後の制御対象となる装飾制御装置 6 1 0 の I<sup>2</sup>C I / O エクスパンダ 6 1 5 においては、レジスタ番号「 0 0 h 」の記憶領域 ( M O D E 1 レジスタ ) が最初に更新されることになる。

## 【 0 5 0 3 】

次に、マスタ I C は、コントロールレジスタ設定値の送信後、M O D E 1 レジスタに書き込む値 ( 合計 8 ビット ) を送信する。I<sup>2</sup>C I / O エクスパンダ 6 1 5 は、当該書き込み値を受信すると M O D E 1 レジスタの値を更新し、レジスタ番号をインクリメントして

次の「01h」の記憶領域(MODE2レジスタ)を更新するための準備をする。

【0504】

さらに、マスタICは、MODE2レジスタに書き込む値(合計8ビット)を送信し、以降、レジスタ番号が「02h」～「1Bh」となる残りの記憶領域のレジスタに対して、順に設定値を送信する。I<sup>2</sup>C I/Oエクスパンダ615は、当該書き込み値を受信する毎に対応するレジスタの値を更新し、レジスタ番号をインクリメントして次の記憶領域を更新するための準備を繰り返すことで、ワークレジスタに割り当てられた「00h」～「1Bh」のすべてのレジスタの値が更新される。

【0505】

なお、I<sup>2</sup>C I/Oエクスパンダ615は、ワークレジスタの最終となる「1Bh」の記憶領域を更新すると、レジスタ番号を「00h」に変更して、MODE1レジスタの更新を待つ状態となる。

10

【0506】

図31は、本発明の実施の形態のマスタICがI<sup>2</sup>C I/Oエクスパンダ615を初期化する場合に、マスタICからI<sup>2</sup>C I/Oエクスパンダ615に送信される初期化指示データのフォーマットを説明する図である。

【0507】

演出制御装置550のCPU551がマスタICに対して装飾制御装置610の初期化を行うように指示すると、マスタICは、配下に接続されているすべての装飾制御装置610に初期化指示データを送信する。

20

【0508】

最初に出力される8ビットのデータ3101には、図29に示す固定アドレス「110」と、共通アドレスであるリセットアドレス「1011」(図23参照)とが含まれる。なお、このデータ3101は、図27における「ADDRESS」に対応するものであり、「R/W」のビットには、書き込みを示す「0」が設定される。

【0509】

次に出力される8ビットのデータ3102には、第1所定値「10100101」が設定され、次に出力される8ビットのデータ3103には、第2所定値「01011010」が設定される。なお、データ3102は、図27において1番目に送信される「DATA」に対応し、データ3103は、図27において2番目に送信される「DATA」に対応する。

30

【0510】

マスタICに接続されるすべてのI<sup>2</sup>C I/Oエクスパンダ615は、リセットアドレス、第1所定値、及び第2所定値から構成される初期化指示データを受信すると、自身の初期化を行う。

【0511】

リセットアドレスの出力後に、さらに第1所定値及び第2所定値の両方を出力ようにした理由は、マスタICがリセットアドレス「1011」を送信していないにもかかわらず、ノイズなどの影響によってI<sup>2</sup>C I/Oエクスパンダ615が誤ってリセットアドレス「1011」を取り込むことによって、誤ったタイミングで初期化が実行されることを防止するためである。

40

【0512】

また、リセットアドレスは、個別アドレスとは異なって、すべて(換言すれば複数)のI<sup>2</sup>C I/Oエクスパンダ615に共通なアドレスである。そのため、リセットアドレスを含んだ初期化指示データを1回送信するだけで、すべて(複数)のI<sup>2</sup>C I/Oエクスパンダ615を選択して初期化することになるので、I<sup>2</sup>C I/Oエクスパンダ615を個別に選択して初期化を指示する方法と比較すると、高速に初期化を指示することが可能となる。

【0513】

なお、図31では、第1所定値と第2所定値とを異なる値としたが、同じ値であっても

50

よい。また、第1所定値及び第2所定値のいずれかが1回送信されるようにしてもよい。

【0514】

図32は、本発明の実施の形態の第1マスタIC570aの異常判定テーブル3200を説明する図である。

【0515】

異常判定テーブル3200は、演出制御装置550のRAM553に格納される。異常判定テーブル3200は、演出制御装置550の第1マスタIC570aと、当該第1マスタIC570aに接続されるI<sup>2</sup>C I/Oエクスパンダ615との接続状態を監視するために設けられている。異常判定テーブル3200は、接続状態に応じて、各I<sup>2</sup>C I/Oエクスパンダ615に対応した情報が格納される。

10

【0516】

異常判定テーブル3200は、I/Oエクスパンダアドレス3201、スレーブアドレス3202、エラーカウンタ3203、比較値3204、及びエラーフラグ3205を含む。

【0517】

I/Oエクスパンダアドレス3201には、第1マスタIC570aに接続されるI<sup>2</sup>C I/Oエクスパンダ615のA0～A3の端子に設定されているアドレス(図18参照)に対応している。

【0518】

スレーブアドレス3202には、図23に示したI<sup>2</sup>C I/Oエクスパンダアドレステーブル2300に登録されているスレーブアドレスが登録される。

20

【0519】

エラーカウンタ3203は、第1マスタIC570aからI<sup>2</sup>C I/Oエクスパンダ615に演出制御データを送信し、当該I<sup>2</sup>C I/Oエクスパンダ615からACKを2回連続して受信できなかった場合にインクリメントされる。

【0520】

比較値3204には、I<sup>2</sup>C I/Oエクスパンダ615に障害が発生しているか否かを判定するために、エラーカウンタ3203の値と比較するための値が登録される。なお、比較値3204の値は、制御対象の演出装置の種類に応じて設定してもよい。

【0521】

エラーフラグ3205には、当該エントリのI<sup>2</sup>C I/Oエクスパンダ615との接続状態に異常が発生したか否かを示すエラーフラグが登録される。

30

【0522】

I<sup>2</sup>C I/Oエクスパンダ615に障害が発生しているか否かを判定する方法について具体的に説明すると、エラーカウンタ3203の値が、比較値3204に設定された所定値に達した場合、エラーフラグ3205に「ON」が設定され、当該エントリに対応するI<sup>2</sup>C I/Oエクスパンダ615に障害が発生したことが登録される。

【0523】

本発明の実施の形態では、後述するように、演出制御データの出力処理(図37参照)は、VDP割込(約33.3ms周期)に同期して実行されるようにしている。

40

【0524】

前述したように、第1マスタIC570aからI<sup>2</sup>C I/Oエクスパンダ615への2回目の演出制御データの送信に対して、I<sup>2</sup>C I/Oエクスパンダ615からのACKが受信できなければ、エラーカウンタ3003がインクリメントされる。

【0525】

したがって、異常が発生している場合には、データ出力処理の実行周期が33.3msで、比較値3004が「300」であるので、33.3ms×300=10sでI<sup>2</sup>C I/Oエクスパンダ615に関する異常が発生したことを検出する。

【0526】

図33は、本発明の実施の形態の第2マスタIC570bの異常判定テーブル3300

50

を説明する図である。

【0527】

第2マスタIC570bの異常判定テーブル3300は、第1マスタIC570aの異常判定テーブル3200と同様に、演出制御装置550のRAM553に格納される。異常判定テーブル3300は、演出制御装置550の第2マスタIC570bと、当該第2マスタIC570bに接続されるI<sup>2</sup>C I/Oエクスパンダ615との接続状態を監視するために設けられている。異常判定テーブル3300は、接続状態に応じて、各I<sup>2</sup>C I/Oエクスパンダ615に対応した情報が格納される。

【0528】

異常判定テーブル3300は、I/Oエクスパンダアドレス3201、スレーブアドレス3202、エラーカウンタ3203、比較値3204、エラーフラグ3205、MS識別コード3301、及び初期化フラグ3302を含む。

【0529】

I/Oエクスパンダアドレス3201、スレーブアドレス3202、エラーカウンタ3203、比較値3204、及びエラーフラグ3205は、図32に示す異常判定テーブル3200と同じ構成であるので、説明を省略する。

【0530】

第2マスタIC570bが制御する装飾制御装置610(I<sup>2</sup>C I/Oエクスパンダ615)は可動物を制御するものであるため、第2マスタIC570bとI<sup>2</sup>C I/Oエクスパンダ615との間の接続状態に異常が発生した場合には、可動物の可動が継続して、当該可動物や他の部材を破損させてしまう可能性があるため、いち早く接続状態の異常を検出できるようにするために、比較値3204は、図32に示す異常判定テーブル3200の比較値3204よりも短い値(「50」)に設定されている。

【0531】

MS識別コード3301は、I<sup>2</sup>C I/Oエクスパンダ615が制御する可動物がソレノイドであるかモータであるかを示すコードが登録される。MS識別コード3301には、I<sup>2</sup>C I/Oエクスパンダ615が制御する可動物がソレノイドである場合には「S」が登録され、I<sup>2</sup>C I/Oエクスパンダ615が制御する可動物がモータである場合には「M」が登録される。

【0532】

このため、図13に示すように、個別アドレスが「0000」に割り当てられたI<sup>2</sup>C I/Oエクスパンダ615(装飾制御装置610M)は役物駆動SOL82を制御するため、I/Oエクスパンダアドレス3201に「0000」が登録されたエントリのMS識別コード3301には「S」が登録され、I/Oエクスパンダアドレス3201に「0001」、「0010」、「0011」、及び「0100」が登録されたエントリのMS識別コード3301には「M」が登録される。

【0533】

初期化フラグ3302には、モータが初期位置まで回転させる初期化中であるか否かを示す初期化フラグが登録される。初期化フラグ3302は、モータが初期化中であるか否かを示すものであるため、ソレノイドを制御するI<sup>2</sup>C I/Oエクスパンダ615(I/Oエクスパンダアドレス3201に「0000」が登録されたエントリ)のMS識別コード3301には「-」が登録される。

【0534】

本発明の実施の形態では、第1マスタIC570aと第2マスタIC570bの両方に接続される装飾制御装置610が存在しないため、制御対象の各装飾制御装置610のI/OエクスパンダアドレスがマスタICごとに設定される。したがって、図32及び図33には、同じ値のI/Oエクスパンダアドレスが設定されている。なお、I/Oエクスパンダアドレスには一つのアドレスのみ設定可能であるため、一つの装飾制御装置610を複数のマスタICが制御する場合には共通のアドレスを設定する必要がある。

【0535】



本発明の実施の形態のマスタＩＣには、デバイスの動作を構成し、シリアルデータを送受信するために使用される複数のレジスタが備えられている。図１１及び図１２に示したコマンドレジスタ（ＲＥＧ）５８１は、このようなレジスタの一つであり、接続された装飾制御装置６１０にスタートコンディションやストップコンディションを出力することなどを指示する。

【０５３６】

演出制御装置５５０は、マスタＩＣを介して装飾制御装置（スレーブ）６１０に演出指示を送信し、各種演出処理を実行する。図３４には各スレーブを初期化する手順、図３５には各スレーブに演出制御データを送信する手順の概要を示す。

【０５３７】

図３４は、本発明の実施の形態の各装飾制御装置（スレーブ）を初期化（リセット）時にＣＰＵ５５１とマスタＩＣ（第１マスタＩＣ５７０ａ又は第２マスタＩＣ５７０ｂ）との間で送受信される情報を説明する図である。

【０５３８】

演出制御装置５５０のＣＰＵ５５１は、スレーブ初期化開始処理が開始されると、コマンドＲＥＧ５８１のスタートコンディション（ＳＴＡ）及びストップコンディション（ＳＴＯ）の実行を指示するビットに“１”を設定する（３４０１）。

【０５３９】

マスタＩＣは、コマンドＲＥＧ５８１に設定された情報（ＳＴＯ、ＳＴＡ）に従って、制御対象の各装飾制御装置（スレーブ）６１０に対し、まず先にストップコンディションを出力し、次いでスタートコンディションを出力する（３４１１）。ストップコンディションを出力することによってデータの送信が完了した旨を各スレーブに通知し、その後、スタートコンディションを出力することによって、各スレーブにおいてコマンドの入力を受け付ける準備を完了させる。

【０５４０】

マスタＩＣは、スタートコンディションを出力すると、ＣＰＵ５５１に割込信号（ＩＮＴ）を入力して割込みを発生させる。割込みが発生したＣＰＵ５５１は、送信指示データの送信再開処理（１）を開始する（３４０２）。送信指示データの送信再開処理（１）では、出力用バッファ５７２にリセット用アドレスを設定する。リセット用アドレスは、各スレーブをリセットするために予め定められている固定アドレスである。このとき、コマンドＲＥＧ５８１のＳＴＡ及びＳＴＯには“０”が設定される。

【０５４１】

マスタＩＣは、出力用バッファ５７２に設定されたりセット用アドレスに対し、所定のデータ（リセット指令）を出力する（３４１２）。リセット指令は、図３１にて説明した第１所定値（データ３１０２）及び第２所定値（データ３１０３）に対応する。

【０５４２】

マスタＩＣは、リセット用アドレスを出力すると、ＣＰＵ５５１に割込信号を入力して割込みを発生させる。割込みが発生したＣＰＵ５５１は、送信指示データの送信再開処理（２）を開始する（３４０３）。送信指示データの送信再開処理（２）では、出力用バッファ５７２にリセット指令の前半の値を設定する。リセット指令の前半の値は、図３１にて説明した第１所定値（データ３１０２）に対応する。このとき、コマンドＲＥＧ５８１のＳＴＡ及びＳＴＯには“０”が設定される。マスタＩＣは、出力用バッファ５７２に設定されたりセット指令の前半の値を出力する（３４１３）。

【０５４３】

その後、マスタＩＣは、リセット指令の前半の値を出力すると、ＣＰＵ５５１に割込信号を入力して割込みを発生させる。割込みが発生したＣＰＵ５５１は、送信指示データの送信再開処理（３）を開始し（３４０４）、出力用バッファ５７２にリセット指令の後半の値を設定する。このとき、コマンドＲＥＧ５８１のＳＴＡ及びＳＴＯには“０”が設定される。マスタＩＣは、出力用バッファ５７２に設定されたりセット指令の後半の値を出力する（３４１４）。リセット指令の後半の値は、図３１にて説明した第２所定値（デー

10

20

30

40

50

タ 3 1 0 3 ) に対応する。

【 0 5 4 4 】

さらに、マスタ IC は、リセット指令の後半の値を出力すると、CPU 5 5 1 に割込信号を入力して割込みを発生させる。割込みが発生した CPU 5 5 1 は、送信指示データの送信再開処理 ( 4 ) を開始し ( 3 4 0 5 )、コマンド REG 5 8 1 の STA に “ 0 ”、STO に “ 1 ” が設定し、マスタ IC にストップコンディションの出力を指示する。

【 0 5 4 5 】

マスタ IC は、コマンド REG 5 8 1 に設定された情報に従って、各スレーブにストップコンディションを出力する ( 3 4 1 5 )。

【 0 5 4 6 】

以上の処理によって、各スレーブが初期化される。なお、初期化に失敗した場合には ( 3 4 0 6 )、ステップ 3 4 0 2 から処理を再開する。

【 0 5 4 7 】

図 3 5 は、本発明の実施の形態の各装飾制御装置 ( スレーブ ) に演出制御データを送信する際に CPU 5 5 1 とマスタ IC ( 第 1 マスタ IC 5 7 0 a 又は第 2 マスタ IC 5 7 0 b ) との間で送受信される情報を説明する図である。

【 0 5 4 8 】

演出制御装置 5 5 0 の CPU 5 5 1 は、演出制御を行う場合に、まず、コマンド REG 5 8 1 のスタートコンディション ( STA ) 及びストップコンディション ( STO ) の実行を指示するビットに “ 1 ” を設定する ( 3 5 0 1 )。

【 0 5 4 9 】

マスタ IC は、コマンド REG 5 8 1 の STA 及び STO に設定された値 ( “ 1 ” ) に基づいて、各スレーブにストップコンディションを出力し、その後、スタートコンディションを出力する ( 3 5 1 1 )。

【 0 5 5 0 】

そして、マスタ IC は、スタートコンディションを各スレーブに出力すると、各スレーブで演出制御データを受信する準備が整うため、CPU 5 5 1 に割込信号を入力して割込みを発生させる。割込みが発生した CPU 5 5 1 は、出力用バッファ 5 7 2 に制御対象のスレーブのアドレス及び制御内容を示す演出制御データを設定する ( 3 5 0 2 )。このとき、コマンド REG 5 8 1 の STA 及び STO には “ 0 ” を設定する。

【 0 5 5 1 】

マスタ IC は、出力用バッファ 5 7 2 に設定されたアドレス及び演出制御データを各スレーブに出力する ( 3 5 1 2 )。このとき、出力されたアドレスに対応するスレーブは、受信した演出制御データに基づいて演出処理を実行する。

【 0 5 5 2 】

そして、マスタ IC は、アドレス及び演出制御データを各スレーブに出力すると、CPU 5 5 1 に割込信号を入力して割込みを発生させる。割込みが発生した CPU 5 5 1 は、コマンド REG 5 8 1 の STA に “ 1 ”、STO に “ 0 ” を設定する ( 3 5 0 3 )。その後、マスタ IC は、再度スタートコンディションを出力する、いわゆるリスタートコンディションを出力する ( 3 5 1 3 )。

【 0 5 5 3 】

続いて、CPU 5 5 1 及びマスタ IC は、別のアドレスを指定して同様の処理を行う ( 3 5 0 4、3 5 1 4、3 5 0 5、3 5 1 5 )。CPU 5 5 1 によって最後の n 個めのスレーブに対する演出制御データの出力が完了し ( 3 5 0 6 )、さらに、マスタ IC が演出制御データを対応するスレーブに出力すると ( 3 5 1 6 )、全データの出力が完了したため、ストップコンディションを出力する。具体的には、マスタ IC が最終のスレーブに演出制御データを出力完了したときに、割込信号を入力して CPU 5 5 1 に割込みを発生させ、割込みが発生した CPU 5 5 1 は、コマンド REG 5 8 1 の STA に “ 0 ”、STO に “ 1 ” を設定し ( 3 5 0 7 )、その後、マスタ IC がストップコンディションを出力する ( 3 5 1 7 )。

10

20

30

40

50

## 【0554】

図36は、本発明の実施の形態の演出制御装置550からマスタIC（第1マスタIC570a又は第2マスタIC570b）に演出制御データを送信する段階を説明する図である。

## 【0555】

演出制御装置550のCPU551は、後述するスレーブ出力データ編集処理が実行されると、RAM553に出力データ準備領域を確保し、出力データ準備領域に各スレーブに対する演出制御データを格納する。

## 【0556】

また、出力データ準備領域は、スレーブ毎にさらに領域が分割され、各スレーブに対応するアドレス及び演出内容に対応する演出制御データが格納される。具体的には、アドレスは図30に示した送信順序1のデータに対応し、演出制御データは図30に示した送信順序2から30までのデータに対応する。

10

## 【0557】

さらに、CPU551は、未送信の演出制御データが上書きされないように、出力データ退避領域をさらにRAM553に確保し、図37に示すステップ3707、及び図44に示すスレーブ出力データ退避処理によって出力データ準備領域に記憶されたデータを出力データ退避領域に退避させる。その後、図37に示すステップ3710及び図44に示すステップ4405のスレーブ出力開始処理において、マスタICの出力用バッファ572に設定する。

20

## 【0558】

なお、出力データ準備領域及び出力データ退避領域はマスタICごとにRAM553に確保され、本発明の実施の形態では、第1マスタIC570a及び第2マスタIC570bに対応した領域がそれぞれ確保される。

## 【0559】

図37は、本発明の実施の形態の演出制御装置550による処理の手順を示すフローチャートである。

## 【0560】

図37に示す処理は、演出制御装置550のCPU551によって実行される。

## 【0561】

30

演出制御装置550は、演出制御装置550に電源が投入されると、まずステップ3701～3706の処理を実行し、ステップ3707の処理でVDP556から画像更新周期と同期する同期信号（例えば、33.3ms周期の同期信号）が割込信号としてCPU551に入力されるまで待機する。そして、以降、VDP556から画像更新周期と同期する同期信号が割込信号としてCPU551に入力される毎に、ステップ3707～3717の処理を繰り返し実行する。

## 【0562】

VDPからの同期信号が入力される毎に実行されるステップ3707～3717の処理では、第1マスタIC570aを介して、発光装置を制御する装飾制御装置610へ演出制御データを送信する処理が実行される。

40

## 【0563】

なお、第2マスタIC570bを介して、可動部材を制御する装飾制御装置610へ演出制御データを送信する処理も実行されるが、この処理は、画像更新周期よりも短い周期（例えば、2ms周期）で入力されるタイマ割込が入力されるごとに実行される。

## 【0564】

第2マスタIC570bが装飾制御装置610へ演出制御データを送信する周期を、第1マスタIC570aが装飾制御装置610へ演出制御データを送信する周期よりも短くする理由は、可動物が可動により当該可動物及び周囲の部材の破損を防止するために、可動物の制御は、通常、発光装置の制御よりも短い周期で行われる必要があるためである。

## 【0565】

50

まず、演出制御装置 550 は、演出制御装置 550 の RAM 553 の初期化などを含む初期化処理を実行する (3701)。このとき、後述する第 1 マスタ IC 570a に関する初期化段階番号と、第 2 マスタ IC 570b に関する初期化段階番号とを、ともに “0” に設定しておく。

#### 【0566】

そして、演出制御装置 550 の CPU 551 は、出力 I/F 558a と NOR ゲート回路 561 を介してリセットパルスを第 1 マスタ IC 570a 及び第 2 マスタ IC 570b に入力し、第 1 マスタ IC 570a 及び第 2 マスタ IC 570b をハード的に初期化する (3702)。

#### 【0567】

続いて、演出制御装置 550 は、第 1 マスタ IC 570a に接続されたすべての装飾制御装置 610 の I<sup>2</sup>C I/O エクスパンダ 615 を初期化するために、第 1 マスタ IC 570a から初期化指示データを出力する第 1 マスタ IC 570a 側スレーブ初期化開始処理を実行する (3703)。同様に、第 2 マスタ IC 570b に接続されたすべての装飾制御装置 610 の I<sup>2</sup>C I/O エクスパンダ 615 を初期化するために、第 2 マスタ IC 570b から初期化指示データを出力する第 2 マスタ IC 570b 側スレーブ初期化開始処理を実行する (3704)。スレーブ初期化開始処理の詳細については、図 38 にて説明する。

#### 【0568】

さらに、演出制御装置 550 は、第 1 マスタ IC 570a に関する初期化段階番号と、第 2 マスタ IC 570b に関する初期化段階番号とが、ともに “0” になるまで待機する (3705)。初期化段階番号とは、第 1 マスタ IC 570a 及び第 2 マスタ IC 570b の各々に関して初期化処理の進捗を示す番号であり、電源投入直後に演出制御装置 550 が起動した直後では “0” となっているが、初期化処理が開始されると、段階を追って “1” から “4” まで 1 つずつインクリメントされ、初期化処理が完了すると、再度、“0” に戻されるものである。なお、図 42 にて説明する初期化指示データの送信再開処理において、設定されている初期化段階番号の値に対応する処理が順次実行される。

#### 【0569】

すべてのマスタ及びスレーブの初期化が完了すると、演出制御装置 550 の CPU 551 は、VDP 556 から画像更新周期と同期する同期信号 (VDP 割込) の受け入れ、及びタイマ割り込みの受け入れを許可する (3706)。

#### 【0570】

演出制御装置 550 は、図 36 にて説明したように、RAM 553 上に格納された演出制御データを上書きされないように退避する第 1 マスタ IC 570a のスレーブ出力データ退避処理を実行する (3707)。退避領域に退避された出力データは、前述したように、所定のタイミングで第 1 マスタ IC 570a に設定される。

#### 【0571】

そして、演出制御装置 550 の CPU 551 は、表示装置 53 に画像を表示するために、VDP 556 に画像を表示させる指令 (画像更新の指令) となるデータを出力する (3708)。さらに、スピーカ 30 から音を遊技状態に応じて出力させるために、音制御データを音 LSI 557 に出力する。音 LSI 557 は、入力された音制御データに基づいてスピーカ 30 から音を出力させる (3709)。

#### 【0572】

次に、演出制御装置 550 は、第 1 マスタ IC 570a から装飾制御装置 610 に演出制御データを出力する第 1 マスタ側スレーブ出力開始処理を実行する (3710)。前述したように、第 1 マスタ IC 570a が制御する装飾制御装置 610 は、主として LED などの発光体を制御するものであり、発光制御装置又は発光制御スレーブとされる。第 1 マスタ側スレーブ出力開始処理の詳細については、図 39 にて後述する。

#### 【0573】

演出制御装置 550 の CPU 551 は、スレーブ出力開始処理が終了すると、VDP 5

10

20

30

40

50

56に次に出力されるデータを編集し(3711)、さらに、音LSI557に出力される音制御データを編集する(3712)。

【0574】

さらに、演出制御装置550は、第1マスタIC570aに接続され、発光体を制御する装飾制御装置610に送信するための演出制御データを編集する第1マスタ側スレーブ出力データ編集処理を実行する(3713)。スレーブ出力データ編集処理では、図36で説明したように、各スレーブの演出制御データを生成し、RAM553上に確保された出力データ準備領域に格納する。

【0575】

次に、演出制御装置550は、図32に示した異常判定テーブル3200を参照し、第1マスタIC570aに接続された発光制御スレーブに関するエラー判定処理を実行する(3714)。

10

【0576】

エラー判定処理では、演出制御装置550が、異常判定テーブル3200の発光制御スレーブに対応するエントリのエラーフラグ3205がすべて「ON」となっているか否か、つまりすべての発光制御スレーブでエラーが発生しているか否かを判定する。言い換えれば、エラーフラグ3205が「OFF」となっている発光制御スレーブが少なくとも1つ以上あるか否かを判定する。このエラー判定処理によって、すべての発光制御スレーブでエラーが発生していると判定された場合には、第1マスタIC570a及び第1マスタIC570aに接続されたすべての発光制御スレーブのリセットする条件が成立したものとされる。

20

【0577】

演出制御装置550は、ステップ3714のエラー判定処理の結果に基づいてリセット条件が成立しているか否かを判定する(3715)。前述のように、ステップ3714のエラー判定処理の時点ですべての発光制御スレーブのエラーフラグ3205が「ON」になっている場合には、リセット条件が成立したと判定される。

【0578】

演出制御装置550のCPU551は、リセット条件が成立したと判定された場合には(3715の結果が「Y」)、第1マスタIC570aを初期化し(3716)、第1マスタIC570aに接続されるすべてのI<sup>2</sup>C I/Oエクスパンダ615(装飾制御装置610)に対して同時に初期化指示データを出力する第1マスタ側スレーブ初期化開始処理を実行する(3717)。

30

【0579】

一方、演出制御装置550のCPU551は、リセット条件が成立していないと判定された場合には(3715の結果が「N」)、CPU551が次のVDP556から割込信号を受け付けるまで処理を待機する。

【0580】

このように、リセット条件が成立したと判定された場合には、ステップ3717の処理で、第1マスタIC570aに接続されるすべてのI<sup>2</sup>C I/Oエクスパンダ615に対して、同時に初期化を指示する。すなわち、すべてのI<sup>2</sup>C I/Oエクスパンダ615を同時に選択して初期化することになるので、I<sup>2</sup>C I/Oエクスパンダ615を個別に選択して初期化を指示する方法と比較すると、高速に初期化を行うことが可能となり、I<sup>2</sup>C I/Oエクスパンダ615を正常な状態へ迅速に復帰させることができる。このとき、CPU551がバス563を介してリセットREG573に初期化指示情報を書き込むことにより、第1マスタIC570aをソフト的にリセットする。

40

【0581】

なお、ステップ3715の処理でリセット条件成立と見なされた場合は、第1マスタIC570aにおいて異常が発生している可能性があるので、ステップ3716の処理で第1マスタIC570aも初期化するようにしている。

【0582】

50

第1マスタIC570aは、CPU551からの指令によって、接続線SDAとSCLの信号レベルを制御する信号レベル制御手段として機能しているので、すべての発光制御装置にてデータ送信に関する異常が発生している場合には、第1マスタIC570a自身に異常が発生していることも考えられる。

【0583】

そのため、すべての装飾制御装置610にてデータ送信に関する異常が発生している場合には、念のために、CPU551（演算処理手段）により第1マスタIC570aが初期化される。これにより、第1マスタIC570aで異常が発生している場合であっても確実に第1マスタIC570aを制御可能にすることができる。

【0584】

このように、図37に示した処理では、表示装置53の画像を更新する周期と同期して、演出制御装置550の第1マスタIC570aから装飾制御装置610のI<sup>2</sup>C I/Oエクスパンダ615に演出制御データを送信する。そして、I<sup>2</sup>C I/Oエクスパンダ615は、受信した演出制御データに基づいて装飾装置620を制御するため、表示装置53における演出と装飾装置620における演出とが調和し、遊技者に違和感を与えないので、興趣を高めることができる。

【0585】

また、表示装置53の画像を更新する周期と同期して第1マスタIC570aから送信された演出制御データが装飾制御装置610で受信されると、その都度、I<sup>2</sup>C I/Oエクスパンダ615によってワークレジスタ（図24参照）の値が更新される。そのため、毎回ワークレジスタの値が最新の状態に更新されるので、ノイズ等でワークレジスタの値が破壊されても、正常な値に復帰することが可能である。

【0586】

また、表示装置53の画像を更新する周期と同期して、ステップ3714でエラー判定処理を実行するので、エラーを判定する頻度を適切に設定することができる。すなわち、エラー判定処理の実行頻度が多すぎると、演出制御装置550のCPU551の処理負荷が増大し、逆に、エラー判定処理の実行頻度が少なすぎると、異常の発生を適切なタイミングで検出できなくなる。表示装置53の画像を更新する周期と同期させてエラー判定を行うことによって、適切なタイミングでエラーを検出することが可能となり、各処理における不具合の発生に対して適切に対応することができる。

【0587】

図38は、本発明の実施の形態の第1マスタIC570a側のスレーブ初期化開始処理及び第2マスタIC570b側のスレーブ初期化開始処理の手順を示すフローチャートである。

【0588】

第1マスタIC570a側のスレーブ初期化開始処理は、図37のステップ3703及び3717で実行され、第2マスタIC570b側のスレーブ初期化開始処理は、同じくステップ3704及び図44のステップ4409で実行される処理である。

【0589】

第1マスタIC570a側の初期化開始処理では、まず、演出制御装置550のCPU551は、マスタ割込み（マスタICからCPU551へ入力される割込み）及びタイムアウト割込みを禁止する（3801）。そして、初期化対象のマスタに第1マスタIC570aを選択する（3802）。

【0590】

また、第2マスタIC570b側のスレーブ初期化開始処理では、第1マスタIC570a側スレーブ初期化開始処理と同様に、CPU551は、マスタ割込み及びタイムアウト割込みを禁止する（3811）。そして、初期化対象のマスタに第2マスタIC570bを選択する（3812）。

【0591】

以降の処理では、第1マスタIC570a側スレーブ初期化開始処理及び第2マスタI

10

20

30

40

50

C 5 7 0 b 側スレーブ初期化開始処理について、選択されたマスタに対して共通の処理が実行される。

【 0 5 9 2 】

C P U 5 5 1 は、選択されたマスタの初期化段階番号に “ 1 ” を設定する ( 3 8 0 3 ) 。さらに、選択したマスタに関する監視タイマを設定し ( 3 8 0 4 ) 、タイムアウトの監視を開始する ( 3 8 0 5 ) 。

【 0 5 9 3 】

C P U 5 5 1 は、選択されたマスタのコマンド R E G 5 8 1 に対し、S T A に “ 1 ” 、S T O に “ 1 ” 、S I に “ 0 ” 、及び M O D E に “ 0 ” を設定する ( 3 8 0 6 ) 。

【 0 5 9 4 】

S T A は、前述したように、スタートコンディションの出力を指示するためのビットであり、S T O は、ストップコンディションの出力を指示するためのビットである。各ビットに “ 1 ” が設定されると、マスタ I C によって対応する信号が出力される。ステップ 3 8 0 6 の処理では、スタートコンディション及びストップコンディションの両方の信号が出力される。

【 0 5 9 5 】

S I は、前述のマスタ割込みの発生を報知するためのビットであり、“ 1 ” が設定されている場合にはマスタ I C から C P U 5 5 1 に割込みの発生が要求された状態となり、このビットが “ 0 ” に変更されるまで、割込みを発生させたマスタ I C は、処理を待機する状態となる。そして、C P U 5 5 1 によって、このビットに “ 0 ” を設定すると、C P U 5 5 1 に発生している割込みが解除され、処理を待機していたマスタ I C は、次に行われるべき処理を再開する。ステップ 3 8 0 6 の処理では、“ 0 ” が設定されているため、割込みの発生が解除されて、処理を待機していたマスタ I C が動作を再開する。

【 0 5 9 6 】

M O D E は、データを送信するモードを指定するためのビットであり、“ 1 ” が設定されている場合には「バッファモード」、 “ 0 ” が設定されている場合には「バイトモード」が指定される。ステップ 3 8 0 6 の処理では、“ 0 ” が設定されているため、バイトモードでデータがやり取りされる。

【 0 5 9 7 】

その後、C P U 5 5 1 は、マスタ割込み及びタイムアウト割込みを許可し ( 3 8 0 7 ) 、呼び出し元に復帰する。

【 0 5 9 8 】

図 3 9 は、本発明の実施の形態の第 1 マスタ側スレーブ出力開始処理及び第 2 マスタ側スレーブ出力開始処理の手順を示すフローチャートである。

【 0 5 9 9 】

第 1 マスタ側スレーブ出力開始処理は、図 3 7 に示すステップ 3 7 1 0 で実行される処理であり、第 1 マスタ I C 5 7 0 a から発光制御スレーブに演出制御データを送信するために必要な処理である。

【 0 6 0 0 】

また、第 2 マスタ側スレーブ出力開始処理は、図 4 4 に示すステップ 4 4 0 5 で実行される処理であり、第 2 マスタ I C 5 7 0 b から可動制御スレーブに演出制御データを送信するために必要な処理である。

【 0 6 0 1 】

第 1 マスタ側スレーブ出力開始処理では、まず、演出制御装置 5 5 0 の C P U 5 5 1 は、マスタ割込み及びタイムアウト割込みを禁止する ( 3 9 0 1 ) 。そして、演出制御データの出力側のマスタとして、第 1 マスタ I C 5 7 0 a を選択する ( 3 9 0 2 ) 。

【 0 6 0 2 】

また、第 2 マスタ側スレーブ出力開始処理では、まず、演出制御装置 5 5 0 の C P U 5 5 1 は、マスタ割込み及びタイムアウト割込みを禁止する ( 3 9 1 1 ) 。そして、演出制御データの出力側のマスタとして、第 2 マスタ I C 5 7 0 b を選択する ( 3 9 1 2 ) 。

10

20

30

40

50

## 【0603】

以降の処理では、第1マスタIC570a側スレーブ出力開始処理及び第2マスタIC570b側スレーブ出力開始処理について、選択されたマスタに対して共通の処理が実行される。

## 【0604】

CPU551は、選択されたマスタに対応するスタートフラグを“オン”に設定する(3903)。さらに、選択されたマスタの監視タイマを設定し(3904)、タイムアウトの監視処理を開始する(3905)。スタートフラグとは、スタートコンディションが出力され、演出制御データの送信が開始されたか否かを示すフラグであり、マスタIC毎に設定される。スタートフラグは、演出制御装置550のRAM553に記憶される。

10

## 【0605】

さらに、CPU551は、選択したマスタICのコマンドREG581に対し、STAに“1”、STOに“1”、SIに“0”、及びMODEに“1”を設定する(3906)。ステップ3906の処理では、MODEに“1”が設定されるため、バッファモードでデータが送受信される。

## 【0606】

CPU551は、選択したマスタの先頭のスレーブ(装飾制御装置610)を選択する(3907)。各マスタICには、演出制御データを送信するスレーブの順序があらかじめ設定されている。ステップ3907の処理で当該順序の先頭のスレーブを設定し、後述する演出制御データの送信再開処理(図43参照)において、選択したマスタに接続される各スレーブに演出制御データを順次送信する。

20

## 【0607】

さらに、CPU551は、選択したマスタICのリトライカウンタを0に設定する(3908)。リトライカウンタとは、各マスタに演出制御データを送信する場合において、送信失敗時にインクリメントされるカウンタである。リトライカウンタが所定の数値よりも大きくなった場合には何らかの障害が発生したものと判断することができる。

## 【0608】

その後、CPU551は、マスタ割込み及びタイムアウト割込みを許可し(3909)、呼び出し元に復帰する。

## 【0609】

30

図40は、本発明の実施の形態の第1マスタIC570a側及び第2マスタIC570b側の送信中断割込み発生時の処理の手順を示すフローチャートである。

## 【0610】

送信中断割込みは、いわゆるマスタ割込みであり、中断時の状態に応じて処理が実行される。

## 【0611】

CPU551は、まず、第1マスタIC570aからのマスタ割込みが発生した場合には、第1マスタIC570aに関するタイムアウトの監視を終了する(4001)。さらに、第1マスタIC570aの初期化段階番号及びスタートフラグを取得する(4002)。

40

## 【0612】

同じく、CPU551は、第2マスタIC570bからのマスタ割込みが発生した場合には、第2マスタIC570bに関するタイムアウトの監視を終了し(4011)、第2マスタIC570bの初期化段階番号及びスタートフラグを取得する(4012)。

## 【0613】

CPU551は、初期化対象のマスタICの初期化段階番号が“0”であるか否かを判定する(4003)。初期化段階番号が“0”の場合とは、初期化処理が実行中でない状態であることを示している。すなわち、初期化段階番号が“0”以外の場合には初期化処理が実行中であることを示している。

## 【0614】

50



CPU551は、初期化対象のマスタICの初期化段階番号が“0”である場合には(4003の結果が「Y」)、前述のように、初期化処理中であるため、初期化指示データの送信再開処理を実行する(4004)。初期化指示データの送信再開処理の詳細については、図42にて後述する。

【0615】

一方、CPU551は、初期化対象のマスタICの初期化段階番号が“0”でない場合には(4003の結果が「N」)、初期化処理を既に終えており、演出制御データを送信している途中であるため、演出制御データの送信再開処理を実行する(4005)。演出制御データの送信再開処理の詳細については、図43にて後述する。

【0616】

図41は、本発明の実施の形態の第1マスタIC570a及び第2マスタIC570bによるタイムアウト割込み発生時の処理の手順を示すフローチャートである。

【0617】

本処理は、第1マスタIC570a又は第2マスタIC570bにおいて所定の時間が経過しても復帰しない場合に発生するタイムアウト割込みが発生した場合に各マスタICを初期化するために実行される処理である。

【0618】

CPU551は、第1マスタIC570aにおいてタイムアウト割込みが発生した場合には、第1マスタIC570aをソフトリセットする(4101)。さらに、第1マスタIC570aに接続されたスレーブを初期化する第1マスタIC570a側スレーブ初期化開始処理(図38)を実行する(4102)。

【0619】

CPU551は、第2マスタIC570bにおいてタイムアウト割込みが発生した場合には、第2マスタIC570bをソフトリセットする(4111)。さらに、第2マスタIC570bに接続されたスレーブを初期化する第2マスタIC570b側スレーブ初期化開始処理(図38)を実行する(4112)。

【0620】

図42は、本発明の実施の形態の初期化指示データの送信再開処理の手順を示すフローチャートである。

【0621】

CPU551は、まず、初期化段階番号とステータスコードの整合判断を行い(4201)、初期化段階番号とステータスコードとが整合するか否かを判定する(4202)。初期化段階番号とは、前述のように、初期化処理の進捗を示す番号である。ステータスコードは、マスタICの状態を示す値であり、ステータスレジスタ(REG)582に設定されている。ステップ4201の処理における整合判断では、初期化段階番号に対応する状態が、ステータスREG582に設定されたステータスコードと一致するか否かを判定する。以下、初期化段階番号及びステータスコードの詳細について説明する。

【0622】

初期化段階番号は、マスタICの初期化を行っているときに、その処理段階に応じて“1”～“4”の何れかの値が設定されるものであり、マスタICの初期化が完了すると“0”に設定されるものである。但し、マスタICの初期化が完了して、初期化段階番号が“0”になると、当該初期化指示データの送信再開処理が呼び出されない(図40の呼び出し元の処理にてステップ4003の分岐がある)ので、ここでは、初期化段階番号が“1”～“4”となっていることを前提に説明を行う。

【0623】

初期化段階番号に“1”が設定されている場合は、マスタICからスタートコンディションが出力されたことを意味する。この場合には、ステータスコードは、スタートコンディション又はリスタートコンディションが送信されたことを示す“08h”又は“10h”が設定されることになる。したがって、初期化段階番号に“1”が設定されており、かつ、ステータスコードに“08h”又は“10h”が設定されている場合には、整合して

10

20

30

40

50

いると判断される。

【 0 6 2 4 】

初期化段階番号に“ 2 ”が設定されている場合は、マスタICの出力用バッファ572にリセット用アドレスが設定された状態であることを意味する。この場合には、ステータスコードは、スレーブのアドレス（ここでは、リセット用アドレス）が送信済みであり、かつ、各スレーブから信号を正常に受信したことを示すACKが応答されたことを示す“ 18h ”が設定されることになる。但し、ステータスコードは、各スレーブから信号を正常に受信できなかったことを示すNACKが応答された場合には“ 20h ”が設定される。したがって、初期化段階番号に“ 2 ”が設定されており、かつ、ステータスコードに“ 18h ”が設定されている場合には、整合している（データ送信に成功している）と判断される。

10

【 0 6 2 5 】

初期化段階番号に“ 3 ”が設定されている場合は、マスタICの出力用バッファ572にリセット指令の前半の値が設定された状態であることを意味する。この場合には、ステータスコードは、出力用バッファ572に設定されたデータが送信済みであり、かつ、各スレーブから信号を正常に受信したことを示すACKが応答されたことを示す“ 28h ”が設定されることになる。但し、ステータスコードは、各スレーブから信号を正常に受信できなかったことを示すNACKが応答された場合には“ 30h ”が設定される。したがって、初期化段階番号に“ 3 ”が設定されており、かつ、ステータスコードに“ 28h ”が設定されている場合には、整合している（データ送信に成功している）と判断される。

20

【 0 6 2 6 】

初期化段階番号に“ 4 ”が設定されている場合は、マスタICの出力用バッファ572にリセット指令の後半の値が設定された状態であることを意味する。この場合には、初期化段階番号が“ 3 ”の場合と同様に、ステータスコードに“ 28h ”が設定される。

【 0 6 2 7 】

CPU551は、初期化段階番号とステータスコードが整合しないとき（ステップ4202の結果が「N」）には、正常な状態ではない（データ送信に失敗した状態）なので、初期化の開始を示す値“ 1 ”を初期化段階番号に設定する（4203）。さらに、監視タイマを設定し、タイムアウトの監視を開始する（4204）。

【 0 6 2 8 】

最後に、CPU551は、ストップコンディション及びスタートコンディションを出力するように、処理対象のマスタICのコマンドREG581のSTAに“ 1 ”、STOに“ 1 ”、SIに“ 0 ”、MODEに“ 0 ”を設定し（4205）、呼び出し元の処理に復帰する。

30

【 0 6 2 9 】

一方、CPU551は、初期化段階番号とステータスコードが整合する場合には（4202の結果が「Y」）、初期化処理が実行中であるため、初期化段階番号に基づいて処理を分岐する（4206）。初期化段階番号が“ 1 ”の場合には、処理対象のマスタICの出力用バッファ572にリセット用アドレスを設定する（4207）。

【 0 6 3 0 】

そして、CPU551は、初期化段階番号をインクリメントし（4208）、監視タイマを設定し、タイムアウトの監視を開始する（4209）。最後に、処理を継続するために、処理対象のマスタICのコマンドREG581のSTA、STO、SI及びMODEにそれぞれ“ 0 ”を設定し（4205）、呼び出し元の処理に復帰する。

40

【 0 6 3 1 】

また、初期化段階番号が“ 2 ”の場合には、CPU551は、処理対象のマスタICの出力用バッファ572にリセット指令を示す値の前半の値を設定する（4211）。初期化段階番号が“ 3 ”の場合には、処理対象のマスタICの出力用バッファ572にリセット指令を示す値の後半の値を設定する（4212）。出力用バッファ572に値が設定されると、初期化段階番号が“ 1 ”の場合と同様に、ステップ4208から4210までの

50

処理を実行する。

【0632】

また、初期化段階番号が“4”の場合には、CPU551は、初期化処理に必要な処理が終了したため、処理対象のマスタICに接続されたすべての装飾制御装置610のエラーフラグをオフに設定し(4213)、さらに、エラーカウンタを0に設定して初期化する(4214)。そして、初期化段階番号を初期化処理中でないことを示す“0”に設定する(4215)。最後に、初期化処理を完了させ、処理対象のマスタICから、当該マスタICに接続されたすべての装飾制御装置610にストップコンディションを出力するために、処理対象のマスタICのコマンドREG581のSTOに“1”、STA、SI及びMODEにそれぞれ“0”を設定し(4216)、呼び出し元の処理に復帰する。

10

【0633】

図43は、本発明の実施の形態の演出制御データの送信再開処理の手順を示すフローチャートである。

【0634】

CPU551は、まず、スタートフラグとステータスコードの整合判断を行い(4301)、整合するか否かを判定する(4302)。スタートフラグは、第1マスタIC570a及び第2マスタIC570bの各々に関して、演出制御データを送信するタイミングを制御するためのフラグである。具体的には、図39に示す第1マスタ側スレーブスレーブ出力開始処理又は第2マスタ側スレーブ出力開始処理が実行されると、スタートフラグが“オン”に設定される。また、後述するように、出力用バッファ572に演出制御データを設定すると、スタートフラグは“オフ”に設定される。ステータスコードについては、図42にて説明したとおりである。

20

【0635】

以下、スタートフラグとステータスコードとの対応について説明する。スタートフラグが“オン”の場合には、前述のように、スタートコンディションが出力された後であるため、対応するステータスコードは、スタートコンディション又はリスタートコンディションが送信されたことを示す“08h”又は“10h”となる。一方、スタートフラグが“オフ”の場合、正常に処理が行われていれば、ステータスコードには正常にデータの送信が完了したことを示す“28h”が設定されている。

【0636】

30

CPU551は、スタートフラグとステータスコードとが整合する場合には(4302の結果が「Y」)、さらに、スタートフラグが“オン”であるか否かを判定する(4303)。

【0637】

CPU551は、スタートフラグが“オン”である場合には(4303の結果が「Y」)、RAM553上に準備されていたデータを出力用バッファ572に設定する(4304)。そして、スタートフラグを“オフ”に設定し(4305)、監視タイマを設定し、タイムアウトの監視を開始する(4306)。最後に、処理対象のマスタICのコマンドREG581のSTA、STO及びSIをそれぞれ“0”を設定し、出力用バッファ572に設定されたデータをバッファモードで送信するために、MODEを“1”に設定し(4307)、呼び出し元の処理に復帰する。

40

【0638】

一方、CPU551は、スタートフラグが“オフ”である場合には(4303の結果が「N」)、選択されたスレーブ(装飾制御装置610)に対応するエラーフラグを“オフ”に設定し(4308)、さらに、エラーカウンタを初期化する(4309)。

【0639】

その後、CPU551は、すべてのスレーブに対して送信再開処理が完了したか否かを判定する(4310)。そして、すべてのスレーブに対して処理が完了した場合には(4310の結果が「Y」)、ストップコンディションを出力し、データを送信するモードを「バッファモード」に指定するようにコマンドREG581のSTO及びMODEに“1

50

”、STA及びSIに“0”を設定し(4311)、呼び出し元の処理に復帰する。

【0640】

CPU551は、すべてのスレーブに対して処理が完了していない場合には(4310の結果が「N」)、リトライカウンタを0に設定し(4312)、次の処理対象のスレーブを選択する(4313)。そして、選択されたスレーブへの出力データを準備し(4314)、スタートフラグを“オン”に設定し(4315)、監視タイマを設定し、タイムアウトの監視を開始する(4316)。

【0641】

最後に、CPU551は、スタートコンディションを出力し、データを送信するモードを「バッファモード」に指定するようにコマンドREG581のSTA及びMODEに“1”、STO及びSIに“0”を設定し(4317)、呼び出し元の処理に復帰する。

10

【0642】

CPU551は、スタートフラグとステータスコードとが整合しない場合には(4302の結果が「N」)、リトライカウンタの値をインクリメントする(4318)。そして、リトライカウンタの値が、指定された値に到達したか否かを判定する(4319)。このときの指定された値は、図32又は図33に示した異常判定テーブル3200又は異常判定テーブル3300に設定されており、現在選択されているスレーブに対応する比較値3204に対応する。

【0643】

CPU551は、リトライカウンタの値が指定値に到達していない場合には(4322の結果が「N」)、現在選択中のスレーブを再度選択し(4320)、選択スレーブに出力するデータを準備し(4314)、ステップ4315以降の処理を実行する。

20

【0644】

一方、CPU551は、リトライカウンタの値が指定値に到達した場合には(4322の結果が「Y」)、選択されているスレーブのエラーフラグ3205に“ON”を設定し(4323)、ステップ4310以降の処理を実行する。

【0645】

図44は、本発明の実施の形態のタイマ割込みが発生した場合の演出制御装置550のCPU551によって実行される処理の手順を示すフローチャートである。

【0646】

タイマ割込みは、VDP556から入力される同期信号がCPU551に入力される周期よりも短い周期(例えば2ms周期)でCPU551に入力される。

30

【0647】

CPU551は、タイマ割込みが入力されると、タイマ割込みの受け付けを禁止する(4401)。そして、CPU551は、役物駆動第1MOT71、役物駆動第2MOT81、照明駆動第1MOT13a、及び照明駆動第2MOT14aの回転位置を検出するために、役物駆動モータ位置検出センサ560a及び照明駆動モータ位置検出センサ560bの出力レベルを取り込む(4402)。

【0648】

次に、CPU551は、第2マスタIC570baに接続され、可動物を制御する装飾制御装置610に送信するための演出制御データを編集する第2マスタ側スレーブ出力データ編集処理を実行する(4403)。なお、第2マスタ側スレーブ出力データ編集処理は、図45で詳述する。

40

【0649】

そして、演出制御装置550は、図36にて説明したように、RAM553上に格納された演出制御データを上書きされないように退避する第2マスタIC570bのスレーブ出力データ退避処理を実行する(4404)。退避領域に退避された出力データは、前述したように、所定のタイミングで第2マスタIC570bに設定される。

【0650】

次に、演出制御装置550は、第2マスタIC570bから装飾制御装置610に演出

50

制御データを出力する第2マスタ側スレーブ出力開始処理を実行する(4405)。前述したように、第2マスタIC570bが制御する装飾制御装置610は、主としてモータやLEDなどの可動物を制御するものであり、可動制御装置又は可動制御スレーブとされる。スレーブ出力開始処理の詳細については、図39で説明したとおりである。

#### 【0651】

このように、ステップ4403の第2マスタ側スレーブ出力データ編集処理が、ステップ4404の第2マスタ側スレーブ出力データ退避処理よりも先に実行される。このため、演出制御データを編集したタイマ割込みで当該編集された演出制御データが退避領域へ退避するため、演出制御データの編集と当該タイマ割込みで編集された演出制御データの出力とを一回のタイマ割込みで行うことができる。

10

#### 【0652】

したがって、可動物の可動位置によって制御を刻々と制御する必要がある可動制御スレーブに、最新の可動位置に基づいた演出制御データを出力でき、正確に可動物を制御できるようになる。

#### 【0653】

次に、演出制御装置550は、図33に示した異常判定テーブル3300を参照し、第2マスタIC570bに接続された可動制御スレーブに関するエラー判定処理を実行する(4406)。

#### 【0654】

エラー判定処理では、演出制御装置550が、異常判定テーブル3300の可動制御スレーブに対応するエントリのエラーフラグ3205がすべて「ON」となっているか否か、つまり、すべての可動制御スレーブでエラーが発生しているか否かを判定する。言い換えれば、エラーフラグ3205が「OFF」となっている発光制御スレーブが少なくとも1つ以上あるか否かを判定する。このエラー判定処理によって、すべての可動制御スレーブでエラーが発生していると判定された場合には、第2マスタIC570b及び第2マスタIC570bに接続されたすべての可動制御スレーブをリセットする条件が成立したものとされる。

20

#### 【0655】

演出制御装置550は、ステップ4406のエラー判定処理の結果に基づいてリセット条件が成立しているか否かを判定する(4407)。前述のように、ステップ4406のエラー判定処理の時点ですべての可動制御スレーブのエラーフラグ3205が「ON」になっている場合には、リセット条件が成立したと判定される。

30

#### 【0656】

演出制御装置550は、リセット条件が成立したと判定された場合には(4407の結果が「Y」)、第2マスタIC570bを初期化し(4408)、第2マスタIC570bに接続されるすべてのI<sup>2</sup>C I/Oエクスパンダ615(装飾制御装置610)に対して同時に初期化指示データを出力する第2マスタICスレーブ初期化開始処理を実行し(4409)、タイマ割込みの受け付けを許可して(4410)、呼び出し元の処理に復帰する。

#### 【0657】

一方、演出制御装置550は、リセット条件が成立していないと判定された場合には(4407の結果が「N」)、タイマ割込みの受け付けを許可して(4410)、呼び出し元の処理に復帰する。

40

#### 【0658】

このように、リセット条件が成立したと判定された場合には、ステップ4409の処理で、第2マスタIC570bに接続されるすべてのI<sup>2</sup>C I/Oエクスパンダ615に対して、同時に初期化を指示する。すなわち、すべてのI<sup>2</sup>C I/Oエクスパンダ615を同時に選択して初期化することになるので、I<sup>2</sup>C I/Oエクスパンダ615を個別に選択して初期化を指示する方法と比較すると、高速に初期化を行うことが可能となり、I<sup>2</sup>C I/Oエクスパンダ615を正常な状態へ迅速に復帰させることができる。このとき、

50

CPU551がバス563を介してリセットREG573に情報を書き込むことにより、第2マスタIC570bをソフト的にリセットする。

【0659】

なお、ステップ4407の処理でリセット条件成立と見なされた場合は、第2マスタIC570bにおいて異常が発生している可能性があるため、ステップ4408の処理で第2マスタIC570bも初期化するようにしている。

【0660】

第2マスタIC570bは、CPU551からの指令によって、接続線SDAとSCLの信号レベルを制御する信号レベル制御手段として機能しているため、すべての可動制御装置にてデータ送信に関する異常が発生している場合には、第2マスタIC570b自身に異常が発生していることも考えられる。

10

【0661】

そのため、すべての装飾制御装置610にてデータ送信に関する異常が発生している場合には、念のために、CPU551（演算処理手段）により第2マスタIC570bが初期化される。これにより、第2マスタIC570bで異常が発生している場合であっても確実に第2マスタIC570bを制御可能にすることができる。

【0662】

このように、図44に示した処理では、タイマ割込みがCPU551に入力される周期と同期して、各種モータ位置検出センサの監視と、第2マスタIC570bから装飾制御装置610のI<sup>2</sup>C I/Oエクスパンダ615への演出制御データの送信とを行う。換言すると、各種位置モータ位置検出センサの監視周期と第2マスタIC570bの演出制御データの送信周期とが同期する。

20

【0663】

これによって、モータ位置検出センサのモータの回転位置の検出結果に適合した演出制御データを即座に可動制御装置に送信することができる。

【0664】

なお、第2マスタIC570bに接続される装飾制御装置610の制御対象が可動物であるため、制御遅延のために当該可動物及び当該可動物付近の部材が破損することを防止するために、各種位置モータ位置検出センサの監視周期と第2マスタIC570bの演出制御データの送信周期とは、第1マスタIC570aが装飾制御装置610へ演出制御データを送信する周期よりも短い周期が要求されている。

30

【0665】

また、タイマ割込み周期と同期して第2マスタIC570bから送信された演出制御データが装飾制御装置610で受信されると、その都度、I<sup>2</sup>C I/Oエクスパンダ615によってワークレジスタの値が更新される。そのため、毎回ワークレジスタの値が最新の状態に更新されるので、ノイズ等でワークレジスタの値が破壊されても、正常な値に復帰することが可能である。

【0666】

また、タイマ割込み周期と同期して、ステップ4406の処理でエラー判定処理を実行するので、エラーを判定する頻度を適切に設定することができる。すなわち、エラー判定処理の実行頻度が多すぎると、演出制御装置550のCPU551の処理負荷が増大し、逆に、エラー判定処理の実行頻度が少なすぎると、異常の発生を適切なタイミングで検出できなくなる。タイマ割込み周期と同期させてエラー判定を行うことによって、適切なタイミングでエラーを検出することが可能となり、各処理における不具合の発生に対して適切に対応することができる。

40

【0667】

図45は、本発明の実施の形態の第2マスタ側スレーブ出力データ編集処理の手順を示すフローチャートである。

【0668】

まず、CPU551は、第2マスタIC570bに接続されたスレーブから一つのスレ

50

ープを選択する(4501)。

【0669】

そして、CPU551は、選択したスレーブが制御する可動物がモータであるか否かを判定する(4502)。具体的には、CPU551は、異常判定テーブル3300を参照して、選択したスレーブが示すエントリのMS識別コード3301に「M」が登録されているか否かを判定する。

【0670】

ステップ4502の処理で、選択したスレーブが制御する可動物がモータであると判定された場合、CPU551は、異常判定テーブル3300を参照し、選択したスレーブが示すエントリの初期化フラグ3302にONが設定されているか否かを判定する(4503)。

10

【0671】

ステップ4503の処理で、選択したスレーブが示すエントリの初期化フラグ3302にONが設定されていると判定された場合には、選択したスレーブによって制御されるモータが回転位置を初期位置まで戻すモータの初期化が実行中であるので、CPU551は、図44に示すステップ4402の処理で取り込んだモータ位置検出センサのレベルを参照し、選択したスレーブによって制御されるモータの現在の回転位置が初期位置であるか否かを判定する(4504)。

【0672】

ステップ4504の処理で、選択したスレーブによって制御されるモータの現在の回転位置が初期位置であると判定された場合には、CPU551は、モータの初期化を終了するために、モータを停止させる停止データをデータ準備領域に設定する(4505)。そして、CPU551は、異常判定テーブル3300に登録されたエントリのうち、選択したスレーブが示すエントリの初期化フラグ3302にOFFを登録する(4506)。

20

【0673】

次に、CPU551は、第2マスタIC570bに接続されたすべてのスレーブに対して、スレーブ出力データ編集処理が終了したか否かを判定する(4507)。

【0674】

ステップ4507の処理で、第2マスタIC570bに接続されたすべてのスレーブに対して、スレーブ出力データ編集処理が終了したと判定された場合には、呼び出し元の処理に復帰する。

30

【0675】

一方、ステップ4507の処理で、第2マスタIC570bに接続されたすべてのスレーブに対して、スレーブ出力データ編集処理が終了していないと判定された場合には、CPU551は、次のスレーブを選択して(4508)、ステップ4502の処理に進む。

【0676】

ステップ4504の処理で、選択したスレーブによって制御されるモータの現在の回転位置が初期位置でないと判定された場合には、モータの初期化は完了していないので、CPU551は、モータの初期化時のモータ出力データをデータ準備領域に設定して(4509)、ステップ4507の処理に進み、第2マスタIC570bに接続されたすべてのスレーブに対して、スレーブ出力データ編集処理が終了したかを判定する。

40

【0677】

ステップ4503の処理で、選択したスレーブが示すエントリの初期化フラグ3302にONが設定されていると判定された場合には、CPU551は、モータの動作に関する異常を検出したか否かを判定する(4510)。

【0678】

ここで、モータの動作に関する異常とは、例えば、モータが通常動作を開始してから所定時間が経過しても、モータの回転位置が所定の回転位置に達しない等の異常をいう。

【0679】

ステップ4510の処理で、モータの動作に関する異常が検出されたと判定された場合

50

、CPU551は、異常判定テーブル3300に登録されたエントリのうち、選択したスレーブが示すエントリの初期化フラグをONに設定し(4511)、ステップ4509の処理に進み、初期化時のモータ出力データをデータ準備領域に設定する。

【0680】

一方、ステップ4510の処理で、モータの動作に関する異常が検出されていないと判定された場合、初期化が実行中でなく、モータの異常も検出されないので、モータを通常動作させるべく、CPU551は、通常動作時のモータ出力データをデータ準備領域に設定し(4512)、ステップ4507の処理に進み、第2マスタIC570bに接続されたすべてのスレーブに対して、スレーブ出力データ編集処理が完了したか否かを判定する。

10

【0681】

ステップ4502の処理で、選択したスレーブが制御する可動物がモータでないと判定された場合、つまり、選択したスレーブが制御する可動物がソレノイドである場合には、ソレノイド出力データをデータ準備領域に設定して(4513)、ステップ4507の処理に進み、第2マスタIC570bに接続されたすべてのスレーブに対して、スレーブ出力データ編集処理が完了したか否かを判定する。

【0682】

なお、選択したスレーブが制御する可動物がソレノイドである場合には、ソレノイドの初期化は、ソレノイドを非通電状態にすればよいので、モータの初期化処理のように時間がかかるものではないので、ソレノイドが初期化中にソレノイドを制御するスレーブに送信する出力データは必要ない。

20

【0683】

図46は、本発明の実施の形態のマスタICによるデータ送信処理の手順を示すフローチャートである。本処理は、第1マスタIC570a及び第2マスタIC570bにおいて共通の処理であり、CPU551によって、コマンドレジスタ581(図11及び図12参照)のSIのビットに“0”が設定されると、割込み処理の発生によって待機していたマスタICが、当該処理を開始する。

【0684】

まず、マスタICのコントローラ574は、ストップコンディションの出力が要求されているか否か、すなわち、コマンドREG581のSTOに“1”が設定されているか否かを判定する(4601)。

30

【0685】

コントローラ574は、ストップコンディションの出力が要求されている場合には(4601の結果が「Y」)、送信可能状態を確認する(4602)。

【0686】

送信可能状態の確認とは、マスタICから装飾制御装置610のI<sup>2</sup>C I/Oエクスパンダ615にデータを送信可能であるか否かを確認することであり、具体的には、接続線SDAの信号レベルがHIGHに設定されている(接続線SDAが開放されている)かを確認することである。接続線SDAの信号レベルがHIGHに設定されていなかった場合には、接続線SDAの信号レベルがHIGHに設定されるか、若しくは、タイムアウトするまで待機する。

40

【0687】

接続線SDAの信号レベルがHIGHでないと判定された場合、接続線SDAからデータが出力できないので、ドライバ576Aによってトランジスタ578Aに動作可能な電圧を印加しないことによってトランジスタ578Aをオンにさせずに(接続線SDAを解放した状態で)、接続SC Lの信号レベルを少なくとも9回変化させる。

【0688】

このような処理を行うことによって、読み出しモードとなったI<sup>2</sup>C I/Oエクスパンダ615は、接続SC Lの信号レベルの変化に合わせて接続線SDAにデータを出力するが、接続SC Lの信号レベルの変化が少なくとも9回行われる途中において、マスタIC

50



からのアクノリッジ信号を確認するタイミングが発生する。このとき、接続線 S D A は解放されているので H I G H レベルとなり、読み出しモードとなった I<sup>2</sup>C I / O エクスパンダ 6 1 5 は、アクノリッジ信号を受信しなかったと判断するので、データ伝送をやめて接続線 S D A を解放することになる。

【 0 6 8 9 】

このようにして、読み出しモードとなった装飾制御装置 6 1 0 の I<sup>2</sup>C I / O エクスパンダ 6 1 5 から強制的に接続線 S D A を解放させるので、接続線 S D A の信号レベルは H I G H に維持されるようになる。

【 0 6 9 0 】

続いて、コントローラ 5 7 4 は、ストップコンディションを、接続されているスレーブ 10 10 に出力する ( 4 6 0 3 )。さらに、当該マスタ I C の送信中フラグを “ オフ ” に設定する ( 4 6 0 4 )。

【 0 6 9 1 】

コントローラ 5 7 4 は、さらに、スタートコンディションの出力が要求されているか否か、すなわち、コマンド R E G 5 8 1 の S T A に “ 1 ” が設定されているか否かを判定する ( 4 6 0 5 )。スタートコンディションの出力が要求されている場合には ( 4 6 0 5 の結果が 「 Y 」 )、後述するステップ 4 6 0 8 以降の処理を実行する。

【 0 6 9 2 】

コントローラ 5 7 4 は、さらに、スタートコンディションの出力が要求されていない場合には ( 4 6 0 5 の結果が 「 N 」 )、ステータスコードに “ F 8 H ” を設定し ( 4 6 0 6 20 )、本処理を終了する。

【 0 6 9 3 】

コントローラ 5 7 4 は、ストップコンディションの出力が要求されていない場合には ( 4 6 0 1 の結果が 「 N 」 )、さらに、スタートコンディションの出力が要求されているか否か、すなわち、コマンド R E G 5 8 1 の S T A に “ 1 ” が設定されているか否かを判定する ( 4 6 0 7 )。スタートコンディションの出力が要求されている場合には ( 4 6 0 7 の結果が 「 Y 」 )、ステップ 4 6 0 2 の処理と同様に、送信可能状態を確認する ( 4 6 0 8 )。

【 0 6 9 4 】

コントローラ 5 7 4 は、送信可能であれば、スタートコンディションを接続されているスレーブ 30 30 に出力する ( 4 6 0 9 )。さらに、当該マスタ I C の先頭バイト識別フラグを “ オン ” に設定する ( 4 6 1 0 )。

【 0 6 9 5 】

続いて、コントローラ 5 7 4 は、送信フラグがオフであるか否かを判定する ( 4 6 1 1 )。送信フラグがオフでない場合、すなわち、オンの場合には ( 4 6 1 1 の結果が 「 N 」 )、ステータスコードに “ 1 0 h ” を設定する ( 4 6 1 4 )。この場合は、ストップコンディションが出力されずに、再度スタートコンディションが出力されており、いわゆるリスタートコンディションが出力されたことを示している。さらに、送信中断割込みを発生させるように、コマンド R E G 5 8 1 の S I に “ 1 ” を設定し ( 4 6 1 9 )、本処理を中断する。 40

【 0 6 9 6 】

一方、コントローラ 5 7 4 は、送信フラグがオフの場合には ( 4 6 1 1 の結果が 「 Y 」 )、ステータスコードに “ 0 8 H ” を設定する ( 4 6 1 2 )。この場合は、ストップコンディションが出力された後にスタートコンディションが出力されたことを示している。さらに、送信中フラグを “ オン ” に設定し ( 4 6 1 3 )、送信中断割込みを発生させるために、コマンド R E G 5 8 1 の S I に “ 1 ” を設定し ( 4 6 1 9 )、本処理を中断する。

【 0 6 9 7 】

コントローラ 5 7 4 は、スタートコンディションの出力が要求されていない場合には ( 4 6 0 7 の結果が 「 N 」 )、当該マスタ I C の先頭バイト識別フラグがオンであるか否かを判定する ( 4 6 1 5 )。当該マスタ I C の先頭バイト識別フラグが “ オン ” の場合、す 50

なわち、スタートコンディションが出力された直後の場合には(4615の結果が「Y」)、最初に送信されるデータがアドレスであるため、アドレスを認識するためのアドレス認識処理を実行する(4616)。なお、アドレス認識処理の詳細については、図47にて後述する。アドレス認識処理が終了すると、先頭バイト識別フラグを“オフ”に設定し(4617)、送信中断割込みを発生させるために、コマンドREG581のSIに“1”を設定し(4619)、本処理を中断する。

【0698】

コントローラ574は、当該マスタICの先頭バイト識別フラグが“オン”でない場合、すなわち、アドレスの認識が終了し、データ本体を送信する場合には(4615の結果が「N」)、バイト単位データ送信処理を実行する(4618)。バイト単位データ送信処理の詳細については、図48にて後述する。最後に、送信中断割込みを発生させるために、コマンドREG581のSIに“1”を設定し(4619)、本処理を中断する。

10

【0699】

図47は、本発明の実施の形態のアドレス認識処理の手順を示すフローチャートである。

【0700】

コントローラ574は、まず、接続線SDAの信号レベルがHIGHに設定されているかを確認することによって送信可能状態を確認する(4701)。接続線SDAの信号レベルがHIGHに設定されていない場合にはHIGHに設定されるまで待機する。

【0701】

20

次に、コントローラ574は、接続線SCLを作動させながら1ビット目のデータを出力する(4702)。そして、8ビットのデータの送信が完了したか否かを判定し(4703)、8ビットのデータの送信が完了するまで、接続線SCLを作動させながらビット毎に順次データを出力する(4704)。

【0702】

コントローラ574は、8ビット分のデータの出力が完了すると(4703の結果が「Y」)、スレーブから送信された返答信号を取り込む(4705)。さらに、取り込まれた返答信号の内容が“ACK”であるか否かを判定する(4706)。返答信号の内容が“ACK”でない場合、すなわち、データを受信できなかったことを示す“NACK”であった場合には(4706の結果が「N」)、アドレスを認識できなかったことを示す“20h”をステータスコードとしてステータスREG582に設定する(4707)。

30

【0703】

一方、コントローラ574は、取り込まれた返答信号の内容が“ACK”であった場合には(4706の結果が「Y」)、アドレスを認識できたことを示す“18h”をステータスコードとしてステータスREG582に設定する(4708)。さらに、コマンドREG581のMODEの値が“0”であるか否かを判定することによって、データ送信モードがバイトモードか否かを判定する(4709)。バイトモードの場合には(4709の結果が「Y」)、1バイト(8ビット)分のデータの送信が完了したため、本処理を終了し、呼び出し元の処理に復帰する。

【0704】

40

コントローラ574は、データ送信モードがバイトモードでない場合には(4709の結果が「N」)、残りのデータをすべて送信するまで(4710)、バイト単位データ送信処理を実行する(4711)。バイト単位データ送信処理の詳細については、図48にて後述する。

【0705】

図48は、本発明の実施の形態のバイト単位データ送信処理の手順を示すフローチャートである。

【0706】

コントローラ574は、まず、接続線SDAの信号レベルがHIGHに設定されているかを確認することによって送信可能状態を確認する(4801)。接続線SDAの信号レ

50

ベルがHIGHに設定されていない場合にはHIGHに設定されるまで待機する。続いて、1バイト分のデータを出力する(4802)。

【0707】

データ出力後、コントローラ574は、スレーブから出力された返答信号を取り込む(4803)。さらに、取り込まれた返答信号の内容が“ACK”であるか否かを判定する(4804)。返答信号の内容が“ACK”でない場合、すなわち、データを受信できなかったことを示す“NACK”であった場合には(4804の結果が「N」)、データを送信できなかったことを示す“30h”をステータスコードに設定する(4805)。

【0708】

一方、コントローラ574は、取り込まれた返答信号の内容が“ACK”であった場合には(4804の結果が「Y」)、データを送信できたことを示す“28h”をステータスコードに設定する(4806)。さらに、コマンドREG581のMODEの値が“0”であるか否かを判定することによって、データ送信モードがバイトモードか否かを判定する(4807)。バイトモードの場合には(4807の結果が「Y」)、1バイト(8ビット)分のデータの送信が完了したため、本処理を終了し、呼び出し元の処理に復帰する。

【0709】

また、コントローラ574は、データ送信モードがバイトモードでない場合には(4807の結果が「N」)、残りのデータをすべて送信するまでデータの送信を行う(4808)。具体的には、次に送信するデータを準備し(4809)、ステップ4801以降の処理を再度実行する。

【0710】

次に、本発明の実施の形態において、演出制御装置550のCPU551と、第1マスタIC570a及び第2マスタIC570bとの間で、データが授受されるタイミングについて説明する。

【0711】

次に、グループ化された演出装置(装飾装置620)の構成例について説明する。

【0712】

図49は、本発明の実施の形態における装飾制御装置610のI<sup>2</sup>C I/Oエクスパンダ615と、装飾装置620との接続例を示す図であり、8セット分のLEDを2つのI<sup>2</sup>C I/Oエクスパンダ615によって制御する構成を示す図である。

【0713】

装飾装置620は一例としてLEDによって構成されているとし、赤(R)、緑(G)、青(B)の3色のLEDを1セットとして制御することによって、さまざまな色で発光することを可能とする。例えば、赤、緑、青のすべてのLEDを発色させると、白色に発光させることができる。

【0714】

そして、本発明の実施の形態では、一つのI<sup>2</sup>C I/Oエクスパンダ615は、16個のポート(PORT0~15)に対応するLEDを制御することが可能であるため、3色のLEDのセットを5セットまで接続することが可能である。

【0715】

しかし、より興趣を高める演出を行うために、16個を超えるポートにLED(演出装置)を接続する場合が考えられる。図49では、5セット以上(8セット)のLEDを、2つのI<sup>2</sup>C I/Oエクスパンダ615にまたがって接続して制御する構成について説明する。

【0716】

前述のように、I<sup>2</sup>C I/Oエクスパンダ615には16のポート(PORT0~15)が備えられているため、3色のLEDのセットを5セットまで接続することが可能である。しかしながら、8セットのLEDを1つのグループとして演出が行われる場合には、少なくとも2つのI<sup>2</sup>C I/Oエクスパンダ615を必要とする。

10

20

30

40

50

## 【0717】

そこで、図49に示す構成では、一方のI<sup>2</sup>C I/Oエキスパンダ615は、各セットの赤及び緑のLEDを制御し、他方のI<sup>2</sup>C I/Oエキスパンダ615(615b)は、各セットの青のLEDを制御するように構成している。そして、これらの2つのI<sup>2</sup>C I/Oエキスパンダ615を同じグループとして制御し、図50にて後述するように、演出制御装置550から出力されたストップコンディションを受け付けてから演出制御を同時に実行することによって、複数のI<sup>2</sup>C I/Oエキスパンダ615によって制御されるLEDによる演出を違和感なく行うことが可能となるのである。

## 【0718】

図50は、本発明の実施の形態における装飾制御装置610がデータを受信し、演出装置を制御するタイミングを示す図であり、ストップコンディションを出力した時点で受信したデータを反映させる場合について説明する図である。

10

## 【0719】

本図において、まず最初に、演出制御装置550からスタートコンディションを出力し、次に、演出制御装置550から複数のI<sup>2</sup>C I/Oエキスパンダ615に演出制御データを順次出力し、最後に、演出制御装置550からストップコンディションを出力する状態を示している。説明の都合上、装飾制御装置610のI<sup>2</sup>C I/Oエキスパンダ615は5個設けられているものとし、それぞれを第1I<sup>2</sup>C I/Oエキスパンダ～第5I<sup>2</sup>C I/Oエキスパンダとする。

## 【0720】

20

ここで、図中で「data1」となっているものは、演出制御装置550から第1I<sup>2</sup>C I/Oエキスパンダに送信される演出制御データを示し、以下、「data2」～「data5」は、演出制御装置550から、第2I<sup>2</sup>C I/Oエキスパンダ～第5I<sup>2</sup>C I/Oエキスパンダの各々へ送信される演出制御データを示す。

## 【0721】

また、図中で「演出装置(1)」となっているものは、第1I<sup>2</sup>C I/OエキスパンダのI/Oポートに接続されているLED等を示し、以下、「演出装置(2)」～「演出装置(5)」は、第2I<sup>2</sup>C I/Oエキスパンダ～第5I<sup>2</sup>C I/OエキスパンダのI/Oポートに接続されているLED等に、それぞれが対応する。

## 【0722】

30

なお、演出制御装置550から、第1I<sup>2</sup>C I/Oエキスパンダ～第5I<sup>2</sup>C I/Oエキスパンダの各々へ演出制御データを送信する際には、I<sup>2</sup>C I/Oエキスパンダの選択を切り替えるタイミングで、演出制御装置550からI<sup>2</sup>C I/Oエキスパンダにスタートコンディション(リスタートコンディションとして機能する)を出力している。但し、最初に演出制御装置550がスタートコンディションを出力してから、第1I<sup>2</sup>C I/Oエキスパンダ～第5I<sup>2</sup>C I/Oエキスパンダの全てに演出制御データを送信するまでの間(図中にTで示した期間)はストップコンディションを出力せず、この期間Tの経過後にストップコンディションを出力している。

## 【0723】

本発明の実施の形態では、接続線SDAからシリアルに演出制御データが送信されるため、各I<sup>2</sup>C I/Oエキスパンダ毎に、演出制御データが到達するタイミングに時間差が生じる。各I<sup>2</sup>C I/Oエキスパンダは、演出制御装置550から演出制御データを受け入れた時点では、バスコントローラ634(図17)に内蔵された図示しないバッファに受信した演出制御データを一次的に確保しているに過ぎない。

40

## 【0724】

ここで、各I<sup>2</sup>C I/Oエキスパンダが、単独で演出制御データの受信と同時にLEDの発光態様を変更してしまうような処理を行った場合を想定する。LEDの発光態様の变化に時間差を生じるため、違和感のある演出が行われる恐れがある。

## 【0725】

例えば、前述の図49のように、赤(R)、緑(G)、青(B)のLEDが、複数のI

50

<sup>2</sup>C I / O エクスパンダにまたがって接続されているような場合には、遊技者に誤解をあたえるような色彩で L E D が発光する可能性がある。(特定の発光体が赤く光れば大当たりが確定する仕様の遊技機にて、大当たりが発生しないときに、発光体内の赤色 L E D と青色 L E D とを同時に点灯して発光体を紫色で発光させるような制御を行うような場合を想定する。この場合、赤色 L E D が青色 L E D よりも先に光ってしまうことで、遊技者が大当たりするものと誤解し、遊技店と遊技者の間でトラブルになる。)

そこで、本発明の実施の形態では、演出制御装置 5 5 0 からストップコンディションを受信した時点で、バッファ内の演出制御データを出力設定レジスタ 6 3 5 に上書きし、この出力設定レジスタ 6 3 5 の記憶内容を出力コントローラ 6 3 6 によってドライバ 6 3 7 に反映させ、当該 I<sup>2</sup>C I / O エクスパンダに接続されている L E D の発光態様を変化させる処理を行っている。

10

#### 【0726】

そのため、図 5 0 に示すように、ストップコンディション出力時に、各 I<sup>2</sup>C I / O エクスパンダが受信した演出制御データを各演出装置の出力態様に同時に反映させることが可能となり、違和感のない演出を行うことが可能となる。

#### 【0727】

なお、本実施の形態では、I<sup>2</sup>C I / O エクスパンダが受信した演出制御データを各演出装置の出力態様に反映させるタイミングを、更新指令信号として例示したストップコンディションの受信時としているが、他の更新指令信号を用いても構わない。ストップコンディションのように演出制御データの最後に送信されるものに限らず、演出制御データの送信の途中で送信されるものであっても、接続線 S D A 及び S C L の信号変化によって表現できる更新指令信号であれば、適用可能である。

20

#### 【0728】

本発明の実施の形態によれば、演出制御装置 5 5 0 (グループ統括制御手段)に含まれる各マスタ I C (信号レベル制御手段)が装飾制御装置 6 1 0 (グループ単位制御手段)にデータを送信すると、装飾制御装置 6 1 0 から演出制御装置 5 5 0 に返答信号が送信されるため、データ送信が行われたか否かを確認することが可能となり、誤作動を防止できる。

#### 【0729】

また、本発明の実施の形態によれば、演出制御装置 5 5 0 は装飾制御装置 6 1 0 へ一本のデータ線(接続線 S D A)を介してデータを送信し、装飾制御装置 6 1 0 から演出制御装置 5 5 0 へも同じデータ線を介して返答信号が送信されるので、基板間の配線を少なくすることができる。

30

#### 【0730】

さらに、本発明の実施の形態によれば、1つのマスタ I C に接続可能な装飾制御装置 6 1 0 の数に上限があったとしても、演出制御装置 5 5 0 に複数のマスタ I C を備えることによって、より多くの装飾制御装置 6 1 0 を利用することができる。

#### 【0731】

また、本発明の実施の形態では、第 1 マスタ I C 5 7 0 a (第 1 の信号レベル制御手段)が遊技盤 1 0 に備えられた演出装置を制御し、第 2 マスタ I C 5 7 0 b (第 2 の信号レベル制御手段)が前面枠 3 に備えられた演出装置を制御するように構成されている。このように、遊技盤 1 0 に備えられた演出装置と前面枠 3 に備えられた演出装置とを別のグループとすることによって、前面枠 3 や遊技盤 1 0 を開発する際には、装飾制御装置 6 1 0 の上限数を開発対象の各グループに限定して考慮すればよいので、構成毎に並行して機器の開発を行うなど開発の効率化を図ることができる。

40

#### 【0732】

さらに、本発明の実施の形態によれば、C P U 5 5 1 によってマスタ I C が選択され、選択されたマスタ I C に接続される複数の装飾制御装置 6 1 0 (I<sup>2</sup>C I / O エクスパンダ 6 1 5)が、まとめて初期化されるので、装飾制御装置 6 1 0 を一つ一つ選択して初期化するような方法と比較すると、高速な初期化処理を行うことができる。

50

## 【 0 7 3 3 】

このとき、選択されたマスタ IC に接続される装飾制御装置 6 1 0 だけを初期化して、選択されない他のマスタ IC に接続される装飾制御装置 6 1 0 を初期化しないような制御が可能となる。

## 【 0 7 3 4 】

そのため、遊技機に備えた全ての装飾制御装置 6 1 0 のうち、必要最小限の範囲に属する装飾制御装置 6 1 0 だけを初期化することができるので、装飾制御装置 6 1 0 の初期化が行われて演出装置 2 0 0 の動作が中断する頻度を、低下させることができる。

## 【 0 7 3 5 】

また、本発明の実施の形態によれば、すべてのマスタ IC をリセットしようとする場合にはハードリセットを行う構成となっているため、各マスタ IC を 1 個ずつソフトリセットする場合と比較して、高速に初期化を行うことが可能となる。

10

## 【 0 7 3 6 】

一方、一部のマスタ IC をリセットしようとする場合には、データバスを経由するソフトリセットによって初期化を実行するため、すべてのマスタ IC の初期化信号入力端子に個別に信号入力するような複雑な回路を必要とせず、1 つのポートを備えていればよい。すなわち、起動時に毎回必ず実行されるすべてのマスタ IC のリセットは高速で行うことが可能となり、非常時にのみ実行される一部のみのマスタ IC のリセットは、簡素化された回路で実行可能となるため、特に、マスタ IC の数が多い構成の場合に有効となる。

## 【 0 7 3 7 】

20

また、本発明の実施の形態によれば、マスタ IC による処理がそれぞれ並列して動作するため、高速な処理が可能となる。さらに、画面更新のタイミングと同期させて演出装置の演出態様が更新するように制御されるため、画面表示と調和のとれた発光の演出が可能となる。

## 【 0 7 3 8 】

さらに、本発明の実施の形態によれば、取り込まれたデータを演出装置の出力態様として反映させるタイミングが、タイミング信号線とデータ線の信号レベル変化（ストップコンディションの受信）によって決定されるので、従来の LAT 信号のような信号が不要となる。そのため、LAT 信号を送信するための配線が不要になり、配線をより簡素化することが可能となる。

30

## 【 0 7 3 9 】

また、本発明の実施の形態によれば、複数の装飾制御装置 6 1 0 に対して、個別の演出制御データを同一の信号線を用いて送信することが可能となり、さらに、制御対象の各演出装置の演出態様を同時に更新することが可能となる。

## 【 0 7 4 0 】

また、本発明の実施の形態では、2 つのマスタ IC を含む構成となっているが、3 以上のマスタ IC を含む構成としてもよい。複数のマスタ IC を含むように構成することによって、各マスタ IC が並列して処理を実行することが可能となり、処理を高速化することができる。また、マスタ IC ごとに各構成を並行して開発することが可能となるため、開発効率を向上させることが可能となる。

40

## 【 0 7 4 1 】

なお、今回開示した実施の形態は、すべての点で例示であって制限的なものではない。また、本発明の範囲は前述した発明の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味及び内容の範囲でのすべての変更が含まれることが意図される。

## 【 0 7 4 2 】

また、特許請求の範囲に記載した以外の本発明の観点の代表的なものとして、次のものがあげられる。

## 【 0 7 4 3 】

( 1 ) 遊技を統括的に制御する遊技制御手段と、該遊技制御手段からの指令に対応して

50

、遊技の演出を行う複数の演出装置を制御する演出制御手段と、を備える遊技機において、前記複数の演出装置を複数グループに分割し、該分割されたグループに属する演出装置を制御するためのグループ単位制御手段をグループ毎に設け、前記演出制御手段を、複数の前記グループ単位制御手段を統括的に制御するグループ統括制御手段として構成し、前記グループ統括制御手段から前記グループ単位制御手段へタイミング信号を伝達するタイミング信号線、及び前記グループ統括制御手段と前記グループ単位制御手段との間でデータを通信するデータ線によって前記グループ統括制御手段と前記グループ単位制御手段とが接続されて、前記グループ統括制御手段と前記各グループ単位制御手段との間で相互にデータ通信を可能とし、前記グループ統括制御手段は、前記データ線の信号レベルを送信データに対応する信号レベルに設定しながら、前記タイミング信号線の信号レベルを繰り返し変換させることによって、前記グループ単位制御手段にデータを順次送信する送信手段と、前記送信手段によるデータ送信の途中又はデータ送信の最後のタイミングにて、当該データの送信時とは異なる態様で前記データ線及びタイミング信号線の信号レベルを制御することにより、所定の更新指令信号を前記グループ単位制御手段に出力する更新指令信号出力手段と、を備え、前記グループ単位制御手段は、前記送信手段が送信したデータを取り込む取込手段と、前記取込手段によって取りこまれたデータに対応させて、前記演出装置の出力態様を更新する出力態様更新手段と、を備えるとともに、前記出力態様更新手段は、前記更新指令信号を受信したタイミングで、前記演出装置の出力態様を更新することを特徴とする遊技機。

10

(2) 前記更新指令信号は、前記送信手段によるデータ送信の最後に送信されるストップコンディションであることを特徴とする(1)に記載の遊技機。

20

(1)に記載の発明では、グループ単位制御手段の取込手段によって取り込まれたデータを、演出装置の出力態様として反映させるタイミングが、タイミング信号線とデータ線の信号レベル変化によって決定されるので、従来のLAT信号のような信号が不要となる。そのため、LAT信号を送信するための配線が不要になり、配線をより簡素化することが可能となる。

#### 【0744】

また、複数のグループ単位制御手段に対して、個別の演出制御情報を同一の信号線を用いて送信できる上に、同時に更新することができる。

(2)に記載の発明では、グループ単位制御手段は、ストップコンディションの受信によって、演出装置の出力態様として反映させるタイミングだけでなく、送信手段によるデータ送信の終了タイミングも同時に認識することができる。

30

#### 【0745】

ここで、上記(1)の発明との対比を行うため、LAT信号を送信するための配線が必要な技術との対比を行う。

#### 【0746】

まず、特開2007-050148号の公開特許公報には、階調制御ICを用いて、定時間タイマ割込処理内に、複数のLEDの階調点灯及びステッピングモータの励磁駆動を行うことが可能な遊技機として、階調制御ICがシリアル送信部からシリアル出力された駆動データを取り込んだのち、出力ポートからラッチ信号を受けると、駆動データに基づいて階調ランプを階調点灯する階調信号を出力するとともにステッピングモータを励磁駆動する励磁信号を出力する遊技機が開示されている。

40

#### 【0747】

この遊技機は、サブ統合基板からランプ駆動基板に、DATとCLKの2本の信号線によりシリアル通信でデータを送信する構成なので、両基板間の配線を簡素化することができるようにしている。

#### 【0748】

さらに、特開2005-245774号の公開特許公報には、サブ制御基板を様々な機種仕様を共通化して使用することによって、製造コスト及び開発コストを削減可能な遊技機として、メイン制御基板からの指示に応じて装飾用制御負荷に対する制御信号の出力を

50

行うサブ制御基板と、サブ制御基板とは別基板であって、サブ制御基板にコネクタ接続される負荷駆動基板とからなる遊技機が開示されている。

【 0 7 4 9 】

この遊技機では、サブ制御基板は、装飾用制御負荷に対する制御信号をシリアルに出力し、負荷駆動基板は、サブ制御基板からシリアルに出力された制御信号に基づいて、装飾用制御負荷の数に対応したビット数のパラレル駆動信号を生成する駆動信号生成手段を搭載しており、特許文献 1 の遊技機と同様にシリアル通信でデータを送信する構成なので、基板間の配線を簡素化することが可能となっている。

【 0 7 5 0 】

これらの遊技機では、複数のシフトレジスタをデイジーチェーン接続することによって、D A T と C L K の 2 本の信号線を用いるだけで、複数のシフトレジスタを制御することが可能である。

10

【 0 7 5 1 】

しかし、特開 2 0 0 7 - 0 5 0 1 4 8 号の公開特許公報の遊技機では、シフトレジスタが取り込んだデータを点灯信号として出力させるためには、その出力のタイミングを伝達するために、L A T 信号（段落 [ 0 0 7 2 ] [ 0 0 7 3 ] [ 図 6 ] 等）が必要となるので、L A T 信号のための配線がさらに必要となってしまう。この問題点は、特開 2 0 0 5 - 2 4 5 7 7 4 号の公開特許公報の遊技機においても解決されていない。

【 0 7 5 2 】

そこで、配線を削減するために、L A T 信号がなくても、取り込んだデータを点灯信号として出力させることが可能な遊技機を提供することが必要となる。上記（ 1 ）の発明の遊技機によって、その問題点が解決される。

20

【産業上の利用可能性】

【 0 7 5 3 】

以上のように、本発明は、演出制御装置が複数の装飾制御装置を介して演出装置を制御する遊技機に適用可能である。

【符号の説明】

【 0 7 5 4 】

- 1 遊技機
- 2 本体枠（外枠）
- 3 前面枠（遊技枠）
- 9 a、9 b 装飾部材
- 1 0 遊技盤
- 1 2 補助遊技装置ユニット
- 1 3 第 1 可動式照明
- 1 3 a 照明駆動第 1 モータ（M O T）
- 1 4 第 2 可動式照明
- 1 4 a 照明駆動第 2 モータ（M O T）
- 1 5 信頼度報知装置
- 2 9 異常報知 L E D
- 3 0 スピーカ
- 4 5 サイドランプ
- 5 1 センターケース
- 5 3 表示装置
- 5 8 可動演出装置
- 6 3 第 1 演出ユニット
- 6 4 第 2 演出ユニット
- 7 0 第 1 演出部材
- 7 1 役物駆動第 1 モータ（M O T）
- 8 0 第 2 演出部材

30

40

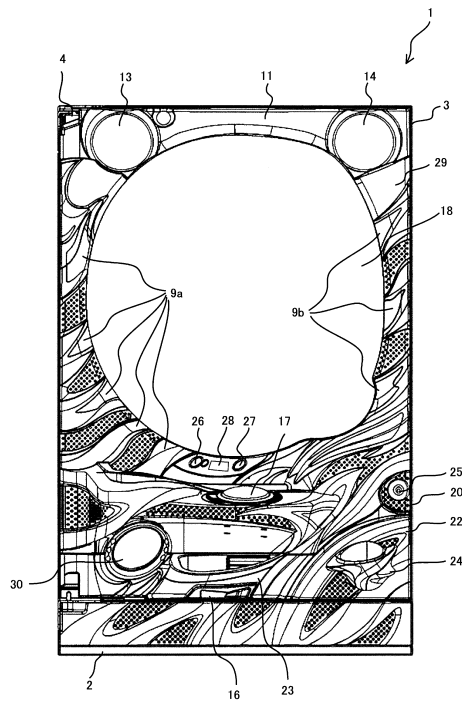
50



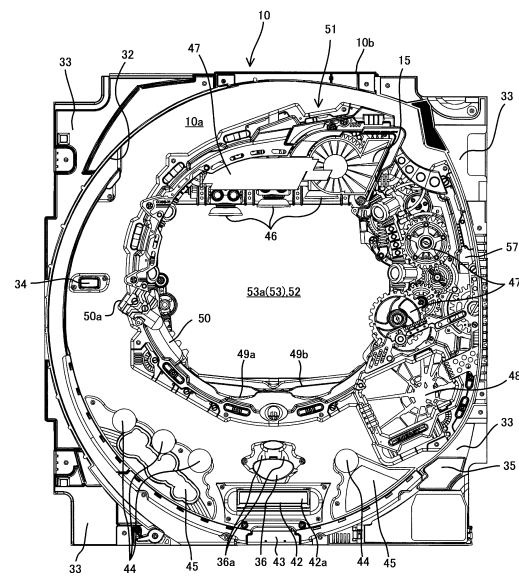
- 8 1 役物駆動第 2 モータ ( M O T )
- 5 0 0 遊技制御装置
- 5 5 0 演出制御装置
- 5 7 0 a 第 1 マスタ I C
- 5 7 0 b 第 2 マスタ I C
- 5 8 1 コマンドレジスタ ( R E G )
- 5 8 2 ステータスレジスタ ( R E G )
- 5 8 3 自身アドレス設定レジスタ ( R E G )
- 6 0 0 中継基板
- 6 0 3 空き端子モニタ
- 6 1 0 装飾制御装置
- 6 1 5 I<sup>2</sup>C I / O エクスパンダ
- 6 2 0 装飾装置
- 6 2 5 装飾装置基板
- 1 6 0 0 簡易中継基板
- 3 2 0 0、3 3 0 0 異常判定テーブル

10

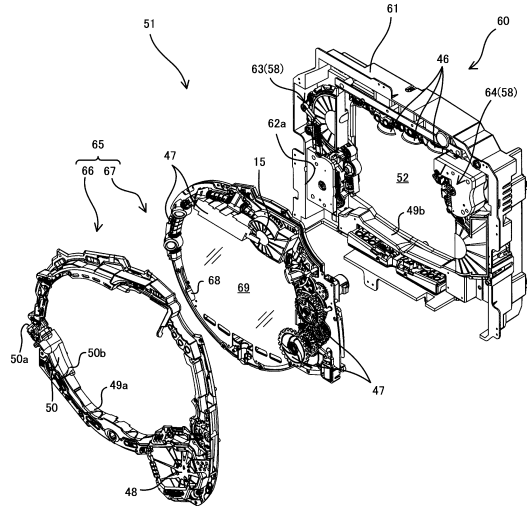
【図 1】



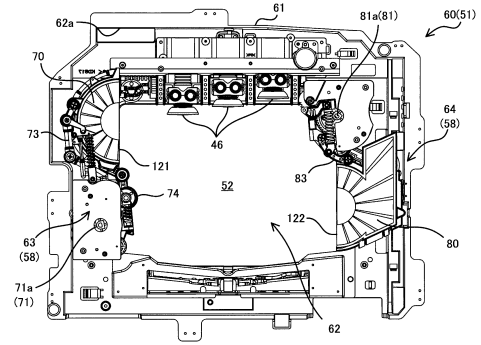
【図 2】



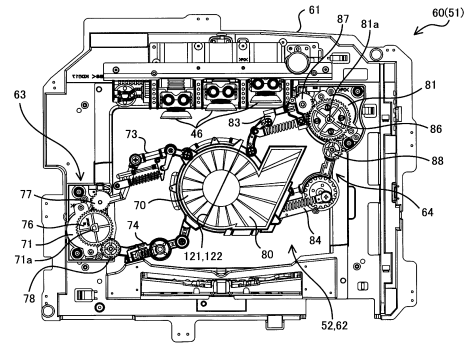
【図 3】



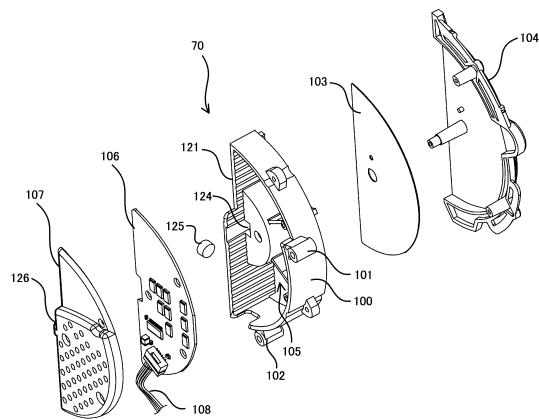
【図 4】



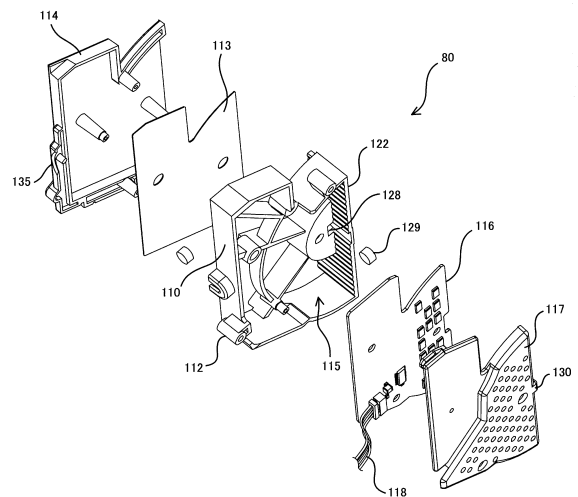
【図 5】



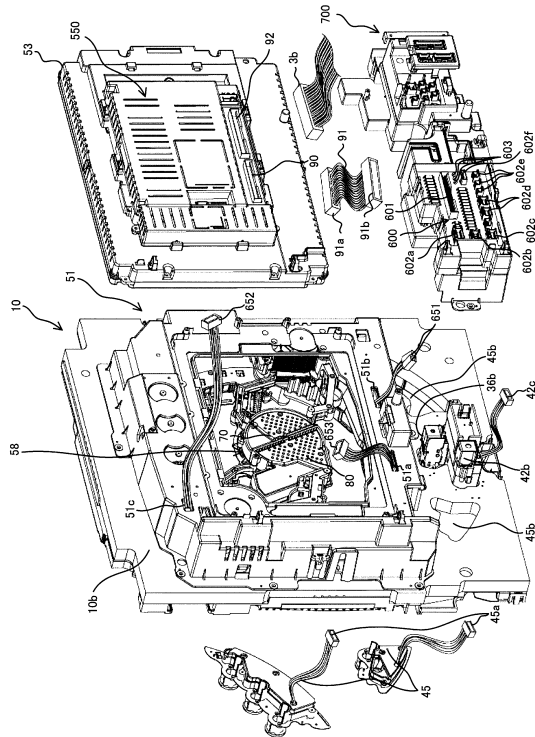
【図 6】



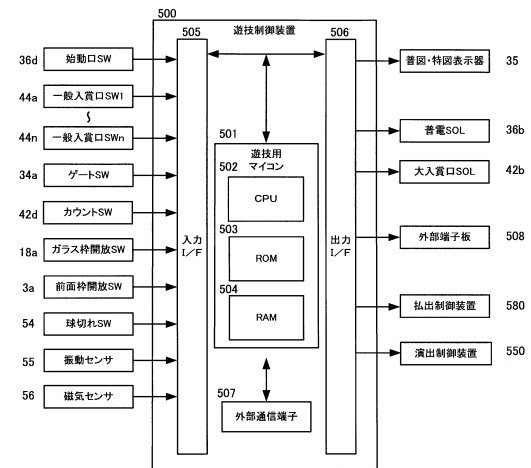
【図 7】



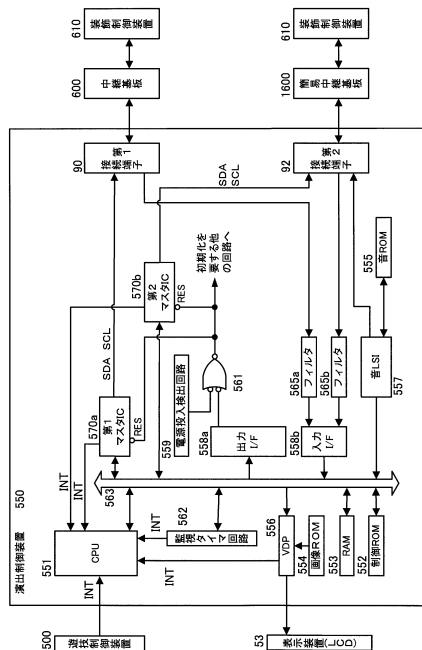
【図 8】



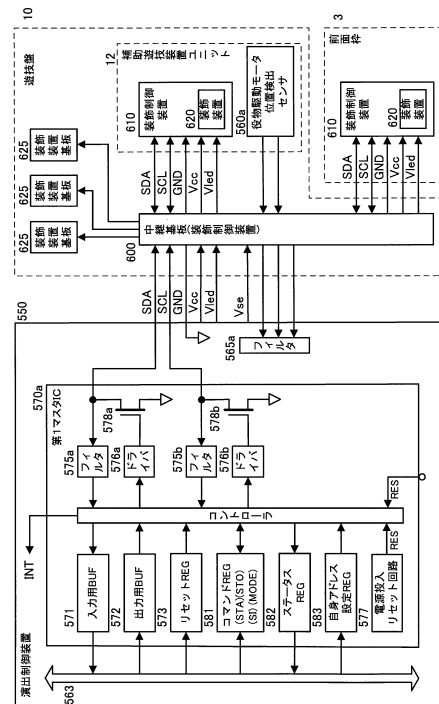
【図 9】



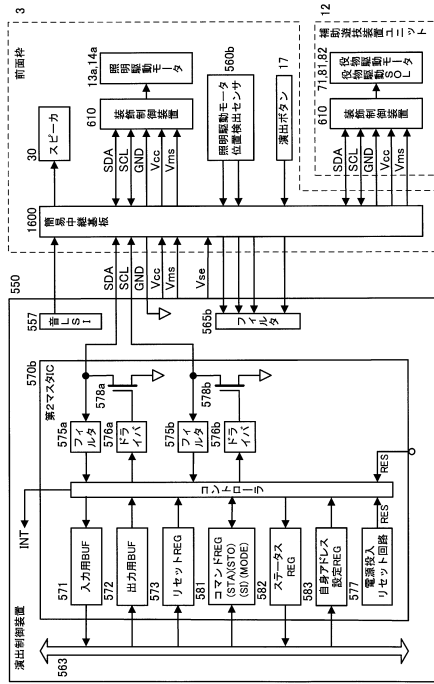
【図 10】



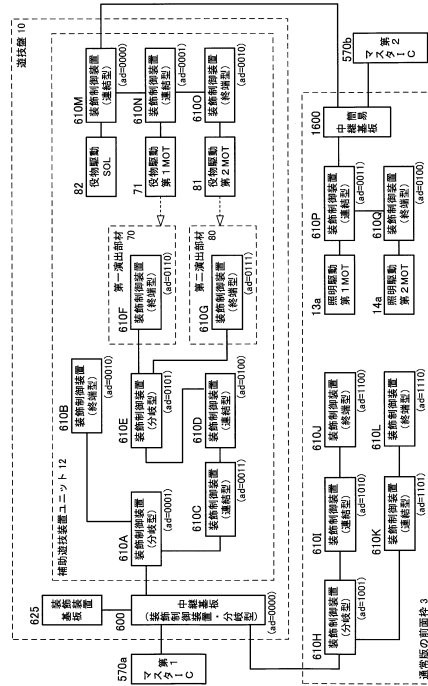
【図 11】



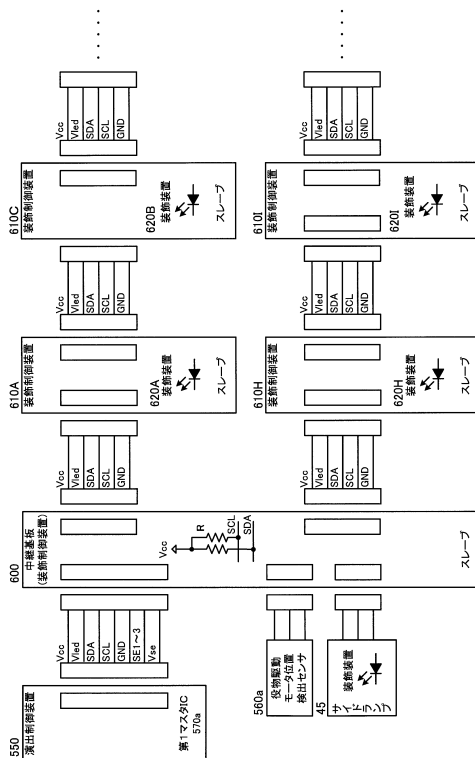
【 図 1 2 】



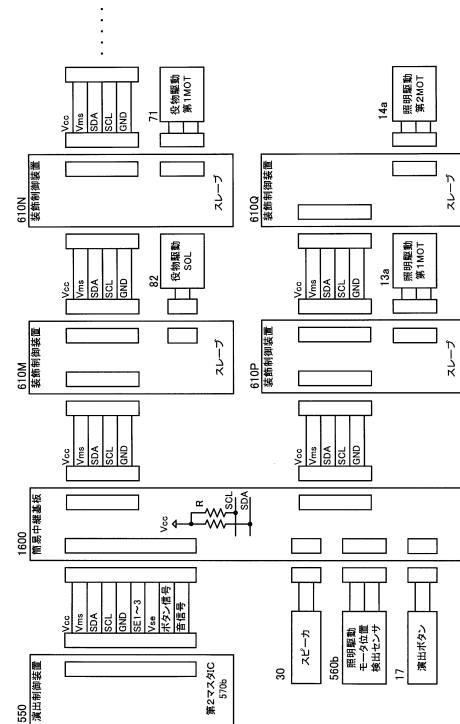
【 図 1 3 】



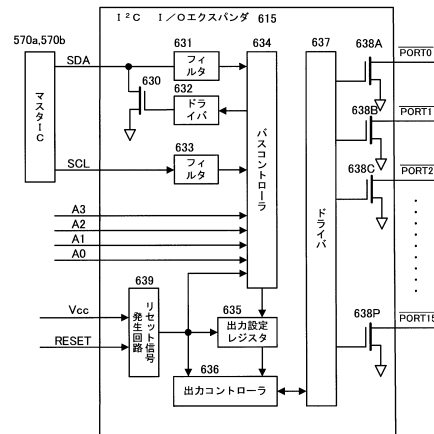
【 図 1 4 】



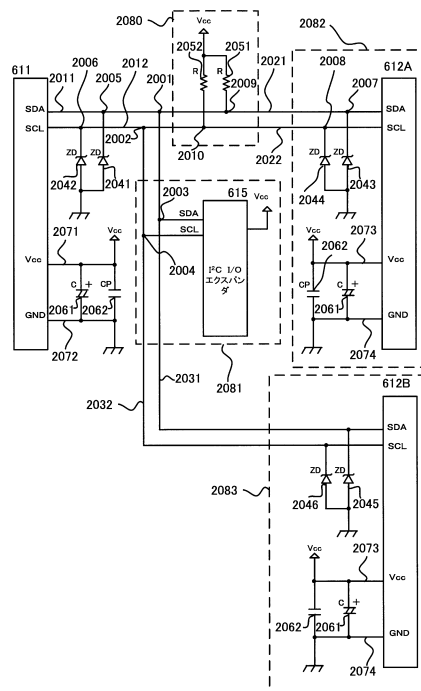
【 図 1 5 】



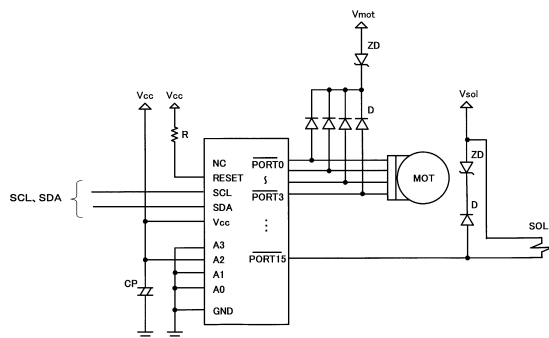
【圖 17】



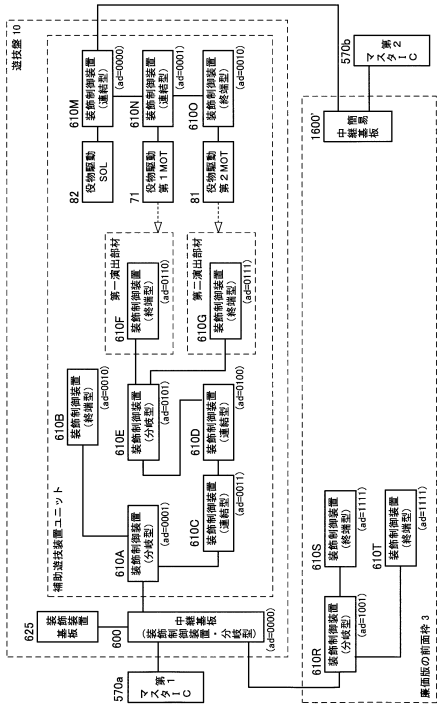
【 図 2 0 】



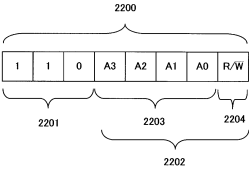
	GND	2061
--	-----	------



【図 2 1】



【図 2 2】



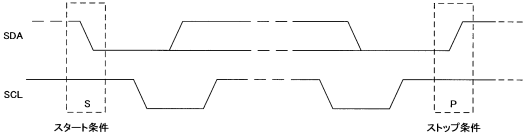
【図 2 3】

スレーブ アドレス	I <sup>2</sup> C/Oエクスパンダアドレス			
	A3	A2	A1	A0
C0h	0	0	0	0
C2h	0	0	0	1
C4h	0	0	1	0
C6h	0	0	1	1
C8h	0	1	0	0
CAh	0	1	0	1
Ch	0	1	1	0
CEh	0	1	1	1
D0h	1	0	0	0
D2h	1	0	0	1
D4h	1	0	1	0
D6h	1	0	1	1
D8h	1	1	0	0
DAh	1	1	0	1
DCh	1	1	1	0
DEh	1	1	1	1

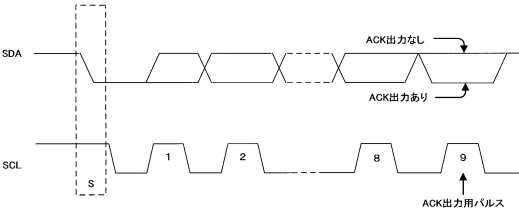
【図 2 4】

レジスタ 番号	レジスタ名	機能
00h	MODE 1	モードレジスタ 1
01h	MODE 2	モードレジスタ 2
02h	PWM 0	輝度調節 LED 0
03h	PWM 1	// LED 1
04h	PWM 2	// LED 2
05h	PWM 3	// LED 3
06h	PWM 4	// LED 4
07h	PWM 5	// LED 5
08h	PWM 6	// LED 6
09h	PWM 7	// LED 7
0Ah	PWM 8	// LED 8
0Bh	PWM 9	// LED 9
0Ch	PWM 10	// LED 10
0Dh	PWM 11	// LED 11
0Eh	PWM 12	// LED 12
0Fh	PWM 13	// LED 13
10h	PWM 14	// LED 14
11h	PWM 15	// LED 15
12h	GRPPWM	グループデューティサイクル制御
13h	GRPFREQ	グループ周波数
14h	LEDOUT 0	LEDドライバ出力状態 LED 0-3
15h	LEDOUT 1	LEDドライバ出力状態 LED 4-7
16h	LEDOUT 2	LEDドライバ出力状態 LED 8-11
17h	LEDOUT 3	LEDドライバ出力状態 LED 12-15
18h	SUBADR 1	サブアドレス設定 1
19h	SUBADR 2	サブアドレス設定 2
1Ah	SUBADR 3	サブアドレス設定 3
1Bh	ALLCALLADR	ALL-CALLアドレス設定

【図 2 5】

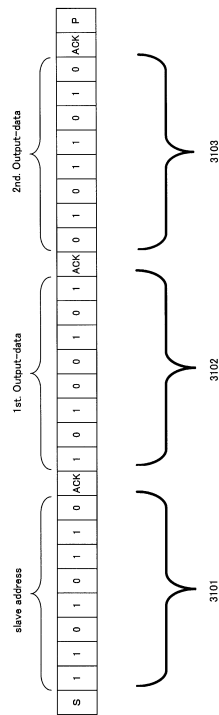


【図 2 6】





【図 3 1】



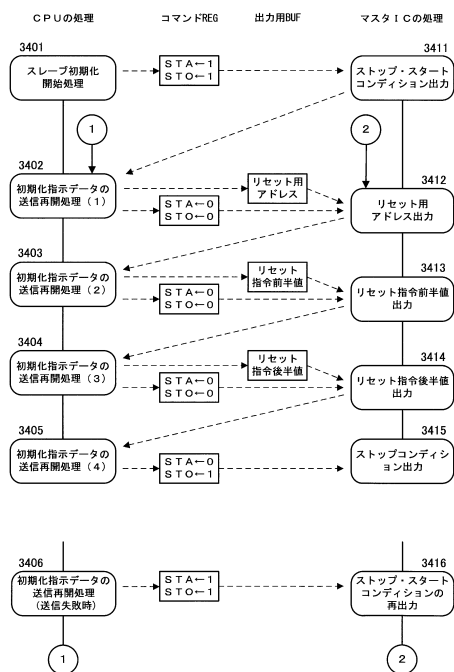
【図 3 2】

3201	3202	3203	3204	3205	3200
I/O エキスパンダ アドレス	スレープ アドレス	エラー カウンタ	比較値	エラー フラグ	
0000	C0h	0~N	300	ON/OFF	
0001	C2h	0~N	300	ON/OFF	
0010	C4h	0~N	300	ON/OFF	
0011	C6h	0~N	300	ON/OFF	
0100	C8h	0~N	300	ON/OFF	
0101	CAh	0~N	300	ON/OFF	
0110	CCh	0~N	300	ON/OFF	
0111	CEh	0~N	300	ON/OFF	
1001	D2h	0~N	300	ON/OFF	
1010	D4h	0~N	300	ON/OFF	
1100	D8h	0~N	300	ON/OFF	
1101	DAh	0~N	300	ON/OFF	
1110	DCh	0~N	300	ON/OFF	
1111	DEh	0~N	300	ON/OFF	

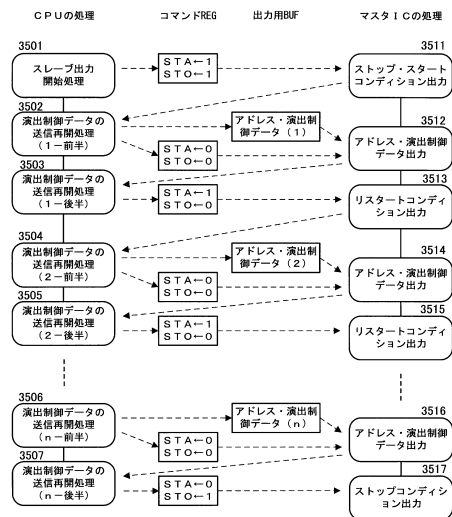
【図 3 3】

3201	3202	3203	3204	3205	3301	3302	3300
I/O エキスパンダ アドレス	スレープ アドレス	エラー カウンタ	比較値	エラー フラグ	MS識別 コード	初期化 フラグ	
0000	C0h	0~N	50	ON/OFF	S	—	
0001	C2h	0~N	50	ON/OFF	M	ON/OFF	
0010	C4h	0~N	50	ON/OFF	M	ON/OFF	
0011	C6h	0~N	50	ON/OFF	M	ON/OFF	
0100	C8h	0~N	50	ON/OFF	M	ON/OFF	

【図 3 4】

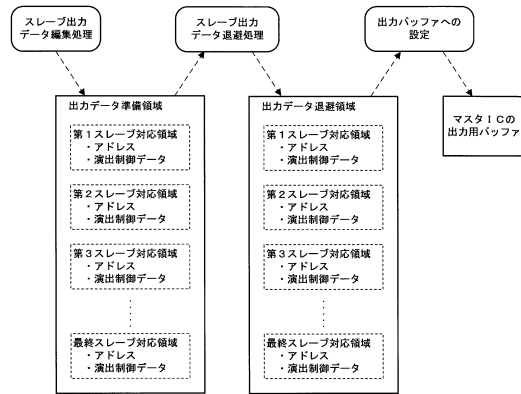


【図 3 5】

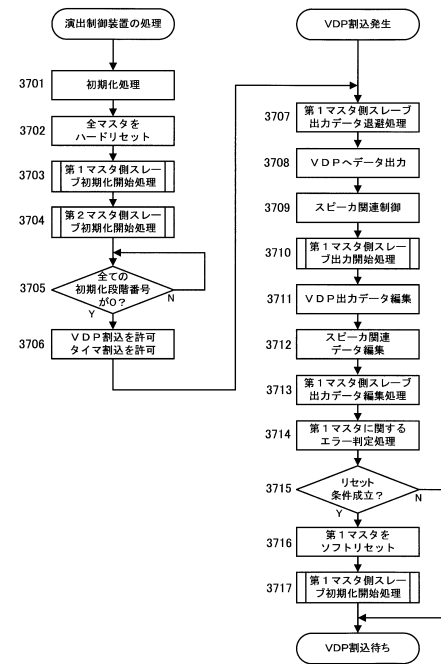




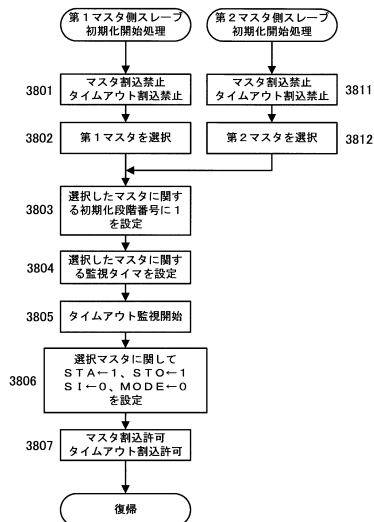
【図 36】



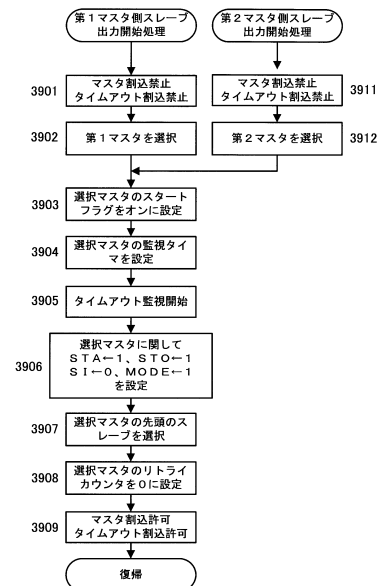
【図 37】



【図 38】

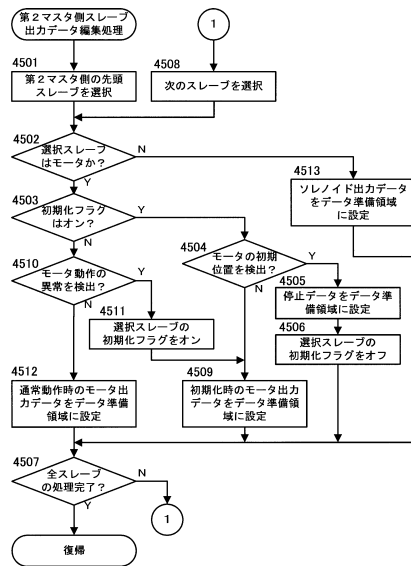


【図 39】

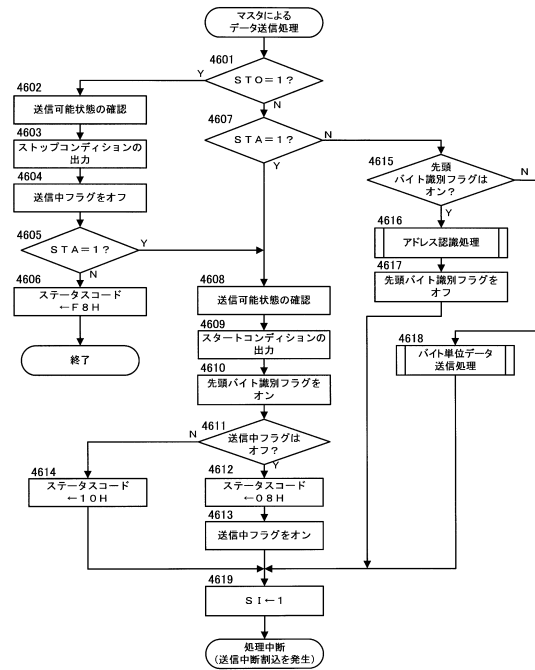




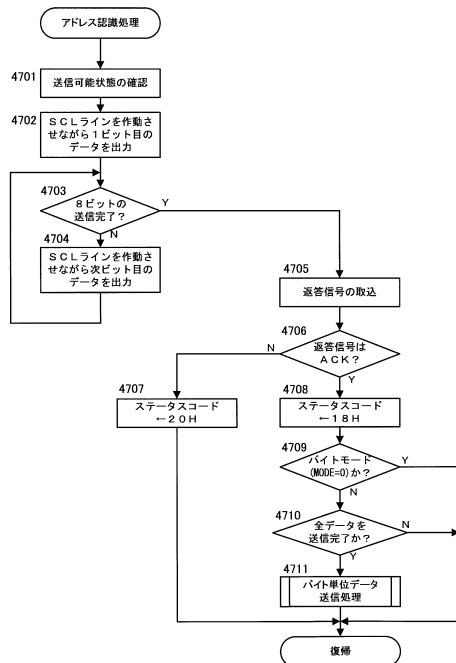
【図 45】



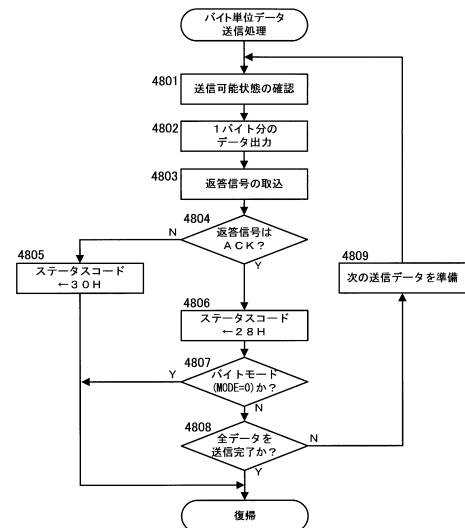
【図 46】



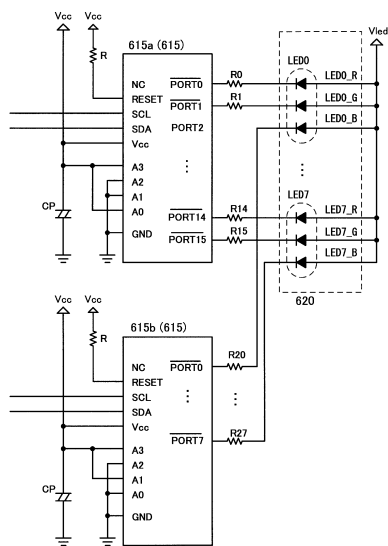
【図 47】



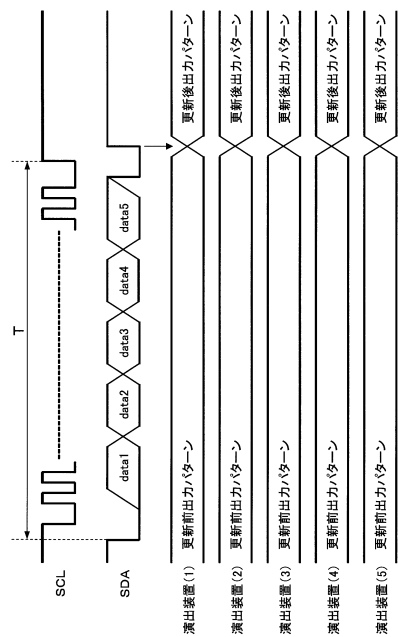
【図 48】



【図 49】



【図 50】



---

フロントページの続き

(56)参考文献 特開 2 0 0 6 - 2 5 5 3 3 7 ( J P , A )  
特開 2 0 0 7 - 2 8 2 9 2 5 ( J P , A )  
特開 2 0 0 3 - 1 3 5 7 3 1 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
A 6 3 F 7 / 0 2