



(12) 发明专利申请

(10) 申请公布号 CN 118044120 A

(43) 申请公布日 2024. 05. 14

(21) 申请号 202280065007.4

(22) 申请日 2022.06.28

(30) 优先权数据

2021-156468 2021.09.27 JP

(85) PCT国际申请进入国家阶段日

2024.03.26

(86) PCT国际申请的申请数据

PCT/JP2022/025736 2022.06.28

(87) PCT国际申请的公布数据

W02023/047745 JA 2023.03.30

(71) 申请人 罗姆股份有限公司

地址 日本

(72) 发明人 高桥直树

(74) 专利代理机构 北京银龙知识产权代理有限公司

11243

专利代理师 曾贤伟 李平

(51) Int. Cl.

H03K 17/08 (2006.01)

H01L 29/78 (2006.01)

H02M 1/08 (2006.01)

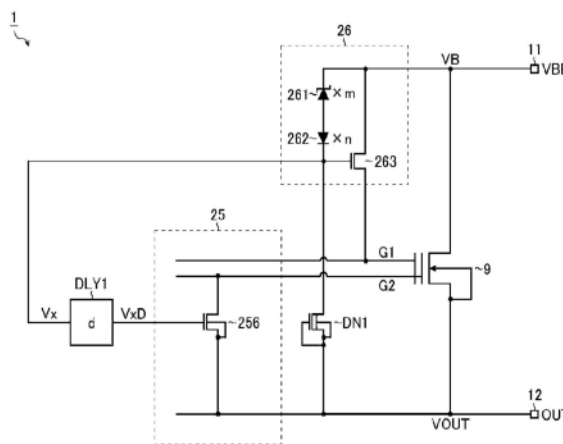
权利要求书1页 说明书37页 附图20页

(54) 发明名称

半导体装置、电子设备、车辆

(57) 摘要

半导体装置(1)具备:栅极分割型的输出晶体管(9),其根据多个栅极控制信号(G1及G2)对多个通道区域进行个别控制;有源钳位电路(26),其构成为在控制信号成为断开输出晶体管(9)时的逻辑电平之后,将输出晶体管(9)的两端间电压(=VBB-VOUT)限制为预定的钳位电压以下;延迟电路(DLY1),其构成为对表示输出晶体管(9)的两端间电压是否高于比钳位电压低的预定的阈值电压的内部信号(Vx)给与预定的延迟,并生成延迟内部信号(VxD);以及栅极控制电路(25),其构成为对多个栅极控制信号(G1及G2)进行个别控制,以便根据延迟内部信号(VxD)来使输出晶体管(9)的接通电阻升高。



1. 一种半导体装置,其特征在于,具备:

栅极分割型的输出晶体管,其构成为根据多个栅极控制信号对多个通道区域进行个别控制;

有源钳位电路,其构成在控制信号成为断开上述输出晶体管时的逻辑电平之后,将上述输出晶体的两端间电压限制为预定的钳位电压以下;

延迟电路,其构成为对表示上述输出晶体的两端间电压是否高于比上述钳位电压低的预定的阈值电压的内部信号给与预定的延迟,并生成延迟内部信号;以及

栅极控制电路,其构成为对上述多个栅极控制信号进行个别控制,以便根据上述延迟内部信号来使上述输出晶体的接通电阻升高。

2. 根据权利要求1所述的半导体装置,其特征在于,

上述延迟电路包括电容器、以及构成为根据上述内部信号来生成上述电容器的充电电流的充电电流生成部,将上述电容器的充电电压作为上述延迟内部信号而输出。

3. 根据权利要求2所述的半导体装置,其特征在于,

上述充电电流生成部包括:

电流镜,其构成为根据基准电流来生成上述充电电流;以及

放电开关部,其构成为根据上述内部信号来切换是否使上述电容器放电。

4. 根据权利要求3所述的半导体装置,其特征在于,

上述电流镜接受上述内部信号的供给,作为用于驱动上述充电电流的输出级的驱动电压。

5. 根据权利要求1~4任一项中所述的半导体装置,其特征在于,

上述有源钳位电路包括:

晶体管,其构成为连接在上述输出晶体的漏极·栅极之间;

至少一个齐纳二极管,其构成为阴极与上述晶体的漏极连接;以及

至少一个二极管,其构成为阳极与上述齐纳二极管的阳极连接且阴极与上述晶体的栅极连接。

6. 根据权利要求5所述的半导体装置,其特征在于,

上述内部信号是上述有源钳位电路的内部节点电压。

7. 根据权利要求1~6任一项中所述的半导体装置,其特征在于,

上述输出晶体管具备未连接上述有源钳位电路的非钳位栅极,上述栅极控制电路根据上述延迟内部信号使上述非钳位栅极无效。

8. 根据权利要求1~7任一项中所述的半导体装置,其特征在于,

上述输出晶体管作为使电源端与负载之间导通/断开的高边开关、或者使负载与接地端之间导通/断开的低边开关发挥功能。

9. 一种电子设备,其特征在于,具备:

权利要求1~8任一项中所述的半导体装置;以及

与上述半导体装置连接的负载。

10. 一种车辆,其特征在于,

具备权利要求9所述的电子设备。

## 半导体装置、电子设备、车辆

### 技术领域

[0001] 本说明书中公开的发明涉及半导体装置、以及使用了该半导体装置的电子设备及车辆。

### 背景技术

[0002] 以前,本申请的申请人关于车载IPD[intelligent power device]等半导体装置提出了多种新技术(例如参照专利文献1)。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:国际公开第2017/187785号

### 发明内容

[0006] 发明所要解决的课题

[0007] 另外,车载IPD等的半导体装置一般具备有源钳位电路来作为吸收感应性负载的反电动势的机构。

[0008] 然而,在现有的半导体装置中,关于输出短路状态下的有源钳位动作尚有进一步研究的余地。

[0009] 尤其是,近年来,对于车载用IC,要求遵守ISO26262(关于汽车的电/电子的功能安全的国际规格),对于车载IPD,更高的信赖性设计也变得重要。

[0010] 鉴于本申请的发明者发现的上述课题,本说明书中公开的发明的目的在于提供一种能够将输出短路状态下的有源钳位动作最佳化的半导体装置、以及使用了该半导体装置电子设备及车辆。

[0011] 用于解决课题的方案

[0012] 本说明书中公开的半导体装置具备:栅极分割型的输出晶体管,其构成为根据多个栅极控制信号对多个通道区域进行个别控制;有源钳位电路,其构成在控制信号成为断开上述输出晶体管时的逻辑电平之后,将上述输出晶体的两端间电压限制为预定的钳位电压以下;延迟电路,其构成为对表示上述输出晶体的两端间电压是否高于比上述钳位电压低的预定的阈值电压的内部信号给与预定的延迟,并生成延迟内部信号;以及栅极控制电路,其构成为对上述多个栅极控制信号进行个别控制,以便根据上述延迟内部信号来使上述输出晶体的接通电阻升高。

[0013] 此外,关于其他特征、要素、步骤、优点、以及特性,通过以下继续用于实施发明的方式、与之相关的附图,会进一步变得清楚。

[0014] 发明效果

[0015] 根据本说明书中公开的发明,能够提供一种能够将输出短路状态下的有源钳位动作最佳化的半导体装置、以及使用了该半导体装置电子设备及车辆。

## 附图说明

- [0016] 图1是从一个方向观察半导体装置的立体图。
- [0017] 图2是表示半导体装置的电的构造的方块电路图。
- [0018] 图3是用于说明半导体装置的通常动作以及有源钳位动作的电路图。
- [0019] 图4是主要的电信号的波形图。
- [0020] 图5是图1所示的区域V的剖面立体图。
- [0021] 图6是通过实际测量来调查有源钳位耐量以及面积电阻率的关系的图表。
- [0022] 图7是用于说明半导体装置的通常动作的剖面立体图。
- [0023] 图8是用于说明半导体装置的有源钳位动作的剖面立体图。
- [0024] 图9是表示第一实施方式的半导体装置的方块电路图。
- [0025] 图10是将图9的功率MISFET表现为第一MISFET以及第二MISFET的等效电路图。
- [0026] 图11是表示图10中的栅极控制电路以及有源钳位电路的一个构成例的电路图。
- [0027] 图12是表示在有源钳位动作时进行功率MISFET的第一半接通控制的情形的时序图。
- [0028] 图13是用于说明第一实施方式的半导体装置的输出短路状态下的有源钳位动作的图。
- [0029] 图14是表示第二实施方式的半导体装置的方块电路图。
- [0030] 图15是表示第二实施方式的延迟电路的一个构成例的图。
- [0031] 图16是用于说明第二实施方式的半导体装置的有源钳位动作的图。
- [0032] 图17是表示第三实施方式的半导体装置的方块电路图。
- [0033] 图18是表示第三实施方式的延迟电路的一个构成例的图。
- [0034] 图19是用于说明第三实施方式的半导体装置的有源钳位动作的图(无延迟电路)。
- [0035] 图20是用于说明第三实施方式的半导体装置的有源钳位动作的图(有延迟电路)。
- [0036] 图21是表示车辆的一个构成例的外观图。

## 具体实施方式

[0037] <半导体装置>

[0038] 以下,参照附图对半导体装置的各种实施方式进行说明。

[0039] 图1是从一个方向观察半导体装置1的立体图。以下,对半导体装置1为高边侧的开关设备的方式例进行说明,但半导体装置1不限于高边侧的开关设备。半导体装置1通过调整各种构造的电的连接形态或者功能,也能够作为低边侧的开关设备来提供。

[0040] 参照图1,半导体装置1包括半导体层2。半导体层2包含硅。半导体层2形成为长方体形状的芯片状。半导体层2具有一方侧的第一主面3、另一方侧的第二主面4、以及连接第一主面3及第二主面4的侧面5A、5B、5C、5D。

[0041] 第一主面3以及第二主面4在从它们的法线方向Z观察的俯视(以下简称为“俯视”)中形成为四边形状。侧面5A以及侧面5C沿第一方向X延伸,在与第一方向X交叉的第二方向Y上相互对置。侧面5B以及侧面5D沿第二方向Y延伸,在第一方向X上相互对置。更具体而言,第二方向Y与第一方向X正交。

[0042] 在半导体层2设定有输出区域6以及输入区域7。输出区域6设定于侧面5C侧的区

域。输入区域7设定于侧面5A侧的区域。在俯视时,输出区域6的面积 $S_{OUT}$ 为输入区域7的面积 $S_{IN}$ 以上( $S_{IN} \leq S_{OUT}$ )。

[0043] 面积 $S_{OUT}$ 与面积 $S_{IN}$ 的比 $S_{OUT}/S_{IN}$ 也可以为1以上且10以下( $1 < S_{OUT}/S_{IN} \leq 10$ )。比 $S_{OUT}/S_{IN}$ 也可以为1以上且2以下、2以上且4以下、4以上且6以下、6以上且8以下、或者8以上且10以下。输入区域7的平面形状以及输出区域6的平面形状是任意的,不限于特别的形状。当然,比 $S_{OUT}/S_{IN}$ 也可以超过0且小于1。

[0044] 作为绝缘栅极型的功率晶体管(=输出晶体管)的一例,输出区域6包含功率MISFET(Metal Insulator Semiconductor Field Effect Transistor,金属绝缘体半导体场效应晶体管)9。功率MISFET9包含栅极、漏极以及源极。功率MISFET9作为将电源端与负载之间导通/断开的高边开关发挥功能。

[0045] 输入区域7包含作为控制电路的一例的控制IC(Integrated Circuit)10。控制IC10包含实现各种功能的多种功能电路。多种功能电路包含基于来自外部的电信号来生成对功率MISFET9进行驱动控制的栅极控制信号的电路。控制IC10与功率MISFET9一起形成所谓IPD(Intelligent Power Device,智能功率设备)。此外,IPD也称为IPM(Intelligent Power Module,智能功率模块)。

[0046] 输入区域7通过区域分离构造8而与输出区域6电绝缘。在图1中,区域分离构造8由影线示出。虽然省略了具体的说明,但区域分离构造8也可以具有在沟槽埋入有绝缘体的沟槽绝缘构造。

[0047] 在半导体层2之上形成有多个(在此为六个)电极11、12、13、14、15、16。在图1中,由影线示出多个电极11~16。多个电极11~16作为由导线(例如接合引线)等进行外部连接的端子电极而形成。多个电极11~16的个数、配置以及平面形状是任意的,不限于图1所示的形态。

[0048] 多个电极11~16的个数、配置以及平面形状根据功率MISFET9的规格或者控制IC10的规格来调整。在该方式中,多个电极11~16包含漏极电极11(电源电极)、源极电极12(输出电极)、输入电极13、基准电压电极14、ENABLE电极15以及SENSE电极16。

[0049] 漏极电极11形成于半导体层2的第二主面4之上。漏极电极11与半导体层2的第二主面4电连接。漏极电极11将电源电压 $V_B$ 传到功率MISFET9的漏极和控制IC10的各种电路。

[0050] 漏极电极11也可以包含Ti层、Ni层、Au层、Ag层以及Al层中的至少一个。漏极电极11也可以具有包含Ti层、Ni层、Au层、Ag层或者Al层的单层构造。漏极电极11也可以具有以任意的形态层叠Ti层、Ni层、Au层、Ag层以及Al层中的两个的层叠构造。

[0051] 源极电极12在第一主面3形成于输出区域6之上。源极电极12与功率MISFET9的源极电连接。源极电极12将由功率MISFET9生成的电信号传递至外部。

[0052] 输入电极13、基准电压电极14、ENABLE电极15以及SENSE电极16在第一主面3分别形成于输入区域7之上。输入电极13传递用于驱动控制IC10的输入电压。

[0053] 基准电压电极14向控制IC10传递基准电压(例如接地电压)。ENABLE电极15传递用于使控制IC10的一部分或者全部的功能有效或者无效的电信号。SENSE电极16传递用于检测控制IC10的异常的电信号。

[0054] 在半导体层2之上还形成有作为控制配线的一例的栅极控制配线17。栅极控制配线17选择性地引绕至输出区域6以及输入区域7。栅极控制配线17在输出区域6中与功率

MISFET9的栅极电连接,在输入区域7中与控制IC10电连接。

[0055] 栅极控制配线17将由控制IC10生成的栅极控制信号传递至功率MISFET9的栅极。栅极控制信号包含接通信号Von以及断开信号Voff,控制功率MISFET9的接通状态以及断开状态。

[0056] 接通信号Von比功率MISFET9的栅极阈值电压Vth高( $V_{th} < V_{on}$ )。断开信号Voff比功率MISFET9的栅极阈值电压Vth低( $V_{off} < V_{th}$ )。断开信号Voff也可以是基准电压(例如接地电压)。

[0057] 在该方式中,栅极控制配线17包含第一栅极控制配线17A、第二栅极控制配线17B以及第三栅极控制配线17C。第一栅极控制配线17A、第二栅极控制配线17B以及第三栅极控制配线17C相互电绝缘。

[0058] 在该方式中,两个第一栅极控制配线17A引绕至不同的区域。另外,两个第二栅极控制配线17B引绕至不同的区域。另外,两个第三栅极控制配线17C引绕至不同的区域。

[0059] 第一栅极控制配线17A、第二栅极控制配线17B以及第三栅极控制配线17C将相同或者不同的栅极控制信号传递至功率MISFET9的栅极。栅极控制配线17的个数、配置、形状等是任意的,根据栅极控制信号的传递距离、或者应传递的栅极控制信号的个数来调整。

[0060] 源极电极12、输入电极13、基准电压电极14、ENABLE电极15、SENSE电极16以及栅极控制配线17也可以分别包含镍、钨、铝、铜、铝合金以及铜合金中的至少一种。

[0061] 源极电极12、输入电极13、基准电压电极14、ENABLE电极15、SENSE电极16以及栅极控制配线17也可以分别包含Al—Si—Cu(铝—硅—铜)合金、Al—Si(铝—硅)合金、以及Al—Cu(铝—铜)合金中的至少一种。

[0062] 源极电极12、输入电极13、基准电压电极14、ENABLE电极15、SENSE电极16以及栅极控制配线17也可以包含同一种电极材料,也可以包含相互不同的电极材料。

[0063] 图2是表示图1所示的半导体装置1的电的构造的方块电路图。以下,以半导体装置1搭载在车辆上的情况为例进行说明。

[0064] 半导体装置1包括漏极电极11、源极电极12、输入电极13、基准电压电极14、ENABLE电极15、SENSE电极16、栅极控制配线17、功率MISFET9以及控制IC10。

[0065] 漏极电极11(=电源电极VBB)与电源连接。漏极电极11向功率MISFET9以及控制IC10提供电源电压VB。电源电压VB也可以为10V以上且20V以下。另一方面,源极电极12(=输出电极OUT)与负载连接。

[0066] 输入电极13(=输入电极IN)也可以与MCU(Micro Controller Unit,微控制单元)、DC/DC转换器、LDO(Low Drop Out,降低压)等连接。输入电极13向控制IC10提供输入电压。输入电压也可以为1V以上且10V以下。基准电压电极14与基准电压配线连接。基准电压电极14向功率MISFET9以及控制IC10提供基准电压。

[0067] ENABLE电极15也可以与MCU连接。在ENABLE电极15输入有用于使控制IC10的一部分或者全部的功能有效或者无效的电信号。SENSE电极16也可以与电阻器连接。

[0068] 功率MISFET9的栅极经由栅极控制配线17而与控制IC10(后述的栅极控制电路25)连接。功率MISFET9的漏极与漏极电极11连接。功率MISFET9的源极与控制IC10(后述的电流检测电路27)以及源极电极12连接。

[0069] 控制IC10包括传感器MISFET21、输入电路22、电流·电压控制电路23、保护电路

24、栅极控制电路25、有源钳位电路26、电流检测电路27、电源反向连接保护电路28以及异常检测电路29。

[0070] 传感器MISFET21的栅极与栅极控制电路25连接。传感器MISFET21的漏极与漏极电极11连接。传感器MISFET21的源极与电流检测电路27连接。

[0071] 输入电路22与输入电极13以及电流·电压控制电路23连接。输入电路22也可以包含施密特触发电路。输入电路22对施加于输入电极13的电信号的波形进行整形。由输入电路22生成的信号输入至电流·电压控制电路23。

[0072] 电流·电压控制电路23与保护电路24、栅极控制电路25、电源反向连接保护电路28以及异常检测电路29连接。电流·电压控制电路23也可以包括逻辑电路。

[0073] 电流·电压控制电路23根据来自输入电路22的电信号以及来自保护电路24的电信号而生成各种电压。在该方式中,电流·电压控制电路23包括驱动电压生成电路30、第一恒压生成电路31、第二恒压生成电路32以及基准电压·基准电流生成电路33。

[0074] 驱动电压生成电路30生成用于驱动栅极控制电路25的驱动电压。驱动电压也可以设定为从电源电压VB减去预定值后的值。驱动电压生成电路30也可以生成从电源电压VB减去5V后的5V以上且15V以下的驱动电压。驱动电压输入至栅极控制电路25。

[0075] 第一恒压生成电路31生成用于驱动保护电路24的第一恒压。第一恒压生成电路31也可以包括齐纳二极管或者调节器电路(在此为齐纳二极管)。第一恒压可以为1V以上且5V以下。第一恒压输入至保护电路24(更具体而言,后述的负载开路检测电路35等)。

[0076] 第二恒压生成电路32生成用于驱动保护电路24的第二恒压。第二恒压生成电路32也可以包含齐纳二极管或者调节器电路(在此为调节器电路)。第二恒压也可以为1V以上且5V以下。第二恒压输入至保护电路24(更具体而言,后述的过热保护电路36以及低电压误动作抑制电路37)。

[0077] 基准电压·基准电流生成电路33生成各种电路的基准电压以及基准电流。基准电压也可以为1V以上且5V以下。基准电流也可以为1mA以上且1A以下。基准电压以及基准电流输入至各种电路。在各种电路包含比较器的情况下,基准电压以及基准电流也可以输入至该比较器。

[0078] 保护电路24与电流·电压控制电路23、栅极控制电路25、异常检测电路29、功率MISFET9的源极以及传感器MISFET21的源极连接。保护电路24包括过电流保护电路34、负载开路检测电路35、过热保护电路36以及低电压误动作抑制电路37。

[0079] 过电流保护电路34保护功率MISFET9免受过电流的影响。过电流保护电路34与栅极控制电路25以及传感器MISFET21的源极连接。过电流保护电路34也可以包含电流监视电路。由过电流保护电路34生成的信号输入至栅极控制电路25(更具体而言,后述的驱动信号输出电路40)。

[0080] 负载开路检测电路35检测功率MISFET9的短路状态以及开路状态。负载开路检测电路35与电流·电压控制电路23以及功率MISFET9的源极连接。由负载开路检测电路35生成的信号输入至电流·电压控制电路23。

[0081] 过热保护电路36监视功率MISFET9的温度,保护功率MISFET9免受过度的温度上升的影响。过热保护电路36与电流·电压控制电路23连接。过热保护电路36也可以包含感温二极管或者热敏电阻等感温器件。由过热保护电路36生成的信号输入至电流·电压控制电

路23。

[0082] 在电源电压VB小于预定值的情况下,低电压误动作抑制电路37抑制功率MISFET9误动作。低电压误动作抑制电路37与电流·电压控制电路23连接。由低电压误动作抑制电路37生成的信号输入至电流·电压控制电路23。

[0083] 栅极控制电路25控制功率MISFET9的接通状态及断开状态、以及传感器MISFET21的接通状态及断开状态。栅极控制电路25与电流·电压控制电路23、保护电路24、功率MISFET9的栅极以及传感器MISFET21的栅极连接。

[0084] 栅极控制电路25根据来自电流·电压控制电路23的电信号以及来自保护电路24的电信号,生成与栅极控制配线17的个数相应的多个栅极控制信号。多个栅极控制信号分别经由栅极控制配线17输入至功率MISFET9的栅极以及传感器MISFET21的栅极。

[0085] 若具体地叙述,栅极控制电路25具备对多个栅极控制信号进行个别控制的功能,以便根据施加于输入电极13的电信号(输入信号)来一并控制多个栅极控制信号,由此对功率MISFET9进行接通/断开,另一方面,在有源钳位电路26动作时使功率MISFET9的接通电阻升高(关于详细将于后文叙述)。

[0086] 更具体而言,栅极控制电路25包含振荡电路38、电荷泵电路39以及驱动信号输出电路40。振荡电路38根据来自电流·电压控制电路23的电信号而振荡,生成预定的电信号。由振荡电路38生成的电信号输入至电荷泵电路39。电荷泵电路39对来自振荡电路38的电信号升压。由电荷泵电路39升压后的电信号输入至驱动信号输出电路40。

[0087] 驱动信号输出电路40根据来自电荷泵电路39的电信号以及来自保护电路24(更具体而言,过电流保护电路34)的电信号而生成多个栅极控制信号。多个栅极控制信号经由栅极控制配线17输入至功率MISFET9的栅极以及传感器MISFET21的栅极。传感器MISFET21以及功率MISFET9由栅极控制电路25同时控制。

[0088] 有源钳位电路26保护功率MISFET9免受反电动势的影响。有源钳位电路26与漏极电极11、功率MISFET9的栅极以及传感器MISFET21的栅极连接。有源钳位电路26也可以包含多个二极管。

[0089] 有源钳位电路26也可以包含相互正向偏置连接的多个二极管。有源钳位电路26也可以包含相互逆向偏置连接的多个二极管。有源钳位电路26也可以包含相互正向偏置连接的多个二极管、以及相互逆向偏置连接的多个二极管。

[0090] 多个二极管也可以包含pn接合二极管、或者齐纳二极管、或者pn接合二极管以及齐纳二极管。有源钳位电路26也可以包含相互偏置连接的多个齐纳二极管。有源钳位电路26也可以包含相互逆向偏置连接的齐纳二极管以及pn接合二极管。

[0091] 电流检测电路27对流经功率MISFET9以及传感器MISFET21的电流进行检测。电流检测电路27与保护电路24、异常检测电路29、功率MISFET9的源极以及传感器MISFET21的源极连接。电流检测电路27根据由功率MISFET9生成的电信号以及由传感器MISFET21生成的电信号来生成电流检测信号。电流检测信号输入至异常检测电路29。

[0092] 在电源反向连接时,电源反向连接保护电路28保护电流·电压控制电路23以及功率MISFET9等免受反向电压的影响。电源反向连接保护电路28与基准电压电极14以及电流·电压控制电路23连接。

[0093] 异常检测电路29监视保护电路24的电压。异常检测电路29与电流·电压控制电路

23、保护电路24以及电流检测电路27连接。在过电流保护电路34、负载开路检测电路35、过热保护电路36以及低电压误动作抑制电路37的任一个产生了异常(电压的变动等)的情况下,异常检测电路29生成与保护电路24的电压相应的异常检测信号,并向外部输出。

[0094] 更具体而言,异常检测电路29包括第一多路复用器电路41以及第二多路复用器电路42。第一多路复用器电路41包括两个输入部、一个输出部以及一个选择控制输入部。在第一多路复用器电路41的输入部分别连接有保护电路24以及电流检测电路27。在第一多路复用器电路41的输出部连接有第二多路复用器电路42。在第一多路复用器电路41的选择控制输入部连接有电流·电压控制电路23。

[0095] 第一多路复用器电路41根据来自电流·电压控制电路23的电信号、来自保护电路24的电压检测信号以及来自电流检测电路27的电流检测信号,来生成异常检测信号。由第一多路复用器电路41生成的异常检测信号输入至第二多路复用器电路42。

[0096] 第二多路复用器电路42包括两个输入部以及一个输出部。在第二多路复用器电路42的输入部分别连接有第二多路复用器电路42的输出部以及ENABLE电极15。在第二多路复用器电路42的输出部连接有SENSE电极16。

[0097] 在MCU连接于ENABLE电极15、电阻器连接于SENSE电极16的情况下,从MCU向ENABLE电极15输入接通信号,从SENSE电极16取出异常检测信号。异常检测信号通过与SENSE电极16连接的电阻器变换成电信号。基于该电信号检测半导体装置1的状态异常。

[0098] 图3是用于说明图1所示的半导体装置1的有源钳位动作的电路图。图4是图3所示的电路图的主要的电信号的波形图。

[0099] 在此,使用在功率MISFET9连接有感性负载L的电路例,对半导体装置1的通常动作以及有源钳位动作进行说明。利用了螺线管、马达、变压器、继电器等卷线(线圈)的器件作为感性负载L而例示。感性负载L也称为L负载。

[0100] 参照图3,功率MISFET9的源极与感性负载L连接。功率MISFET9的漏极与漏极电极11电连接。功率MISFET9的栅极以及漏极与有源钳位电路26连接。有源钳位电路26在该电路例中包括m个(m是自然数)齐纳二极管DZ以及n个(n是自然数)pn接合二极管D。pn接合二极管D相对于齐纳二极管DZ反向偏置连接。

[0101] 参照图3以及图4,若向断开状态的功率MISFET9的栅极输入接通信号 $V_{on}$ ,则功率MISFET9从断开状态切换为接通状态(通常动作)。接通信号 $V_{on}$ 具有栅极阈值电压 $V_{th}$ 以上( $V_{th} \leq V_{on}$ )的电压。功率MISFET9维持接通状态仅预定的接通时间 $T_{ON}$ 。

[0102] 若功率MISFET9切换为接通状态,则漏极电流 $I_D$ 开始从功率MISFET9的漏极朝源极流动。漏极电流 $I_D$ 从零增加至预定的值、且饱和。感性负载L因漏极电流 $I_D$ 的增加而积蓄感性能量。

[0103] 若向功率MISFET9的栅极输入断开信号 $V_{off}$ ,则功率MISFET9从接通状态切换为断开状态。断开信号 $V_{off}$ 具有小于栅极阈值电压 $V_{th}$ 的电压( $V_{off} < V_{th}$ )。断开信号 $V_{off}$ 也可以是基准电压(例如接地电压)。

[0104] 在功率MISFET9从接通状态向断开状态切换的迁移时,感性负载L的感性能量作为反电动势而施加于功率MISFET9。由此,功率MISFET9成为有源钳位状态(有源钳位动作)。若功率MISFET9成为有源钳位状态,则源极电压 $V_{SS}$ 急剧下降至小于基准电压(接地电压)的负电压。

[0105] 此时,源极电压VSS因有源钳位电路26的动作而被限制于从电源电压VB减去限制电压VL以及钳位接通电压VCLP后的电压以上的电压( $VSS \geq VB - VL - VCLP$ )。

[0106] 换言之,若功率MISFET9成为有源钳位状态,则功率MISFET9的漏极·源极间的漏极电压VDS急剧上升至钳位电压VDSSCL。钳位电压VDSSCL通过功率MISFET9以及有源钳位电路26而被限制于加上钳位接通电压VCLP以及限制电压VL后的电压以下的电压( $VDS \leq VCLP + VL$ )。

[0107] 在该方式中,限制电压VL是有源钳位电路26中的齐纳二极管DZ的端子间电压VZ以及pn接合二极管的端子间电压VF的总和( $VL = m \cdot VZ + n \cdot VF$ )。

[0108] 钳位接通电压VCLP是施加于功率MISFET9的栅极·源极间的正电压(也就是栅极电压VGS)。钳位接通电压VCLP是栅极阈值电压Vth以上( $Vth \leq VCLP$ )。因此,功率MISFET9在有源钳位状态下维持接通状态。

[0109] 在钳位电压VDSSCL超过了最大额定漏极电压VDSS的情况( $VDSS < VDSSCL$ )下,功率MISFET9达到破坏。功率MISFET9设计成钳位电压VDSSCL为最大额定漏极电压VDSS以下( $VDSSCL \leq VDSS$ )。

[0110] 在钳位电压VDSSCL为最大额定漏极电压VDSS以下的情况( $VDSSCL \leq VDSS$ )下,漏极电流ID继续从功率MISFET9的漏极朝向源极流动,感应性负载L的感应性能量在功率MISFET9下被消耗(吸收)。

[0111] 漏极电流ID经过有源钳位时间TAV而从功率MISFET9的断开之前的峰值IAV减少为零。由此,栅极电压VGS成为基准电压(例如接地电压),功率MISFET9从接通状态切换为断开状态。

[0112] 功率MISFET9的有源钳位耐量Eac根据有源钳位动作时的功率MISFET9的耐量来定义。更具体而言,有源钳位耐量Eac根据从功率MISFET9的接通状态向断开状态迁移时、功率MISFET9相对于因感应性负载L的感应性能量而产生的反电动势的耐量来定义。

[0113] 更具体而言,有源钳位耐量Eac根据功率MISFET9相对于因钳位电压VDSSCL而产生的能量的耐量来定义。例如,有源钳位耐量Eac使用限制电压VL、钳位接通电压VCLP、漏极电流ID以及有源钳位时间TAV,由 $Eac = (VL + VCLP) \times ID \times TAV$ 式来表示。

[0114] 图5是图1所示的区域V的剖面立体图。此外,在本图中,为了便于说明,省略了第一主面3的上部构造(源极电极12及栅极控制配线17、以及层间绝缘层等)。

[0115] 在本图的半导体装置1中,在该方式中,半导体层2具有包括n<sup>+</sup>型的半导体基板51以及n型的外延层52的层叠构造。由半导体基板51形成半导体层2的第二主面4。由外延层52形成半导体层2的第一主面3。由半导体基板51以及外延层52形成半导体层2的侧面5A~5D。

[0116] 外延层52具有小于半导体基板51的n型杂质浓度的n型杂质浓度。半导体基板51的n型杂质浓度也可以为 $1 \times 10^{18} \text{cm}^{-3}$ 以上且 $1 \times 10^{20} \text{cm}^{-3}$ 以下。外延层52的n型杂质浓度也可以为 $1 \times 10^{15} \text{cm}^{-3}$ 以上且 $1 \times 10^{18} \text{cm}^{-3}$ 以下。

[0117] 外延层52具有小于半导体基板51的厚度Tsub的厚度Tepi ( $Tepi < Tsub$ )。厚度Tsub也可以为50 $\mu\text{m}$ 以上且450 $\mu\text{m}$ 以下。厚度Tsub也可以为50 $\mu\text{m}$ 以上且150 $\mu\text{m}$ 以下、150 $\mu\text{m}$ 以上且250 $\mu\text{m}$ 以下、250 $\mu\text{m}$ 以上且350 $\mu\text{m}$ 以下、或者350 $\mu\text{m}$ 以上且450 $\mu\text{m}$ 以下。

[0118] 通过使厚度Tsub降低,能够降低电阻值。厚度Tsub通过研磨来调整。该情况下,半导体层2的第二主面4也可以是具有研磨痕的研磨面。

[0119] 外延层52的厚度 $T_{epi}$ 优选为厚度 $T_{sub}$ 的1/10以下。厚度 $T_{epi}$ 也可以为 $5\mu\text{m}$ 以上且 $20\mu\text{m}$ 以下。厚度 $T_{epi}$ 也可以为 $5\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下、 $10\mu\text{m}$ 以上且 $15\mu\text{m}$ 以下、或者 $15\mu\text{m}$ 以上且 $20\mu\text{m}$ 以下。厚度 $T_{epi}$ 优选为 $5\mu\text{m}$ 以上且 $15\mu\text{m}$ 以下。

[0120] 半导体基板51作为漏极区域53形成于半导体层2的第二主面4侧。外延层52作为漂移区域54(漏极漂移区域)形成于半导体层2的第一主面3的表层部。漂移区域54的底部由半导体基板51以及外延层52的边界形成。以下,将外延层52称为漂移区域54。

[0121] 在输出区域6中,在半导体层2的第一主面3的表层部形成有p型的主体区域55。主体区域55是成为功率MISFET9的基础的区域。主体区域55的p型杂质浓度也可以为 $1 \times 10^{16} \text{cm}^{-3}$ 以上且 $1 \times 10^{18} \text{cm}^{-3}$ 以下。

[0122] 主体区域55形成于漂移区域54的表层部。主体区域55的底部相对于漂移区域54的底部形成于第一主面3侧的区域。主体区域55的厚度也可以为 $0.5\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下。主体区域55的厚度也可以为 $0.5\mu\text{m}$ 以上且 $1\mu\text{m}$ 以下、 $1\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下、或者 $1.5\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下。

[0123] 功率MISFET9包括第一MISFET56(第一晶体管)以及第二MISFET57(第二晶体管)。第一MISFET56从第二MISFET57电分离,独立地被控制。第二MISFET57从第一MISFET56电分离,独立地被控制。

[0124] 也就是,功率MISFET9构成为第一MISFET56以及第二MISFET57这两方在接通状态下进行驱动(全接通控制)。另外,功率MISFET9构成为第一MISFET56以接通状态而第二MISFET57以断开状态进行驱动(第一半接通控制)。并且,功率MISFET9构成为第一MISFET56以断开状态而第二MISFET57以接通状态进行驱动(第二半接通控制)。

[0125] 在全接通控制的情况下,功率MISFET9以所有电流路径开放的状态驱动。因此,半导体层2内的接通电阻相对地下降。另一方面,在第一半接通控制或者第二半接通控制的情况下,功率MISFET9以一部分电流路径被切断的状态驱动。因此,半导体层2内的接通电阻相对地增加。

[0126] 具体而言,第一MISFET56包括多个第一FET(Field Effect Transistor)构造58。多个第一FET构造58在俯视下沿第一方向X空出间隔地排列,沿第二方向Y分别以带状延伸。多个第一FET构造58在俯视下整体形成为条纹状。

[0127] 在图5中,图示出了第一FET构造58的一端部侧的区域,并省略第一FET构造58的另一端部侧的区域的图示。第一FET构造58的另一端部侧的区域的构造与第一FET构造58的一端部侧的区域的构造大致相同。以下,以第一FET构造58的一端部侧的区域的构造为例进行说明,省略对第一FET构造58的另一端部侧的区域的构造的说明。

[0128] 在该方式中,各第一FET构造58包括第一沟槽栅极构造60。第一沟槽栅极构造60的第一宽度 $WT1$ 也可以为 $0.5\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第一宽度 $WT1$ 是与第一沟槽栅极构造60延伸的方向(第二方向Y)正交的方向(第一方向X)的宽度。

[0129] 此外,第一宽度 $WT1$ 也可以为 $0.5\mu\text{m}$ 以上且 $1\mu\text{m}$ 以下、 $1\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下、 $1.5\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上且 $2.5\mu\text{m}$ 以下、 $2.5\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下、 $3\mu\text{m}$ 以上且 $3.5\mu\text{m}$ 以下、 $3.5\mu\text{m}$ 以上且 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上且 $4.5\mu\text{m}$ 以下、或者 $4.5\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第一宽度 $WT1$ 优选为 $0.8\mu\text{m}$ 以上且 $1.2\mu\text{m}$ 以下。

[0130] 第一沟槽栅极构造60贯通主体区域55并到达漂移区域54。第一沟槽栅极构造60的

第一深度DT1也可以为 $1\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。第一深度DT1也可以为 $1\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上且 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上且 $6\mu\text{m}$ 以下、 $6\mu\text{m}$ 以上且 $8\mu\text{m}$ 以下、或者 $8\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。第一深度DT1优选为 $2\mu\text{m}$ 以上且 $6\mu\text{m}$ 以下。

[0131] 第一沟槽栅极构造60包括一方侧的第一侧壁61、另一方侧的第二侧壁62、以及连接第一侧壁61及第二侧壁62的底壁63。以下,有时将第一侧壁61、第二侧壁62以及底壁63总称为“内壁”或者“外壁”。

[0132] 在半导体层2内,第一侧壁61在与第一主面3之间所成的角度(锥形角)的绝对值也可以为超过 $90^\circ$ 且 $95^\circ$ 以下(例如 $91^\circ$ 左右)。在半导体层2内,第二侧壁62在与第一主面3之间所成的角度(锥形角)的绝对值也可以为超过 $90^\circ$ 且 $95^\circ$ 以下(例如 $91^\circ$ 左右)。第一沟槽栅极构造60也可以形成为在剖视下从第一主面3侧朝向底壁63侧而第一宽度WT1变窄的尖细形状(锥形形状)。

[0133] 第一沟槽栅极构造60的底壁63相对于漂移区域54的底部位于第一主面3侧的区域。第一沟槽栅极构造60的底壁63形成为朝向漂移区域54的底部的凸弯曲状(U字状)。

[0134] 第一沟槽栅极构造60的底壁63相对于漂移区域54的底部空出 $1\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下的第一间隔IT1地处于第一主面3侧的区域。第一间隔IT1也可以为 $1\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上且 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上且 $6\mu\text{m}$ 以下、 $6\mu\text{m}$ 以上且 $8\mu\text{m}$ 以下、或者 $8\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。第一间隔IT1优选为 $1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。

[0135] 在该方式中,第二MISFET57包括多个第二FET构造68。多个第二FET构造68在俯视下沿第一方向X空出间隔地排列,沿第二方向Y分别以带状延伸。

[0136] 多个第二FET构造68沿与多个第一FET构造58相同的方向延伸。多个第二FET构造68在俯视下整体形成为条纹状。在该方式中,多个第二FET构造68以隔着一个第一FET构造58的形态与多个第一FET构造58交替地排列。

[0137] 在图5中,图示出第二FET构造68的一端部侧的区域,并省略了第二FET构造68的另一端部侧的区域的图示。第二FET构造68的另一端部侧的区域的构造与第二FET构造68的一端部侧的区域的构造大致相同。以下,以第二FET构造68的一端部侧的区域的构造为例进行说明,并省略第二FET构造68的另一端部侧的区域的构造的说明。

[0138] 在该方式中,各第二FET构造68包括第二沟槽栅极构造70。第二沟槽栅极构造70的第二宽度WT2也可以为 $0.5\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第二宽度WT2是与第二沟槽栅极构造70延伸的方向(第二方向Y)正交的方向(第一方向X)的宽度。

[0139] 另外,第二宽度WT2也可以为 $0.5\mu\text{m}$ 以上且 $1\mu\text{m}$ 以下、 $1\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下、 $1.5\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上且 $2.5\mu\text{m}$ 以下、 $2.5\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下、 $3\mu\text{m}$ 以上且 $3.5\mu\text{m}$ 以下、 $3.5\mu\text{m}$ 以上且 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上且 $4.5\mu\text{m}$ 以下、或者 $4.5\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。第二宽度WT2优选为 $0.8\mu\text{m}$ 以上且 $1.2\mu\text{m}$ 以下。

[0140] 第二沟槽栅极构造70的第二宽度WT2也可以为第一沟槽栅极构造60的第一宽度WT1以上( $WT1 \leq WT2$ )。第二宽度WT2也可以为第一宽度WT1以下( $WT1 \geq WT2$ )。第二宽度WT2优选与第一宽度WT1相等( $WT1 = WT2$ )。

[0141] 第二沟槽栅极构造70贯通主体区域55并到达漂移区域54。第二沟槽栅极构造70的第二深度DT2也可以为 $1\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。第二深度DT2也可以为 $1\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上且 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上且 $6\mu\text{m}$ 以下、 $6\mu\text{m}$ 以上且 $8\mu\text{m}$ 以下、或者 $8\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。第二深

度DT2优选为 $2\mu\text{m}$ 以上且 $6\mu\text{m}$ 以下。

[0142] 第二沟槽栅极构造70的第二深度DT2也可以为第一沟槽栅极构造60的第一深度DT1以上 ( $DT1 \leq DT2$ )。第二深度DT2也可以为第一深度DT1以下 ( $DT1 \geq DT2$ )。第二深度DT2优选与第一深度DT1相等 ( $DT1 = DT2$ )。

[0143] 第二沟槽栅极构造70包括一方侧的第一侧壁71、另一方侧的第二侧壁72、以及连接第一侧壁71及第二侧壁72的底壁73。以下,有时将第一侧壁71、第二侧壁72以及底壁73总称为“内壁”或者“外壁”。

[0144] 在半导体层2内,第一侧壁71在与第一主面3之间所成的角度(锥形角)的绝对值也可以为超过 $90^\circ$ 且 $95^\circ$ 以下(例如 $91^\circ$ 左右)。在半导体层2内,第二侧壁72在与第一主面3之间所成的角度(锥形角)的绝对值也可以为超过 $90^\circ$ 且 $95^\circ$ 以下(例如 $91^\circ$ 左右)。第二沟槽栅极构造70也可以形成为,在剖视下从第一主面3侧朝向底壁73侧而第二宽度WT2变窄的尖细形状(锥形形状)。

[0145] 第二沟槽栅极构造70的底壁73相对于漂移区域54的底部位于第一主面3侧的区域。第二沟槽栅极构造70的底壁73形成为朝向漂移区域54的底部的凸弯曲状(U字状)。

[0146] 第二沟槽栅极构造70的底壁73相对于漂移区域54的底部空出 $1\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下的第二间隔IT2地位于第一主面3侧的区域。第二间隔IT2也可以为 $1\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上且 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上且 $6\mu\text{m}$ 以下、 $6\mu\text{m}$ 以上且 $8\mu\text{m}$ 以下、或者 $8\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。第二间隔IT2优选为 $1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。

[0147] 在多个第一沟槽栅极构造60以及多个第二沟槽栅极构造70之间的区域分别划分出单元区域75。多个单元区域75在俯视下沿第一方向X空出间隔地排列,沿第二方向Y分别以带状延伸。多个单元区域75沿与第一沟槽栅极构造60以及第二沟槽栅极构造70相同的方向延伸。多个单元区域75在俯视下整体形成为条纹状。

[0148] 从第一沟槽栅极构造60的外壁向漂移区域54内扩展出第一空乏层。第一空乏层从第一沟槽栅极构造60的外壁朝向沿第一主面3的方向以及法线方向Z扩展。同样,从第二沟槽栅极构造70的外壁向漂移区域54内扩展出第二空乏层。第二空乏层从第二沟槽栅极构造70的外壁朝向沿第一主面3的方向以及法线方向Z扩展。

[0149] 第二沟槽栅极构造70以第二空乏层与第一空乏层重叠的形态,从第一沟槽栅极构造60空出间隔地排列。也就是,第二空乏层在单元区域75相对于第二沟槽栅极构造70的底壁73在第一主面3侧的区域与第一空乏层重叠。根据这种构造,能够抑制电场集中于第一沟槽栅极构造60以及第二沟槽栅极构造70,因此能够抑制击穿电压的下降。

[0150] 第二空乏层优选相对于第二沟槽栅极构造70的底壁73在漂移区域54的底部侧的区域与第一空乏层重叠。根据这种构造,能够抑制电场集中于第一沟槽栅极构造60的底壁63以及第二沟槽栅极构造70的底壁73,因此能够适当地抑制击穿电压的下降。

[0151] 第一沟槽栅极构造60以及第二沟槽栅极构造70的侧壁间的间距PS也可以为 $0.2\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下。间距PS是在第一沟槽栅极构造60的第一侧壁61(第二侧壁62)以及第二沟槽栅极构造70的第二侧壁72(第一侧壁71)之间、与第一沟槽栅极构造60以及第二沟槽栅极构造70延伸的方向(第二方向Y)正交的方向(第一方向X)的距离。

[0152] 间距PS也可以为 $0.2\mu\text{m}$ 以上且 $0.4\mu\text{m}$ 以下、 $0.4\mu\text{m}$ 以上且 $0.6\mu\text{m}$ 以下、 $0.6\mu\text{m}$ 以上且 $0.8\mu\text{m}$ 以下、 $0.8\mu\text{m}$ 以上且 $1.0\mu\text{m}$ 以下、 $1.0\mu\text{m}$ 以上且 $1.2\mu\text{m}$ 以下、 $1.2\mu\text{m}$ 以上且 $1.4\mu\text{m}$ 以下、 $1.4\mu\text{m}$

m以上且 $1.6\mu\text{m}$ 以下、 $1.6\mu\text{m}$ 以上且 $1.8\mu\text{m}$ 以下、或者 $1.8\mu\text{m}$ 以上且 $2.0\mu\text{m}$ 以下。间距PS优选为 $0.3\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下。

[0153] 第一沟槽栅极构造60以及第二沟槽栅极构造70的中央部间的间距PC也可以为 $1\mu\text{m}$ 以上且 $7\mu\text{m}$ 以下。间距PC是在第一沟槽栅极构造60的中央部以及第二沟槽栅极构造70的中央部之间、与第一沟槽栅极构造60以及第二沟槽栅极构造70延伸的方向(第二方向Y)正交的方向(第一方向X)的距离。

[0154] 另外,间距PC也可以为 $1\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下、 $3\mu\text{m}$ 以上且 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下、 $5\mu\text{m}$ 以上且 $6\mu\text{m}$ 以下、或者 $6\mu\text{m}$ 以上且 $7\mu\text{m}$ 以下。间距PC优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。

[0155] 具体而言,第一沟槽栅极构造60包括第一栅极沟槽81、第一绝缘层82以及第一电极83。第一栅极沟槽81通过朝向第二主面4侧挖掘第一主面3而形成。

[0156] 第一栅极沟槽81划分第一沟槽栅极构造60的第一侧壁61、第二侧壁62以及底壁63。以下,将第一沟槽栅极构造60的第一侧壁61、第二侧壁62以及底壁63也称为第一栅极沟槽81的第一侧壁61、第二侧壁62以及底壁63。

[0157] 第一绝缘层82沿第一栅极沟槽81的内壁形成为膜状。第一绝缘层82在第一栅极沟槽81内划分凹状的空间。在第一绝缘层82中包覆第一栅极沟槽81的底壁63的部分沿第一栅极沟槽81的底壁63形成。由此,第一绝缘层82在第一栅极沟槽81内划分以U字状凹陷的U字空间。

[0158] 第一绝缘层82包含氧化硅( $\text{SiO}_2$ )、氮化硅( $\text{SiN}$ )、氧化铝( $\text{Al}_2\text{O}_3$ )、氧化锆( $\text{ZrO}_2$ )以及氧化钽( $\text{Ta}_2\text{O}_3$ )中的至少一种。

[0159] 第一绝缘层82也可以具有包括从半导体层2侧依次层叠的SiN层以及 $\text{SiO}_2$ 层的层叠构造。第一绝缘层82也可以具有包括从半导体层2侧依次层叠的 $\text{SiO}_2$ 层以及SiN层的层叠构造。第一绝缘层82也可以具有由 $\text{SiO}_2$ 层或者SiN层构成的单层构造。在该方式中,第一绝缘层82具有由 $\text{SiO}_2$ 层构成的单层构造。

[0160] 第一绝缘层82包括从第一栅极沟槽81的底壁63侧朝向第一主面3侧依次形成的第一底侧绝缘层84以及第一开口侧绝缘层85。

[0161] 第一底侧绝缘层84包覆第一栅极沟槽81的底壁63侧的内壁。具体而言,第一底侧绝缘层84相对于主体区域55的底部包覆第一栅极沟槽81的底壁63侧的内壁。第一底侧绝缘层84在第一栅极沟槽81的底壁63侧划分U字空间。第一底侧绝缘层84具有划分U字空间的平滑的内壁面。第一底侧绝缘层84与漂移区域54相接。第一底侧绝缘层84的一部分也可以与主体区域55相接。

[0162] 第一开口侧绝缘层85包覆第一栅极沟槽81的开口侧的内壁。具体而言,第一开口侧绝缘层85相对于主体区域55的底部在第一栅极沟槽81的开口侧的区域包覆第一栅极沟槽81的第一侧壁61以及第二侧壁62。第一开口侧绝缘层85与主体区域55相接。第一开口侧绝缘层85的一部分也可以与漂移区域54相接。

[0163] 第一底侧绝缘层84具有第一厚度T1。第一开口侧绝缘层85具有小于第一厚度T1的第二厚度T2( $T2 < T1$ )。第一厚度T1是在第一底侧绝缘层84沿第一栅极沟槽81的内壁的法线方向的厚度。第二厚度T2是在第一开口侧绝缘层85沿第一栅极沟槽81的内壁的法线方向的厚度。

[0164] 此外,第一厚度T1相对于第一栅极沟槽81的第一宽度WT1的第一比T1/WT1也可以为0.1以上且0.4以下。第一比T1/WT1也可以为0.1以上且0.15以下、0.15以上且0.2以下、0.2以上且0.25以下、0.25以上且0.3以下、0.3以上且0.35以下、或者0.35以上且0.4以下。第一比T1/WT1优选为0.25以上且0.35以下。

[0165] 此外,第一底侧绝缘层84的第一厚度T1也可以为1500Å以上且4000Å以下。第一厚度T1也可以为1500Å以上且2000Å以下、2000Å以上且2500Å以下、2500Å以上且3000Å以下、3000Å以上且3500Å以下、或者3500Å以上且4000Å以下。第一厚度T1优选为1800Å以上且3500Å以下。

[0166] 第一厚度T1也可以根据第一栅极沟槽81的第一宽度WT1调整为4000Å以上且12000Å以下。第一厚度T1也可以为4000Å以上且5000Å以下、5000Å以上且6000Å以下、6000Å以上且7000Å以下、7000Å以上且8000Å以下、8000Å以上且9000Å以下、9000Å以上且10000Å以下、10000Å以上且11000Å以下、或者11000Å以上且12000Å以下。该情况下,能够通过第一底侧绝缘层84的厚化来提高半导体装置1的耐压。

[0167] 第一开口侧绝缘层85的第二厚度T2也可以为第一底侧绝缘层84的第一厚度T1的1/100以上且1/10以下。第二厚度T2也可以为100Å以上且500Å以下。第二厚度T2也可以为100Å以上且200Å以下、200Å以上且300Å以下、300Å以上且400Å以下、或者400Å以上且500Å以下。第二厚度T2优选为200Å以上且400Å以下。

[0168] 第一底侧绝缘层84以从包覆第一栅极沟槽81的第一侧壁61以及第二侧壁62的部分朝向包覆第一栅极沟槽81的底壁63的部分而第一厚度T1减少的形态形成。

[0169] 在第一底侧绝缘层84中包覆第一栅极沟槽81的底壁63的部分的厚度比在第一底侧绝缘层84中包覆第一栅极沟槽81的第一侧壁61以及第二侧壁62的部分的厚度小。由第一底侧绝缘层84划分出的U字空间的底壁侧的开口宽度扩张相当于第一厚度T1减少的量。由此,抑制U字空间的尖细。这种U字空间例如通过对第一底侧绝缘层84的内壁的蚀刻法(例如湿蚀刻法)来形成。

[0170] 第一电极83隔着第一绝缘层82埋入于第一栅极沟槽81。对第一电极83施加包括接通信号Von以及断开信号Voff的第一栅极控制信号(第一控制信号)。在该方式中,第一电极83具有包括第一底侧电极86、第一开口侧电极87以及第一中间绝缘层88的绝缘分离型的分开电极构造。

[0171] 第一底侧电极86隔着第一绝缘层82埋设于第一栅极沟槽81的底壁63侧。具体而言,第一底侧电极86隔着第一底侧绝缘层84埋设于第一栅极沟槽81的底壁63侧。第一底侧电极86隔着第一底侧绝缘层84而与漂移区域54对置。第一底侧电极86的一部分也可以隔着第一底侧绝缘层84而与主体区域55对置。

[0172] 第一底侧电极86在第一栅极沟槽81的开口侧且在第一底侧绝缘层84以及第一开口侧绝缘层85之间在剖视下划分倒凹状的凹槽。根据这种构造,能够抑制相对于第一底侧电极86的局部的电场集中,因此能够抑制击穿电压的下降。尤其是,通过在第一底侧绝缘层84的扩张后的U字空间埋设第一底侧电极86,能够适当地抑制第一底侧电极86从上端部朝向下端部成为尖细形状。由此,能够适当抑制相对于第一底侧电极86的下端部的局部的电场集中。

[0173] 第一底侧电极86也可以包含导电性多晶硅、钨、铝、铜、铝合金以及铜合金中的至

少一种。在该方式中,第一底侧电极86包含导电性多晶硅。导电性多晶硅也可以包含n型杂质或者p型杂质。导电性多晶硅优选包含n型杂质。

[0174] 第一开口侧电极87隔着第一绝缘层82埋设于第一栅极沟槽81的开口侧。具体而言,第一开口侧电极87隔着第一开口侧绝缘层85埋设于在第一栅极沟槽81的开口侧划分出的倒凹状的凹槽。第一开口侧电极87隔着第一开口侧绝缘层85而与主体区域55对置。第一开口侧电极87的一部分也可以隔着第一开口侧绝缘层85而与漂移区域54对置。

[0175] 第一开口侧电极87也可以包含导电性多晶硅、钨、铝、铜、铝合金以及铜合金中的至少一种。第一开口侧电极87优选包含与第一底侧电极86相同种类的导电材料。在该方式中,第一开口侧电极87包含导电性多晶硅。导电性多晶硅也可以包含n型杂质或者p型杂质。导电性多晶硅优选包含n型杂质。

[0176] 第一中间绝缘层88介于第一底侧电极86以及第一开口侧电极87之间,使第一底侧电极86以及第一开口侧电极87电绝缘。具体而言,第一中间绝缘层88在第一底侧电极86以及第一开口侧电极87之间的区域包覆从第一底侧绝缘层84露出的第一底侧电极86。第一中间绝缘层88包覆第一底侧电极86的上端部(具体而言为突出部)。第一中间绝缘层88与第一绝缘层82(第一底侧绝缘层84)相连。

[0177] 第一中间绝缘层88具有第三厚度T3。第三厚度T3小于第一底侧绝缘层84的第一厚度T1( $T3 < T1$ )。第三厚度T3也可以为第一厚度T1的1/100以上且1/10以下。第三厚度T3也可以为100Å以上且500Å以下。第三厚度T3也可以为100Å以上且200Å以下、200Å以上且300Å以下、300Å以上且400Å以下、或者400Å以上且500Å以下。第三厚度T3优选为200Å以上且400Å以下。

[0178] 第一中间绝缘层88包括氧化硅( $\text{SiO}_2$ )、氮化硅( $\text{SiN}$ )、氧化铝( $\text{Al}_2\text{O}_3$ )、氧化锆( $\text{ZrO}_2$ )以及氧化钽( $\text{Ta}_2\text{O}_3$ )中的至少一种。在该方式中,第一中间绝缘层88具有由 $\text{SiO}_2$ 层构成的单层构造。

[0179] 在该方式中,在第一开口侧电极87中从第一栅极沟槽81露出的露出部相对于第一主面3位于第一栅极沟槽81的底壁63侧。第一开口侧电极87的露出部形成为朝向第一栅极沟槽81的底壁63的弯曲状。

[0180] 第一开口侧电极87的露出部由形成为膜状的第一盖绝缘层包覆。第一盖绝缘层在第一栅极沟槽81内与第一绝缘层82(第一开口侧绝缘层85)相连。第一盖绝缘层也可以包含氧化硅( $\text{SiO}_2$ )。

[0181] 各第一FET构造58还包括p型的第一通道区域91(第一通道)。第一通道区域91在主体区域55形成于隔着第一绝缘层82(第一开口侧绝缘层85)而与第一电极83(第一开口侧电极87)对置的区域。

[0182] 第一通道区域91沿第一沟槽栅极构造60的第一侧壁61或第二侧壁62、或者第一侧壁61以及第二侧壁62形成。在该方式中,第一通道区域91沿第一沟槽栅极构造60的第一侧壁61以及第二侧壁62形成。

[0183] 各第一FET构造58还包括形成于主体区域55的表层部的n<sup>+</sup>型的第一源极区域92。第一源极区域92在主体区域55内在与漂移区域54之间划定第一通道区域91。第一源极区域92的n型杂质浓度超过漂移区域54的n型杂质浓度。第一源极区域92的n型杂质浓度也可以为 $1 \times 10^{19} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下。

[0184] 在该方式中,各第一FET构造58包括多个第一源极区域92。多个第一源极区域92在主体区域55的表层部沿第一沟槽栅极构造60空出间隔地形成。具体而言,多个第一源极区域92沿第一沟槽栅极构造60的第一侧壁61或第二侧壁62、或者第一侧壁61以及第二侧壁62形成。在该方式中,多个第一源极区域92沿第一沟槽栅极构造60的第一侧壁61以及第二侧壁62空出间隔地形成。

[0185] 多个第一源极区域92的底部相对于主体区域55的底部位于第一主面3侧的区域。由此,多个第一源极区域92隔着第一绝缘层82(第一开口侧绝缘层85)而与第一电极83(第一开口侧电极87)对置。这样,第一MISFET56的第一通道区域91在主体区域55形成于多个第一源极区域92以及漂移区域54所夹的区域。

[0186] 各第一FET构造58还包括形成于主体区域55的表层部的 $p^+$ 型的第一接触区域93。第一接触区域93的 $p$ 型杂质浓度超过主体区域55的 $p$ 型杂质浓度。第一接触区域93的 $p$ 型杂质浓度也可以为 $1 \times 10^{19} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下。

[0187] 在该方式中,各第一FET构造58包括多个第一接触区域93。多个第一接触区域93在主体区域55的表层部沿第一沟槽栅极构造60空出间隔地形成。具体而言,多个第一接触区域93沿第一沟槽栅极构造60的第一侧壁61或第二侧壁62、或者第一侧壁61以及第二侧壁62形成。

[0188] 在该方式中,多个第一接触区域93沿第一沟槽栅极构造60的第一侧壁61以及第二侧壁62空出间隔地形成。具体而言,多个第一接触区域93相对于多个第一源极区域92以成为交替的排列的形态形成于主体区域55的表层部。多个第一接触区域93的底部相对于主体区域55的底部位于第一主面3侧的区域。

[0189] 第二沟槽栅极构造70包括第二栅极沟槽101、第二绝缘层102以及第二电极103。第二栅极沟槽101通过朝向第二主面4侧挖掘第一主面3而形成。

[0190] 第二栅极沟槽101划分第二沟槽栅极构造70的第一侧壁71、第二侧壁72以及底壁73。以下,将第二沟槽栅极构造70的第一侧壁71、第二侧壁72以及底壁73也称为第二栅极沟槽101的第一侧壁71、第二侧壁72以及底壁73。

[0191] 第二绝缘层102沿第二栅极沟槽101的内壁形成膜状。第二绝缘层102在第二栅极沟槽101内划分凹状的空间。在第二绝缘层102包覆第二栅极沟槽101的底壁73的部分沿着第二栅极沟槽101的底壁73形成。由此,第二绝缘层102在第二栅极沟槽101内划分以U字状凹陷的U字空间。

[0192] 第二绝缘层102包含氧化硅( $\text{SiO}_2$ )、氮化硅( $\text{SiN}$ )、氧化铝( $\text{Al}_2\text{O}_3$ )、氧化锆( $\text{ZrO}_2$ )以及氧化钽( $\text{Ta}_2\text{O}_5$ )中的至少一种。

[0193] 第二绝缘层102也可以具有包括从半导体层2侧依次层叠的 $\text{SiN}$ 层以及 $\text{SiO}_2$ 层的层叠构造。第二绝缘层102也可以具有包括从半导体层2侧依次层叠的 $\text{SiO}_2$ 层以及 $\text{SiN}$ 层的层叠构造。第二绝缘层102也可以具有由 $\text{SiO}_2$ 层或者 $\text{SiN}$ 层构成的单层构造。在该方式中,第二绝缘层102具有由 $\text{SiO}_2$ 层构成的单层构造。

[0194] 第二绝缘层102包括从第二栅极沟槽101的底壁73侧朝向第一主面3侧依次形成的第二底侧绝缘层104以及第二开口侧绝缘层105。

[0195] 第二底侧绝缘层104包覆第二栅极沟槽101的底壁73侧的内壁。具体而言,第二底侧绝缘层104相对于主体区域55的底部包覆第二栅极沟槽101的底壁73侧的内壁。第二底侧

绝缘层104在第二栅极沟槽101的底壁73侧划分U字空间。第二底侧绝缘层104具有划分U字空间的平滑的内壁面。第二底侧绝缘层104与漂移区域54相接。第二底侧绝缘层104的一部分也可以与主体区域55相接。

[0196] 第二开口侧绝缘层105包覆第二栅极沟槽101的开口侧的内壁。具体而言,第二开口侧绝缘层105相对于主体区域55的底部在第二栅极沟槽101的开口侧的区域包覆第二栅极沟槽101的第一侧壁71以及第二侧壁72。第二开口侧绝缘层105与主体区域55相接。第二开口侧绝缘层105的一部分也可以与漂移区域54相接。

[0197] 第二底侧绝缘层104具有第四厚度 $T_4$ 。第二开口侧绝缘层105具有小于第四厚度 $T_4$ 的第五厚度 $T_5$  ( $T_5 < T_4$ )。第四厚度 $T_4$ 是在第二底侧绝缘层104中沿第二栅极沟槽101的内壁的法线方向的厚度。第五厚度 $T_5$ 是在第二开口侧绝缘层105中沿第二栅极沟槽101的内壁的法线方向的厚度。

[0198] 第四厚度 $T_4$ 相对于第二栅极沟槽101的第二宽度 $WT_2$ 的第二比 $T_4/WT_2$ 也可以为0.1以上且0.4以下。第二比 $T_4/WT_2$ 也可以为0.1以上且0.15以下、0.15以上且0.2以下、0.2以上且0.25以下、0.25以上且0.3以下、0.3以上且0.35以下、或者0.35以上且0.4以下。第二比 $T_4/WT_2$ 优选为0.25以上且0.35以下。

[0199] 第二比 $T_4/WT_2$ 也可以为第一比 $T_1/WT_1$ 以下 ( $T_4/WT_2 \leq T_1/WT_1$ )。

[0200] 第二比 $T_4/WT_2$ 也可以为第一比 $T_1/WT_1$ 以上 ( $T_4/WT_2 \geq T_1/WT_1$ )。

[0201] 第二比 $T_4/WT_2$ 也可以与第一比 $T_1/WT_1$ 相等 ( $T_4/WT_2 = T_1/WT_1$ )。

[0202] 第二底侧绝缘层104的第四厚度 $T_4$ 也可以为1500Å以上且4000Å以下。第四厚度 $T_4$ 也可以为1500Å以上且2000Å以下、2000Å以上且2500Å以下、2500Å以上且3000Å以下、3000Å以上且3500Å以下、或者3500Å以上且4000Å以下。第四厚度 $T_4$ 优选为1800Å以上且3500Å以下。

[0203] 第四厚度 $T_4$ 根据第二栅极沟槽101的第二宽度 $WT_2$ 而为4000Å以上且12000Å以下。第四厚度 $T_4$ 也可以为4000Å以上且5000Å以下、5000Å以上且6000Å以下、6000Å以上且7000Å以下、7000Å以上且8000Å以下、8000Å以上且9000Å以下、9000Å以上且10000Å以下、10000Å以上且11000Å以下、或者11000Å以上且12000Å以下。该情况下,能够通过第二底侧绝缘层104的厚化来提高半导体装置1的耐压。

[0204] 第四厚度 $T_4$ 也可以为第一厚度 $T_1$ 以下 ( $T_4 \leq T_1$ )。第四厚度 $T_4$ 也可以为第一厚度 $T_1$ 以上 ( $T_4 \geq T_1$ )。第四厚度 $T_4$ 也可以与第一厚度 $T_1$ 相等 ( $T_4 = T_1$ )。

[0205] 第二开口侧绝缘层105的第五厚度 $T_5$ 也可以小于第二底侧绝缘层104的第四厚度 $T_4$  ( $T_5 < T_4$ )。第五厚度 $T_5$ 也可以为第四厚度 $T_4$ 的1/100以上且1/10以下。也可以为100Å以上且500Å以下。第五厚度 $T_5$ 也可以为100Å以上且200Å以下、200Å以上且300Å以下、300Å以上且400Å以下、或者400Å以上且500Å以下。第五厚度 $T_5$ 优选为200Å以上且400Å以下。

[0206] 第五厚度 $T_5$ 也可以为第二厚度 $T_2$ 以下 ( $T_5 \leq T_2$ )。第五厚度 $T_5$ 也可以为第二厚度 $T_2$ 以上 ( $T_5 \geq T_2$ )。第五厚度 $T_5$ 也可以与第二厚度 $T_2$ 相等 ( $T_5 = T_2$ )。

[0207] 第二底侧绝缘层104以从包覆第二栅极沟槽101的第一侧壁71以及第二侧壁72的部分朝向包覆第二栅极沟槽101的底壁73的部分而第四厚度 $T_4$ 减少的形态形成。

[0208] 在第二底侧绝缘层104中包覆第二栅极沟槽101的底壁73的部分的厚度比在第二底侧绝缘层104中包覆第二栅极沟槽101的第一侧壁71以及第二侧壁72的部分的厚度小。由

第二底侧绝缘层104划分出的U字空间的底壁侧的开口宽度扩张相当于第四厚度T4的减少量。由此,抑制U字空间的尖细。这种U字空间例如通过对第二底侧绝缘层104的内壁的蚀刻法(例如湿蚀刻法)而形成。

[0209] 第二电极103隔着第二绝缘层102埋入于第二栅极沟槽101。对第二电极103施加包括接通信号Von以及断开信号Voff的预定的第二栅极控制信号(第二控制信号)。

[0210] 在该方式中,第二电极103具有包括第二底侧电极106、第二开口侧电极107以及第二中间绝缘层108的绝缘分离型的分开电极构造。在该方式中,第二底侧电极106与第一底侧电极86电连接。第二开口侧电极107与第一开口侧电极87电绝缘。

[0211] 第二底侧电极106隔着第二绝缘层102埋设于第二栅极沟槽101的底壁73侧。具体而言,第二底侧电极106隔着第二底侧绝缘层104埋设于第二栅极沟槽101的底壁73侧。第二底侧电极106隔着第二底侧绝缘层104而与漂移区域54对置。第二底侧电极106的一部分也可以隔着第二底侧绝缘层104而与主体区域55对置。

[0212] 第二底侧电极106在第二栅极沟槽101的开口侧且在第二底侧绝缘层104以及第二开口侧绝缘层105之间在剖视下划分倒凹状的凹槽。根据这种构造,能够抑制相对于第二底侧电极106的局部的电场集中,因此能够抑制击穿电压的下降。尤其是,通过在第二底侧绝缘层104的扩张后的U字空间埋设第二底侧电极106,能够适当地抑制第二底侧电极106从上端部朝向下端部成为尖细形状。由此,能够适当地抑制相对于第二底侧电极106的下端部的局部的电场集中。

[0213] 第二底侧电极106也可以包含导电性多晶硅、钨、铝、铜、铝合金以及铜合金中的至少一种。在该方式中,第二底侧电极106也可以包含导电性多晶硅。导电性多晶硅也可以包含n型杂质或者p型杂质。导电性多晶硅优选包含n型杂质。

[0214] 第二开口侧电极107隔着第二绝缘层102埋设于第二栅极沟槽101的开口侧。具体而言,第二开口侧电极107隔着第二开口侧绝缘层105埋设于在第二栅极沟槽101的开口侧划分出的倒凹状的凹槽。第二开口侧电极107隔着第二开口侧绝缘层105而与主体区域55对置。第二开口侧电极107的一部分也可以隔着第二开口侧绝缘层105而与漂移区域54对置。

[0215] 第二开口侧电极107也可以包含导电性多晶硅、钨、铝、铜、铝合金以及铜合金中的至少一种。第二开口侧电极107优选包含与第二底侧电极106相同种类的导电材料。在该方式中,第二开口侧电极107包含导电性多晶硅。导电性多晶硅也可以包含n型杂质或者p型杂质。导电性多晶硅优选包括n型杂质。

[0216] 第二中间绝缘层108介于第二底侧电极106以及第二开口侧电极107之间,使第二底侧电极106以及第二开口侧电极107电绝缘。具体而言,第二中间绝缘层108在第二底侧电极106以及第二开口侧电极107之间的区域包覆从第二底侧绝缘层104露出的第二底侧电极106。第二中间绝缘层108包覆第二底侧电极106的上端部(具体而言为突出部)。第二中间绝缘层108与第二绝缘层102(第二底侧绝缘层104)相连。

[0217] 第二中间绝缘层108具有第六厚度T6。第六厚度T6小于第二底侧绝缘层104的第四厚度T4( $T6 < T4$ )。第六厚度T6也可以为第四厚度T4的1/100以上且1/10以下。第六厚度T6也可以为100Å以上且500Å以下。第六厚度T6也可以为100Å以上且200Å以下、200Å以上且300Å以下、300Å以上且400Å以下、或者400Å以上且500Å以下。第六厚度T6优选为200Å以上且400Å以下。

[0218] 第六厚度T6也可以为第三厚度T3以下 ( $T6 \leq T3$ )。第六厚度T6也可以为第三厚度T3以上 ( $T6 \geq T3$ )。第六厚度T6也可以与第三厚度T3相等 ( $T6 = T3$ )。

[0219] 第二中间绝缘层108包含氧化硅 ( $\text{SiO}_2$ )、氮化硅 ( $\text{SiN}$ )、氧化铝 ( $\text{Al}_2\text{O}_3$ )、氧化锆 ( $\text{ZrO}_2$ ) 以及氧化钽 ( $\text{Ta}_2\text{O}_5$ ) 中的至少一种。在该方式中,第二中间绝缘层108具有由  $\text{SiO}_2$  层构成的单层构造。

[0220] 在该方式中,在第二开口侧电极107中从第二栅极沟槽101露出的露出部相对于第一主面3位于第二栅极沟槽101的底壁73侧。第二开口侧电极107的露出部形成为朝向第二栅极沟槽101的底壁73的弯曲状。

[0221] 第二开口侧电极107的露出部由形成为膜状的第二盖绝缘层包覆。第二盖绝缘层在第二栅极沟槽101内与第二绝缘层102(第二开口侧绝缘层105)相连。第二盖绝缘层也可以包含氧化硅 ( $\text{SiO}_2$ )。

[0222] 各第二FET构造68还具有p型的第二通道区域111(第二通道)。具体而言,第二通道区域111在主体区域55形成于隔着第二绝缘层102(第二开口侧绝缘层105)而与第二电极103(第二开口侧电极107)对置的区域。

[0223] 具体而言,第二通道区域111沿第二沟槽栅极构造70的第一侧壁71或第二侧壁72、或者第一侧壁71以及第二侧壁72形成。在该方式中,第二通道区域111沿第二沟槽栅极构造70的第一侧壁71以及第二侧壁72形成。

[0224] 各第二FET构造68还包括形成于主体区域55的表层部的n<sup>+</sup>型的第二源极区域112。第二源极区域112在主体区域55内且在与漂移区域54之间划定第二通道区域111。

[0225] 第二源极区域112的n型杂质浓度超过漂移区域54的n型杂质浓度。第二源极区域112的n型杂质浓度也可以为  $1 \times 10^{19} \text{cm}^{-3}$  以上且  $1 \times 10^{21} \text{cm}^{-3}$  以下。第二源极区域112的n型杂质浓度优选与第一源极区域92的n型杂质浓度相等。

[0226] 在该方式中,各第二FET构造68包括多个第二源极区域112。多个第二源极区域112在主体区域55的表层部沿第二沟槽栅极构造70空出间隔地形成。具体而言,多个第二源极区域112沿第二沟槽栅极构造70的第一侧壁71或第二侧壁72、或者第一侧壁71以及第二侧壁72形成。在该方式中,多个第二源极区域112沿第二沟槽栅极构造70的第一侧壁71以及第二侧壁72空出间隔地形成。

[0227] 在该方式中,各第二源极区域112沿第一方向X与各第一源极区域92对置。各第二源极区域112与各第一源极区域92形成为一体。在图5中,利用边界线区别示出第一源极区域92以及第二源极区域112,但实际上在第一源极区域92以及第二源极区域112之间的区域没有明确的边界线。

[0228] 各第二源极区域112也可以以沿第一方向X与各第一源极区域92的一部分或者全部对置的方式,从各第一源极区域92沿第二方向Y偏移地形成。也就是,多个第一源极区域92以及多个第二源极区域112也可以在俯视下以交错状排列。

[0229] 多个第二源极区域112的底部相对于主体区域55的底部位于第一主面3侧的区域。由此,多个第二源极区域112隔着第二绝缘层102(第二开口侧绝缘层105)而与第二电极103(第二开口侧电极107)对置。这样,第二MISFET57的第二通道区域111在主体区域55形成于多个第二源极区域112以及漂移区域54所夹的区域。

[0230] 各第二FET构造68还包括形成于主体区域55的表层部的p<sup>+</sup>型的第二接触区域113。

第二接触区域113的p型杂质浓度超过主体区域55的p型杂质浓度。第二接触区域113的p型杂质浓度也可以为 $1 \times 10^{19} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下。第二接触区域113的p型杂质浓度优选与第一接触区域93的p型杂质浓度相等。

[0231] 在该方式中,各第二FET构造68包括多个第二接触区域113。多个第二接触区域113在主体区域55的表层部沿第二沟槽栅极构造70空出间隔地形成。具体而言,多个第二接触区域113沿第二沟槽栅极构造70的第一侧壁71或第二侧壁72、或者第一侧壁71以及第二侧壁72形成。多个第二接触区域113的底部相对于主体区域55的底部位于第一主面3侧的区域。

[0232] 在该方式中,多个第二接触区域113沿第二沟槽栅极构造70的第一侧壁71以及第二侧壁72空出间隔地形成。具体而言,多个第二接触区域113以相对于多个第二源极区域112成为交替的排列的形态形成于主体区域55的表层部。

[0233] 参照图5,在该方式中,各第二接触区域113沿第一方向X而与各第一接触区域93对置。各第二接触区域113与各第一接触区域93形成为一体。

[0234] 在图5中,为了与第一源极区域92以及第二源极区域112区别,将第一接触区域93以及第二接触区域113统一用“p<sup>+</sup>”的记号来表示。

[0235] 各第二接触区域113也可以以沿第一方向X与各第一接触区域93的一部分或者全部对置的方式,从各第一接触区域93沿第二方向Y偏移地形成。也就是,多个第一接触区域93以及多个第二接触区域113也可以在俯视下以交错状排列。

[0236] 参照图5,在该方式中,主体区域55在半导体层2的第一主面3中从第一沟槽栅极构造60的一端部以及第二沟槽栅极构造70的一端部之间的区域露出。第一源极区域92、第一接触区域93、第二源极区域112以及第二接触区域113也可以在第一主面3中不形成于第一沟槽栅极构造60的一端部以及第二沟槽栅极构造70的一端部所夹的区域。

[0237] 同样,虽然未图示,但在该方式中,主体区域55在半导体层2的第一主面3中从第一沟槽栅极构造60的另一端部以及第二沟槽栅极构造70的另一端部之间的区域露出。第一源极区域92、第一接触区域93、第二源极区域112以及第二接触区域113也可以不形成于第一沟槽栅极构造60的另一端部以及第二沟槽栅极构造70的另一端部所夹的区域。

[0238] 参照图5,在半导体层2的第一主面3形成有多个(在此为两个)沟槽接触构造120。多个沟槽接触构造120包括一方侧的沟槽接触构造120以及另一方侧的沟槽接触构造120。

[0239] 一方侧的沟槽接触构造120位于第一沟槽栅极构造60的一端部以及第二沟槽栅极构造70的一端部侧的区域。另一方侧的沟槽接触构造120位于第一沟槽栅极构造60的另一端部以及第二沟槽栅极构造70的另一端部侧的区域。

[0240] 另一方侧的沟槽接触构造120具有与一方侧的沟槽接触构造120大致相同的构造。以下,以一方侧的沟槽接触构造120侧的构造为例进行说明,省略对另一方侧的沟槽接触构造120侧的构造的具体的说明。

[0241] 沟槽接触构造120与第一沟槽栅极构造60的一端部以及第二沟槽栅极构造70的一端部连接。在该方式中,沟槽接触构造120在俯视下沿第一方向X以带状延伸。

[0242] 沟槽接触构造120的宽度WTC也可以为 $0.5 \mu\text{m}$ 以上且 $5 \mu\text{m}$ 以下。宽度WTC是与沟槽接触构造120延伸的方向(第一方向X)正交的方向(第二方向Y)的宽度。

[0243] 宽度WTC也可以为 $0.5 \mu\text{m}$ 以上且 $1 \mu\text{m}$ 以下、 $1 \mu\text{m}$ 以上且 $1.5 \mu\text{m}$ 以下、 $1.5 \mu\text{m}$ 以上且 $2 \mu\text{m}$ 以

下、 $2\mu\text{m}$ 以上且 $2.5\mu\text{m}$ 以下、 $2.5\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下、 $3\mu\text{m}$ 以上且 $3.5\mu\text{m}$ 以下、 $3.5\mu\text{m}$ 以上且 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上且 $4.5\mu\text{m}$ 以下、或者 $4.5\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。宽度WTC优选为 $0.8\mu\text{m}$ 以上且 $1.2\mu\text{m}$ 以下。

[0244] 宽度WTC优选与第一沟槽栅极构造60的第一宽度WT1相等 ( $WTC=WT1$ )。宽度WTC优选与第二沟槽栅极构造70的第二宽度WT2相等 ( $WTC=WT2$ )。

[0245] 沟槽接触构造120贯通主体区域55并到达漂移区域54。沟槽接触构造120的深度DTC也可以为 $1\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。深度DTC也可以为 $1\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上且 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上且 $6\mu\text{m}$ 以下、 $6\mu\text{m}$ 以上且 $8\mu\text{m}$ 以下、或者 $8\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。深度DTC优选为 $2\mu\text{m}$ 以上且 $6\mu\text{m}$ 以下。

[0246] 深度DTC优选与第一沟槽栅极构造60的第一深度DT1相等 ( $DTC=DT1$ )。深度DTC优选与第二沟槽栅极构造70的第二深度DT2相等 ( $DTC=DT2$ )。

[0247] 沟槽接触构造120包括一方侧的第一侧壁121、另一方侧的第二侧壁122、以及连接第一侧壁121及第二侧壁122的底壁123。以下,有时将第一侧壁121、第二侧壁122以及底壁123总称为“内壁”。第一侧壁121是与第一沟槽栅极构造60以及第二沟槽栅极构造70连接的连接面。

[0248] 第一侧壁121、第二侧壁122以及底壁123位于漂移区域54内。第一侧壁121以及第二侧壁122沿法线方向Z延伸。第一侧壁121以及第二侧壁122也可以与第一主面3垂直地形成。

[0249] 在半导体层2内,第一侧壁121在与第一主面3之间所成的角度(锥形角)的绝对值也可以为超过 $90^\circ$ 且 $95^\circ$ 以下(例如 $91^\circ$ 左右)。在半导体层2内,第二侧壁122在与第一主面3之间所成的角度(锥形角)的绝对值也可以为超过 $90^\circ$ 且 $95^\circ$ 以下(例如 $91^\circ$ 左右)。沟槽接触构造120也可以形成为在剖视下从半导体层2的第一主面3侧朝向底壁123侧而宽度WTC变窄的尖细形状(锥形形状)。

[0250] 底壁123相对于漂移区域54的底部位于第一主面3侧的区域。底壁123形成为朝向漂移区域54的底部的凸弯曲状。底壁123相对于漂移区域54的底部空出 $1\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下的间隔ITC地位于第一主面3侧的区域。间隔ITC也可以为 $1\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上且 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上且 $6\mu\text{m}$ 以下、 $6\mu\text{m}$ 以上且 $8\mu\text{m}$ 以下、或者 $8\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。间隔ITC优选为 $1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下。

[0251] 间隔ITC优选与第一沟槽栅极构造60的第一间隔IT1相等 ( $ITC=IT1$ )。间隔ITC优选与第二沟槽栅极构造70的第二间隔IT2相等 ( $ITC=IT2$ )。

[0252] 沟槽接触构造120包括接触沟槽131、接触绝缘层132以及接触电极133。接触沟槽131通过朝向第二主面4侧挖掘半导体层2的第一主面3而形成。

[0253] 接触沟槽131划分沟槽接触构造120的第一侧壁121、第二侧壁122以及底壁123。以下,将沟槽接触构造120的第一侧壁121、第二侧壁122以及底壁123也称为接触沟槽131的第一侧壁121、第二侧壁122以及底壁123。

[0254] 接触沟槽131的第一侧壁121与第一栅极沟槽81的第一侧壁61以及第二侧壁62连通。接触沟槽131的第一侧壁121与第二栅极沟槽101的第一侧壁71以及第二侧壁72连通。接触沟槽131在第一栅极沟槽81以及第二栅极沟槽101之间形成一个沟槽。

[0255] 接触绝缘层132沿接触沟槽131的内壁形成为膜状。接触绝缘层132在接触沟槽131

内划分凹状的空间。在接触绝缘层132中包覆接触沟槽131的底壁123的部分沿着接触沟槽131的底壁123形成。

[0256] 接触绝缘层132以与第一底侧绝缘层84(第二底侧绝缘层104)相同的形态在接触沟槽131内划分以U字状凹陷的U字空间。也就是,接触绝缘层132划分接触沟槽131的底壁123侧的区域扩张且尖细被抑制的U字空间。这种U字空间例如通过对接触绝缘层132的内壁的蚀刻法(例如湿蚀刻法)来形成。

[0257] 接触绝缘层132具有第七厚度T7。第七厚度T7也可以为1500Å以上且4000Å以下。第七厚度T7也可以为1500Å以上且2000Å以下、2000Å以上且2500Å以下、2500Å以上且3000Å以下、3000Å以上且3500Å以下、或者3500Å以上且4000Å以下。第七厚度T7优选为1800Å以上且3500Å以下。

[0258] 第七厚度T7也可以根据沟槽接触构造120的宽度WTC而为4000Å以上且12000Å以下。第七厚度T7也可以为4000Å以上且5000Å以下、5000Å以上且6000Å以下、6000Å以上且7000Å以下、7000Å以上且8000Å以下、8000Å以上且9000Å以下、9000Å以上且10000Å以下、10000Å以上且11000Å以下、或者11000Å以上且12000Å以下。该情况下,能够通过接触绝缘层132的厚化来提高半导体装置1的耐压。

[0259] 第七厚度T7优选与第一底侧绝缘层84的第一厚度T1相等( $T7=T1$ )。第七厚度T7优选与第二底侧绝缘层104的第四厚度T4相等( $T7=T4$ )。

[0260] 接触绝缘层132包含氧化硅( $\text{SiO}_2$ )、氮化硅( $\text{SiN}$ )、氧化铝( $\text{Al}_2\text{O}_3$ )、氧化锆( $\text{ZrO}_2$ )以及氧化钽( $\text{Ta}_2\text{O}_3$ )中的至少一种。

[0261] 接触绝缘层132也可以具有包括从半导体层2侧依次层叠的SiN层以及 $\text{SiO}_2$ 层的层叠构造。接触绝缘层132也可以具有包括从半导体层2侧依次层叠的 $\text{SiO}_2$ 层以及SiN层的层叠构造。接触绝缘层132也可以具有由 $\text{SiO}_2$ 层或者SiN层构成的单层构造。在该方式中,接触绝缘层132具有由 $\text{SiO}_2$ 层构成的单层构造。接触绝缘层132优选由与第一绝缘层82(第二绝缘层102)相同的绝缘材料构成。

[0262] 接触绝缘层132在第一栅极沟槽81以及接触沟槽131之间的连通部中与第一绝缘层82形成为一体。接触绝缘层132在第二栅极沟槽101以及接触沟槽131之间的连通部中与第二绝缘层102形成为一体。

[0263] 在该方式中,接触绝缘层132具有向第一栅极沟槽81的一端部以及第二栅极沟槽101的一端部引出的引出绝缘层132A。引出绝缘层132A横穿连通部并包覆第一栅极沟槽81的一端部的内壁。引出绝缘层132A横穿连通部并包覆第二栅极沟槽101的一端部的内壁。

[0264] 引出绝缘层132A在第一栅极沟槽81内与第一底侧绝缘层84以及第一开口侧绝缘层85形成为一体。引出绝缘层132A在第一栅极沟槽81的一端部的内壁中与第一底侧绝缘层84一起划分U字空间。

[0265] 引出绝缘层132A在第二栅极沟槽101内与第二底侧绝缘层104以及第二开口侧绝缘层105形成为一体。引出绝缘层132A在第二栅极沟槽101的一端部的内壁中与第二底侧绝缘层104一起划分U字空间。

[0266] 接触电极133隔着接触绝缘层132埋入于接触沟槽131。接触电极133与第一电极83以及第二电极103不同,作为一体物理入于接触沟槽131。接触电极133具有从接触沟槽131露出的上端部、与接触绝缘层132相接的下端部。

[0267] 接触电极133的下端部以与第一底侧电极86(第二底侧电极106)相同的形态,形成朝向接触沟槽131的底壁123的凸弯曲状。具体而言,接触电极133的下端部沿着由接触绝缘层132划分出的U字空间的底壁形成,并形成朝向底壁123的平滑的凸弯曲状。

[0268] 根据这种构造,能够抑制相对于接触电极133的局部的电场集中,因此能够抑制击穿电压的下降。尤其是,通过在接触绝缘层132扩张后的U字空间埋设接触电极133,能够适当地抑制接触电极133从上端部朝向下端部成为尖细形状。由此,能够适当地抑制相对于接触绝缘层132的下端部的局部的电场集中。

[0269] 接触电极133在第一栅极沟槽81以及接触沟槽131之间的连接部中与第一底侧电极86电连接。接触电极133在第二栅极沟槽101以及接触沟槽131之间的连接部中与第二底侧电极106电连接。由此,第二底侧电极106与第一底侧电极86电连接。

[0270] 具体而言,接触电极133具有向第一栅极沟槽81的一端部以及第二栅极沟槽101的一端部引出的引出电极133A。引出电极133A横穿第一栅极沟槽81以及接触沟槽131之间的连通部并位于第一栅极沟槽81内。引出电极133A还横穿第二栅极沟槽101以及接触沟槽131之间的连通部并位于第二栅极沟槽101内。

[0271] 引出电极133A在第一栅极沟槽81内埋入于由接触绝缘层132划分出的U字空间。引出电极133A在第一栅极沟槽81内与第一底侧电极86形成为一体。由此,接触电极133与第一底侧电极86电连接。

[0272] 在第一栅极沟槽81内,第一中间绝缘层88介于接触电极133以及第一开口侧电极87之间。由此,接触电极133在第一栅极沟槽81内与第一开口侧电极87电绝缘。

[0273] 引出电极133A在第二栅极沟槽101内埋入于由接触绝缘层132划分出的U字空间。引出电极133A在第二栅极沟槽101内与第二底侧电极106形成为一体。由此,接触电极133与第二底侧电极106电连接。

[0274] 在第二栅极沟槽101内,第二中间绝缘层108介于接触电极133以及第二开口侧电极107之间。由此,接触电极133在第二栅极沟槽101内与第二开口侧电极107电绝缘。

[0275] 接触电极133也可以包含导电性多晶硅、钨、铝、铜、铝合金以及铜合金中的至少一种。在该方式中,接触电极133包含导电性多晶硅。导电性多晶硅也可以包含n型杂质或者p型杂质。导电性多晶硅优选包含n型杂质。接触电极133优选包含与第一底侧电极86以及第二底侧电极106相同的导电材料。

[0276] 在该方式中,在接触电极133从接触沟槽131露出的露出部相对于第一主面3位于接触沟槽131的底壁123侧。接触电极133的露出部形成为朝向接触沟槽131的底壁123的弯曲状。

[0277] 接触电极133的露出部由形成为膜状的第三盖绝缘层139包覆。第三盖绝缘层139在接触沟槽131内与接触绝缘层132相连。第三盖绝缘层139也可以包含氧化硅(SiO<sub>2</sub>)。

[0278] 此外,从控制IC10向第一栅极控制配线17A(未图示)输入的栅极控制信号向第一开口侧电极87传递。另外,从控制IC10向第二栅极控制配线17B(未图示)输入的栅极控制信号向第二开口侧电极107传递。另外,从控制IC10向第三栅极控制配线17C(未图示)输入的栅极控制信号经由接触电极133而向第一底侧电极86以及第二底侧电极106传递。

[0279] 在第一MISFET56(第一沟槽栅极构造60)以及第二MISFET57(第二沟槽栅极构造70)均被控制为断开状态的情况下,第一通道区域91以及第二通道区域111均被控制为断开

状态。

[0280] 在第一MISFET56以及第二MISFET57均被控制为接通状态的情况下,第一通道区域91以及第二通道区域111均被控制为接通状态(全接通控制)。

[0281] 在第一MISFET56被控制为接通状态而第二MISFET57被控制为断开状态的情况下,第一通道区域91被控制为接通状态,第二通道区域111被控制为断开状态(第一半接通控制)。

[0282] 在第一MISFET56被控制为断开状态而第二MISFET57被控制为接通状态的情况下,第一通道区域91被控制为断开状态,第二通道区域111被控制为接通状态(第二半接通控制)。

[0283] 这样,功率MISFET9利用形成于一个输出区域6的第一MISFET56以及第二MISFET57,实现包括全接通控制、第一半接通控制以及第二半接通控制的多种控制。

[0284] 在使第一MISFET56驱动时(也就是,栅极的接通控制时),也可以对第一底侧电极86施加接通信号Von、对第一开口侧电极87施加接通信号Von。该情况下,第一底侧电极86以及第一开口侧电极87作为栅极电极发挥功能。

[0285] 由此,能够抑制第一底侧电极86以及第一开口侧电极87之间的电压下降,因此能够抑制第一底侧电极86以及第一开口侧电极87之间的电场集中。另外,能够使半导体层2的接通电阻下降,因此能够实现消耗电力的降低。

[0286] 在使第一MISFET56驱动时(也就是,栅极的接通控制时),也可以对第一底侧电极86施加断开信号Voff(例如基准电压)、对第一开口侧电极87施加接通信号Von。该情况下,第一底侧电极86作为场电极发挥功能、而第一开口侧电极87作为栅极电极发挥功能。由此,能够使寄生容量下降,从而能够实现开关速度的提高。

[0287] 在使第二MISFET57驱动时(也就是,栅极的接通控制时),也可以对第二底侧电极106施加接通信号Von、对第二开口侧电极107施加接通信号Von。该情况下,第二底侧电极106以及第二开口侧电极107作为栅极电极发挥功能。

[0288] 由此,能够抑制第二底侧电极106以及第二开口侧电极107之间的电压下降,因此能够抑制第二底侧电极106以及第二开口侧电极107之间的电场集中。另外,能够使半导体层2的接通电阻下降,因此能够实现消耗电力的降低。

[0289] 在使第二MISFET57驱动时(也就是,栅极的接通控制时),也可以对第二底侧电极106施加断开信号Voff(基准电压)、对第二开口侧电极107施加接通信号Von。该情况下,第二底侧电极106作为场电极发挥功能、而第二开口侧电极107作为栅极电极发挥功能。由此,能够使寄生容量下降,从而能够实现开关速度的提高。

[0290] 参照图5,第一通道区域91在各单元区域75中以第一通道面积S1形成。第一通道面积S1由形成于各单元区域75的多个第一源极区域92的总计平面面积来定义。

[0291] 第一通道区域91在各单元区域75中以第一通道比例R1(第一比例)形成。第一通道比例R1是,当将各单元区域75的平面面积设为100%时,第一通道面积S1在各单元区域75所占的比例。

[0292] 第一通道比例R1在0%以上且50%以下的范围内调整。第一通道比例R1也可以为0%以上且5%以下、5%以上且10%以下、10%以上且15%以下、15%以上且20%以下、20%以上且25%以下、25%以上且30%以下、30%以上且35%以下、35%以上且40%以下、40%

以上且45%以下、或者45%以上且50%以下。第一通道比例R1优选为10%以上且35%以下。

[0293] 在第一通道比例R1为50%的情况下,在第一沟槽栅极构造60的第一侧壁61以及第二侧壁62的大致整个区域形成第一源极区域92。该情况下,不在第一沟槽栅极构造60的第一侧壁61以及第二侧壁62形成第一接触区域93。第一通道比例R1优选为小于50%。

[0294] 在第一通道比例R1为0%的情况下,不在第一沟槽栅极构造60的第一侧壁61以及第二侧壁62形成第一源极区域92。该情况下,在第一沟槽栅极构造60的第一侧壁61以及第二侧壁62仅形成主体区域55以及/或者第一接触区域93。第一通道比例R1优选为超过0%。在该方式中,示出了第一通道比例R1为25%的例子。

[0295] 第二通道区域111在各单元区域75以第二通道面积S2形成。第二通道面积S2由形成于各单元区域75的多个第二源极区域112的总计平面面积来定义。

[0296] 第二通道区域111在各单元区域75中以第二通道比例R2(第二比例)形成。第二通道比例R2是,当将各单元区域75的平面面积设为100%时,第二通道面积S2在各单元区域75所占的比例。

[0297] 第二通道比例R2在0%以上且50%以下的范围内调整。第二通道比例R2也可以为0%以上且5%以下、5%以上且10%以下、10%以上且15%以下、15%以上且20%以下、20%以上且25%以下、25%以上且30%以下、30%以上且35%以下、35%以上且40%以下、40%以上且45%以下、或者45%以上且50%以下。第二通道比例R2优选为10%以上且35%以下。

[0298] 在第二通道比例R2为50%的情况下,在第二沟槽栅极构造70的第一侧壁71以及第二侧壁72的大致整个区域形成第二源极区域112。该情况下,不在第二沟槽栅极构造70的第一侧壁71以及第二侧壁72形成第二接触区域113。第二通道比例R2优选为小于50%。

[0299] 在第二通道比例R2为0%的情况下,不在第二沟槽栅极构造70的第一侧壁71以及第二侧壁72形成第二源极区域112。该情况下,在第二沟槽栅极构造70的第一侧壁71以及第二侧壁72仅形成主体区域55以及/或者第二接触区域113。第二通道比例R2优选为超过0%。在该方式中,示出了第二通道比例R2为25%的例子。

[0300] 这样,第一通道区域91以及第二通道区域111在各单元区域75中以0%以上且100%以下(优选为超过0%且小于100%)的总通道比例RT( $RT=R1+R2$ )形成。

[0301] 在该方式中,各单元区域75中的总通道比例RT为50%。在该方式中,所有总通道比例RT设定为相等的值。因此,输出区域6内(单位面积)中的平均通道比例RAV成为50%。平均通道比例RAV是以总通道比例RT的总数除以所有总通道比例RT的和之后的数。

[0302] 此外,总通道比例RT也可以按每个单元区域75调整。也就是,也可以将分别具有不同的值的多个总通道比例RT应用于每个单元区域75。总通道比例RT关系到半导体层2的温度上升。例如,若使总通道比例RT增加,则半导体层2的温度容易上升。另一方面,若使总通道比例RT减少,则半导体层2的温度难以上升。

[0303] 也可以利用上述关系,根据半导体层2的温度分布来调整总通道比例RT。例如,使在半导体层2中温度容易变高的区域的总通道比例RT比较小,也可以使在半导体层2中温度难以变高的区域的总通道比例RT比较大。

[0304] 作为在半导体层2中温度容易变高的区域,能够例示输出区域6的中央部。作为在半导体层2中温度难以变高的区域,能够例示输出区域6的周缘部。当然,也可以根据半导体层2的温度分布来调整总通道比例RT,并且调整平均通道比例RAV。

[0305] 也可以使多个具有20%以上且40%以下(例如25%)的总通道比例RT的单元区域75汇聚于温度容易变高的区域(例如中央部)。也可以使多个具有60%以上且80%以下(例如75%)的总通道比例RT的单元区域75汇聚于温度难以变高的区域(例如周缘部)。也可以使多个具有超过40%且小于60%(例如50%)的总通道比例RT的单元区域75汇聚于温度容易变高的区域以及温度难以变高的区域之间的区域。

[0306] 并且,20%以上且40%以下的总通道比例RT、40%以上且60%以下的总通道比例RT以及60%以上且80%以下的总通道比例RT也可以按规则的排列应用于多个单元区域75。

[0307] 作为一例,也可以将以25% (low) → 50% (middle) → 75% (high) 的顺序重复的三种总通道比例RT应用于多个单元区域75。该情况下,平均通道比例RAV也可以调整为50%。这种构造的情况下,能够以比较简单的设计来抑制在半导体层2的温度分布上形成偏颇。

[0308] 图6是表示通过实际测量来调查有源钳位耐量Eac以及面积电阻率 $R_{on} \cdot A$ 的关系的图表。图6的图表表示将第一MISFET56以及第二MISFET57同时控制为接通状态以及断开状态的情况的特性。

[0309] 在图6中,纵轴表示有源钳位耐量Eac [ $\text{mJ}/\text{mm}^2$ ],横轴表示面积电阻率 $R_{on} \cdot A$  [ $\text{m}\Omega \cdot \text{mm}^2$ ]。如图3中所述,有源钳位耐量Eac是相对于反电动势的耐量。面积电阻率 $R_{on} \cdot A$ 表示通常动作时的半导体层2内的接通电阻。

[0310] 图6中示出第一标绘点P1、第二标绘点P2、第三标绘点P3以及第四标绘点P4。第一标绘点P1、第二标绘点P2、第三标绘点P3以及第四标绘点P4分别表示平均通道比例RAV(也就是,各单元区域75所占的总通道比例RT)调整为66%、50%、33%以及25%的情况的特性。

[0311] 在使平均通道比例RAV增加的情况下,在通常动作时,面积电阻率 $R_{on} \cdot A$ 下降,在有源钳位动作时,有源钳位耐量Eac下降。与此相反,在使平均通道比例RAV下降的情况下,在通常动作时,面积电阻率 $R_{on} \cdot A$ 增加,在有源钳位动作时,有源钳位耐量Eac提高。

[0312] 若以面积电阻率 $R_{on} \cdot A$ 为鉴,则平均通道比例RAV优选为33%以上(具体而言为33%以上且小于100%)。若以有源钳位耐量Eac为鉴,则平均通道比例RAV优选为小于33%(具体而言超过0%且小于33%)。

[0313] 因平均通道比例RAV的增加而面积电阻率 $R_{on} \cdot A$ 下降是因为增加了电流路径。因平均通道比例RAV的增加而有源钳位耐量Eac下降是因为引起了反电动势引起的急剧的温度上升。

[0314] 尤其是,在平均通道比例RAV(总通道比例RT)比较大的情况下,在彼此相邻的第一沟槽栅极构造60以及第二沟槽栅极构造70之间的区域中,产生局部的而且急剧的温度上升的可能性变高。认为有源钳位耐量Eac因这种温度上升而下降。

[0315] 另一方面,因平均通道比例RAV的下降而面积电阻率 $R_{on} \cdot A$ 增加是因为电流路径缩小。因平均通道比例RAV的下降而有源钳位耐量Eac提高,认为平均通道比例RAV(总通道比例RT)比较小,局部的而且急剧的温度上升被抑制。

[0316] 根据图6的图表的结果可知,基于平均通道比例RAV(总通道比例RT)的调整法存在权衡关系,因此难以脱离该权衡的关系来兼顾优异的面积电阻率 $R_{on} \cdot A$ 以及优异的有源钳位耐量Eac。

[0317] 另一方面,根据图6的图表的结果可知,在功率MISFET9中,在通常动作时,进行接近第一标绘点P1 (RAV=66%)的动作,在有源钳位动作时,进行接近第四标绘点P4 (RAV=

25%)的动作,由此能够兼顾优异的面积电阻率 $R_{on} \cdot A$ 以及优异的有源钳位耐量 $E_{ac}$ 。因此,在该半导体装置1中,实施以下的控制。

[0318] 图7是用于说明图1所示的半导体装置1的第一控制例的通常动作的剖面立体图。图8是用于说明图1所示的半导体装置1的有源钳位动作的剖面立体图。在图7以及图8中,为了便于说明,省略第一主面3之上的构造,简化了栅极控制配线17。

[0319] 参照图7,在功率MISFET9的通常动作时,向第一栅极控制配线17A输入第一接通信号 $V_{on1}$ ,向第二栅极控制配线17B输入第二接通信号 $V_{on2}$ ,向第三栅极控制配线17C输入第三接通信号 $V_{on3}$ 。

[0320] 第一接通信号 $V_{on1}$ 、第二接通信号 $V_{on2}$ 以及第三接通信号 $V_{on3}$ 分别从控制器IC10输入。第一接通信号 $V_{on1}$ 、第二接通信号 $V_{on2}$ 以及第三接通信号 $V_{on3}$ 分别具有栅极阈值电压 $V_{th}$ 以上的电压。第一接通信号 $V_{on1}$ 、第二接通信号 $V_{on2}$ 以及第三接通信号 $V_{on3}$ 也可以分别具有相等的电压。

[0321] 该情况下,第一开口侧电极87、第二开口侧电极107、第一底侧电极86以及第二底侧电极106分别成为接通状态。也就是,第一开口侧电极87、第二开口侧电极107、第一底侧电极86以及第二底侧电极106分别作为栅极电极发挥功能。

[0322] 由此,第一通道区域91以及第二通道区域111均被控制为接通状态。在图7中,由点状的影线示出接通状态的第一通道区域91以及第二通道区域111。

[0323] 其结果,第一MISFET56以及第二MISFET57这双方被驱动(全接通控制)。通常动作时的通道利用率 $R_U$ 为100%。通常动作时的特性通道比例 $R_C$ 为50%。通道利用率 $R_U$ 为第一通道区域91以及第二通道区域111中被控制为接通状态的第一通道区域91以及第二通道区域111的比例。

[0324] 此外,特性通道比例 $R_C$ 是平均通道比例 $R_{AV}$ 乘以通道利用率 $R_U$ 得到的值( $R_C = R_{AV} \times R_U$ )。功率MISFET9的特性(面积电阻率 $R_{on} \cdot A$ 以及有源钳位耐量 $E_{ac}$ )基于特性通道比例 $R_C$ 来确定。由此,面积电阻率 $R_{on} \cdot A$ 在图6的图表中接近由第二标绘点P2示出的面积电阻率 $R_{on} \cdot A$ 。

[0325] 另一方面,参照图8,在功率MISFET9的有源钳位动作时,向第一栅极控制配线17A输入断开信号 $V_{off}$ ,向第二栅极控制配线17B输入第一钳位接通信号 $V_{Con1}$ ,向第三栅极控制配线17C输入第二钳位接通信号 $V_{Con2}$ 。

[0326] 断开信号 $V_{off}$ 、第一钳位接通信号 $V_{Con1}$ 以及第二钳位接通信号 $V_{Con2}$ 分别从控制器IC10输入。断开信号 $V_{off}$ 具有小于栅极阈值电压 $V_{th}$ 的电压(例如基准电压)。第一钳位接通信号 $V_{Con1}$ 以及第二钳位接通信号 $V_{Con2}$ 分别具有栅极阈值电压 $V_{th}$ 以上的电压。第一钳位接通信号 $V_{Con1}$ 以及第二钳位接通信号 $V_{Con2}$ 也可以分别具有相等的电压。第一钳位接通信号 $V_{Con1}$ 以及第二钳位接通信号 $V_{Con2}$ 也可以具有通常动作时的电压以下或者小于通常动作时的电压的电压。

[0327] 该情况下,第一开口侧电极87成为断开状态,第一底侧电极86、第二底侧电极106以及第二开口侧电极107分别成为接通状态。由此,第一通道区域91被控制为断开状态并且第二通道区域111被控制为接通状态。在图8中,断开状态的第一通道区域91由涂抹影线示出,接通状态的第二通道区域111由点状的影线示出。

[0328] 其结果,第一MISFET56被控制为断开状态、而第二MISFET57被控制为接通状态(第

二半接通控制)。由此,有源钳位动作时的通道利用率 $R_U$ 成为超过零且小于通常动作时的通道利用率 $R_U$ 。

[0329] 有源钳位动作时的通道利用率 $R_U$ 为50%。另外,有源钳位动作时的特性通道比例 $R_C$ 为25%。由此,有源钳位耐量 $E_{ac}$ 在图6的图表中接近由第四标绘点P4示出的有源钳位耐量 $E_{ac}$ 。

[0330] 该情况下,控制器IC10以在通常动作时以及有源钳位动作时期间应用不同的特性通道比例 $R_C$ (通道的面积)的方式,对第一MISFET56以及第二MISFET57进行控制。具体而言,控制器IC10以有源钳位动作时的通道利用率 $R_U$ 超过零且小于通常动作时的通道利用率 $R_U$ 的方式,对第一MISFET56以及第二MISFET57进行控制。

[0331] 更具体而言,控制IC10在通常动作时将第一MISFET56以及第二MISFET57控制为接通状态,在有源钳位动作时将第一MISFET56控制为断开状态,并且将第二MISFET57控制为接通状态。

[0332] 因此,在通常动作时,特性通道比例 $R_C$ 相对地增加。即,在通常动作时,能够利用第一MISFET56以及第二MISFET57使电流流动。由此,电流路径相对地增加,因此能够实现面积电阻率 $R_{on} \cdot A$ (接通电阻)的减少。

[0333] 另一方面,在有源钳位动作时,特性通道比例 $R_C$ 相对地减少。即,能够在使第一MISFET56停止的状态下利用第二MISFET57流动电流,能够由第二MISFET57消耗(吸收)反电动势。由此,能够抑制反电动势引起的急剧的温度上升,因此能够实现有源钳位耐量 $E_{ac}$ 的提高。

[0334] 其结果,能够提供一种半导体装置1,其能够脱离图6所示的权衡的关系,实现优异的面积电阻率 $R_{on} \cdot A$ 以及优异的有源钳位耐量 $E_{ac}$ 的兼顾。

[0335] 此外,在上述的控制例中,对在有源钳位动作时应用了第二半接通控制的例子进行了说明。但是,也可以在有源钳位动作时应用第一半接通控制。

[0336] <第一实施方式>

[0337] 图9是表示第一实施方式的半导体装置(=在半导体装置1为高边开关IC的情况下,有源钳位动作时用于进行功率MISFET的第一半接通控制的电的构造)的方块电路图。

[0338] 本实施方式的半导体装置1具有漏极电极11(=电源电极 $V_{BB}$ )、源极电极12(=输出电极OUT)、功率MISFET9、栅极控制电路25、以及有源钳位电路26。此外,对于已出现的构成要素标注与此前相同的符号。

[0339] 另外,在本图中,为了使说明简单,仅提取出一部分构成要素来示出,但在半导体装置1中,可以理解为基本上包含与上述的半导体装置1(参照图2)同样的构成要素。

[0340] 功率MISFET9是至此例示各种实施方式并对其构造进行了详细说明的栅极分割元件。即,如图10所示,功率MISFET9能够作为并联连接的第一MISFET56以及第二MISFET57(=分别相当于第一晶体管以及第二晶体管)而等效地表现。

[0341] 若采用别的方法,则能够理解为,分别独立控制的第一MISFET56以及第二MISFET57一体地形成作为单一的栅极分割元件的功率MISFET9。

[0342] 栅极控制电路25进行功率MISFET9的栅极控制(进而第一MISFET56以及第二MISFET57各自的栅极控制)。例如,栅极控制电路25在使能信号EN成为高电平的使能状态(=相当于第一动作状态)下,在使第一MISFET56以及第二MISFET57均接通、而使能信号EN

成为低电平的非使能状态(=相当于第二动作状态)下,以使第一MISFET56以及第二MISFET57均断开的方式,生成第一MISFET56以及第二MISFET57各自的栅极控制信号G1以及G2。

[0343] 此外,就使能信号EN而言,当输入至输入电极13的外部控制信号IN为高电平(=接通功率MISFET9时的逻辑电平)时,成为高电平,当外部控制信号IN为低电平(=断开功率MISFET9时的逻辑电平)时,成为低电平。

[0344] 另外,栅极控制电路25具有以下功能:从有源钳位电路26接受内部节点电压 $V_x$ 的输入,在从使能状态(EN=H)向非使能状态(EN=L)迁移后、且有源钳位电路26动作之前(=输出电压VOUT钳位之前),使第二MISFET57的栅极·源极间短路,也就是通过使第二MISFET57完全停止作为 $G2=VOUT$ ,来实现功率MISFET9的第一半接通控制的功能。

[0345] 有源钳位电路26连接于第一MISFET56的漏极·栅极间,当外部控制信号IN(进而使能信号EN)成为低电平之后、源极电极12的输出电压VOUT成为负电压时,通过使第一MISFET56强制性地接通(未全部断开),从而将第一MISFET56以及第二MISFET57各自的漏极·源极间电压(= $V_B-VOUT$ )限制为预定的钳位电压 $V_{c1p}$ 以下。

[0346] 此外,第二MISFET57无助于有源钳位动作,因此在该漏极·栅极间未连接有源钳位电路26。

[0347] 图11是表示图9中的栅极控制电路25以及有源钳位电路26的一个构成例的电路图。

[0348] 首先,对有源钳位电路26的结构进行具体说明。本构成例的有源钳位电路26包括m级(例如 $m=8$ )齐纳二极管列261、n级(例如 $n=3$ )二极管列262、以及N通道型的MISFET263(=相当于第三晶体管)。

[0349] 齐纳二极管列261的阴极和MISFET263的漏极与第一MISFET56以及第二MISFET57各自的漏极均与漏极电极11(=相当于施加有电源电压 $V_B$ 的电源电极VBB)连接。齐纳二极管列261的阳极与二极管列262的阳极连接。二极管列262的阴极与MISFET263的栅极连接。MISFET263的源极与第一MISFET56的栅极(=栅极控制信号G1的施加端)连接。MISFET263的背栅极与第一MISFET56以及第二MISFET57各自的源极均与源极电极12(=相当于施加有输出电压VOUT的输出电极OUT)连接。此外,如上述的图9以及图10所示,可在源极电极12连接线圈或者螺线管等感应性负载L。

[0350] 接着,对栅极控制电路25的结构进行具体说明。本构成例的栅极控制电路25包括电流源251~254、控制器255、以及N通道型的MISFET256(=相当于第四晶体管)。

[0351] 电流源251连接于升压电压VG(=电荷泵输出)的施加端与第一MISFET56的栅极之间,生成源极电流IH1。

[0352] 电流源252连接于升压电压VG的施加端与第二MISFET57的栅极之间,生成源极电流IH2。

[0353] 电流源253连接于第一MISFET56的栅极与输出电压VOUT的施加端(=源极电极12)之间,生成汇点电流IL1。

[0354] 电流源254连接于第二MISFET57的栅极与输出电压VOUT的施加端之间,生成汇点电流IL2。

[0355] 控制器255在使能状态(EN=H)下将电流源251以及252接通,将电流源253以及254

断开。通过这样的电流控制,源极电流 $I_{H1}$ 以及 $I_{H2}$ 流入第一MISFET56以及第二MISFET57各自的栅极。

[0356] 另一方面,控制器255在非使能状态( $EN=L$ )将电流源251以及252断开,将电流源253以及254接通。通过这样的电流控制,从第一MISFET56以及第二MISFET57各自的栅极导出汇点电流 $I_{L1}$ 以及 $I_{L2}$ 。

[0357] MISFET256连接于第二MISFET57的栅极·源极之间,根据有源钳位电路26的内部节点电压 $V_x$ 来接通/断开。此外,作为内部节点电压 $V_x$ ,例如,如本图所示,希望输入MISFET263的栅极电压。但是,内部节点电压 $V_x$ 并不限于于此,例如,也可以将形成二极管列262的 $n$ 级的二极管中的任一个的阳极电压用作内部节点电压 $V_x$ 。

[0358] 另外,在半导体装置1中,除了上述构成要素以外,还设有齐纳二极管ZD1~ZD3、二极管D1以及D2、晶体管DN1(例如耗尽型N通道型MISFET)作为静电破坏保护元件。对它们的连接关系进行简单地叙述。

[0359] 齐纳二极管ZD1以及ZD2各自的阴极分别与第一MISFET56以及第二MISFET57各自的栅极连接。齐纳二极管ZD1以及ZD2各自的阳极与二极管D1以及D2各自的阳极连接。齐纳二极管ZD3的阴极和晶体管DN1的漏极均与MISFET263的栅极连接。二极管D1以及D2各自的阴极、齐纳二极管ZD3的阳极、以及晶体管DN1的源极、栅极以及背栅极与输出电压 $V_{OUT}$ 的施加端连接。

[0360] 以下,将第一MISFET56的栅极·源极间电压设为 $V_{gs1}$ 、将MISFET263的栅极·源极间电压设为 $V_{gs2}$ 、将MISFET256的栅极·源极间电压设为 $V_{gs3}$ 、将齐纳二极管列261的击穿电压设为 $mV_Z$ 、将二极管列262的正向下降电压设为 $nV_F$ ,对有源钳位动作时的功率MISFET9的第一半接通控制进行说明。

[0361] 图12是表示在半导体装置1中,在有源钳位动作时进行功率MISFET9的第一半接通控制的情形的时序图,从上开始依次描绘使能信号 $EN$ 、输出电压 $V_{OUT}$ (实线)、栅极控制信号 $G1$ (点划线)及 $G2$ (虚线)、以及输出电流 $I_{OUT}$ 。此外,在本图中,在源极电极12(=输出电极 $OUT$ )与接地端之间连接有感性负载 $L$ 。

[0362] 在时刻 $t_1$ ,若使能信号 $EN$ 升高至高电平(=接通功率MISFET9时的逻辑电平),则栅极控制信号 $G1$ 以及 $G2$ 升高至高电平( $\approx V_G$ ),第一MISFET56以及第二MISFET57接通。其结果,输出电流 $I_{OUT}$ 开始流动,因此输出电压 $V_{OUT}$ 上升至电源电压 $V_B$ 附近。该状态下,相当于功率MISFET9的全接通状态。

[0363] 之后,在时刻 $t_2$ ,若使能信号 $EN$ 下降至低电平(=断开功率MISFET9时的逻辑电平),则断开第一MISFET56以及第二MISFET57,栅极控制信号 $G1$ 以及 $G2$ 下降至低电平( $\approx V_{OUT}$ )。

[0364] 此时,感性负载 $L$ 持续流动输出电流 $I_{OUT}$ 至放出功率MISFET9的接通期间积蓄的能量。其结果,输出电压 $V_{OUT}$ 快速下降至比接地电压 $GND$ 低的负电压。

[0365] 但是,在时刻 $t_4$ ,若输出电压 $V_{OUT}$ 下降至比电源电压 $V_B$ 低预定值 $\alpha$ ( $=mV_Z+nV_F+V_{gs1}+V_{gs2}$ )的下限电压 $V_B-\alpha$ (例如 $V_B-50V$ ),则通过有源钳位电路26的动作,第一MISFET56接通(未全部断开),因此输出电流 $I_{OUT}$ 经由第一MISFET56放电。因此,输出电压 $V_{OUT}$ 被限制为下限电压 $V_B-\alpha$ 以上。

[0366] 也就是,有源钳位电路26通过以电源电压 $V_B$ 基准限制输出电压 $V_{OUT}$ ,从而将功率

MISFET9的漏极·源极间电压 $V_{ds}$  ( $=V_B - V_{OUT}$ )限制为预定的钳位电压 $V_{c1p}$  ( $=\alpha$ )以下。这样的有源钳位动作持续至感性负载 $L$ 中积蓄的能量放出完而输出电流 $I_{OUT}$ 不流动的时刻 $t_5$ 。

[0367] 另一方面,若着眼于第二MISFET57,则从使能状态 ( $EN=H$ ) 向非使能状态 ( $EN=L$ ) 迁移后,在时刻 $t_3$ ,若输出电压 $V_{OUT}$ 下降至比电源电压 $V_B$ 低预定值 $\beta$  ( $=mV_Z+nV_F+V_{gs3}$ ) 的通道切换电压 $V_B - \beta$  ( $>V_B - \alpha$ ),则内部节点电压 $V_x$ 变得比栅极·源极间电压 $V_{gs3}$ 高,因此MISFET256接通,第二MISFET57的栅极·源极间短路 ( $G2=V_{OUT}$ )。

[0368] 即,第二MISFET57通过MISFET256的动作,在有源钳位电路26动作之前(时刻 $t_4$ 以前)完全停止。该状态相当于功率MISFET9的第一半接通状态。

[0369] 这样,通过进行从全接通状态向第一半接通状态的切换,从而有源钳位动作时(=时刻 $t_4 \sim t_5$ )的通道利用率 $R_U$ 超过零且小于通常动作时(=时刻 $t_1 \sim t_2$ )的通道利用率 $R_U$ 。

[0370] 因此,在通常动作时,特性通道比例 $RC$ 相对地增加(例如 $RC=50\%$ )。由此,电流路径相对地增加,因此能够实现面积电阻率 $R_{on} \cdot A$  (接通电阻)的减少。另一方面,在有源钳位动作时,特性通道比例 $RC$ 相对地减少(例如 $RC=25\%$ )。由此,能够抑制感性负载 $L$ 的反电动势引起的急剧的温度上升,因此能够实现有源钳位耐量 $E_{ac}$ 的提高。

[0371] 因而,能够提供一种半导体装置1,其能够脱离图6所示的权衡的关系,能够实现优异的面积电阻率 $R_{on} \cdot A$ 以及优异的有源钳位耐量 $E_{ac}$ 的兼顾。尤其是,在IPD领域中,为了驱动更大的感性负载 $L$ ,有源钳位耐量 $E_{ac}$ 成为重要的特性之一。

[0372] 此外,在图9~图12中,对在有源钳位动作时应用了第一半接通控制的例子进行了说明。但是,也可以在有源钳位动作时应用第二半接通控制。该情况下,理解为将第一MISFET56与第二MISFET57相互调换即可。

[0373] <与输出短路状态下的有源钳位动作相关的考察>

[0374] 如至此说明的那样,作为IPD向市场提供的半导体装置1作为吸收感性负载 $L$ 的反电动势的机构,具备有源钳位电路26。此外,在半导体装置1中,对每个机种设定有源钳位耐量 $E_{ac}$ ,在连接有超过该有源钳位耐量 $E_{ac}$ 的负载的情况下,需要使用外置部件来保护半导体装置1。

[0375] 另外,关于成为IPD的主要特性的面积电阻率 $R_{on} \cdot A$  (=接通电阻)和有源钳位耐量 $E_{ac}$ 的兼顾,如之前已说明的那样,使用栅极分割型的功率MISFET9来实现。更具体而言,通过实施功率MISFET9的第一半接通控制(或者第二半接通控制),从而兼顾通常动作时的面积电阻率 $R_{on} \cdot A$  (接通电阻)的降低和有源钳位动作时的有源钳位耐量 $E_{ac}$ 的提高。

[0376] 在此,如果在源极电极12 (=输出电极 $OUT$ ) 未产生输出短路,则即使实施上述的第一半接通控制(或者第二半接通控制)也没有特别的问题。但是,例如,在源极电极12经由金属丝线束而接地 (=向接地端或者与之相应的低电位端的输出短路) 的状态下,可产生第一半接通控制(或者第二半接通控制)引起的弊病。此外,金属丝线束一般具有电感成分。

[0377] 图13是用于说明第一实施方式的半导体装置1的输出短路状态下的有源钳位动作的图,从上开始依次描绘使能信号 $EN$ 、输出电压 $V_{OUT}$  (实线)、栅极控制信号 $G1$  (点划线) 及 $G2$  (虚线)、以及输出电流 $I_{OUT}$ 。

[0378] 本图中的时刻 $t_{11} \sim t_{13}$ 分别相当于图12中的时刻 $t_1 \sim t_3$ 。即,在本图中,从时刻 $t_{12}$ 的使能状态 ( $EN=H$ ) 向非使能状态 ( $EN=L$ ) 的迁移后,在时刻 $t_{13}$ ,在输出电压 $V_{OUT}$ 下降

至通道切换电压 $V_B - \beta$  ( $> V_B - \alpha$ )的时间点,功率MISFET9切换为第一半接通状态。

[0379] 此时,若在源极电极12 (=输出电极OUT)产生输出短路,则在功率MISFET9的接通电阻升高的状态 (=功率MISFET9的电流能力下降的状态)下,瞬时流过大电流,之后,进行输出电压 $V_{OUT}$ 的钳位。因此,作为有源钳位动作成为最严格的条件,有悖于有源钳位耐量 $E_{ac}$ 下降。

[0380] 此外,作为现象,如本图所示,由于超过有源钳位电路26的钳位能力的输出电流 $I_{OUT}$ 流动,因此产生输出电压 $V_{OUT}$ 的过冲 (=低于下限值 $V_{BB} - \alpha$ 的负极性的峰值)。

[0381] 基于上述的考察,提出了能够将输出短路状态下的有源钳位动作最佳化的第二实施方式。

[0382] <第二实施方式>

[0383] 图14是表示第二实施方式的半导体装置1的方块电路图。第二实施方式的半导体装置1以上述的第一实施方式(图11)为基本,还具备延迟电路DLY1。

[0384] 功率MISFET9是至此所说明的栅极分割型,具备连接有源钳位电路26的钳位栅极 (=第一栅极控制信号G1的施加端)、以及不连接有源钳位电路26的非钳位栅极 (=第二栅极控制信号G2的施加端)。

[0385] 延迟电路DLY1对有源钳位电路26的内部节点电压 $V_x$  (在本图中,为MISFET263的栅极电压)给与预定的延迟并生成延迟内部节点电压 $V_{xD}$  (=相当于延迟内部信号)。此外,内部节点电压 $V_x$ 相当于表示功率MISFET9的漏极·源极间电压 $V_{ds}$  ( $= V_B - V_{OUT}$ )是否高于比钳位电压 $V_{c1p}$  ( $= \alpha$ )低的预定的阈值电压 ( $= \beta$ )的内部信号。

[0386] 栅极控制电路25以根据延迟内部节点电压 $V_{xD}$ 使功率MISFET9的接通电阻升高的方式,分别控制栅极控制信号G1以及G2。如本图所述,栅极控制电路25包括连接于功率MISFET9的非钳位栅极与源极电极12 (=输出电极OUT)之间的MISFET256,通过根据延迟内部节点电压 $V_{xD}$ 将MISFET256接通/断开,从而切换功率MISFET9的非钳位栅极的有效/无效。也就是,与上述的第一实施方式(图11)不同,向MISFET256的栅极输入延迟内部节点电压 $V_{xD}$ ,来代替内部节点电压 $V_x$ 。

[0387] 图15是表示延迟电路DLY1的一个构成例的图。本构成例的延迟电路DLY1包括电容器C1和充电电流生成部 $I_{cGNR}$ 。

[0388] 电容器C1由从充电电流生成部 $I_{cGNR}$ 输出的充电电流 $I_c$  (=后述的镜像电流 $I_5$ )充电,输出电容器C1的充电电压作为延迟内部节点电压 $V_{xD}$ 。

[0389] 充电电流生成部 $I_{cGNR}$ 是根据内部节点电压 $V_x$ 生成电容器C1的充电电流 $I_c$ 的电路块,包括晶体管P1~P5(均为P通道型MISFET)、晶体管N1~N4(均为N通道型MISFET)、晶体管DN2以及DN3(均为耗尽型N通道型MISFET)、以及齐纳二极管ZD4。

[0390] 晶体管P1~P3各自的源极均与电源电压 $V_B$ 的施加端 (=电源电极VBB)连接。晶体管P1~P3各自的栅极均与晶体管P1的漏极连接。这样连接的晶体管P1~P3通过使输入至晶体管P1的漏极的基准电流 $I_1$ 为镜像,从而作为从晶体管P2以及P3各自的漏极输出镜像电流 $I_2$ 以及 $I_3$  (其中 $I_2 \propto I_1$ 而且 $I_3 \propto I_1$ )的电流镜CM1发挥功能。

[0391] 晶体管P2的漏极与晶体管N1以及DN3各自的漏极、晶体管N2的栅极、以及齐纳二极管ZD4的阴极连接。晶体管N1的栅极与晶体管DN2的漏极均与内部节点电压 $V_x$ 的输入端连接。晶体管N2的漏极与延迟内部节点电压 $V_{xD}$ 的输出端连接。晶体管N1以及N2各自的源极、

晶体管DN2以及DN3各自的栅极以及源极、以及齐纳二极管ZD4的阳极均与输出电压VOUT的施加端(=输出电极OUT)连接。

[0392] 晶体管N3以及N4各自的漏极均与输出电压VOUT的施加端连接。晶体管N3以及N4各自的栅极均与晶体管N3的漏极连接。晶体管N3的漏极与晶体管P3的漏极连接。这样连接的晶体管N3以及N4通过使输入至晶体管N3的漏极的镜像电流I3为镜像,从而作为从晶体管N4的漏极输出镜像电流I4(其中 $I4 \propto I3$ )的电流镜CM2发挥功能。

[0393] 晶体管P4以及P5各自的源极均与内部节点电压Vx的施加端连接。晶体管P4以及P5各自的栅极均与晶体管P4的漏极连接。晶体管P4的漏极与晶体管N4的漏极连接。这样连接的晶体管P4以及P5通过使输入至晶体管P4的漏极的镜像电流I4为镜像,从而作为从晶体管P5的漏极输出镜像电流I5(其中 $I5 \propto I4$ )的电流镜CM3发挥功能。

[0394] 晶体管P5的漏极和电容器C1的第一端均与延迟内部节点电压VxD的施加端连接。电容器C1的第二端与输出电压VOUT的施加端连接。这样连接的电容器C1由从晶体管P5的漏极输出的镜像电流I5(=相当于充电电流Ic)充电,输出电容器C1的充电电压作为延迟内部节点电压VxD。

[0395] 在本构成例的延迟电路DLY1中,在内部节点电压Vx比晶体管N1的接通阈值电压低时,晶体管N1成为断开状态。因此,晶体管N2的栅极电压Vy成为高电平( $\approx VB$ ),晶体管N2成为接通状态。其结果,电容器C1的两端间短路,因此电容器C1成为放电状态。

[0396] 另一方面,在内部节点电压Vx比晶体管N1的接通阈值电压高时,晶体管N1成为接通状态。因此,晶体管N2的栅极电压Vy成为低电平( $\approx VOUT$ ),晶体管N2成为断开状态。其结果,电容器C1的两端间开放,因此电容器C1成为非放电状态(充电状态)。此时,电容器C1的充电电压(=延迟内部节点电压VxD)具有预定的时间常数并缓慢地上升。

[0397] 此外,晶体管DN2以及DN3分别作为晶体管N1以及N2各自的栅极逻辑固定元件发挥功能。另外,齐纳二极管ZD4作为晶体管N2的栅极·源极间保护元件发挥功能。

[0398] 这样,晶体管N1及N2、晶体管DN2及DN3、以及齐纳二极管ZD4形成根据内部节点电压Vx切换是否使电容器C1放电的放电开关部DSW。

[0399] 另外,在将上述的电流镜CM1~CM3视为一个电流镜的情况下,电流镜CM3能够理解为充电电流Ic的输出级。作为用于驱动该电流镜CM3的驱动电压,如本图所示,希望接受内部节点电压Vx的供给。如果是这样的结构,则即使在电荷泵电路39的动作停止后也能够无障碍地生成延迟内部节点电压VxD。

[0400] 图16是用于说明第二实施方式的半导体装置1的有源钳位动作的图,从上开始依次描绘使能信号EN、输出电压VOUT(实线)、栅极控制信号G1(点划线)及G2(虚线)、以及输出电流IOUT。

[0401] 此外,关于时刻t13以前的动作,由于与上述的图13不变,因此省略重复的说明,以下,对在第二实施方式的半导体装置1中实施的特别性的动作进行重点说明。

[0402] 在时刻t13中,在输出电压VOUT下降至通道切换电压 $V_B - \beta (> V_B - \alpha)$ 时,在上述的第一实施方式(图13)的半导体装置1中,功率MISFET9去延迟地切换为第一半接通状态。

[0403] 另一方面,在第二实施方式的半导体装置1中,如本图所示,在从时刻t13至经过预定的延迟时间td的时刻t14期间,等待向第一半接通状态的切换。即,与上述的第一实施方式(图13)相比,使功率MISFET9的非钳位栅极无效的时机延迟仅延迟时间td。

[0404] 如果设置这样的延迟时间 $t_d$ ,则例如即使在源极电极12(=输出电极OUT)经由金属丝线束而接地的状态下断开功率MISFET9的结果是输出电流 $I_{OUT}$ 瞬时增大的情况下,也能够使功率MISFET9的接通电阻升高之前将该大电流吸收(钳位)。因此,能够抑制输出电压 $V_{OUT}$ 的过冲(参照图13)。

[0405] 此外,金属丝线束的电感成分所积蓄的能量决不会变大。因此,延迟时间 $t_d$ 设定为能够将瞬时的大电流吸收(钳位)的长度即可。如本图所述,延迟时间 $t_d$ 设定为,从输出电压 $V_{OUT}$ 被钳位为下限电压 $V_B - \alpha$ 迅速地进行向第一半接通状态的切换。

[0406] 作为设置上述的延迟时间 $t_d$ 的相反面,担心在源极电极12(=输出电极OUT)不产生输出短路的情况下的有源钳位耐量 $E_{ac}$ 的下降。但是,对于有源钳位时间 $T_{AV}$ (例如数ms)而言,上述的延迟时间 $t_d$ 足够短。因此,不必担心有源钳位耐量 $E_{ac}$ 的下降。

[0407] <第三实施方式>

[0408] 图17是表示第三实施方式的半导体装置的方块电路图。第三实施方式的半导体装置1'以第二实施方式(图14)的半导体装置1为基本,应用对象从高边开关IC替换为低边开关IC。

[0409] 如本图所述,上述的漏极电极11(=相当于电源电极 $V_{BB}$ )替换为漏极电极11'(=相当于输出电极OUT)。另外,先前的源极电极12(=相当于输出电极OUT)替换为源极电极12'(=接地电极GND)。即,功率MISFET9作为将负载与接地端之间导通/断开的低边开关发挥功能。

[0410] 另外,伴随将应用对象从高边开关IC向低边开关IC变更,上述的延迟电路DLY1替换为延迟电路DLY2。

[0411] 图18是表示延迟电路DLY2的一个构成例的图。本构成例的延迟电路DLY2以上述的图15为基本的同时,对向各部的施加电压加以变更。如本图所述,晶体管P1~P3各自的漏极均与外部控制信号IN的施加端连接。即,在作为低边开关IC发挥功能的半导体装置1'中,外部控制信号IN作为延迟电路DLY2的驱动电压被供给。

[0412] 另外,晶体管N1~N4各自的漏极、晶体管DN3及DN4各自的漏极、齐纳二极管ZD4的阳极、以及电容器C1的第二端均与接地电极GND连接。

[0413] 图19以及图20分别是用于说明第三实施方式的半导体装置1'的有源钳位动作的图,从上开始依次描绘使能信号EN、输出电压 $V_{OUT}$ (实线)、栅极控制信号G1(点划线)及G2(虚线)、以及输出电流 $I_{OUT}$ 。此外,图19表示不具备延迟电路DLY2的情况的举动,图20表示具备延迟电路DLY2的情况的举动。

[0414] 在时刻 $t_{21}$ 中,若使能信号EN升高至高电平(=接通功率MISFET9时的逻辑电平),则功率MISFET9接通,输出电流 $I_{OUT}$ 开始流动,因此输出电压 $V_{OUT}$ 下降至接地电压GND附近。该状态相当于功率MISFET9的全接通状态。

[0415] 在不具备延迟电路DLY2的情况(图19)下,从时刻 $t_{22}$ 的使能状态( $EN=H$ )向非使能状态( $EN=L$ )迁移后,在时刻 $t_{23}$ ,在输出电压 $V_{OUT}$ 上升至通道切换电压 $GND + \gamma$ ( $<GND + \delta$ )的时间点,功率MISFET9切换为第一半接通状态。

[0416] 此时,若在漏极电极11(=输出电极OUT)产生输出短路,则在功率MISFET9的接通电阻升高的状态(=功率MISFET9的电流能力下降的状态)下瞬时流过大电流,之后进行输出电压 $V_{OUT}$ 的钳位。因此,作为有源钳位动作成为最严格的条件,有悖于有源钳位耐量 $E_{ac}$

下降。

[0417] 此外,作为现象,如图19所示,由于超过有源钳位电路26的钳位能力的输出电流 $I_{OUT}$ 流动,因此产生输出电压 $V_{OUT}$ 的过冲(=高于上限电压 $GND+\gamma$ 的正极性的峰值)。

[0418] 另一方面,在具备延迟电路DLY2的情况下,如图20所示,在从时刻 $t_{23}$ 至经过预定的延迟时间 $t_d$ 的时刻 $t_{24}$ 期间,等待向第一半接通状态的切换。即,与上述的第一实施方式(图13)相比,使功率MISFET9的非钳位栅极无效的时机延迟仅延迟时间 $t_d$ 。

[0419] 如果设置这样的延迟时间 $t_d$ ,则例如即使在漏极电极11(=输出电极OUT)经由金属丝线束而接地(=向电源端或者与之相应的高电位端的输出短路)的状态下断开功率MISFET9的结果是输出电流 $I_{OUT}$ 瞬时增大的情况下,也能够在使用功率MISFET9的接通电阻升高之前将该大电流吸收(钳位)。因此,能够抑制输出电压 $V_{OUT}$ 的过冲(参照图19)。

[0420] 此外,金属丝线束的电感成分所积蓄的能量决不会变大。因此,延迟时间 $t_d$ 设定为能够将瞬时的大电流吸收(钳位)的长度即可。如本图所述,延迟时间 $t_d$ 设定为,从输出电压 $V_{OUT}$ 被钳位为上限电压 $GND+\delta$ 迅速地进行向第一半接通状态的切换。

[0421] 作为设置上述的延迟时间 $t_d$ 的相反面,担心在漏极电极11(=输出电极OUT)不产生输出短路的情况下的有源钳位耐量 $E_{ac}$ 的下降。但是,对于有源钳位时间 $T_{AV}$ (例如数ms)而言,上述的延迟时间 $t_d$ 足够短。因此,不必担心有源钳位耐量 $E_{ac}$ 的下降。对于这一点,与上述的第二实施方式相同。

[0422] 此外,在开关断开时( $I_N=L$ ),栅极控制信号G1以及G2是否成为接地电压GND取决于电路结构。在最基本的低边开关IC中,输入电极IN与功率MISFET9的栅极之间由电阻连接,但输入电极IN与功率MISFET9的栅极之间能够由模拟开关断开。因此,能够通过有源钳位动作使功率MISFET9的栅极控制信号G1以及G2升高。

[0423] 但是,在采用上述的结构的情况下,图18的外部控制信号IN成为0V,延迟电路DLY2(尤其是电流镜CM1)成为不可控制。因此,延迟电路DLY2需要接受内部节点电压 $V_x$ 的供给来进行动作,而不是外部控制信号IN。此外,只要是从外部电源接受电力供给来进行动作的低边开关IC,则在上述的结构中没有问题。

[0424] <对车辆的应用>

[0425] 图21是表示车辆X的一个构成例的外观图。本构成例的车辆X搭载电池(本图中未图示)、以及从电池接受电力供给而动作的各种电子设备X11~X18。

[0426] 车辆X除了发动机车以外,还包括电动车(BEV[battery electric vehicle,电池电动汽车]、HEV[hybridelectricvehicle,混合动力电动汽车]、PHEV/PHV[plug-in hybrid electric vehicle/plug-in hybrid vehicle,插电式混合动力电动汽车/插电式混合动力汽车]、或者FCEV/FCV[fuel cell electric vehicle/fuel cell vehicle,燃料电池电动汽车/燃料电池汽车]等的xEV)。

[0427] 此外,关于本图中的电子设备X11~X18的搭载位置,为了便于图示,有时与实际不同。

[0428] 电子设备X11是进行与发动机关联的控制(注入控制、电子节流阀控制、怠速控制、氧传感器加热器控制、以及自动巡航控制等)、或者与马达相关的控制(转矩控制、以及电力再生控制等)的电子控制单元。

[0429] 电子设备X12是进行HID[high intensity discharged lamp,高强度放电灯]以及

DRL[daytime running lamp,昼间行车灯]等的点亮熄灭控制的灯控制单元。

[0430] 电子设备X13是进行与变速器关联的控制的变速器控制单元。

[0431] 电子设备X14是进行与车辆X的运动关联的控制(ABS[anti-lock brake system,防抱死制动系统]控制、EPS[electric power steering,电动助力转向]控制、电子悬架控制等)的制动单元。

[0432] 电子设备X15是进行门锁以及防盗警报等的驱动控制的安全控制单元。

[0433] 电子设备X16是刮水器、电动门镜、电动车窗、缓冲器(减振器)、电动天窗、以及电动座椅等作为标准装备品或者摄像机选项品而在工厂出货阶段组装于车辆X的电子设备。

[0434] 电子设备X17是车载A/V[audio/visual,音频/视频]设备、汽车导航系统、以及ETC[electronic tollcollection system,电子收费系统]等作为用户选项品而任意地装配于车辆X的电子设备。

[0435] 电子设备X18是车载鼓风机、油泵、水泵、电池冷却风扇等具备高耐压系马达的电子设备。

[0436] 此外,上述说明的半导体装置1也能够组装于电子设备X11~X18的任一个。

[0437] <总结>

[0438] 以下,对至此说明的各种实施方式进行总结性地叙述。

[0439] 本说明书中公开的半导体装置采用如下结构(第一结构),具备:栅极分割型的输出晶体管,其构成为根据多个栅极控制信号对多个通道区域进行个别控制;有源钳位电路,其构成在控制信号成为断开上述输出晶体管时的逻辑电平之后,将上述输出晶体的两端间电压限制为预定的钳位电压以下;延迟电路,其构成为对表示上述输出晶体的两端间电压是否高于比上述钳位电压低的预定的阈值电压的内部信号给与预定的延迟,并生成延迟内部信号;以及栅极控制电路,其构成为对上述多个栅极控制信号进行个别控制,以便根据上述延迟内部信号来使上述输出晶体的接通电阻升高。

[0440] 此外,在由上述第一结构构成的半导体装置中,也可以采用如下结构(第二结构),上述延迟电路包括电容器、以及构成为根据上述内部信号来生成上述电容器的充电电流的充电电流生成部,将上述电容器的充电电压作为上述延迟内部信号而输出。

[0441] 另外,在由上述第二结构构成的半导体装置中,也可以采用如下结构(第三结构),上述充电电流生成部包括:电流镜,其构成为根据基准电流来生成上述充电电流;以及放电开关部,其构成为根据上述内部信号来切换是否使上述电容器放电。

[0442] 另外,在由上述第三结构构成的半导体装置中,也可以采用如下结构(第四结构),上述电流镜接受上述内部信号的供给,作为用于驱动上述充电电流的输出级的驱动电压。

[0443] 另外,在由上述第一~第四任一项的结构构成的半导体装置中,也可以采用如下结构(第五结构),上述有源钳位电路包括:晶体管,其构成为连接在上述输出晶体的漏极·栅极之间;至少一个齐纳二极管,其构成为阴极与上述晶体的漏极连接;以及至少一个二极管,其构成为阳极与上述齐纳二极管的阳极连接且阴极与上述晶体的栅极连接。

[0444] 另外,在由上述第五结构构成的半导体装置中,也可以采用如下结构(第六结构),上述内部信号是上述有源钳位电路的内部节点电压。

[0445] 另外,在由上述第一~第六任一项的结构构成的半导体装置中,也可以采用如下结构(第七结构),上述输出晶体管具备未连接上述有源钳位电路的非钳位栅极,上述栅极控

制电路根据上述延迟内部信号使上述非钳位栅极无效。

[0446] 在由上述第一~第七任一项的结构构成的半导体装置中,也可以采用如下结构(第八结构),上述输出晶体管作为使电源端与负载之间导通/断开的高边开关、或者使负载与接地端之间导通/断开的低边开关发挥功能。

[0447] 另外,例如,本说明书中公开的电子设备采用如下结构(第九结构),具备上述第一~第八任一项结构的半导体装置、以及与上述半导体装置连接的负载。

[0448] 另外,例如,本说明书中公开的车辆采用如下结构(第十结构),具备上述第九结构的电子设备。

[0449] <其他变形例>

[0450] 此外,在上述的实施方式中,以车载用高边开关IC以及车载用低边开关IC为例进行了说明,但本说明书中公开的发明的应用对象不限于此,能够以供其他用途的车载用IPD[intelligent power device,智能功率设备](车载用电源IC等)为首,广泛应用于具有功率晶体管的全部半导体装置。

[0451] 即,本说明书中公开的发明除了上述实施方式以外,还能够在不脱离其技术创作的主旨的范围内加以各种变更。即,上述实施方式在所有方面为例示,应认为是没有限制的,应理解为,本发明的技术方案的范围不是由上述实施方式的说明,而是由技术方案的范围示出,包含属于与技术方案的范围均等的意义以及范围内所有的变更。

[0452] 符号说明

[0453] 1—半导体装置(高边开关IC),1'—半导体装置(低边开关IC),2—半导体层,3—第一主面,4—第二主面,5A、5B、5C、5D—侧面,6—输出区域,7—输入区域,8—区域分离构造,9—功率MISFET,10—控制IC,11—漏极电极(电源电极),11'—漏极电极(输出电极),12—源极电极(输出电极),12'—源极电极(接地电极),13—输入电极,14—基准电压电极,15—ENABLE电极,16—SENSE电极,17—栅极控制配线,17A—第一栅极控制配线,17B—第二栅极控制配线,17C—第三栅极控制配线,21—传感器MISFET,22—输入电路,23—电流·电压控制电路,24—保护电路,25—栅极控制电路,251~254—电流源,255—控制器,256—MISFET,26—有源钳位电路,261—齐纳二极管列,262—二极管列,263—MISFET,27—电流检测电路,28—电源反向连接保护电路,29—异常检测电路,30—驱动电压生成电路,31—第一恒压生成电路,32—第二恒压生成电路,33—基准电压·基准电流生成电路,34—过电流保护电路,35—负载开路检测电路,36—过热保护电路,37—低电压误动作抑制电路,38—振荡电路,39—电荷泵电路,40—驱动信号输出电路,41—第一多路复用器电路,42—第二多路复用器电路,51—半导体基板,52—外延层,53—漏极区域,54—漂移区域,55—主体区域,56—第一MISFET,57—第二MISFET,58—第一FET构造,60—第一沟槽栅极构造,61—第一侧壁,62—第二侧壁,63—底壁,68—第二FET构造,70—第二沟槽栅极构造,71—第一侧壁,72—第二侧壁,73—底壁,75—单元区域,81—第一栅极沟槽,82—第一绝缘层,83—第一电极,84—第一底侧绝缘层,85—第一开口侧绝缘层,86—第一底侧电极,87—第一开口侧电极,88—第一中间绝缘层,91—第一通道区域,92—第一源极区域,93—第一接触区域,101—第二栅极沟槽,102—第二绝缘层,103—第二电极,104—第二底侧绝缘层,105—第二开口侧绝缘层,106—第二底侧电极,107—第二开口侧电极,108—第二中间绝缘层,111—第二通道区域,112—第二源极区域,113—第二接触区域,120—沟槽接触构造,

121—第一侧壁,122—第二侧壁,123—底壁123,131—接触沟槽,132—接触绝缘层,132A—引出绝缘层,133—接触电极,133A—引出电极,139—第三盖绝缘层,C1—电容器,CM~CM3—电流镜,Dpn—接合二极管,D1、D2—二极管,DLY1、DLY2—延迟电路,DN1~DN3—晶体管(耗尽型N通道型MISFET),DSW—放电开关部,DZ—齐纳二极管,IcGNR—充电电流生成部,L—感应性负载,N1~N4—晶体管(N通道型MISFET),P1~P5—晶体管(P通道型MISFET),X—车辆,X11~X18—电子设备,ZD1~ZD3、ZD4—齐纳二极管。

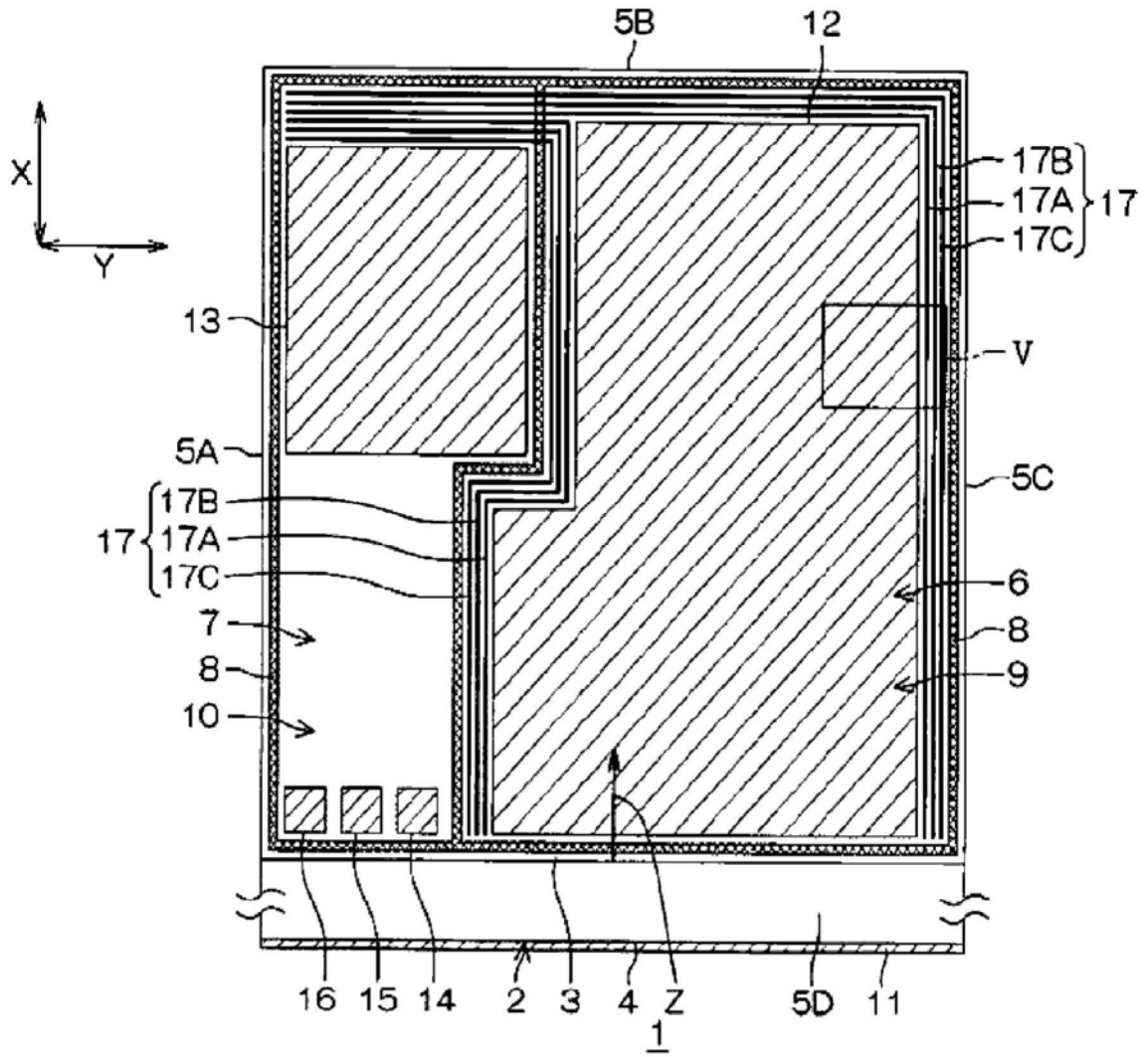


图1

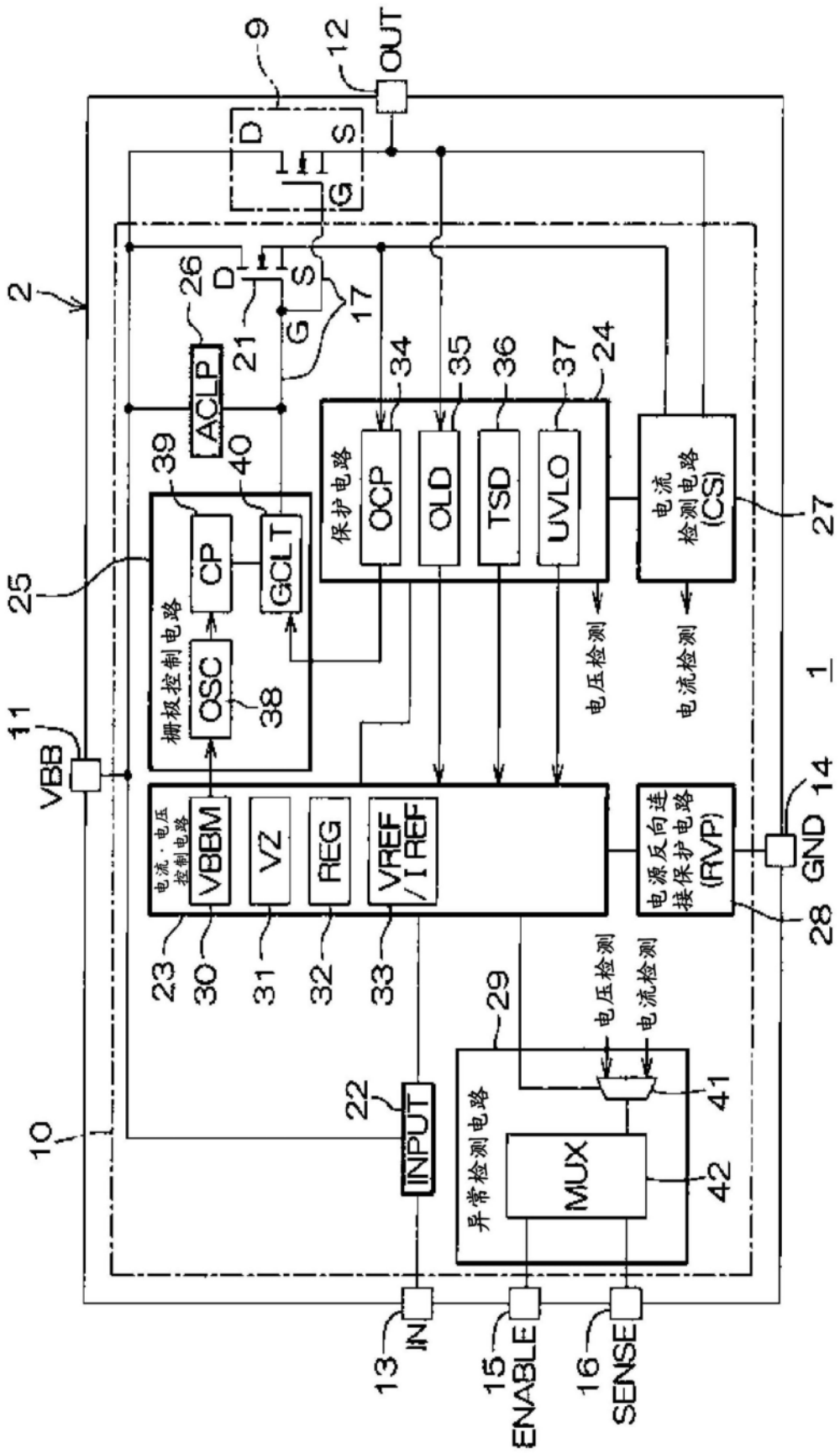


图2

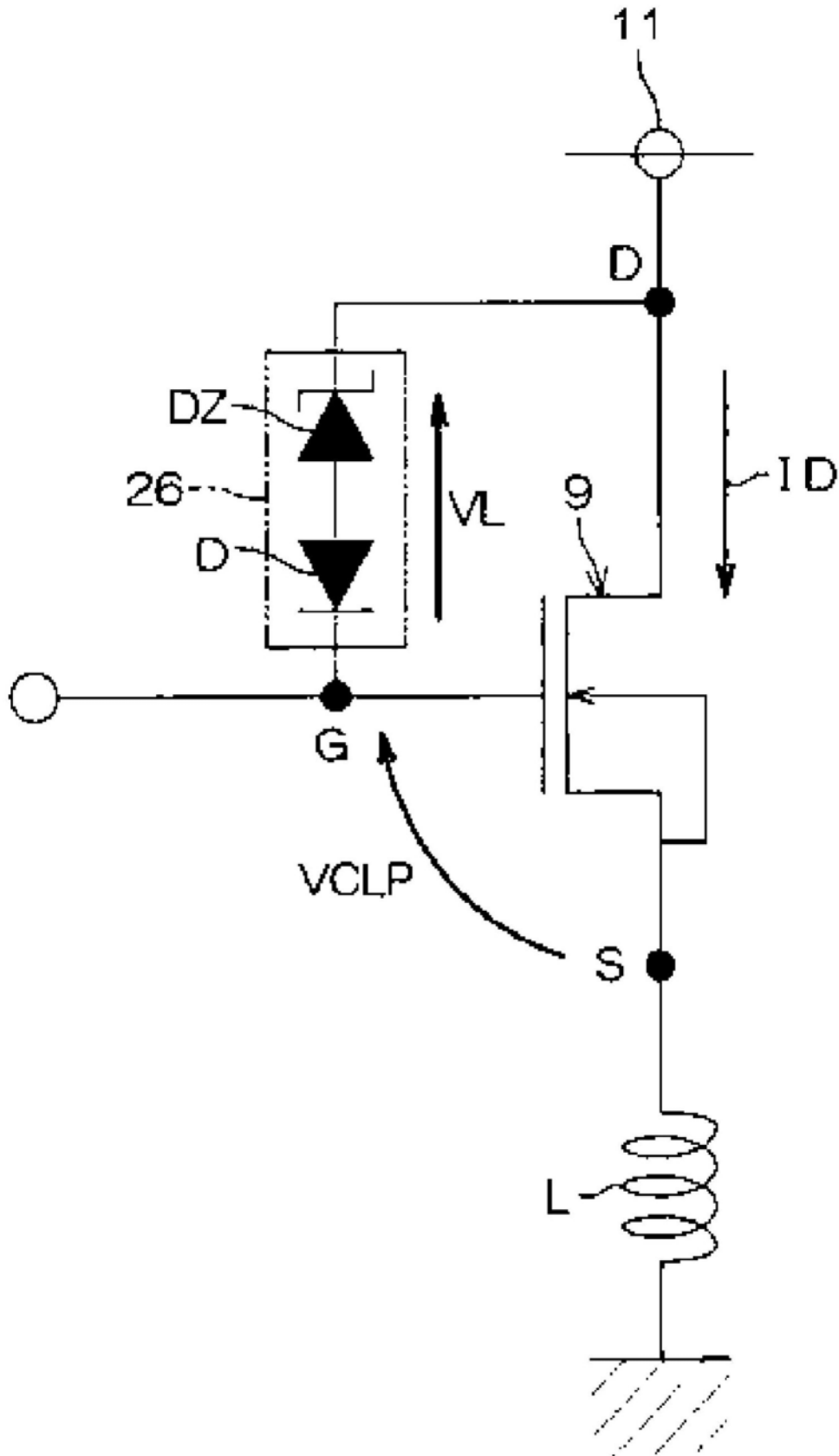


图3

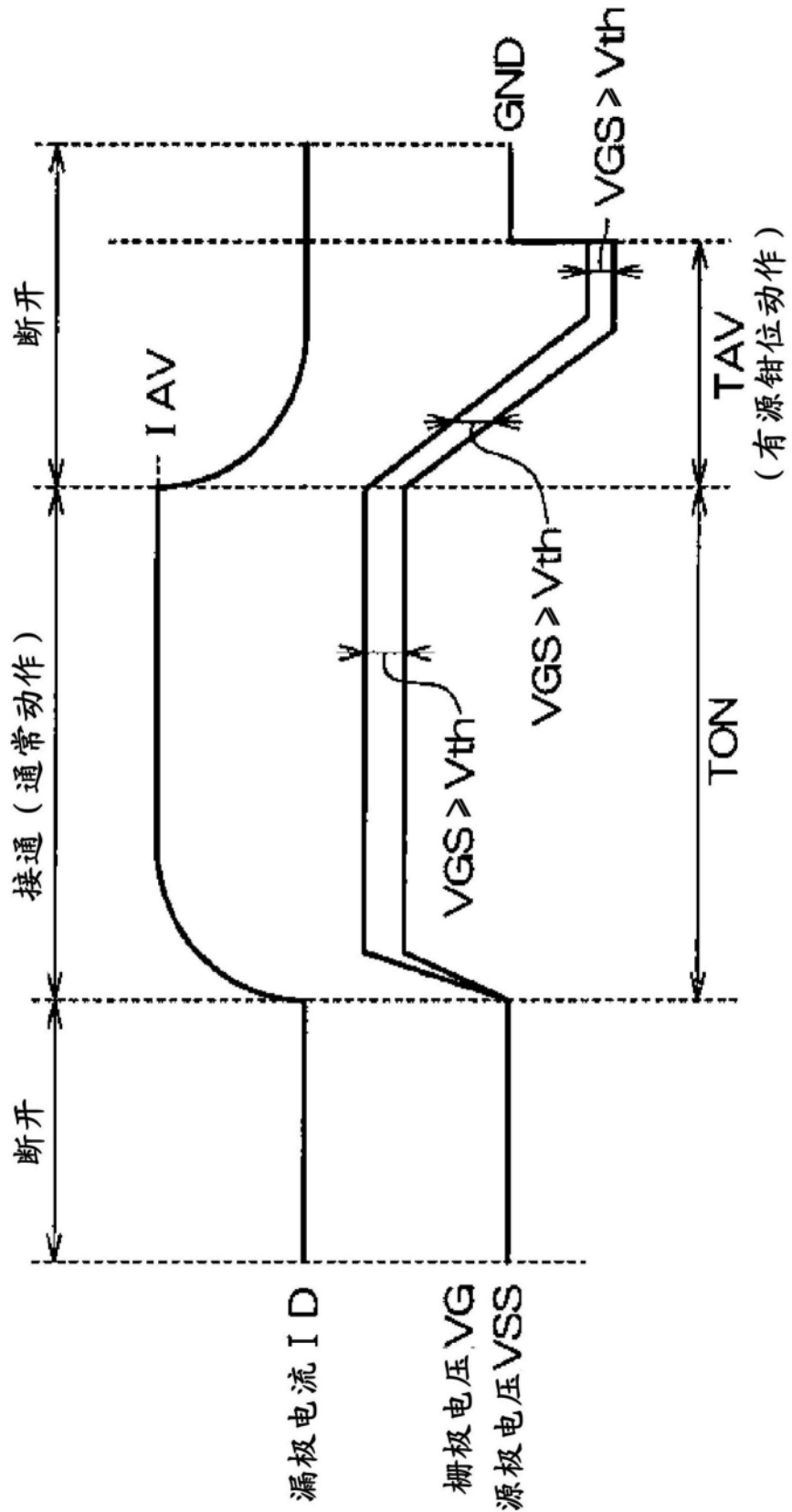


图4

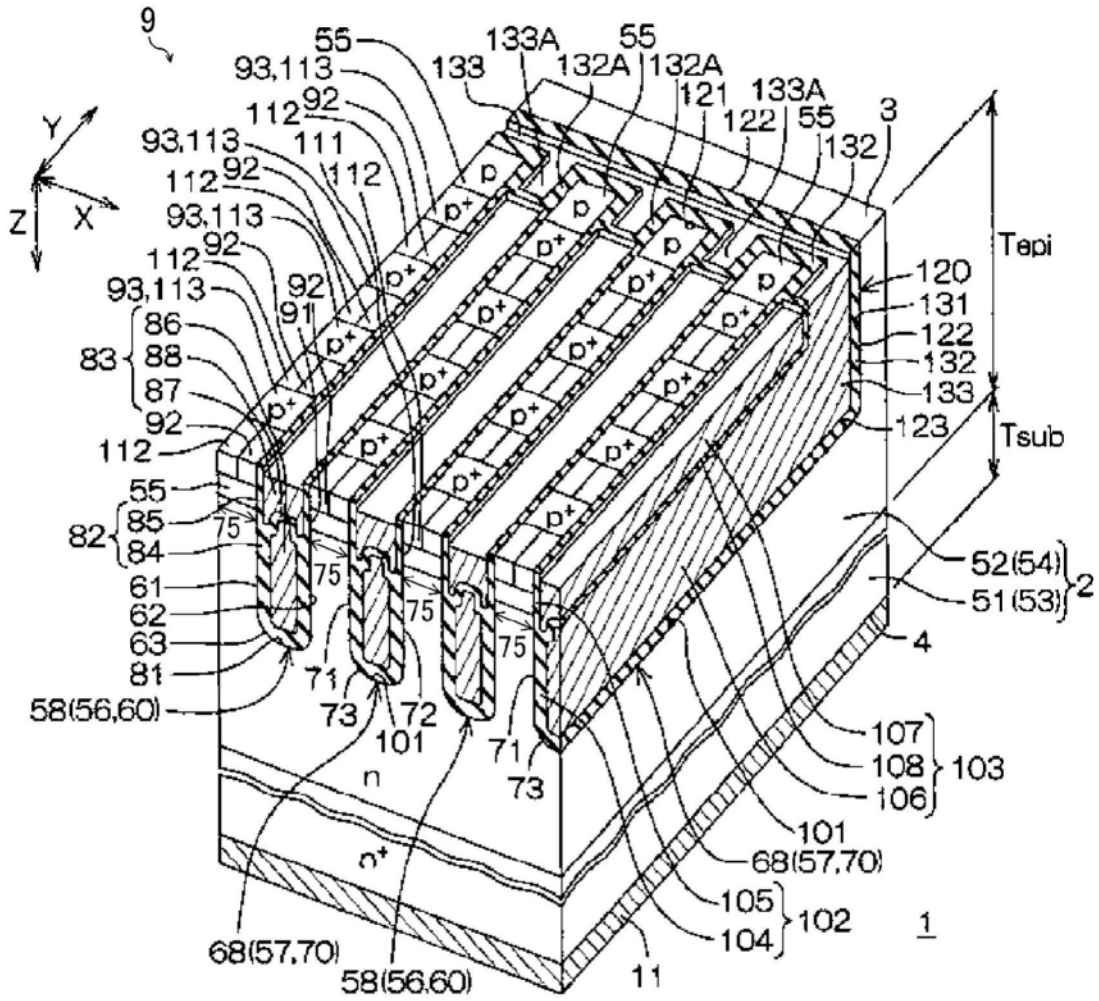


图5

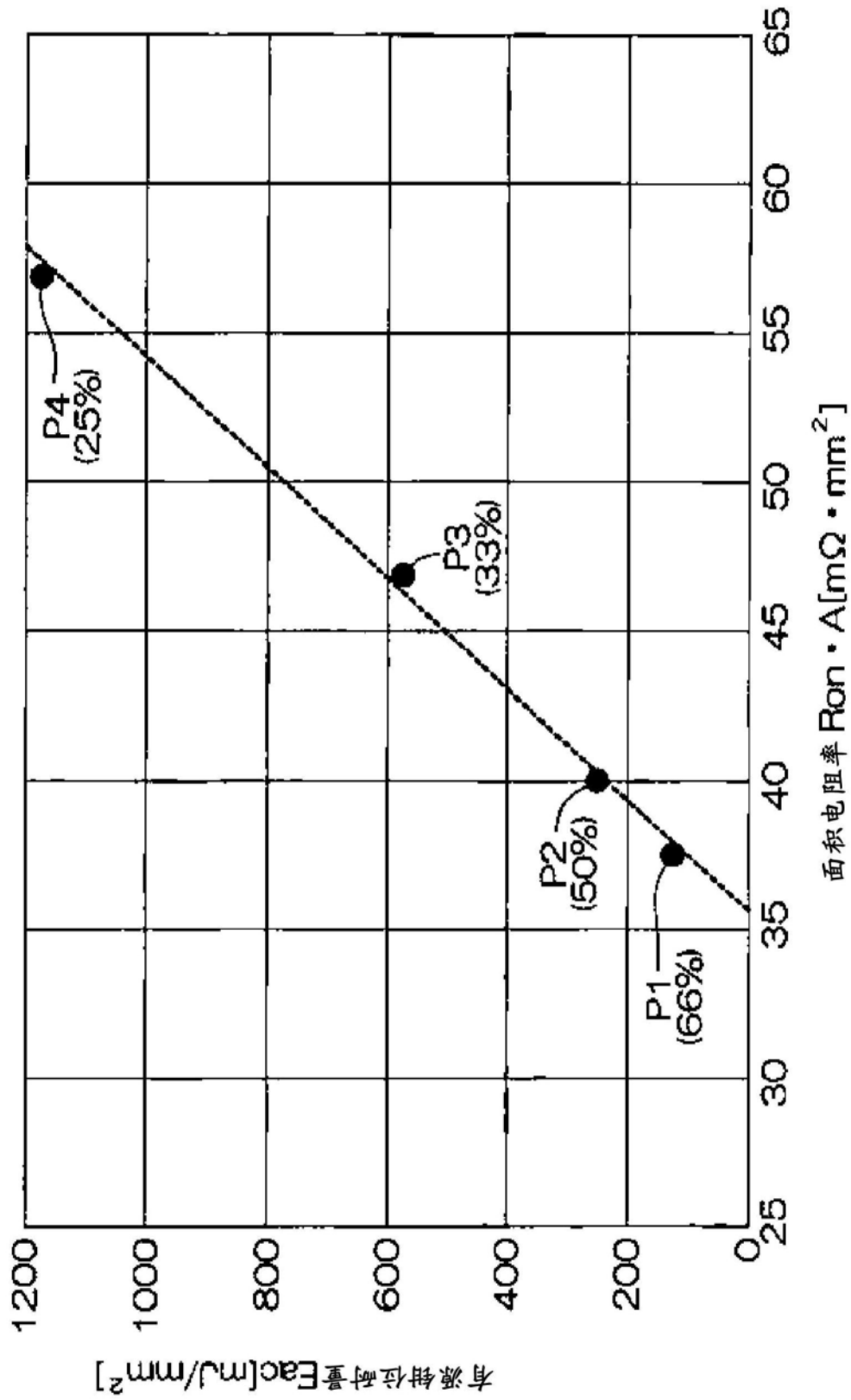


图6

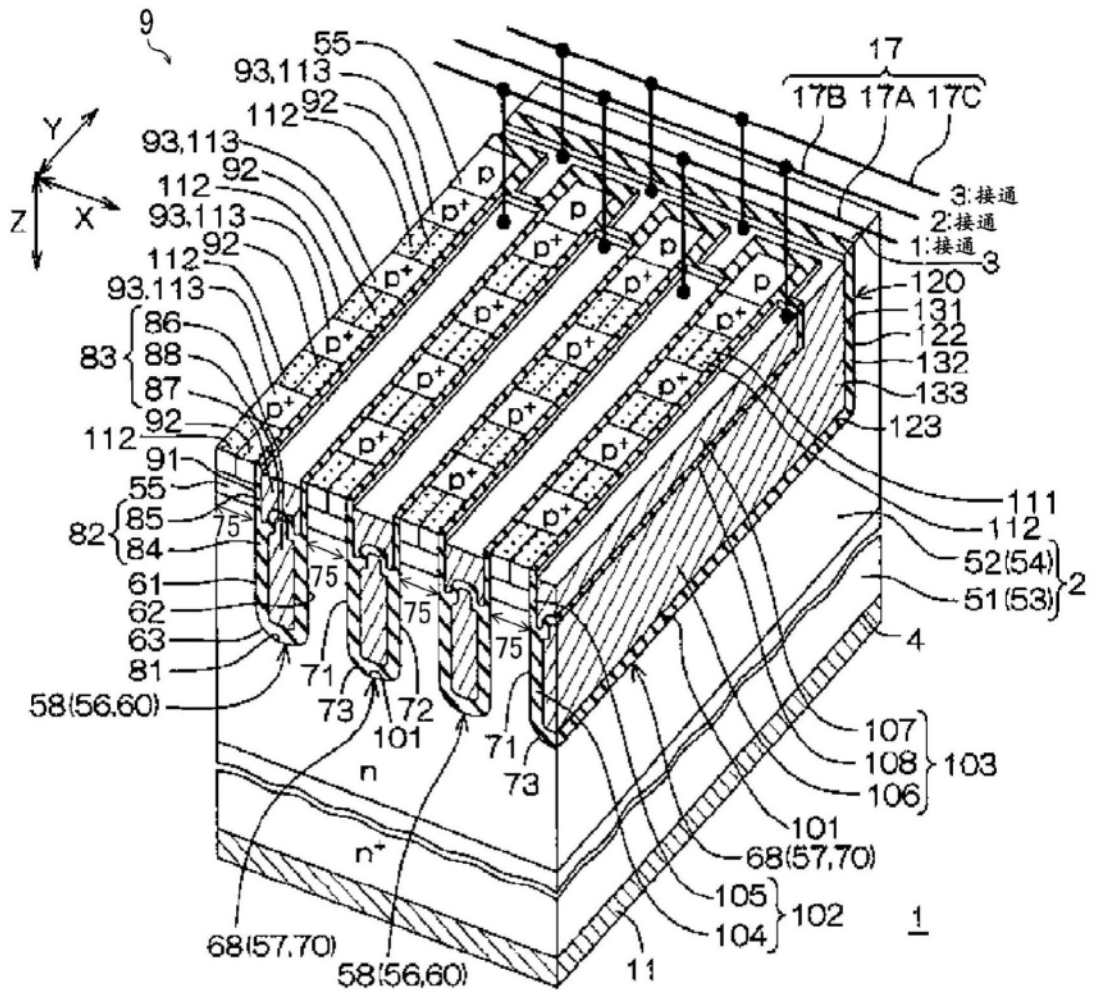


图7

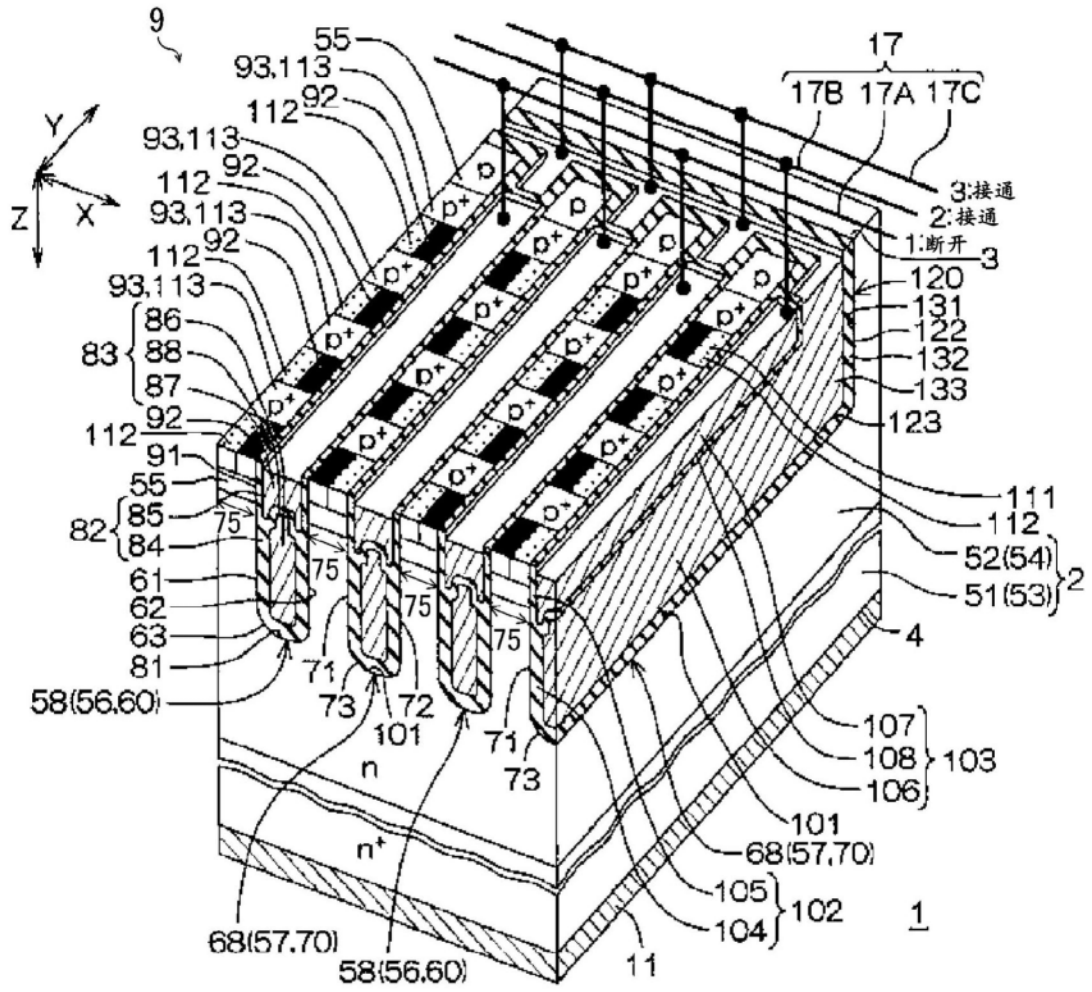


图8

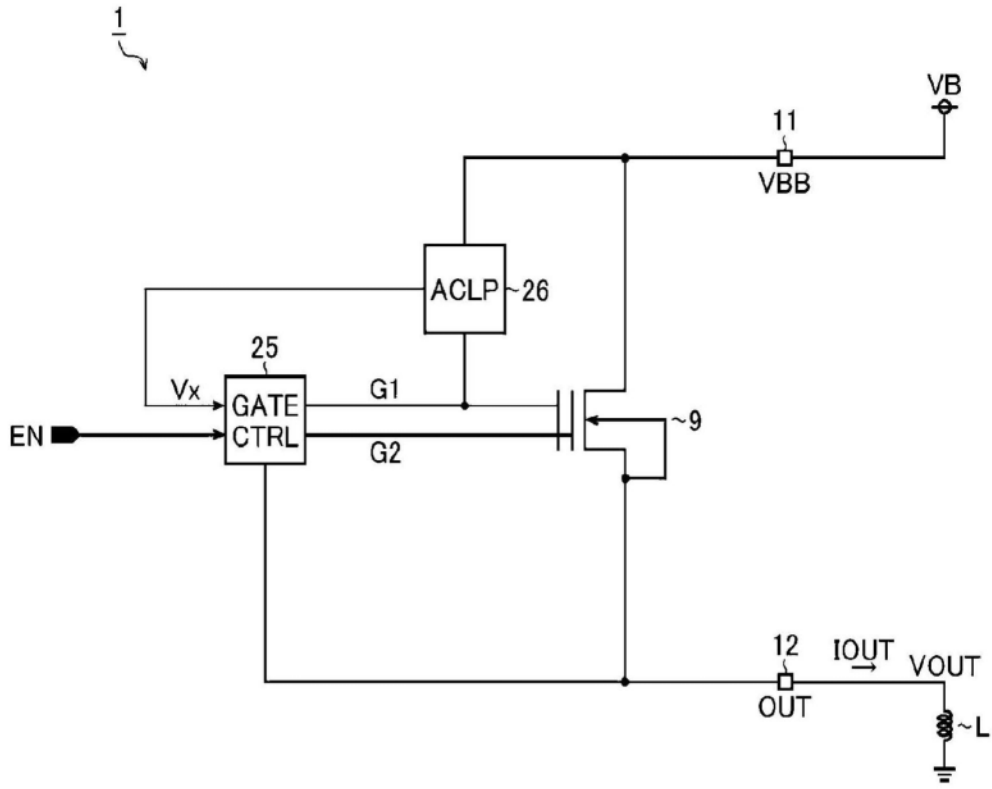


图9

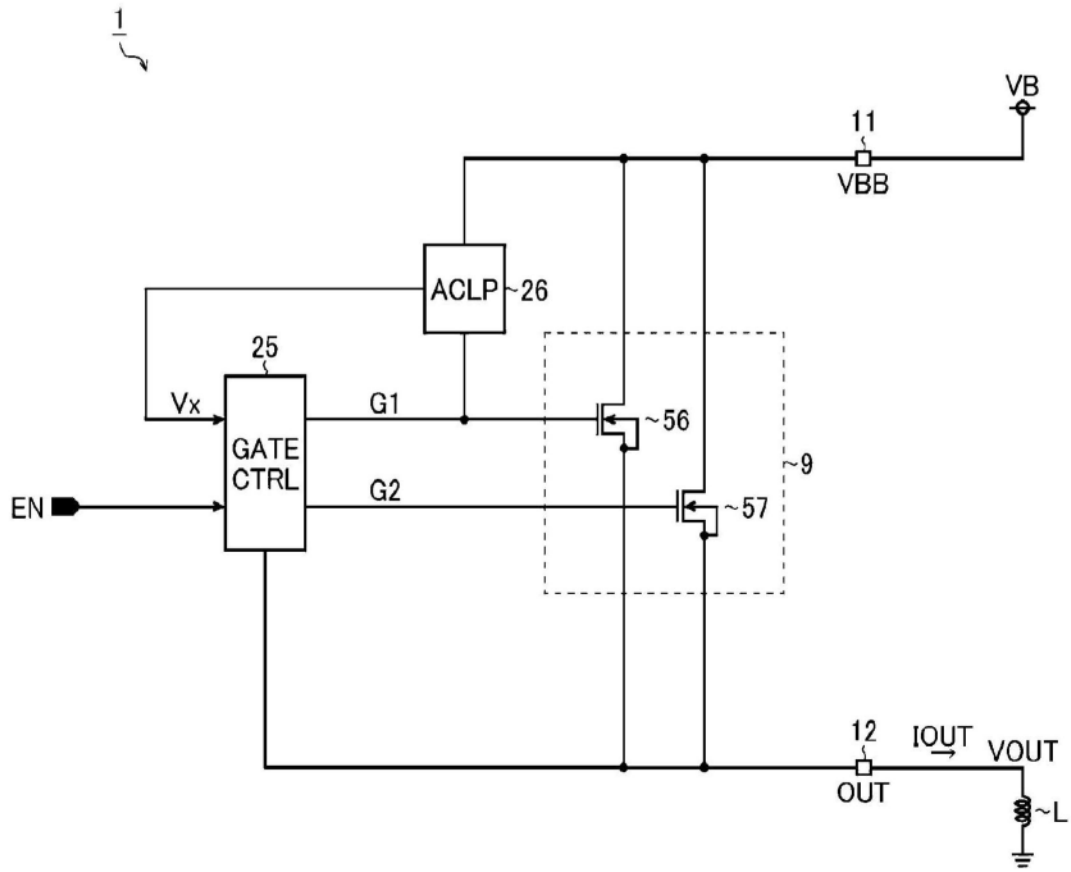


图10

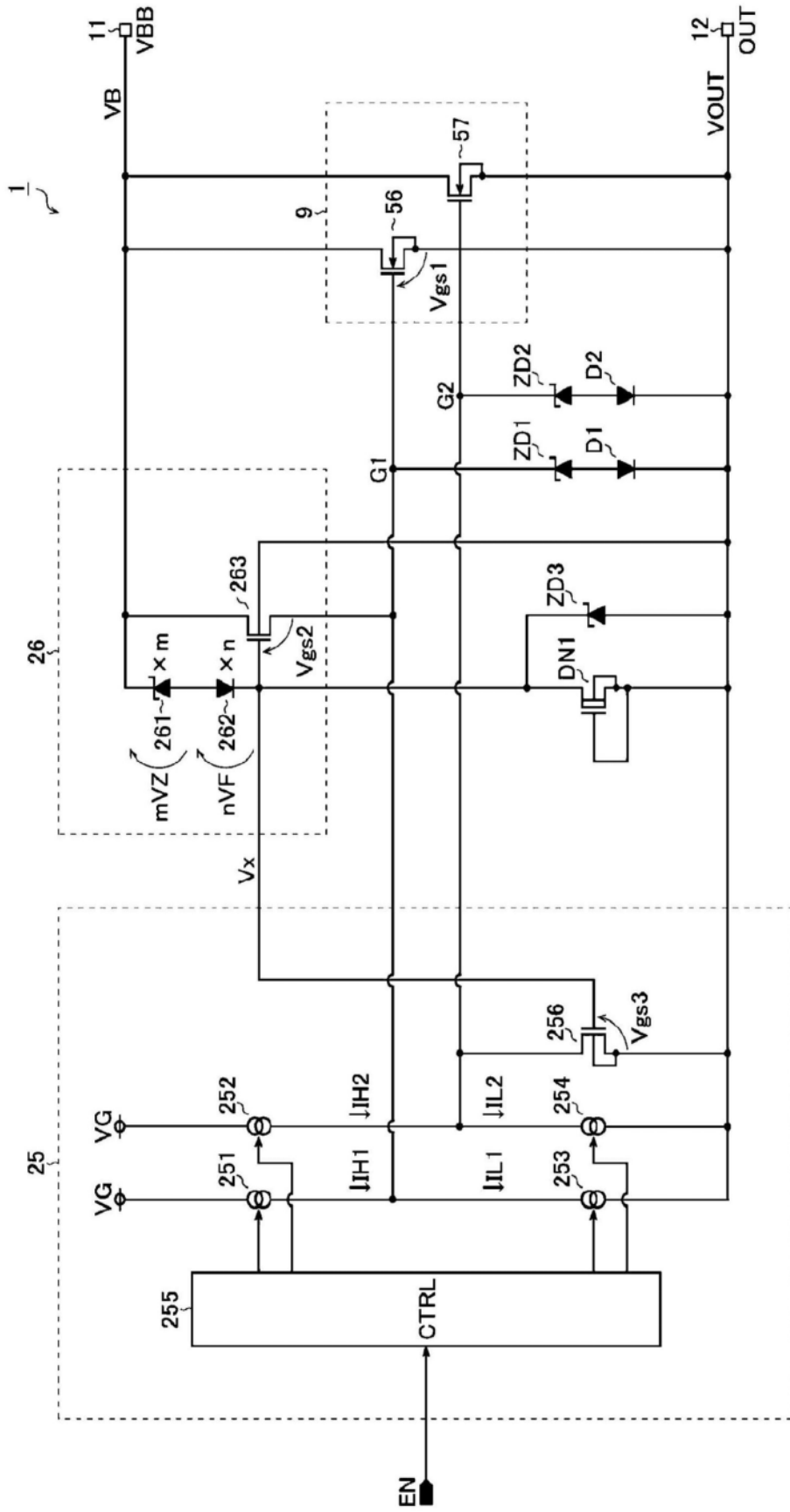


图11

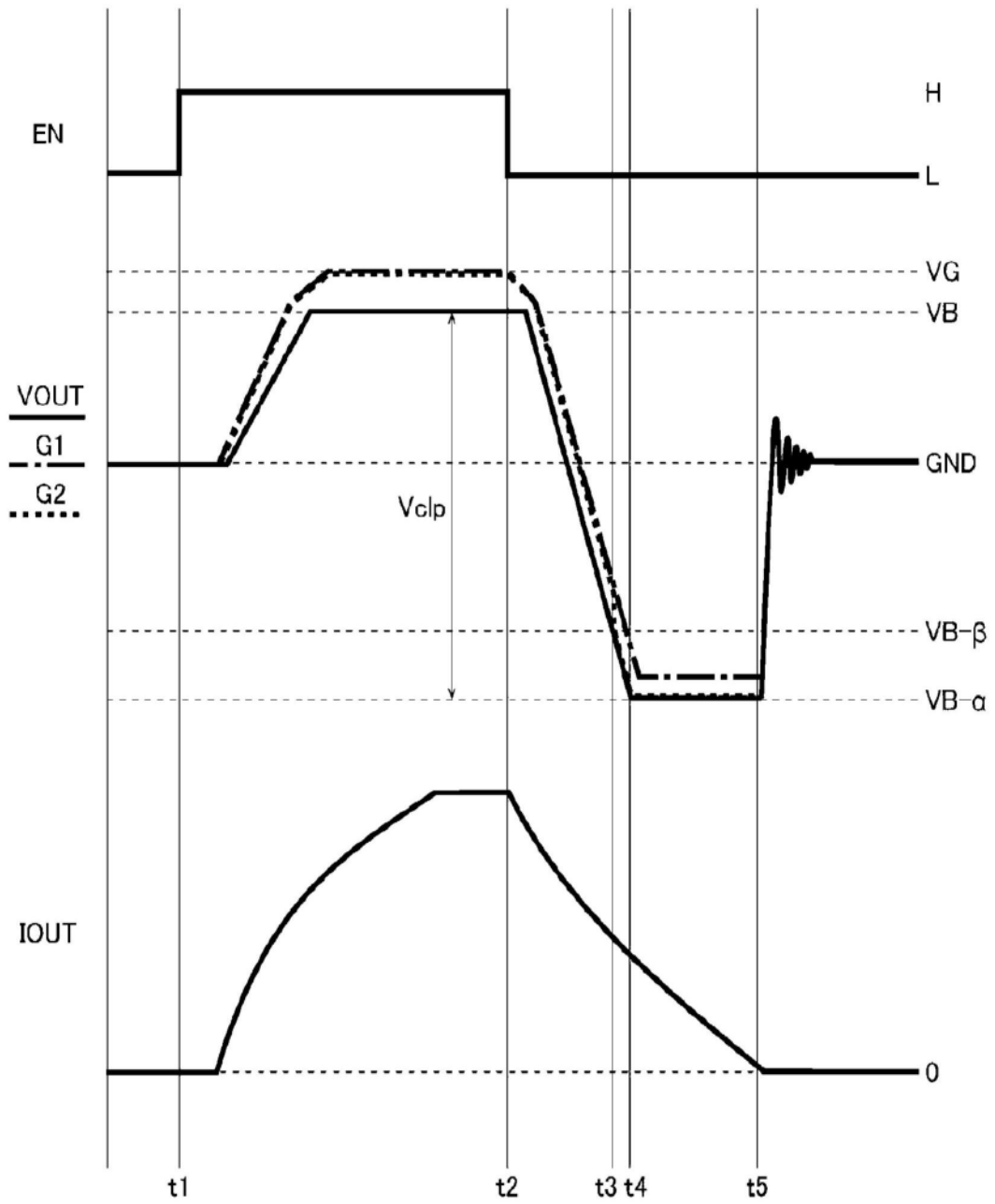


图12

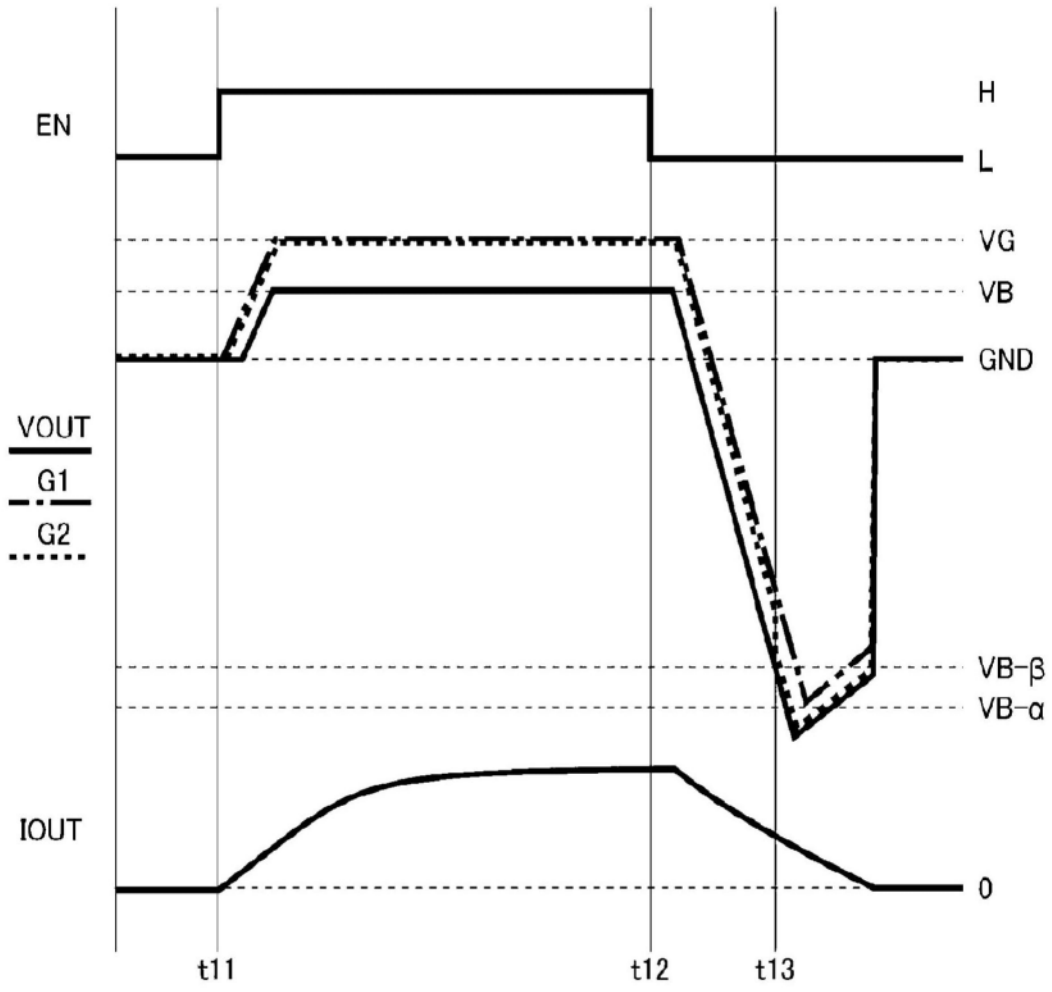


图13

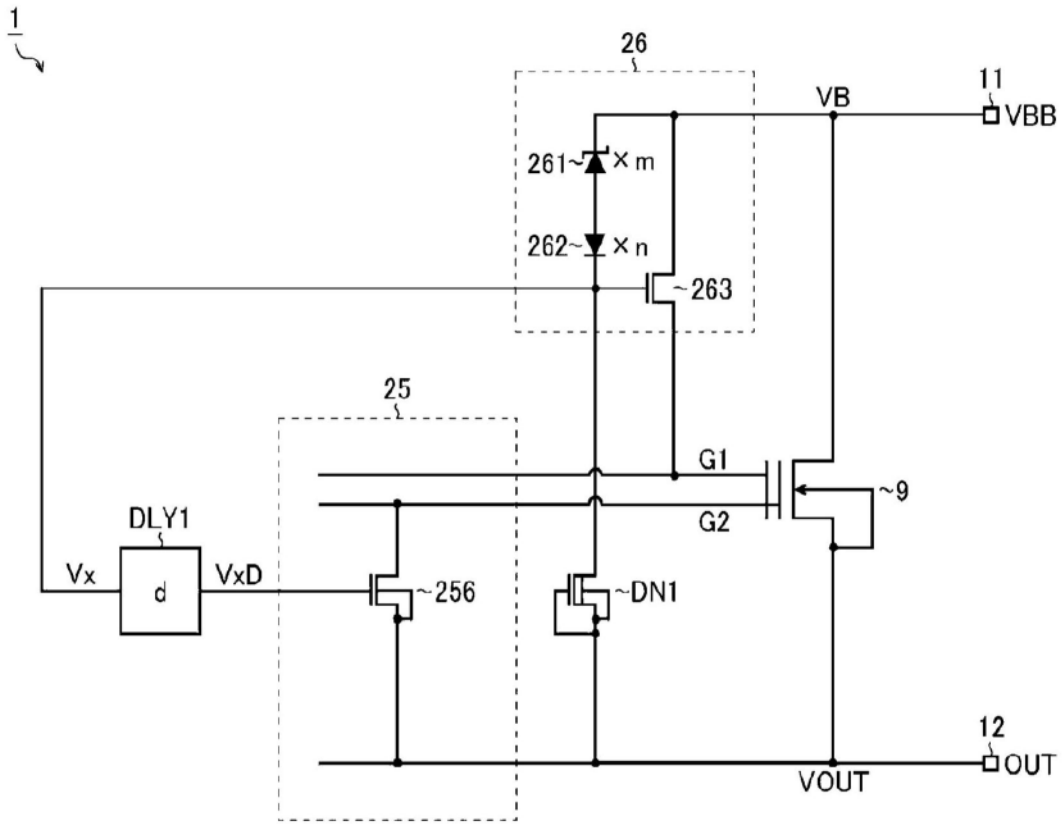


图14



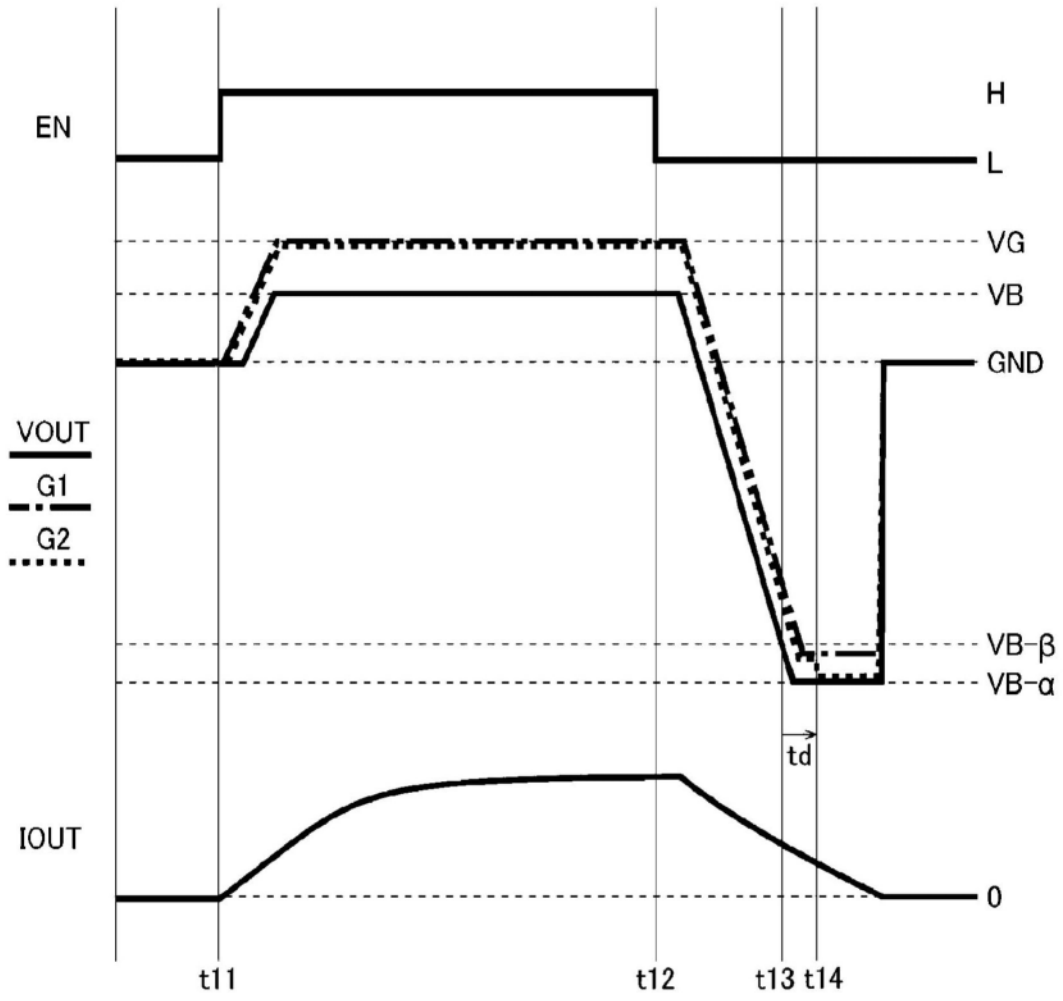


图16



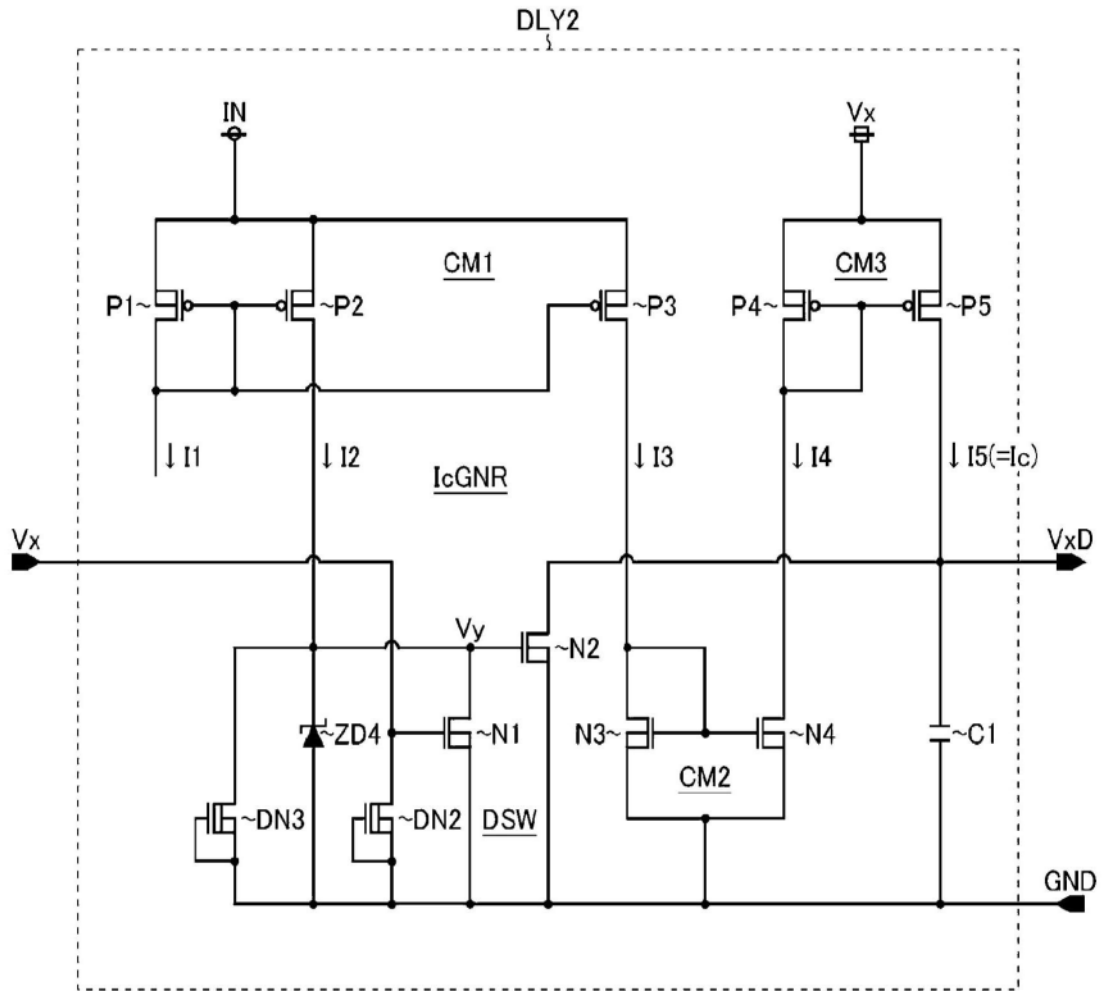


图18

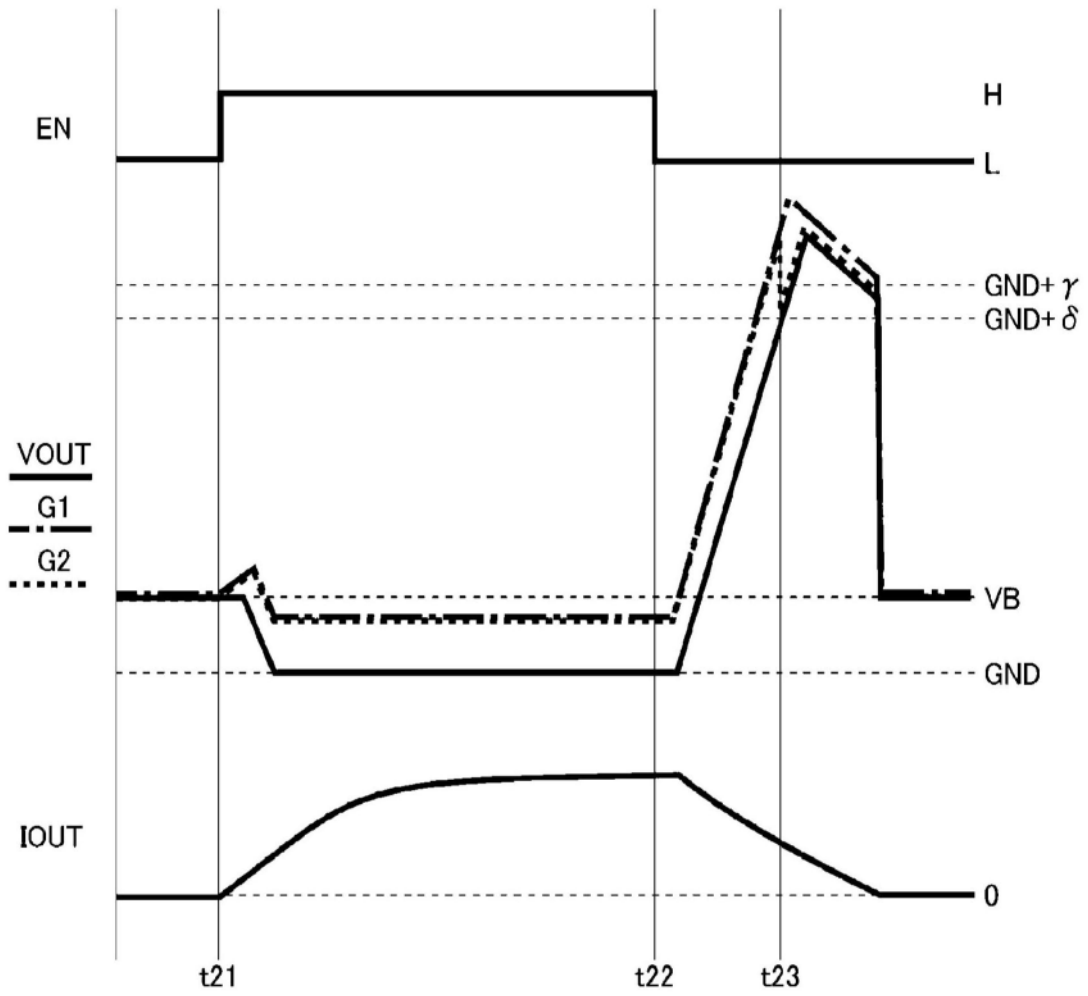


图19

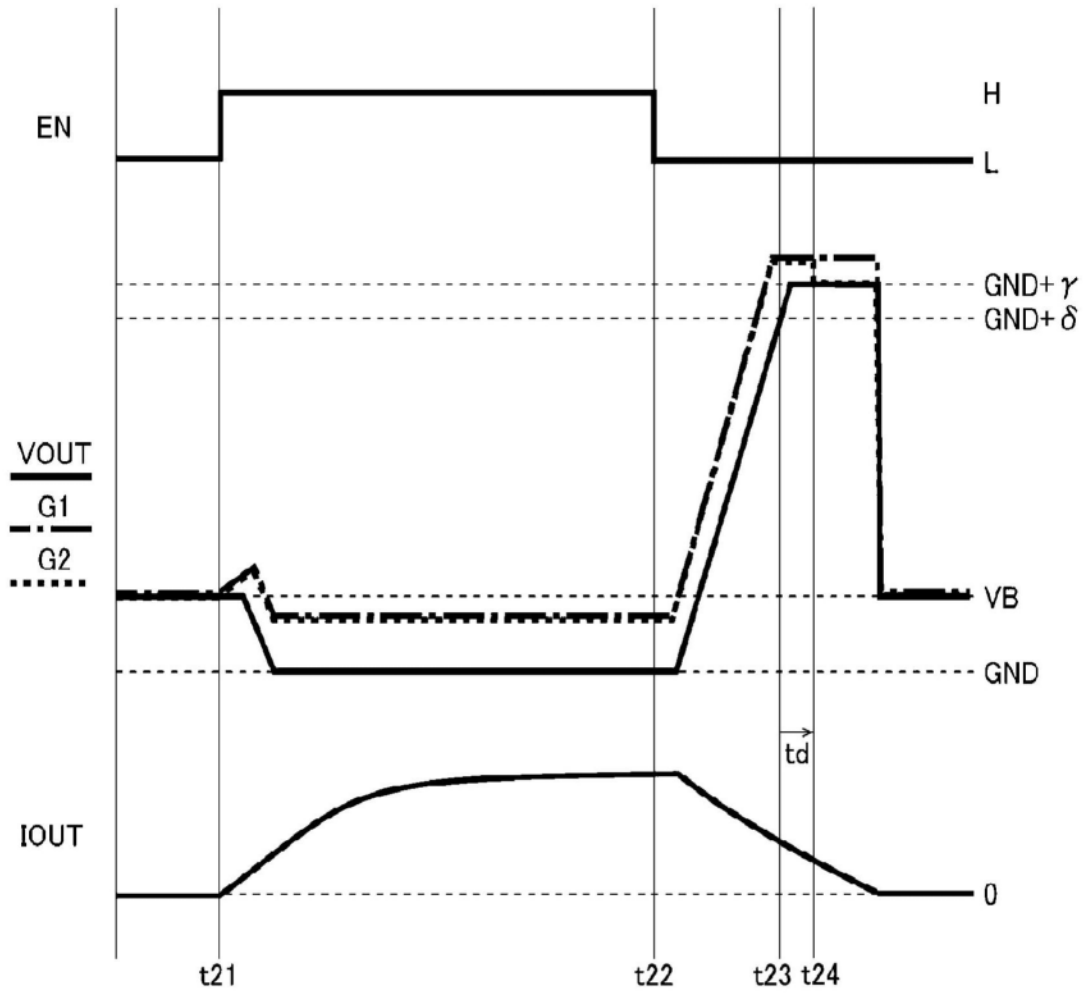


图20

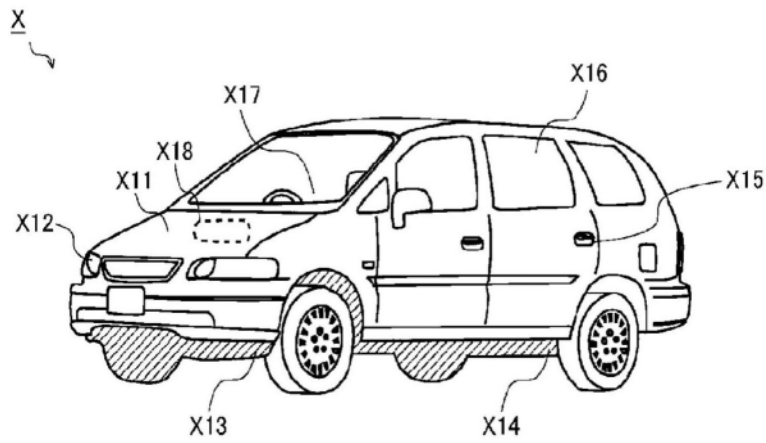


图21