

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97126874

※ 申請日期：97.7.15

※IPC 分類：G11C 7/24(2006.01)

## 一、發明名稱：(中文/英文)

用於防止高電壓記憶體干擾之方法及電路

METHOD AND CIRCUIT FOR PREVENTING HIGH VOLTAGE  
MEMORY DISTURB

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,  
U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 瓊 S 裘伊  
CHOY, JON S.
2. 延佐 王  
WANG, YANZHUO

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 美國 U.S.A.

#### 四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年08月03日；11/833,545

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明一般係關於半導體，且更明確而言，係關於半導體資料儲存裝置。

### 【先前技術】

嵌入具有其他類型電路之一積體電路中的半導體記憶體一般需要兩種不同的電源電壓來操作。一第一電源電壓係用於為該記憶體之控制電路供電。此控制電路常利用邏輯閘極來實施且使用一相對低之一供應電壓來供電。一第二電源電壓係用於為記憶體操作供電，例如程式化或抹除記憶體。此等電壓，尤其用於記憶體(諸如快閃記憶體)之電壓，其量值通常比邏輯電路所需之功率高出許多。若該低值之電源電壓低於為邏輯電路供電所需之一臨界值，則會產生錯誤的邏輯信號。由於不正確的邏輯值，記憶體陣列中之位元格會被不正確地曝露至高電壓電源供應，其通常係由充電幫浦或電壓倍增器產生。將高電壓錯誤耦合至一記憶體單元將會改變該記憶體單元之電性特徵。錯誤資料可能由已改變之電性特徵所致，從而建立不可靠之操作。

### 【實施方式】

圖1中所示的係一記憶體10，其具有一電壓干擾保護方案。該電壓干擾保護防止一高電壓對一記憶體陣列12之記憶體位元格的無意耦合，該耦合會以一不期望之方式改變該記憶體陣列之電性特徵。記憶體陣列12具有受一陣列控制邏輯14控制的複數個記憶體位元。該陣列控制邏輯14在

兩個不同電源電壓之功率下操作。指定一第一電源電壓為一功率域1或一記憶體功率域。該功率域1係一供應電壓，多個充電幫浦利用其建立一電壓，該電壓之量值足夠大，能夠程式化及抹除記憶體陣列12中之記憶體位元。指定一第二電源電壓為一功率域2且係一邏輯功率域。該第二電源電壓小於該第一電源電壓且具有高於至少一電晶體操作電壓的一量值以致能邏輯閘極及邏輯電路之供電。因此，該第一電源電壓與該第二電源電壓之量值皆不足以程式化或抹除記憶體位元。藉由複數個多個充電幫浦16為陣列控制邏輯14供電。將該等多個充電幫浦之每一個實施為一電壓倍增器電路或一充電幫浦電路。使用功率域1與功率域2兩者之電源電壓操作多個充電幫浦16。將多個充電幫浦16之一輸入耦合至一單一主振盪器18之一輸出。該單一主振盪器18係用於控時所有多個充電幫浦16之一共用的共同振盪器。單一主振盪器18使用功率域1記憶體電源電壓操作且具有耦合至一主振盪器控制20之一輸出的一輸入。該主振盪器控制20使用功率域1記憶體電源電壓與功率域2邏輯電源電壓操作。將主振盪器控制20之一第一輸入連接至一功率域2低電壓指示器24的一輸出以接收一低電壓指示器(LVI)信號26。將主振盪器控制20之一第二輸入連接至一記憶體控制邏輯22之一第一輸出。記憶體控制邏輯22使用功率域2邏輯電源電壓操作。將記憶體控制邏輯22之一第二輸出連接至多個充電幫浦16之一控制輸入以提供一控制信號27。將記憶體控制邏輯22之一第三輸出連接至陣列控

制邏輯14之一第二控制輸入，以提供一控制信號29至陣列控制邏輯14來控制與記憶體陣列12之各種交互作用。將主振盪器控制20之一第二輸出連接至陣列控制邏輯14之一第二輸入。

在操作中，記憶體10係用於在陣列控制邏輯14之控制下儲存資料。為便於說明，未顯示到記憶體陣列12之資料路徑但其在結構與操作中係習知的。記憶體10使用邏輯功率域(功率域2)操作以在一邏輯電壓位準下為所示邏輯電路供電，該位準僅高至足以可靠地切換邏輯電晶體。此電壓係程序相依且目前在一伏範圍內或更少。相反，記憶體功率域(功率域1)係用於為特定記憶體操作供電，例如程式化操作或抹除操作。假設在一種形式中，記憶體陣列12係實施為一快閃記憶體。在此形式中，用於實施功率域1之電壓通常為3伏或更大。此電壓亦係程序相依且在未來可變得更少。在任何情況下，功率域1電壓均明顯大於功率域2電壓。

在其中記憶體10係實施為一可攜式電子裝置的許多應用中，可攜式電池係用於為功率域1與功率域2供應電壓兩者供電。由於使用與記憶體10相關聯之邏輯操作比更高電壓記憶體操作頻繁得多，因此用於為功率域2電壓供電之電池在用於功率域1之前可能已耗盡。功率域2低電壓指示器24係用於指示功率域2電壓何時降至低於可靠地為邏輯電路供電所需的一預定最小電壓值或位準以下。當功率域2電壓變得太低時，對主振盪器控制20判定一低電壓指示器

信號26。為回應低電壓指示器信號26，主振盪器控制20將不再判定先前提供至信號主振盪器28之啟用信號。當未判定低電壓指示器信號26時，記憶體控制邏輯22在一適當電壓下操作且其提供一控制信號23至主振盪器控制20。在此狀況下，記憶體10在正常電路操作中運行且提供控制資訊至主振盪器控制20以正確控制單一主振盪器18。主振盪器18進而產生具有適當時序之時脈信號以操作多個充電幫浦16，其選擇性增壓功率域1信號。記憶體控制邏輯22提供控制信號27以控制多個充電幫浦16至陣列控制邏輯14之耦合。多個充電幫浦16使用功率域2來為多個充電幫浦16內的邏輯介面電路供電，從而於記憶體控制邏輯22所用之邏輯功率域與多個充電幫浦16所用之記憶體功率域介接。陣列控制邏輯14接收自多個充電幫浦16之增壓電壓，且操縱該增壓供應電壓至記憶體陣列12內的正確位置。

當功率域2低電壓指示器24判定功率域2電壓太低而不能可靠操作記憶體控制邏輯22內之邏輯電路及記憶體10之其他邏輯電路時，判定低電壓指示器信號26。低電壓指示器信號26之一判定停用主振盪器控制20。結果，不再藉由主振盪器控制20判定至主振盪器18之啟用信號。此外，主振盪器控制20將不再判定至陣列控制邏輯14之功率域1禁止信號。在一替代形式中，啟用信號亦用於使主振盪器18完全斷電且進一步保存記憶體10中之電源。當再次致能且為主振盪器18供電時，不會出現與記憶體操作有關的同步問題。在任一形式中，藉由主振盪器控制20提供之啟用信號

用於控制自主振盪器18之一時脈信號輸出。為回應功率域1禁止信號，陣列控制邏輯14解耦合功率域1供應電壓，使其不傳播至記憶體陣列12內的位元格之節點。因此，應注意，當判定低電壓指示信號時，主振盪器控制20用於防止自多個充電幫浦16產生多個增壓電壓。若藉由直接控制單一主振盪器18來避免多個充電幫浦電壓之產生，則實現另外的功率節省。

圖2中所示的係與主振盪器18及多個充電幫浦組合之主振盪器20之一形式。該主振盪器控制20並未詳細顯示，因為可使用任何大量習知的振盪器電路。此外，對於圖2中之充電幫浦未提供特定細節，此係因為可使用任何大量習知的充電幫浦電路。在所示形式中，主振盪器控制20具有一位準偏移器電路40及一位準偏移器電路42。在該位準偏移器電路40內有一P通道電晶體44，其具有連接至用於接收功率域1(記憶體功率域)之一供應電壓的一端子之一源極。電晶體44之一汲極係連接至一節點47且連接至N通道電晶體46之一汲極。電晶體46之一閘極係連接至使用功率域2之圖1之控制信號23。當功率域2之供應電壓足夠高進行可靠的操作時，控制信號23係用於透過主振盪器控制20控制主振盪器18之控制信號。控制信號23同樣係連接至藉由邏輯功率域或功率域2供電的一反相器52之一輸入。反相器52之一輸出係連接至N通道電晶體50之一閘極。電晶體46與電晶體50之一每一者之一源極係連接至用於接收一接地參考之一端子。一P通道電晶體48具有一源極，其係

連接至用於接收功率域1電壓之電晶體44之源極。電晶體48之閘極係連接至節點47。電晶體44之一閘極係連接至一節點49及一電晶體50之一汲極。應注意，藉由第一與第二功率域兩者為位準偏移器電路40供電。

位準偏移器電路42具有一電阻器60，其具有連接至用於接收功率域1電壓之一端子之一第一端子。電阻器60之一第二端子係連接至一P通道電晶體62之一源極。電晶體62之一閘極係於一節點63處連接至其一汲極。一N通道電晶體64具有於節點63處連接至電晶體62之一汲極之一汲極。電晶體64之一閘極係自功率域2低電壓指示器24連接至低電壓指示器信號26。一P通道電晶體66具有一源極，其係連接至用於接收功率域1電壓之端子。電晶體66之一汲極係於一節點68處連接至N通道電晶體70之一汲極。電晶體70之一閘極係自功率域2低電壓指示器24連接至電晶體64之閘極及至低電壓指示器信號26。電晶體64與電晶體70之一每一者之一源極係連接至一接地參考電壓端子。一P通道電晶體72具有一源極，其係連接至用於接收功率域1電壓之端子。電晶體72之一閘極係連接至節點68。電晶體66之一閘極係連接至連接至電晶體72之汲極之一節點74。N通道電晶體76之一汲極係連接至節點74。電晶體76之一閘極係連接至節點63，且電晶體76之一源極係連接至該接地參考電壓端子。一P通道電晶體80具有一源極，其係連接至用於接收功率域1電壓之端子。電晶體80之一閘極係於節點74處連接至一N通道電晶體82之一閘極。電晶體80之

一汲極係於一節點83處連接至電晶體82之一汲極。電晶體82之一源極係連接至接地參考電壓端子。一P通道電晶體84具有一源極，其係連接至用於接收功率域1電壓之端子。電晶體84之一閘極係於節點83處連接至一N通道電晶體86之一閘極。電晶體84之一汲極係連接至電晶體86之一汲極並提供功率域1禁止信號。電晶體86之一源極係連接至該接地參考電壓端子。

一AND閘極53之一第一輸入係連接至節點49。一AND閘極53之一第二輸入係連接至節點74。AND閘極53之一輸出54係連接至一主振盪器18之一輸入。藉由圖1所示之功率域1為主振盪器18供電。主振盪器18具有多個輸出，其係分別耦合至多個充電幫浦16之一預定者之一輸入。多個充電幫浦16包括一第一充電幫浦90、一第二充電幫浦91及額外的充電幫浦，例如第N個充電幫浦92，其中N為整數。充電幫浦90至92之每一個具有一個別輸出，其皆耦合至陣列控制邏輯14。

在操作中，位準偏移器電路40接收藉由功率域2供電之一數位信號，且於節點49處提供一輸出位元，該數位信號具有與控制信號23相同之數位值(即邏輯狀態)之一值。然而，將位準偏移器電路40之輸出的電壓位準自較低功率域2轉移至較高功率域1。在位準偏移器電路42內，信號78亦具有與功率域2低電壓指示器24相同之邏輯值。至於位準偏移器電路40，將位準偏移器電路42之輸出的電壓位準自較低功率域2轉移至較高功率域1。然而，藉由功率域1為

位準偏移器電路42內的所有電路供電。因此，位準偏移器電路42之輸出將為正確的，而當與功率域2相關聯之電壓下降至一臨界位準以下時，位準偏移器電路42之該輸出可能不正確。除非致能位準偏移器電路40與位準偏移器電路42之輸出兩者，否則藉由較高功率域1供應電壓供電之AND閘極將不會致能主振盪器18。應此，應瞭解，位準偏移器電路42係用於保證當判定低電壓指示器信號26時，不會致能主振盪器。

圖3中所示的係用於防止高電壓記憶體干擾之一方法94之一流程圖。在步驟95中，使用藉由一單一主振盪器控時之電壓倍增器產生的高電壓為一記憶體供電。在本文中，術語"高電壓"係相對的，且意味電壓值比用於為所連接之電晶體供電以實施邏輯功能之電壓更高的一電壓。通常需要此高電壓來操作記憶體，例如快閃記憶體，以進行程式化及抹除操作。電壓倍增器及單一主振盪器使用電壓量值大於一第二功率域之一第一功率域。在步驟96中，使用該第二功率域為與記憶體相關聯之邏輯電路供電。在步驟97中，偵測該第二功率域中之一低電壓狀況。此狀況出現在第二功率域電壓降至低於一預定臨限值時。在步驟98中，停用單一主振盪器18以回應偵測第二功率域中之低電壓狀況。停用主振盪器18防止高電壓傳播至記憶體陣列12上。在步驟99中，偵測第二功率域返回至一正常操作位準。此偵測出現在第二功率域電壓在一預定時間量內達到或超過預定臨限值時。在步驟100中，釋放對單一主振盪器18之

控制或將對其之控制歸還給記憶體控制邏輯22。在步驟102中，當記憶體控制邏輯22控制記憶體10時指示功率域2具有足夠的量值來提供正確且可靠的操作，結束方法94。

圖4中所示的係描繪上文結合圖1及2討論之各種信號的電壓對時間的波形。所示功率域1信號在整個所示時間期間具有一恆定值 $V_{DD1}$ 。所示功率域2信號在0與 $V_{DD2}$ 之間變化。在時間 $t1$ 前，功率域2之電壓 $V_{DD2}$ 低於一預定值108。因此，判定顯示為一主動低信號之低電壓指示器信號。當一低電壓狀況存在時，停用主振盪器18，如啟用信號為一邏輯0所示。在時間 $t1$ ，預定值108係被功率域2值超過且其直至大約時間 $t2$ 才變成供應電壓值 $V_{DD2}$ 。在此時間間隔期間，未判定低電壓指示器信號26，如假設 $V_{DD2}$ 之值的主動低實例所示。在此用於可靠操作之充足功率域2電壓的時間間隔期間，使用一 $V_{DD1}$ 信號致能主振盪器18。在時間 $t2$ 後，功率域2電壓未滿足預定值108，且再次判定低電壓指示器信號26。此外，未判定用於主振盪器18之啟用信號，且未自主振盪器18提供時脈至多個充電幫浦16。該等波形指示，如功率域2之電壓之一無縫操作在預定值108上下變化。不允許電壓變化干擾已經程式化到記憶體陣列12之位元格內的電性特徵。

現在，應明白，已提供一方法及記憶體電路，其最小化由用於一記憶體中之多個電源電壓之一造成的位元格干擾，該電壓變得足夠低以確保可靠操作。由於非揮發性記憶體位元格繼續以更小尺寸實施，因此該等單元位元對導

致不正確儲存之位元格的電壓干擾或記憶體干擾展現一更大的耐受性。在一形式中，當存在一無效邏輯位準信號時，將主動之一通電重設信號用於一額外功能。將具有處於一邏輯電壓位準之一電壓位準的該通電重設信號轉換成一更高電壓位準且用作一啟用信號以停用一記憶體系統中之多個充電幫浦。藉由停用控制該等多個充電幫浦之一主或共用振盪器來停用該等多個充電幫浦。當系統中之主振盪器不起作用時，可保證功率域2之更高電壓不會導致該記憶體陣列中之一位元干擾。由於當功率域1之電壓降至低於一臨限值時選擇性地停用多個充電幫浦之操作，因此避免陣列控制邏輯之電路中的一汲極電流，從而消除對記憶體陣列之軟熱載子注入(HCI)干擾的可能性。本文所述之方法有效避免由於電壓倍增器或充電幫浦在內部產生之電壓建立的一非揮發性記憶體陣列中之位元干擾。

在一形式中，本文提供操作具有一記憶體陣列之一電路之一方法。使用一邏輯功率域操作記憶體控制器邏輯。產生比該邏輯功率域之電壓高的電壓以回應一振盪器之震盪。將該等更高電壓用於操作該記憶體陣列。當該邏輯功率域至少處於一第一位準時，使用該記憶體控制邏輯控制該振盪器之操作。當該邏輯功率域低於該第一位準時，停用振盪器。在另一形式中，產生該等高電壓進一步包括使用回應振盪器振盪之電壓倍增器。在另一形式中，產生該等電壓進一步包括使用低於該等更高電壓之一記憶體功率域為該等電壓倍增器供電。在另一形式中，使用更高電壓

進一步包括使用陣列邏輯控制以施加該等更高電壓至記憶體陣列。在另一形式中，使用更高電壓進一步包括使用記憶體功率域為陣列控制邏輯供電。在另一形式中，停用振盪器進一步包括判定一低電壓指示器信號以回應下降至第一位準以下之邏輯功率域。停用該振盪器以回應判定低電壓指示器信號之步驟。在另一形式中，控制振盪器之操作進一步包括使用記憶體控制邏輯來判定至一振盪器控制電路之一振盪器啟用信號。將該振盪器控制電路之一輸出耦合至處於用以致能該振盪器之一第一邏輯狀態下的振盪器。在另一形式中，判定低電壓指示器信號進一步包括判定處於一邏輯狀態之低電壓指示器信號，處於該狀態之低電壓指示信號促使振盪器控制電路提供該振盪器控制電路之輸出至處於停用振盪器之一第二邏輯狀態下的振盪器。在另一形式中，判定低電壓指示器信號進一步包括位準偏移該低電壓指示器信號。將該位準偏移之低電壓指示器信號提供至一邏輯閘極。將該邏輯閘極之一輸出耦合至振盪器。

在另一形式中，一電路包括一記憶體控制邏輯，其係藉由具有一第一輸出及一第二輸出之一邏輯功率域供電。將一低電壓指示器電路耦合至具有一輸出之該邏輯功率域。一振盪器控制電路具有耦合至低電壓指示器電路之輸出的一第一輸入、耦合至該記憶體控制邏輯之第一輸出的一第二輸入以及一輸出。一振盪器具有耦合至該振盪器控制電路之輸出的一控制輸入以及一振盪器輸出。將複數個電壓

倍增器耦合至該振盪器之該輸出且其提供比該邏輯功率域具有更高之一絕對值的高電壓。將一陣列控制邏輯耦合至該複數個電壓倍增器以及該記憶體控制邏輯之第二輸出。將一記憶體陣列耦合至該陣列控制邏輯。在另一形式中，藉由一記憶體功率域為該振盪器控制電路供電，該記憶體功率域具有高於邏輯功率域但低於該等高電壓之絕對值的一位準。在另一形式中，振盪器控制電路包括一第一位準偏移器，其具有耦合至該記憶體控制邏輯之一輸入及一輸出。一第二位準偏移器具有耦合至低電壓指示器電路之輸出之一輸入及一輸出。一邏輯閘極具有耦合至該第一位準偏移器之輸出的一輸入、耦合至該第二位準偏移器之輸出的一第二輸入以及耦合至振盪器之控制輸入的一輸出。在一形式中，第二位準偏移器包括一電晶體，其具有耦合至低電壓指示器電路之輸出的一閘極、耦合至一接地端子之一源極以及一汲極。在電晶體之汲極與記憶體功率域之間串聯連接一電阻元件與一二極體連接之電晶體。藉由記憶體功率域供電之一位準偏移電路具有耦合至低電壓指示器電路之一第一輸入、耦合至第一電晶體之汲極的一第二輸入以及作為第二位準偏移器之輸出的一輸出。當邏輯功率域低於一預定電壓位準時，低電壓指示器電路提供處於一邏輯低之低電壓指示器電路之輸出。陣列控制邏輯包括用於控制施加更高電壓至記憶體陣列以回應記憶體控制邏輯之第二輸出的電路，其中該記憶體控制邏輯之第二輸出係多信號。在另一形式中，記憶體陣列包括非揮發性記憶體

單元，其需要更高電壓用於程式化及抹除。陣列控制邏輯使用該等更高電壓控制程式化與抹除。該陣列控制邏輯使用第二功率域與第一功率域。當邏輯功率域低於一預定電壓位準時，低電壓指示器電路導致振盪器控制電路停用該振盪器。

在另一形式中，本文提供一電路，其具有需要更高電壓用於程式化及抹除之一記憶體單元陣列。記憶體控制電路提供信號，該等信號指示讀取、程式化及抹除操作之性能且藉由一邏輯功率域供電。一低電壓指示器指示該邏輯功率域何時低於一預定位準。藉由至少一記憶體功率域為一振盪器供電。當低電壓指示器指示邏輯功率域低於預定位準時，一振盪器控制電路停用該振盪器且當邏輯功率域處於或高於該預定位準時，該電路允許記憶體控制電路控制振盪器。將複數個電壓倍增器耦合至該振盪器之輸出，其中至少藉由記憶體功率域為該等電壓倍增器供電，且該等電壓倍增器提供比記憶體功率域具有一更高位準之高電壓。將陣列控制電路耦合至複數個電壓倍增器及記憶體控制電路以將高電壓施加至根據該記憶體控制電路所指示之性能實行程式化及抹除的記憶體陣列。記憶體控制電路控制複數個電壓倍增器。在一形式中，振盪器控制電路包括耦合至低電壓指示器之一第一位準偏移器。將一第二位準偏移器耦合至記憶體控制電路。將一邏輯閘極耦合至第一位準偏移器、第二位準偏移器及振盪器。

儘管已就特定導電類型或電位極性來說明本發明，但應

明白，導電類型及電位極性可反轉。此外，在本說明及申請專利範圍中若用到任何術語，例如"前方"、"後方"、"頂部"、"底部"、"之上"、"之下"、"高於"、"低於"及類似詞語的話，其僅具說明的目的，而並非用來描述永遠相對的位置。應明白的係，在適當狀況中，所使用的該等術語均可互換，使得本文所描述的本發明之具體實施例亦能夠運作在本文所顯示或所描述以外的其他方向中。本文中所使用的術語"包括"、"包含"或其任何其他變化，都是用來涵蓋非專有內含項，使得包括元件清單的程序、方法、物品或裝置，不僅包括此等元件，而且還包括未明確列出或此類程序、方法、物品或裝置原有的其他元件。本文使用的術語"一"或"一個"係定義為一個或一個以上。然而，引入性辭令(例如申請專利範圍中之"至少一個"及"一或多個")之使用不應理解成，藉由不定冠詞"一"或"一個"引入另一申請專利範圍元件將包含此引入申請專利範圍元件之任何特定申請專利範圍限制為僅包含一個此元件之發明，即使相同的申請專利範圍包括引入性辭令"一或多個"或"至少一"及不定冠詞如"一"或"一個"，對於定冠詞之申請專利範圍中之使用同樣有效。除非另行說明，術語，例如"第一"及"第二"係用於專門區域此等術語描述之元件。因此，該等術語並不必然限於指示此等元件之時間量變或其他優先化。

本文使用的術語"複數個"，其係定義為兩個或兩個以上。本文使用的術語"另一"，其係定義為至少第二個或更多。本文使用的術語"包括"及/或"具有"，其係定義為"包

含"(即：開放語言)。本文使用的術語"耦合"，其係定義為"連接"，儘管不一定是直接連接，也不一定是機械耦合。

儘管本文參考特定具體實施例描述本發明，但可進行各種修改及變化而不脫離下面申請專利範圍所提出的本發明之範疇。例如，該方法可用于形成除電晶體之外的其他半導體裝置。例如，使用此方法可實施二極體及熔絲。同樣，除本文特定列出之材料外，可使用各種半導體材料。多個記憶體陣列可以每一陣列受藉由一共同振盪器控時之多個充電幫浦控制來實施。此外，可實施多個充電幫浦之分組，其中每一組係受一單一或主振盪器控制。本文所述的關於特定具體實施例之任何益處、優點或解決方案並不意欲視為任何請求項或所有請求項之一關鍵所需或必需的特徵或元素因此，應將說明書及圖式視為具有解說意義而非限制意義，並且希望此類修改包括在本發明之範疇內。

### 【圖式簡單說明】

已經由附圖中的範例而非限制來解說本發明，其中相同參考符號指示類似元件。圖中的元件係為了簡化及清楚起見而解說，但不一定按比例繪製。

圖1說明根據本發明用於防止高電壓記憶體干擾之一記憶體的一方塊圖形式；

圖2說明主振盪器之一形式及其用於圖1之控制的一部分示意形式；

圖3說明根據本發明用於防止一記憶體中之高電壓記憶體干擾的一方法之一流程圖；以及

圖 4 說明與圖 1 之記憶體相關聯之各種電壓信號的一時序圖。

【主要元件符號說明】

|    |              |
|----|--------------|
| 1  | 功率域          |
| 2  | 功率域          |
| 10 | 記憶體          |
| 12 | 記憶體陣列        |
| 14 | 陣列控制邏輯       |
| 16 | 充電幫浦         |
| 18 | 單一主振盪器       |
| 20 | 主振盪器控制       |
| 22 | 記憶體控制邏輯      |
| 23 | 控制信號         |
| 24 | 功率域 2 低電壓指示器 |
| 26 | 低電壓指示器信號     |
| 27 | 控制信號         |
| 29 | 控制信號         |
| 40 | 位準偏移器電路      |
| 42 | 位準偏移器電路      |
| 44 | 電晶體 44       |
| 46 | N 通道電晶體      |
| 47 | 節點           |
| 48 | P 通道電晶體      |
| 49 | 節點           |

|    |              |
|----|--------------|
| 50 | 電 晶 體        |
| 52 | 反 相 器        |
| 53 | AND閘 極       |
| 54 | 輸 出          |
| 60 | 電 阻          |
| 62 | 電 晶 體        |
| 63 | 節 點          |
| 64 | 電 晶 體        |
| 66 | 電 晶 體        |
| 68 | 節 點          |
| 70 | N通 道 電 晶 體   |
| 72 | P通 道 電 晶 體   |
| 74 | 節 點          |
| 76 | N通 道 電 晶 體   |
| 78 | 信 號          |
| 80 | P通 道 電 晶 體   |
| 82 | N通 道 電 晶 體   |
| 83 | 節 點          |
| 84 | P通 道 電 晶 體   |
| 86 | N通 道 電 晶 體   |
| 90 | 第 一 充 電 幫 浦  |
| 91 | 第 二 充 電 幫 浦  |
| 92 | 第 N個 充 電 幫 浦 |

## 五、中文發明摘要：

本發明揭示一種降低由於兩個供應電壓之一下降至一預定值以下導致的一記憶體陣列(12)中之干擾的電路及方法。使用一邏輯功率域操作記憶體控制邏輯(22)。產生比該邏輯功率域之電壓更高的電壓以回應一振盪器(18)之震盪。將該等更高電壓用於操作該記憶體陣列(12)。當該邏輯功率域至少處於一第一位準或值時，使用該記憶體控制邏輯(22)來控制該振盪器(18)之操作。當該邏輯功率域低於該第一位準時，停用該振盪器(18)。該振盪器(18)之該停用具有防止該等更高電壓之產生的效應。此有助於當不能正確控制該等更高電壓時防止其到達該記憶體陣列(12)。

## 六、英文發明摘要：

A circuit and method reduces disturb in a memory array (12) resulting from one of two supply voltages dropping below a predetermined value. Memory control logic (22) is operated using a logic power domain. Higher voltages than that of the logic power domain are generated in response to an oscillator (18) oscillating. The higher voltages are used to operate the memory array (12). Operation of the oscillator (18) is controlled with the memory control logic (22) when the logic power domain is at least at a first level or value. The oscillator (18) is disabled when the logic power domain is below the first level. The disabling of the oscillator (18) has the effect of preventing generation of the higher voltages. This facilitates preventing the higher voltages from reaching the memory array (12) when they may not be properly controlled.

## 十、申請專利範圍：

1. 一種操作具有一記憶體陣列之一電路的方法，其包括：  
    使用一邏輯功率域操作記憶體控制邏輯；  
    產生比該邏輯功率域之電壓更高電壓以回應一振盪器之振盪；  
    將該等更高電壓用於操作該記憶體陣列；  
    當該邏輯功率域至少處於一第一位準時，使用該記憶體控制邏輯控制該振盪器之操作；以及  
    當該邏輯功率域低於該第一位準時，停用該振盪器。
2. 如請求項1之方法，其中產生更高電壓的進一步特徵為回應該振盪器之振盪而使用電壓倍增器。
3. 如請求項2之方法，其中產生更高電壓的進一步特徵為使用低於該等更高電壓之一記憶體功率域為該等電壓倍增器供電。
4. 如請求項1之方法，其中使用該等更高電壓的進一步特徵為將陣列控制邏輯用於施加該等更高電壓至該記憶體陣列。
5. 如請求項4之方法，其中使用該等更高電壓的進一步特徵為使用一記憶體功率域為該陣列控制邏輯供電。
6. 如請求項1之方法，其中停用該等振盪器的進一步特徵為：  
    判定一低電壓指示器信號以回應該邏輯功率域降至該第一位準之下；以及  
    停用該振盪器以回應判定該低電壓指示器信號之該步

驟。

7. 如請求項6之方法，其中控制該振盪器之該操作的進一步特徵為：

使用該記憶體控制邏輯來判定至一振盪器控制電路之一振盪器啟用信號；以及

將該振盪器控制電路之一輸出耦合至處於用以致能該振盪器之一第一邏輯狀態下的該振盪器。

8. 如請求項7之方法，其中判定該低電壓指示器信號的進一步特徵為判定處於一邏輯狀態下之該低電壓指示器信號，該邏輯狀態促使該振盪器控制電路提供該振盪器控制電路之該輸出至處於停用該振盪器之一第二狀態下之該振盪器。

9. 如請求項8之方法，其中判定該低電壓指示器信號之該步驟的進一步特徵為：

位準偏移該低電壓指示器信號以提供一位準偏移之低電壓指示器信號；

提供該位準偏移之低電壓指示器信號至一邏輯閘極；  
以及

將該邏輯閘極之一輸出耦合至該振盪器。

10. 一種電路，其包括：

記憶體控制邏輯，其係藉由具有一第一輸出及一第二輸出之一邏輯功率域供電；

一低電壓指示器電路，其係耦合至具有一輸出之該邏輯功率域；

一振盪器控制電路，其具有耦合至該低電壓指示器電路之該輸出的一第一輸入、耦合至該記憶體控制邏輯之該第一輸出的一第二輸入以及一輸出；

一振盪器，其具有耦合至該振盪器控制電路之該輸出的一控制輸入以及一振盪器輸出；

複數個電壓倍增器，其係耦合至該振盪器之該輸出，該複數個電壓倍增器提供具有比該邏輯功率域更高的一絕對值之高電壓；

陣列控制邏輯，其係耦合至該複數個電壓倍增器及該記憶體控制邏輯之該第二輸出；以及

一記憶體陣列，其係耦合至該陣列控制邏輯。

11. 如請求項10之電路，其中藉由一記憶體功率域為該振盪器控制電路供電，該記憶體功率域具有高於該邏輯功率域但低於該等高電壓之絕對值的一值。

12. 如請求項11之電路，其中該振盪器控制電路包括：

一第一位準偏移器，其具有耦合至該記憶體控制邏輯之該第一輸出的一輸入及一輸出；

一第二位準偏移器，其具有耦合至該低電壓指示器電路之該輸出的一輸入及一輸出；以及

一邏輯閘極，其具有耦合至該第一位準偏移器之該輸出的一輸入、耦合至該第二位準偏移器之該輸出的一第二輸入以及耦合至該振盪器之該控制輸入的一輸出。

13. 如請求項12之電路，其中該第二位準偏移器包括：

一電晶體，其具有耦合至該低電壓指示器電路之該輸

出的一閘極、耦合至一接地端子的一源極以及一汲極；

一電阻元件及一二極體連接電晶體，其係串聯耦合在該電晶體之該汲極與該記憶體功率域之間；以及

位準偏移構件，其係藉由該記憶體功率域供電，該構件具有耦合至該低電壓指示器電路之該輸出的一第一輸入、耦合至該電晶體之該汲極的一第二輸入以及作為該第二位準偏移器之該輸出的一輸出。

14. 如請求項13之電路，其中當該邏輯功率域低於一預定電壓位準時，該低電壓指示器電路提供處於一邏輯低之該低電壓指示器電路之該輸出。

15. 如請求項10之電路，其中該陣列控制邏輯包括用於控制施加該等高電壓至該記憶體陣列以回應該記憶體控制邏輯之該第二輸出的構件，其中該記憶體控制邏輯之該第二輸出係一多信號。

16. 如請求項14之電路，其中：

該記憶體陣列包括需要該等高電壓以進行程式化及抹除之非揮發性記憶體單元；

該陣列控制邏輯使用該等高電壓控制該程式化及抹除；以及

該陣列控制邏輯使用該邏輯功率域及該記憶體功率域。

17. 如請求項10之電路，其中當該邏輯功率域低於一預定電壓位準時，該低電壓指示器電路導致該振盪器控制電路停用該振盪器。

18. 一種電路，其包括：

一記憶體陣列，其包含需要高電壓來進程式化及抹除之單元；

記憶極控制構件，其用於提供指示讀取、程式化及抹除操作之性能且藉由一邏輯功率域供電之信號；

一低電壓指示器，其用於指示該邏輯功率域何時低於一預定位準；

一振盪器，其包括一輸出且係藉由至少一記憶體功率域供電；

振盪器控制構件，其用於在該低電壓指示器指示該邏輯功率域低於該預定位準時停用該振盪器，且在該邏輯功率域處於或高於該預定位準時允許該記憶體控制構件來控制該振盪器；

複數個電壓倍增器，其係耦合至該振盪器之該輸出，其中該複數個電壓倍增器係至少藉由該記憶體功率域供電且提供具有比該記憶體功率域更高的一值之高電壓；以及

陣列控制構件，其係耦合至該複數個電壓倍增器及該記憶體控制構件，並用於在根據該記憶體控制構件所指示之該性能實程式化及抹除時施加該等高電壓至該記憶體陣列。

19. 如請求項18之電路，其中該記憶體控制構件控制該複數個電壓倍增器。

20. 如請求項18之電路，其中該振盪器控制構件包括：

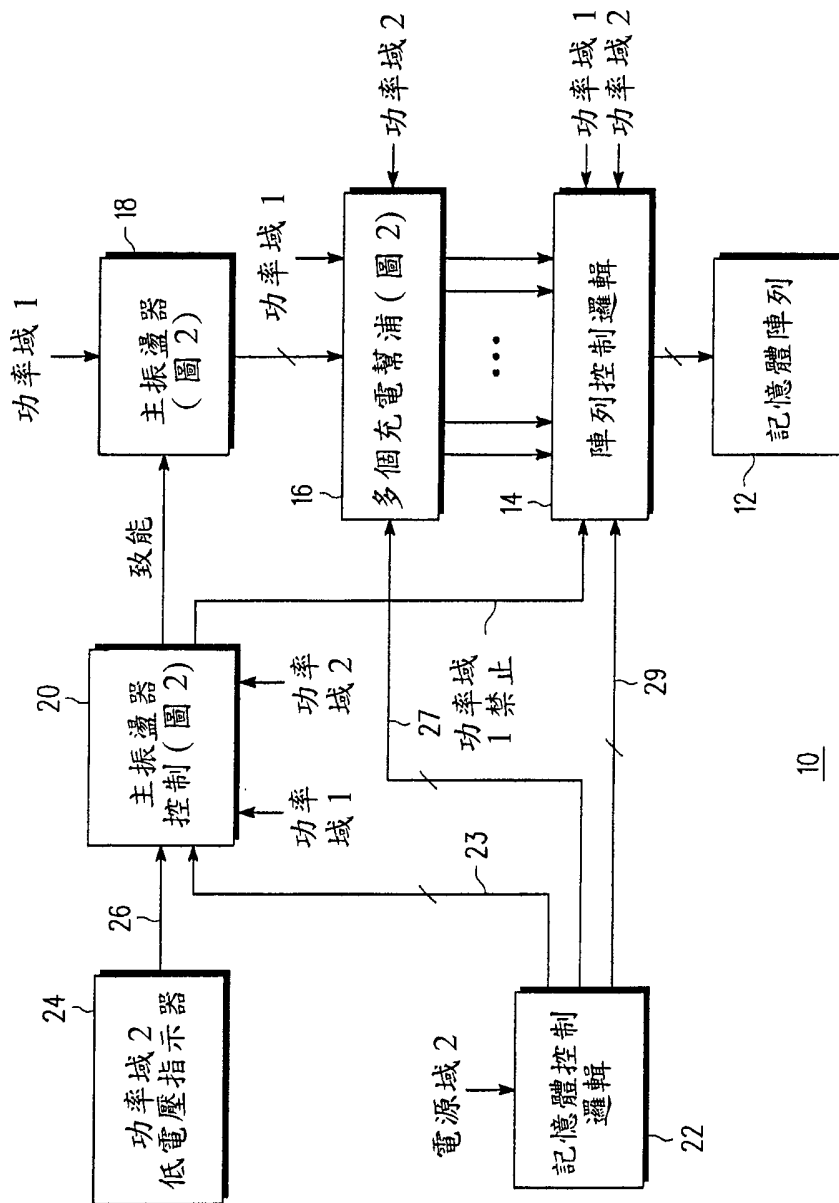
一 第一位準偏移器，其係耦合至該低電壓指示器；

一 第二位準偏移器，其係耦合至該記憶體控制構件；

以及

一 邏輯閘極，其係耦合至該第一位準偏移器、該第二位準偏移器及該振盪器。

十一、圖式：



一 回

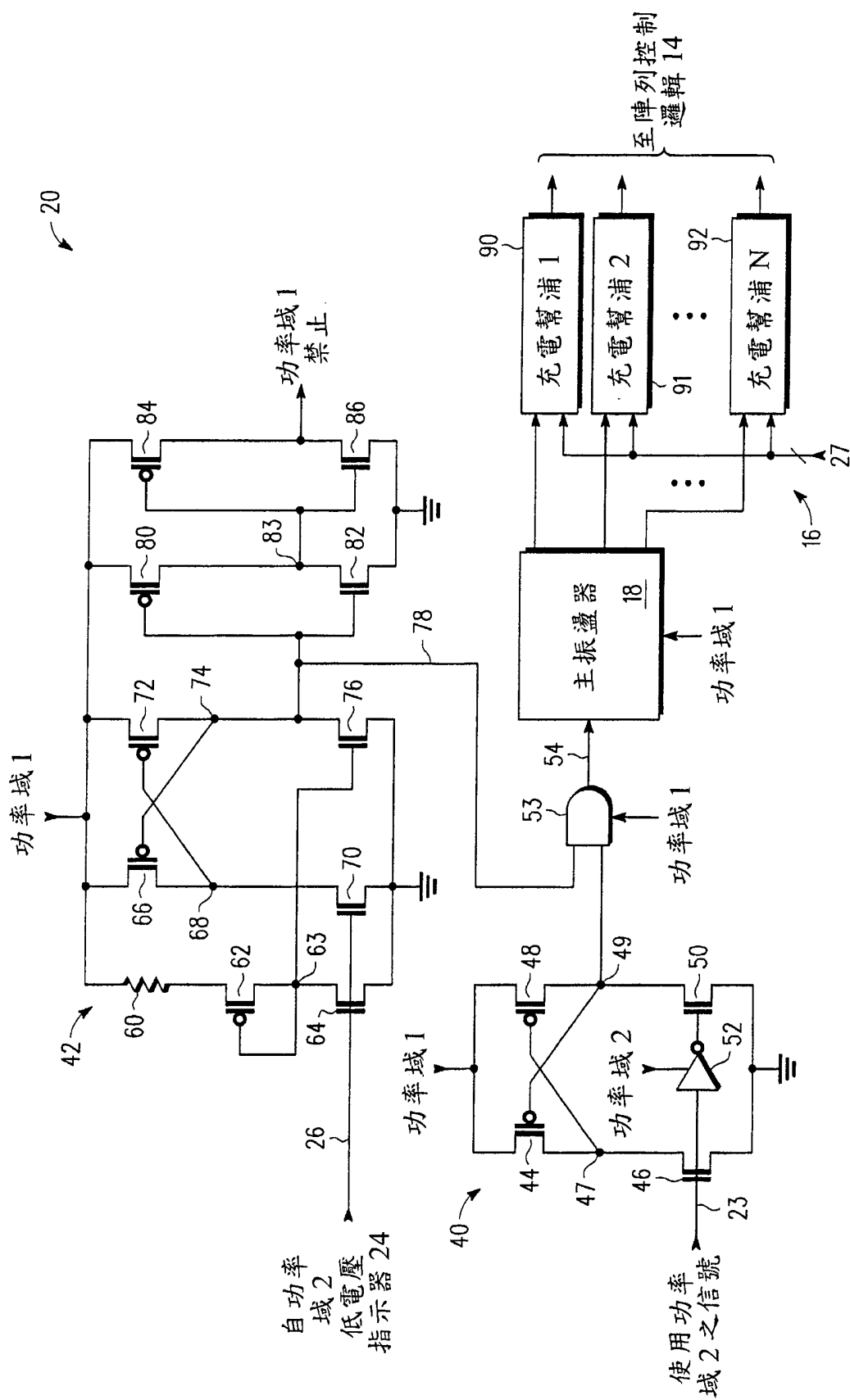


圖 2

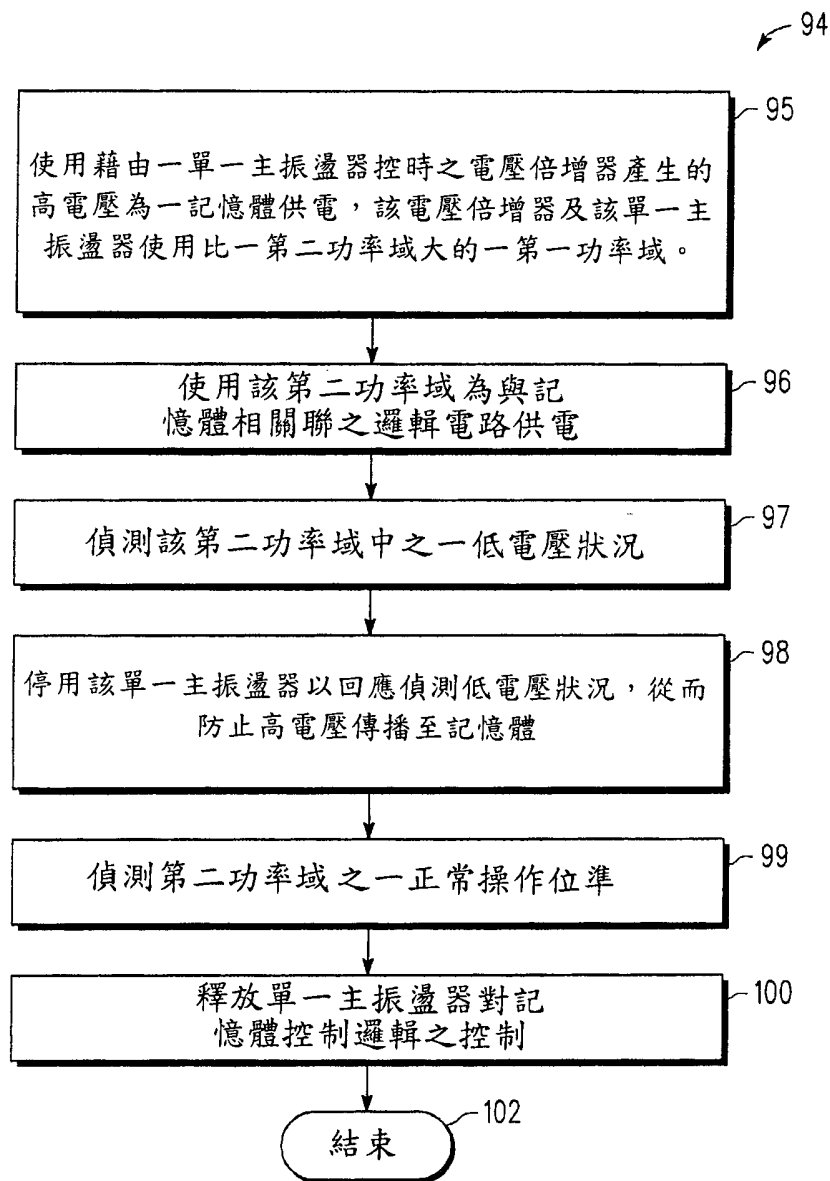


圖 3

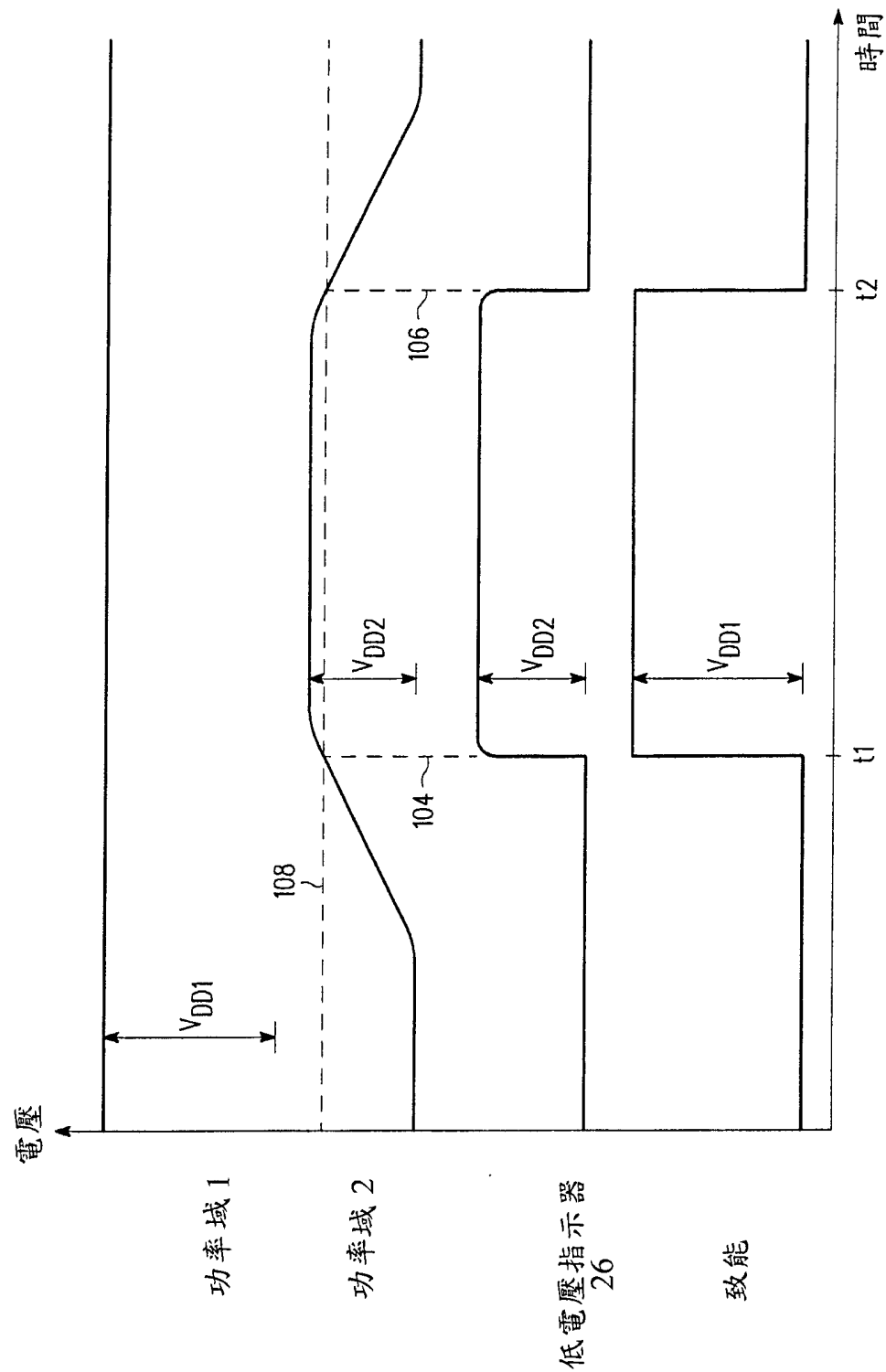


圖 4

**七、指定代表圖：**

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

(無)