

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年3月8日(08.03.2012)

PCT

(10) 国際公開番号
WO 2012/029671 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2011/069346
- (22) 国際出願日: 2011年8月26日(26.08.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-197198 2010年9月2日(02.09.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 佐々木 修
(SASAKI, Osamu). 村上 祐一郎(MURAKAMI,
Yuhichiroh). 佐々木 寧(SASAKI, Yasushi). 山本
悦雄(YAMAMOTO, Etsuo).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADE-
MARK); 〒5300041 大阪府大阪市北区天神橋2
丁目北2番6号 大和南森町ビル Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

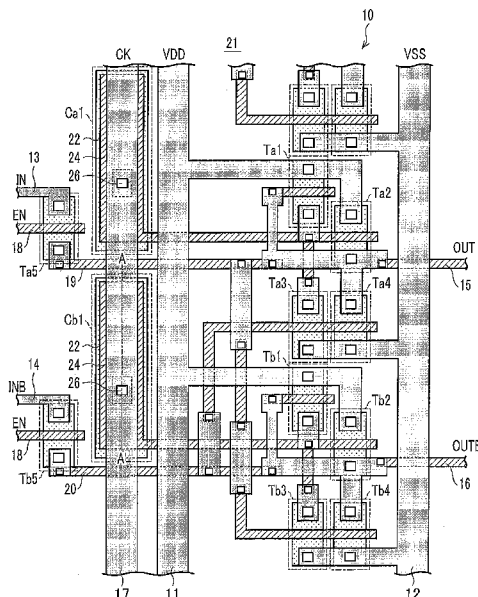
添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE, SEMICONDUCTOR DEVICE UNIT, ACTIVE MATRIX SUBSTRATE, LIQUID CRYSTAL PANEL, AND LIQUID CRYSTAL DISPLAY

(54) 発明の名称: 半導体装置、半導体装置ユニット、アクティブマトリクス基板、液晶パネル、および液晶表示装置

[図1]



(57) Abstract: A semiconductor device (10) provided with a plurality of transistors and capacitances (Ca1, Cb1), the semiconductor device comprising: a semiconductor layer (22) composed of the same material as that of a channel layer of the transistor; a capacitive electrode (24) formed on the semiconductor layer (22) with a gate insulating film therebetween; and a clock signal line (17) formed on the capacitive electrode (24) with an interlayer insulating film therebetween. The capacitive electrode (24) is connected to a gate electrode of the transistor. The clock signal line (17) is supplied with clock signals (CK) from external. The capacitances (Ca1, Cb1) are formed at a superposed portion of the semiconductor layer (22), the gate insulating film (23), and the capacitive electrode (24), and the superposed portion and the clock signal line (17) are overlapped in plan view. A semiconductor device unit, an active matrix substrate, a liquid crystal panel, and a liquid crystal display are provided.

(57) 要約:

[続葉有]



複数のトランジスタと容量（ $C_{a1} \cdot C_{b1}$ ）とを備える半導体装置（10）であって、トランジスタのチャネル層と同一材料で構成された半導体層（22）と、ゲート絶縁膜を介して半導体層（22）よりも上層に形成された容量電極（24）と、層間絶縁膜を介して容量電極（24）よりも上層に形成されたクロック信号配線（17）とを備え、容量電極（24）はトランジスタのゲート電極に接続され、クロック信号配線（17）には、外部からのクロック信号（CK）が供給され、容量（ $C_{a1} \cdot C_{b1}$ ）は、半導体層（22）、ゲート絶縁膜（23）、および容量電極（24）の重畳部に形成され、平面視において重畳部とクロック信号配線（17）とが重なっている。これにより、レイアウト面積の低減を図ることができる半導体装置、半導体装置ユニット、アクティブマトリクス基板、液晶パネル、および液晶表示装置を提供する。

明 細 書

発明の名称：

半導体装置、半導体装置ユニット、アクティブマトリクス基板、液晶パネル、および液晶表示装置

技術分野

[0001] 本発明は、トランジスタとブートストラップ用の容量とを備える半導体装置、半導体装置ユニット、アクティブマトリクス基板、液晶パネル、および液晶表示装置に関するものであり、特に、レイアウト面積の低減を図る技術に関するものである。

背景技術

[0002] 液晶表示装置には、駆動ドライバなどの周辺回路を表示部と同一基板上に作り込んだ液晶パネルを搭載するものがある。このような液晶パネルを備える液晶表示装置では、ガラス基板の外部に周辺回路を実現するＩＣが配置されていた従来の液晶表示装置と比べて、パネル実装工程の簡略化や、実装領域の削減による狭額縁化、小型化、軽量化などが可能となっている。

[0003] 上記周辺回路としては、ゲートドライバ、ＣＳドライバ、およびソースドライバなどの駆動ドライバの他に、バッファ回路やレベルシフタ回路などがある。これらの周辺回路は、トランジスタなどを備えた半導体回路（半導体装置）により構成されている。

[0004] ここで、トランジスタは所定の閾値電圧を有している。このため、トランジスタの出力信号は、自身の閾値電圧により生じる電圧降下の分、電位レベルが低下する。よって、トランジスタから所望の電位レベルで出力を行うためには、上記閾値電圧を考慮して回路構成を設計する必要がある。上記周辺回路は、後段の回路を誤動作無く安定して動作させ、表示部に配列された各画素を正常に順次駆動するために、所定の電位レベルで出力を行うことが求められる。

[0005] そこで、十分な電位レベルを満たすように信号の電位レベルを上昇させる

(突き上げる)、ブートストラップ動作という技術が提案されている（例えば、特許文献１および２参照）。

[0006] 以下、特許文献２に記載の半導体装置を参照して、ブートストラップ動作について説明する。

[0007] 図６は、特許文献２に記載の半導体装置１の構成を示す回路図である。図６に示すように、半導体装置１は、トランジスタＴa１、トランジスタＴa２、トランジスタＴa３、トランジスタＴa４、トランジスタＴa５、トランジスタＴb１、トランジスタＴb２、トランジスタＴb３、トランジスタＴb４、トランジスタＴb５、容量Ｃa１、および容量Ｃb１を備えている。各トランジスタは全て、 n チャネル型のＭＯＳトランジスタである。半導体装置１は、同一電源型のトランジスタを備えるメモリ回路として構成されている。

[0008] また、半導体装置１は、電源ＶＤＤおよび電源ＶＳＳに接続可能な構成を有している。例えば、電源ＶＤＤは正電位となり、電源ＶＳＳはＧＮＤとなるが、これに限らない。

[0009] さらに、半導体装置１は、入力信号ＩＮ、反転入力信号ＩＮＢ（入力信号ＩＮの反転信号）、クロック信号ＣＫ、およびイネーブル信号ＥＮが入力されるとともに、出力信号ＯＵＴおよび反転出力信号ＯＵＴＢ（出力信号ＯＵＴの反転信号）を出力する構成を有している。入力信号ＩＮ、反転入力信号ＩＮＢ、クロック信号ＣＫ、イネーブル信号ＥＮ、出力信号ＯＵＴ、および反転出力信号ＯＵＴＢは、アクティブのときにハイレベルとなり、非アクティブのときローレベルとなる。以下では、ハイレベルのときは電源ＶＤＤの電位に等しく、ローレベルのときは電源ＶＳＳの電位に等しいとする。

[0010] なお、入力信号ＩＮ、反転入力信号ＩＮＢ、クロック信号ＣＫ、イネーブル信号ＥＮ、出力信号ＯＵＴ、および反転出力信号ＯＵＴＢは、端子（電極）を介した入力信号または出力信号であるため、説明の便宜上、以下では適宜、入力端子ＩＮ、反転入力端子ＩＮＢ、クロック端子ＣＫ、イネーブル端子ＥＮ、出力端子ＯＵＴ、および反転出力端子ＯＵＴＢとも呼ぶこととする。

。

[0011] トランジスタ T_{a1} は、ドレイン端子が電源 V_{DD} に接続され、ゲート端子がトランジスタ T_{a5} のソース端子および出力端子 OUT に接続されている。また、トランジスタ T_{a1} は、ソース端子がトランジスタ T_{a2} のゲート端子およびトランジスタ T_{a3} のドレイン端子に接続されるとともに、容量 C_{a1} を介してクロック端子 CK に接続されている。トランジスタ T_{a2} は、ドレイン端子が電源 V_{DD} に接続され、ソース端子がトランジスタ T_{a4} のドレイン端子および出力端子 OUT に接続されている。トランジスタ T_{a3} は、ゲート端子が反転出力端子 OUT_B に接続され、ソース端子が電源 V_{SS} に接続されている。トランジスタ T_{a4} は、ゲート端子が反転出力端子 OUT_B に接続され、ソース端子が電源 V_{SS} に接続されている。トランジスタ T_{a5} は、ドレイン端子が入力端子 IN に接続され、ゲート端子がイネーブル端子 EN に接続されている。

[0012] トランジスタ T_{b1} は、ドレイン端子が電源 V_{DD} に接続され、ゲート端子がトランジスタ T_{b5} のソース端子および反転出力端子 OUT_B に接続されている。また、トランジスタ T_{b1} は、ソース端子がトランジスタ T_{b2} のゲート端子およびトランジスタ T_{b3} のドレイン端子に接続されるとともに、容量 C_{b1} を介してクロック端子 CK に接続されている。トランジスタ T_{b2} は、ドレイン端子が電源 V_{DD} に接続され、ソース端子がトランジスタ T_{b4} のドレイン端子および反転出力端子 OUT_B に接続されている。トランジスタ T_{b3} は、ゲート端子が出力端子 OUT に接続され、ソース端子が電源 V_{SS} に接続されている。トランジスタ T_{b4} は、ゲート端子が出力端子 OUT に接続され、ソース端子が電源 V_{SS} に接続されている。トランジスタ T_{b5} は、ドレイン端子が反転入力端子 IN_B に接続され、ゲート端子がイネーブル端子 EN に接続されている。

[0013] なお、トランジスタ T_{a1} 、 T_{a2} 、 T_{a3} 、並びに容量 C_{a1} の接続点を、ノード n_{a1} とする。トランジスタ T_{b1} 、 T_{b2} 、 T_{b3} 、並びに容量 C_{b1} の接続点を、ノード n_{b1} とする。

[0014] 次いで、上記構成を有する半導体装置 1 の動作を説明する。

[0015] 図 7 は、半導体装置 1 における各種信号の波形を示すタイミングチャートである。ここでは、ハイレベル (V_{DD}) の出力信号 OUT を出力するとともに、ローレベル (V_{SS}) の反転出力信号 $OUTB$ を出力する期間 A の後、ローレベルの出力信号 OUT を出力するとともに、ハイレベルの反転出力信号 $OUTB$ を出力する期間 B に移行する場合について説明する。

[0016] (期間 A)

クロック信号 CK が入力された状態の半導体装置 1 において、入力信号 I_N がハイレベル、かつ、反転入力信号 INB がローレベルになり、続いてイネーブル信号 EN がハイレベルになると、トランジスタ $T_{a5} \cdot T_{b5}$ がオンになる。クロック信号 CK は、ハイレベルとローレベルとを周期的に繰り返す波形を示し、出力信号 OUT および反転出力信号 $OUTB$ よりも高い周波数で入力される。

[0017] このとき、トランジスタ T_{a5} がオン、かつ、入力信号 I_N はハイレベルであるので、トランジスタ T_{a1} がオンとなる。これにより、トランジスタ T_{a1} の閾値電圧を V_{th} とすると、ノード n_{a1} の電位は、 $V_{DD} - V_{th}$ になる (プリチャージ動作)。ノード n_{a1} の電位が上昇すると、トランジスタ T_{a2} はオンになる。

[0018] 続いて、イネーブル信号 EN がハイレベルからローレベルになると、トランジスタ T_{a5} およびトランジスタ T_{a1} がオフとなり、ノード n_{a1} はハイレベルの電荷を保持したままフローティング状態になる。この状態で、クロック信号 CK がハイレベルになると、クロック信号 CK により、ノード n_{a1} の電位は、 α 電位分突き上げられ、 $V_{DD} - V_{th} + \alpha$ になる。この電位が $V_{DD} + V_{th}$ を超える場合は、トランジスタ T_{a2} は、出力端子 OUT に V_{DD} を出力する。

[0019] このように、ノード n_{a1} の電位がクロック信号 CK によって突き上げられているときは、トランジスタ T_{a2} のゲート端子には高電位の信号が入力される。よって、トランジスタ T_{a2} から出力端子 OUT に、 V_{DD} の電位

レベルの信号、すなわち閾値落ちしない信号が出力される。

[0020] なお、イネーブル信号E Nが一旦ハイレベルになると、その後、イネーブル信号E Nがローレベルになっても、出力信号O U Tがハイレベルであれば、トランジスタT a 1のゲート端子に、常にハイレベルの信号を入力することができる。これにより、ハイレベルの出力信号O U Tを保持し続けることができる。

[0021] また、出力端子O U TおよびトランジスタT a 1のゲート端子が互いに接続されているので、出力信号O U Tがハイレベルを出力している間は、ノードn a 1の電位が $VDD - V_{th}$ 以下になると、トランジスタT a 1はオン状態になる。なお、ノードn a 1の電位が $VDD - V_{th}$ 以上の電位のときには、トランジスタT a 1はオフ状態になり、ノードn a 1はフローティング状態になる。

[0022] これにより、出力信号O U Tがハイレベルを出力している間は、ノードn a 1の電位は、オフリークなどにより低下したとしても、トランジスタT a 1により再び $VDD - V_{th}$ までチャージされる（リフレッシュ動作）。これにより、クロック信号C Kがハイレベルを出力している期間中は、ノードn a 1の電位を、 $VDD - V_{th} + \alpha$ まで突き上げることができるため、出力信号O U Tは、安定して VDD を出力することができる。

[0023] 一方、ハイレベルの出力信号O U Tが出力されている間、トランジスタT b 3・T b 4がオンになる。これにより、ノードn b 1の電荷はディスチャージされるとともに、反転出力信号O U T Bはローレベルとなる。

[0024] （期間B）

続いて、入力信号I Nがローレベル、かつ、反転入力信号I N Bがハイレベルになり、続いてイネーブル信号E Nがハイレベルになると、トランジスタT a 5・T b 5がオンになる。

[0025] このとき、トランジスタT b 5がオン、かつ、反転入力信号I N Bはハイレベルであるので、トランジスタT b 1がオンとなる。これにより、トランジスタT b 1の閾値電圧を V_{th} とすると、ノードn b 1の電位は、 VDD

ー V_{th} になる（プリチャージ動作）。ノード n_{b1} の電位が上昇すると、トランジスタ T_{b2} はオンになる。

[0026] 続いて、イネーブル信号 EN がハイレベルからローレベルになると、トランジスタ T_{b5} およびトランジスタ T_{b1} がオフとなり、ノード n_{b1} はハイレベルの電荷を保持したままフローティング状態になる。この状態で、クロック信号 CK がハイレベルになると、クロック信号 CK により、ノード n_{b1} の電位は、 α 電位分突き上げられ、 $V_{DD}-V_{th}+\alpha$ になる。この電位が $V_{DD}+V_{th}$ を超える場合は、トランジスタ T_{b2} は、反転出力端子 OUT_B に V_{DD} を出力する。

[0027] このように、ノード n_{b1} の電位がクロック信号 CK によって突き上げられているときは、トランジスタ T_{b2} のゲート端子には高電位の信号が入力される。よって、トランジスタ T_{b2} から反転出力端子 OUT_B に、 V_{DD} の電位レベルの信号、すなわち閾値落ちしない信号が出力される。

[0028] なお、上述と同様に、イネーブル信号 EN が一旦ハイレベルになると、その後、イネーブル信号 EN がローレベルになっても、反転出力信号 OUT_B がハイレベルであれば、トランジスタ T_{b1} のゲート端子に、常にハイレベルの信号を入力することができる。これにより、ハイレベルの反転出力信号 OUT_B を保持し続けることができる。

[0029] また、反転出力信号 OUT_B がハイレベルを出力している間は、ノード n_{b1} の電位は、オフリークなどにより低下したとしても、トランジスタ T_{b1} により再び $V_{DD}-V_{th}$ までチャージされる（リフレッシュ動作）。これにより、クロック信号 CK がハイレベルを出力している期間中は、ノード n_{b1} の電位を、 $V_{DD}-V_{th}+\alpha$ まで突き上げることができるため、反転出力信号 OUT_B は、安定して V_{DD} を出力することができる。

[0030] 一方、ハイレベルの反転出力信号 OUT_B が出力されている間、トランジスタ $T_{a3} \cdot T_{a4}$ がオンになる。これにより、ノード n_{a1} の電荷はディスチャージされるとともに、出力信号 OUT はローレベルとなる。

[0031] このようにして、ハイレベルの出力信号 OUT 、かつ、ローレベルの反転

出力信号OUTBを出力する期間Aと、ローレベルの出力信号OUT、かつ、ハイレベルの反転出力信号OUTBを出力する期間Bとが、イネーブル信号ENがハイレベルになるタイミングに応じて交互に切り替わる。出力信号OUTおよび反転出力信号OUTBは、一方がVDDを出力しているときには、他方はVSSを出力する。

[0032] なお、クロック信号CKの振幅、容量Ca1、および容量Cb1は、突き上げられたノードna1・nb1の電位 ($VDD - V_{th} + \alpha$) が、 $VDD + V_{th}$ 以上になるように設定される。

[0033] 以上のように、半導体装置1では、クロック信号CKの周波数が、出力信号OUTおよび反転出力信号OUTBの周波数よりも高く設定されているため、オフリークなどによりノードna1・nb1の電位が低下しても、次にイネーブル信号ENがハイレベルになるまでの間に、ノードna1・nb1の電位を、クロック信号CKによる突き上げ動作により $VDD + V_{th}$ 以上に突き上げることができる。つまりは、半導体装置1は、ブートストラップ動作によって、ノードna1・nb1の電位レベルを十分な電位レベルを満たすように上昇させている。

[0034] したがって、出力端子OUTおよび反転出力端子OUTBから、安定してVDDを出力することが可能となる。これにより、出力端子OUTおよび反転出力端子OUTBに接続される後段の回路は、安定した動作を得ることが可能となる。

先行技術文献

特許文献

[0035] 特許文献1：日本国公開特許公報「特開昭63-292772号公報（1988年11月30日公開）」

特許文献2：国際公開第2009/084272号パンフレット（2009年7月9日公開）

発明の概要

発明が解決しようとする課題

- [0036] しかしながら、上記の半導体装置 1 では、ブートストラップ動作を得るために容量 $C_{a1} \cdot C_{b1}$ を搭載しているため、容量 $C_{a1} \cdot C_{b1}$ を形成する分、レイアウト面積が増加するという問題を有している。
- [0037] 図 8 に、半導体装置 1 の平面視でのレイアウトパターンを示す。図 8 に示すように、ノイズの影響を避けるため、容量 $C_{a1} \cdot C_{b1}$ は、平面視で、クロック信号 CK が供給される配線と電源 VDD が供給される配線との間の領域に配置されている。この図面によれば、半導体装置 1 では、容量を形成しない場合と比較してレイアウト面積が増加していることが明らかに分かる。また、ブートストラップ用の容量は、接続先のトランジスタのゲート入力容量やその他配線などの寄生容量に対して十分大きな容量でなければ、ブートストラップによるレベル上昇が不十分となる。このため、十分な容量を確保するために大きなレイアウト面積を必要とする。
- [0038] また、製品の小型化（液晶パネルの狭額縁化）や、製品のデザイン上の制約により、必要な容量を形成するためのスペースの確保が困難な状況が発生することもある。レイアウト面積の制約の問題は、必要な容量が大きいほど顕著になる。
- [0039] 本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、トランジスタとブートストラップ用の容量とを備える構成において、レイアウト面積の低減を図ることができる半導体装置、半導体装置ユニット、アクティブマトリクス基板、液晶パネル、および液晶表示装置を提供することにある。

課題を解決するための手段

- [0040] 本発明の半導体装置は、上記課題を解決するために、少なくともトランジスタおよびブートストラップ用の容量を備える半導体装置であって、上記トランジスタのチャネル層と同一材料で構成された第 1 電極と、第 1 絶縁膜を介して上記第 1 電極よりも上層に形成された第 2 電極と、第 2 絶縁膜を介して上記第 2 電極よりも上層に形成された制御信号配線とを備え、上記第 2 電

極は、上記トランジスタのゲート電極に接続され、上記制御信号配線には、外部からの制御信号が供給され、上記容量は、上記第1電極、上記第1絶縁膜、および上記第2電極の重畳部に形成され、平面視において上記重畳部と上記制御信号配線とが重なっていることを特徴としている。

[0041] 通常、容量を備えた半導体装置においては、容量を形成する分、レイアウトスペースを消費する。これに対し、上記の構成によるレイアウトパターンでは、重畳部は制御信号配線と重なって配置されている。よって、容量の容量形成のためだけに消費されるレイアウトスペースを低減することが可能となる。したがって、本発明の半導体装置では、レイアウト面積の低減を図ることが可能となる。

[0042] また、上記の構成によれば、ブートストラップ動作によってトランジスタのゲート電極の電位を上昇させることにより、該トランジスタから閾値落ちしない信号を出力することが可能となる。この際、ブートストラップによるレベル上昇を十分に行わせるためには、大きな容量が必要となり、容量によるレイアウト面積の増加が顕著となる。よって、上記の構成によれば、特にレイアウト面積低減効果を得ることが可能となる。

[0043] 本発明の半導体装置ユニットは、上記の半導体装置を複数備え、上記複数の半導体装置が、上記制御信号配線を共用していることを特徴としている。

[0044] 本発明のアクティブマトリクス基板は、表示部と駆動ドライバとを備え、上記駆動ドライバがモノリシックに形成されたアクティブマトリクス基板であって、上記駆動ドライバには、上記の半導体装置、または、上記の半導体装置ユニットが構成されていることを特徴としている。

[0045] 本発明の液晶パネルは、上記のアクティブマトリクス基板を備えることを特徴としている。

[0046] 本発明の液晶表示装置は、上記の液晶パネルを備えることを特徴としている。

発明の効果

[0047] 以上のように、本発明の半導体装置は、上記トランジスタのチャンネル層と

同一材料で構成された第1電極と、第1絶縁膜を介して上記第1電極よりも上層に形成された第2電極と、第2絶縁膜を介して上記第2電極よりも上層に形成された制御信号配線とを備え、上記第2電極は、上記トランジスタのゲート電極に接続され、上記制御信号配線には、外部からの制御信号が供給され、上記容量は、上記第1電極、上記第1絶縁膜、および上記第2電極の重畳部に形成され、平面視において上記重畳部と上記制御信号配線とが重なっている構成を有する。

[0048] それゆえ、容量の容量形成のためだけに消費されるレイアウトスペースを低減することが可能となり、レイアウト面積の低減を図ることができるという効果を奏する。

[0049] また、本発明の半導体装置ユニット、本発明のアクティブマトリクス基板、本発明の液晶パネル、および本発明の液晶表示装置は、上記の半導体装置を備える構成であるので、レイアウト面積を低減することが可能となり、狭額縁化、小型化、および軽量化などをなし得ることができるという効果を奏する。

図面の簡単な説明

[0050] [図1]本発明における半導体装置の一実施形態を示すものであり、レイアウトパターンを示す平面図である。

[図2]図1のA-A'線断面図である。

[図3]図8のB-B'線断面図である。

[図4]本発明における半導体装置ユニットの一実施形態を示すものであり、レイアウトパターンを示す平面図である。

[図5]本発明における液晶表示装置の一実施形態を示すブロック図である。

[図6]従来の半導体装置の構成を示す回路図である。

[図7]図6の半導体装置における各種信号の波形を示すタイミングチャートである。

[図8]図6の半導体装置のレイアウトパターンを示す平面図である。

発明を実施するための形態

[0051] 本発明は、トランジスタとブートストラップ用の容量とを備える半導体装置におけるレイアウトパターンに特徴を有するものであり、この特徴によりレイアウト面積の低減という効果を奏するものである。それゆえ、詳細は後述するが、本発明を適用する回路は、少なくともトランジスタおよびブートストラップ用の容量を備える半導体装置であれば、その回路構成は周知か否かを問わない。つまりは、本発明は、少なくともトランジスタおよびブートストラップ用の容量を備える従来の半導体装置に適用しても、効果を奏することができる。

[0052] 以下では、レイアウト面積の低減という本発明の効果を分かりやすく例示するために、図6に示した半導体装置1と同一の回路構成を有する半導体装置10を用いて、各実施形態を説明する。なお、半導体装置10は、上記の背景技術で述べた回路構成を有するため、回路構成の説明は適宜省略する。

[0053] [実施の形態1]

本発明の一実施形態について図面に基づいて説明すれば、以下の通りである。

[0054] 図1は、本実施の形態の半導体装置10の平面視でのレイアウトパターンを示す平面図である。半導体装置10は、トランジスタTa1、トランジスタTa2、トランジスタTa3、トランジスタTa4、トランジスタTa5、トランジスタTb1、トランジスタTb2、トランジスタTb3、トランジスタTb4、トランジスタTb5、容量Ca1、および容量Cb1を備えており、具体的には、図1に示すようにこれらの構成が基板21上に形成されて実現されている。

[0055] また、図1に示すように、基板21上には、電源VDDが供給される電源配線11、電源VSSが供給される電源配線12、入力信号INが入力される入力配線13、反転入力信号INBが入力される入力配線14、出力信号OUTを出力するための出力配線15、反転出力信号OUTBを出力するための出力配線16、クロック信号CKが供給されるクロック信号配線17、および、イネーブル信号ENが入力されるイネーブル信号配線18が形成さ

れている。

[0056] ここで、半導体装置 10 は、基板 21 上に、半導体層、ゲート絶縁膜、ゲートメタル（以下 GM と称する）、層間絶縁膜、およびソースメタル（以下 SM と称する）が、この順番に形成（積層）されて形成されている。これらの要素は、例えば、モノリシックに半導体装置を基板に作り込む従来一般的な方法によって形成することができる。図 1 では、点々の部分が半導体層を示し、斜線部が GM を示し、グレー色の部分が SM を示している。なお、図 1 では、上記ゲート絶縁膜および上記層間絶縁膜は透過している。

[0057] つまりは、これらの要素によって、トランジスタ Ta1・Ta2・Ta3・Ta4・Ta5・Tb1・Tb2・Tb3・Tb4・Tb5、容量 Ca1・Cb1、電源配線 11・12、入力配線 13・14、出力配線 15・16、クロック信号配線 17、およびイネーブル信号配線 18 が形成されている。

[0058] 各トランジスタの半導体層は上記半導体層に相当し、ゲート電極は GM に相当し、ドレイン電極およびソース電極は SM に相当する。各容量の半導体層 22 は上記半導体層に相当し、容量電極 24 は GM に相当する。電源配線 11・12、入力配線 13・14、並びにクロック信号配線 17 は、SM に相当する。出力配線 15・16、並びにイネーブル信号配線 18 は、GM に相当する。同じグループ（GM など）の電極または層は、同一の製造工程で作製され、同一の厚みを有する。

[0059] なお、以下の説明では、上記の構成が形成された基板 21 上において、クロック信号配線 17 の延伸方向を縦方向とし、それに直交する方向を横方向とする。但し、これらの方向は、実際の使用に際して制限を与えるものではない。

[0060] （信号配線の構成）

電源配線 11、電源配線 12、およびクロック信号配線 17 は、縦方向に延伸するように形成され、横方向（ここでは左側から右側）に、クロック信号配線 17、電源配線 11、および電源配線 12 の順番で配置されている。

電源配線 1 1、電源配線 1 2、およびクロック信号配線 1 7 は、予め定められた同一の幅を有するが、これに限らない。

[0061] 入力配線 1 3、入力配線 1 4、およびイネーブル信号配線 1 8 は、横方向に延伸するように形成され、平面視で、クロック信号配線 1 7 の電源配線 1 1 とは反対側の領域に配置されている。入力配線 1 3 は、コンタクトホールを介してトランジスタ T a 5 のドレイン電極と接続されている。入力配線 1 4 は、コンタクトホールを介してトランジスタ T b 5 のドレイン電極と接続されている。イネーブル信号配線 1 8 は、トランジスタ T a 5 のゲート電極およびトランジスタ T b 5 のゲート電極にそれぞれ接続されている。なお、図 1 では、イネーブル信号配線 1 8 は 2 箇所形成されているように図示されているが、図示しない部分で接続されている。入力配線 1 3、入力配線 1 4、およびイネーブル信号配線 1 8 は、電源配線 1 1 などよりも狭い幅であって、かつ予め定められた同一の幅を有するが、これに限らない。

[0062] 出力配線 1 5 および出力配線 1 6 は、横方向に延伸するように形成され、平面視で電源配線 1 2 に直交するように配置されている。出力配線 1 5 は、引き出し配線およびコンタクトホールを介してトランジスタ T a 2 のソース電極と接続されている。出力配線 1 6 は、引き出し配線およびコンタクトホールを介してトランジスタ T b 2 のソース電極と接続されている。出力配線 1 5 および出力配線 1 6 は、電源配線 1 1 などよりも狭い幅であって、かつ予め定められた同一の幅を有するが、これに限らない。

[0063] (トランジスタの構成)

各トランジスタは、トランジスタ T a 5・T b 5 以外の各トランジスタが、平面視で、電源配線 1 1 と電源配線 1 2 との間の領域にレイアウトされ、トランジスタ T a 5・T b 5 が、平面視で、クロック信号配線 1 7 の電源配線 1 1 とは反対側の領域にレイアウトされている。

[0064] トランジスタ T a 1 およびトランジスタ T a 2 は、横方向に隣り合って配置されており、トランジスタ T a 1 が電源配線 1 1 側に位置し、トランジスタ T a 2 が電源配線 1 2 側に位置している。また、トランジスタ T a 1 およ

びトランジスタT a 2は、ドレイン電極とソース電極とが縦方向に対向するように配置されており、トランジスタT a 1のソース電極とトランジスタT a 2のドレイン電極とが、横方向に沿った線上に位置している。

[0065] トランジスタT a 3およびトランジスタT a 4は、横方向に隣り合って配置されており、トランジスタT a 3が電源配線1 1側に位置し、トランジスタT a 4が電源配線1 2側に位置している。また、トランジスタT a 3およびトランジスタT a 4は、ドレイン電極とソース電極とが縦方向に対向するように配置されており、トランジスタT a 3のドレイン電極とトランジスタT a 4のドレイン電極とが、横方向に沿った線上に位置している。

[0066] トランジスタT a 5は、平面視で、クロック信号配線1 7の電源配線1 1とは反対側の領域に配置されている。トランジスタT a 5は、ドレイン電極とソース電極とが縦方向に対向するように配置されており、トランジスタT a 5のソース電極は、トランジスタT a 2のソース電極から横方向に沿った線上付近に位置している。

[0067] トランジスタT b 1およびトランジスタT b 2は、横方向に隣り合って配置されており、トランジスタT b 1が電源配線1 1側に位置し、トランジスタT b 2が電源配線1 2側に位置している。また、トランジスタT b 1およびトランジスタT b 2は、ドレイン電極とソース電極とが縦方向に対向するように配置されており、トランジスタT b 1のソース電極とトランジスタT b 2のドレイン電極とが、横方向に沿った線上に位置している。

[0068] トランジスタT b 3およびトランジスタT b 4は、横方向に隣り合って配置されており、トランジスタT b 3が電源配線1 1側に位置し、トランジスタT b 4が電源配線1 2側に位置している。また、トランジスタT b 3およびトランジスタT b 4は、ドレイン電極とソース電極とが縦方向に対向するように配置されており、トランジスタT b 3のドレイン電極とトランジスタT b 4のドレイン電極とが、横方向に沿った線上に位置している。

[0069] トランジスタT b 5は、平面視で、クロック信号配線1 7の電源配線1 1とは反対側の領域に配置されている。トランジスタT b 5は、ドレイン電極

とソース電極とが縦方向に対向するように配置されており、トランジスタ T b 5 のソース電極は、トランジスタ T b 2 のソース電極から横方向に沿った線上付近に位置している。

[0070] また、トランジスタ T a 1、トランジスタ T a 3、トランジスタ T b 1、およびトランジスタ T b 3 は、縦方向に沿った線上に位置している。トランジスタ T a 2、トランジスタ T a 4、トランジスタ T b 2、およびトランジスタ T b 4 は、縦方向に沿った線上に位置している。トランジスタ T a 5 およびトランジスタ T b 5 は、縦方向に沿った線上に位置している。

[0071] 次いで、トランジスタの構成をトランジスタ T a 1 を例示して簡単に説明する。各トランジスタは、レイアウトされている場所が異なるのみで同一の構成で形成されている。トランジスタ T a 1 は、基板 2 1 上に形成された、半導体層、ゲート絶縁膜、ゲート電極、層間絶縁膜、ドレイン電極、およびソース電極により形成されている。

[0072] 半導体層は、基板 2 1 上に形成されている。半導体層では、n チャネル型のトランジスタを構成するように、アモルファスシリコンやポリシリコンなどから各領域（各拡散層）が形成されている。ゲート絶縁膜は、半導体層を覆うように、基板 2 1 上に形成されている。ゲート絶縁膜は、例えば、窒化シリコンなどからなる。

[0073] ゲート電極は、ゲート絶縁膜上に形成されている。ゲート電極は、平面視で、半導体層（具体的には半導体層のチャネル形成領域）に重なるように配置されている。ゲート電極は、例えば、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅などの金属膜からなってもよいし、それらの合金膜、または、該金属膜および該合金膜の積層膜からなってもよい。層間絶縁膜は、ゲート電極を覆うように、ゲート絶縁膜上に形成されている。層間絶縁膜は、例えば、窒化シリコンなどからなる。

[0074] ドレイン電極およびソース電極は、層間絶縁膜上にそれぞれ形成されている。ドレイン電極は、平面視で、半導体層（具体的には半導体層のドレイン領域）に重なるように配置されており、コンタクトホールを介して該半導体

層に接続されている。ソース電極は、平面視で、半導体層（具体的には半導体層のソース領域）に重なるように配置されており、コンタクトホールを介して該半導体層に接続されている。ドレイン電極とソース電極とは、平面視で、ゲート電極を挟んで配置されている。

[0075] なお、各トランジスタの形成領域は、同一のサイズを有する。また、各トランジスタは、図1に示すように、適宜配設された、引き出し配線（SMまたはGM）およびコンタクトホールを介して、図6に示した回路構成に従った電氣的接続が行われている。

[0076] （容量の構成）

容量C a 1および容量C b 1は、平面視で、クロック信号配線17（制御信号配線）と重なるように配置されている。容量C b 1は、トランジスタT a 5のソース電極から出力配線15に電氣的に接続するように設けられた引き出し配線19と、トランジスタT b 5のソース電極から出力配線16に電氣的に接続するように設けられた引き出し配線20と、の間の領域に配置されている。容量C a 1は、平面視で、引き出し配線19の容量C b 1と反対側の領域に配置されている。

[0077] 次いで、各容量の構成を容量C b 1を例示して説明する。各容量は、レイアウトされている場所が異なるのみで同一の構成で形成されている。容量C b 1の形成領域の断面構造を図2に示す。図2は、図1のA-A'線断面図である。

[0078] 図2に示すように、容量C b 1の形成領域では、基板21上に、半導体層22（第1電極）、ゲート絶縁膜23（第1絶縁膜）、容量電極24（第2電極）、層間絶縁膜25（第2絶縁膜）、およびクロック信号配線17が、この順番に積層されている。

[0079] 半導体層22は、基板21上に形成されている。半導体層22は、平面視矩形の形状を有し、引き出し配線19と引き出し配線20との間の領域に、長手方向がクロック信号配線17に沿うように配置されている。つまりは、半導体層22は、引き出し配線19および引き出し配線20から所定量離れ

た位置に形成されている。平面視において、半導体層 22 の短手方向の幅は、クロック信号配線 17 の幅よりも大きい。半導体層 22 は、各トランジスタの半導体層（チャネル層）と同一材料で構成される。

[0080] ゲート絶縁膜 23 は、半導体層 22 を覆うように、基板 21 上に形成されている。このゲート絶縁膜 23 は、トランジスタで用いられたゲート絶縁膜である。容量電極 24 は、ゲート絶縁膜 23 上に形成されている。容量電極 24 は、半導体層 22 の平面視形状よりも若干小さい平面視矩形の形状を有し、平面視で、半導体層 22 の内側に位置し、かつ、半導体層 22 と重なるように配置されている。平面視において、容量電極 24 の短手方向の幅は、クロック信号配線 17 の幅よりも大きい。容量電極 24 は、各トランジスタのゲート電極と同一材料で構成される。

[0081] 容量電極 24 上には、層間絶縁膜 25 を介して、クロック信号配線 17 が形成されている。この層間絶縁膜 25 は、トランジスタで用いられた層間絶縁膜である。また、クロック信号配線 17 は、コンタクトホール 26 を介して半導体層 22 に接続されている。クロック信号配線 17 は、容量電極 24 とは、層間絶縁膜 25 によって絶縁されている。

[0082] 上記の構成によれば、半導体層 22、ゲート絶縁膜 23、容量電極 24 で重畳される部分（重畳部）に、容量、すなわち容量 C_b1 が形成される。このように容量 C_b1 となる重畳部は、平面視においてクロック信号配線 17 と重なっている（オーバーラップしている）。図 2 に示すように、クロック信号配線 17 は、半導体層 22 上に全体的に存在しており、容量電極 24 は、クロック信号配線 17 の直下に位置している。

[0083] 比較のため、従来のレイアウトパターンにおける容量 C_b1 の断面構造を、図 3 に示す。図 3 は、図 8 の B-B' 線断面図である。図 3 に示すように、従来のレイアウトパターンでは、クロック信号 CK が供給される配線から枝分かれした部分 17a が、半導体層 22 上の一部分に存在しており、容量電極 24 は、クロック信号配線 17 および部分 17a の直下に位置していない。

[0084] 以上のように、半導体装置 10 は、複数のトランジスタと容量 $C_{a1} \cdot C_{b1}$ とを備えるものであって、半導体層 22 は、複数のトランジスタのチャネル層と同一材料で構成され、クロック信号 CK が供給されるクロック信号配線 17 は、コンタクトホール 26 を介して半導体層 22 に接続され、容量電極 24 は、トランジスタのゲート電極に接続され、容量 $C_{a1} \cdot C_{b1}$ は、半導体層 22、ゲート絶縁膜 23、および容量電極 24 の重畳部に形成され、平面視において上記重畳部とクロック信号配線 17 とが重なっている構成を有している。

[0085] ブートストラップ動作を行う半導体装置 10 においては、ブートストラップ動作を行うための容量 $C_{a1} \cdot C_{b1}$ を搭載する必要がある。そして、従来のレイアウトパターンでは、図 8 に示したように、容量 $C_{a1} \cdot C_{b1}$ を形成する分、レイアウトスペースを消費していた。

[0086] これに対し、本実施の形態のレイアウトパターンによれば、図 1 に示したように、容量 $C_{a1} \cdot C_{b1}$ となる重畳部は、クロック信号配線 17 と重なって配置されている。よって、容量 $C_{a1} \cdot C_{b1}$ の容量形成のためだけに消費されるレイアウトスペースを低減することが可能となる。したがって、本実施の形態のレイアウトパターンを適用した半導体装置 10 では、レイアウト面積の低減を図ることが可能となる。本実施例では、従来と比較して、容量 $C_{a1} \cdot C_{b1}$ の短手方向の幅程度、レイアウト面積を低減することが可能となる。

[0087] また、容量 $C_{a1} \cdot C_{b1}$ をクロック信号配線 17 に重ねて形成することにより、他の配線（例えば電源配線 11 など）に重ねて配置する場合と比較して、容量 $C_{a1} \cdot C_{b1}$ を介して配線にノイズが重畳する（混入、クロストークなど）ことを抑制し、これによる誤動作を防止することが可能となる。

[0088] さらに、容量電極 24 とクロック信号配線 17 との間の層間寄生容量も、ブートストラップ用の容量として機能するので、容量形成領域が従来と同じ面積であれば、ブートストラップ効果を高めることが可能となる。

[0089] また、容量 $C_{a1} \cdot C_{b1}$ は、平面視で、クロック信号配線17から少しはみ出した形で形成されている。このように、クロック信号配線17と電源配線11との間の配線間スペースも利用することによって、容量形成領域を広く確保することが可能となる。なお、容量形成領域（重畳部）は、所望の容量に応じてその大きさを決めればよく、クロック信号配線17の直下に収まる大きさであってもよいし、その平面視形状はどのような形状であってもよい。

[0090] なお、上述の図1に示したレイアウトパターンは一例であり、容量 $C_{a1} \cdot C_{b1}$ の形成領域とクロック信号配線17とが重なっているという特徴に関与しない部分のレイアウト（例えば、各トランジスタの相対的配置や、電源配線12の配置など）については、適宜変更可能である。また、SMおよびGMの幅は、図1に示す大きさに限らない。但し、一般的に、GMよりもSMの幅が大きく、SMのうちでも電源配線11・12は他の配線よりも大きな幅を有するように設けられる。さらに、各トランジスタの形成領域も、同一のサイズを有していたが、異なるサイズであってもよい。また、半導体層—配線間は、1つのコンタクトホールで接続されていたが、半導体層の形成領域の大きさによっては複数のコンタクトホールを形成してもよい。

[0091] また、本発明の構成および効果を、半導体装置10を例示して述べたが、本発明が適用可能な半導体装置は、半導体装置10に限るわけではない。

[0092] 例えば、半導体装置10では、クロック信号CKによりブートストラップ容量が形成される構成であったが、ブートストラップ容量を形成する信号は、他の制御信号（例えば、極性を判定する信号、その他クロック信号に基づき生成される信号など）であってもよい。このような場合は、 α 電位分の電位の上昇に寄与する上記制御信号を、上記のブートストラップを行うための容量に供給する制御信号配線（SM）に、該容量を平面視で重ねればよい。これにより、上述と略同様の効果を奏することができる。

[0093] また、半導体装置に構成される容量は、1つであってもよいし、2つ以上であってもよい。さらに、回路構成によっては、容量形成部では、信号配線

は半導体層ではなく容量電極に接続されていてもよい。

[0094] さらに、本発明が適用可能な半導体装置は、トランジスタの導電型を同一にする構成に限らず、nチャネル型とpチャネル型とが混在する構成でもよい。nチャネル型トランジスタでは、ハイレベルの信号でオン、ローレベルの信号でオフとなり、pチャネル型トランジスタではその逆になる。但し、nチャネル型とpチャネル型とが混在する場合は、例えばCMOSトランジスタで構成することによって低消費電力などの利点がある一方、pチャネル型のトランジスタおよびnチャネル型のトランジスタをそれぞれ形成するプロセスが必要になるため、製造工程の複雑化、これによる製造コストの増加などを招くという問題がある。それゆえ、同一導電型の複数のトランジスタを用いれば、製造工程の簡略化を図ることが可能となり、効果が大きいという利点がある。

[0095] このように、少なくともトランジスタおよびブートストラップ用の容量を備える半導体装置であれば、本発明は適用可能である。

[0096] [実施の形態2]

本発明の一実施形態について図面に基づいて説明すれば、以下の通りである。本実施の形態では、上述の半導体装置10を複数備える半導体装置ユニットについて説明する。なお、本実施の形態において説明すること以外の構成は、前記実施の形態1と同じである。また、説明の便宜上、前記の実施の形態1の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を適宜省略する。

[0097] 図4は、本実施の形態の半導体装置ユニット50の平面視でのレイアウトパターンを示す平面図である。本実施の形態の半導体装置ユニット50は、半導体装置10aおよび半導体装置10bを備えている。半導体装置10aおよび半導体装置10bは、縦方向に沿って並べられている。

[0098] 半導体装置10aは、トランジスタTa11、トランジスタTa12、トランジスタTa13、トランジスタTa14、トランジスタTa15、トランジスタTb11、トランジスタTb12、トランジスタTb13、ラン

ジスタT b 1 4、トランジスタT b 1 5、容量C a 1 1、および容量C b 1 1を備え、これらはそれぞれ、半導体装置1 0におけるトランジスタT a 1・T a 2・T a 3・T a 4・T a 5・T b 1・T b 2・T b 3・T b 4・T b 5、容量C a 1・C b 1に相当する。但し、半導体装置1 0 aは、前記実施の形態のレイアウトパターンを有する半導体装置1 0と比較して、容量C a 1 1および容量C b 1 1がレイアウトされている場所が異なっている。

[0099] 半導体装置1 0 bは、トランジスタT a 2 1、トランジスタT a 2 2、トランジスタT a 2 3、トランジスタT a 2 4、トランジスタT a 2 5、トランジスタT b 2 1、トランジスタT b 2 2、トランジスタT b 2 3、トランジスタT b 2 4、トランジスタT b 2 5、容量C a 2 1、および容量C b 2 1を備え、これらはそれぞれ、半導体装置1 0におけるトランジスタT a 1・T a 2・T a 3・T a 4・T a 5・T b 1・T b 2・T b 3・T b 4・T b 5、容量C a 1・C b 1に相当する。但し、半導体装置1 0 bは、前記実施の形態のレイアウトパターンを有する半導体装置1 0と比較して、容量C a 2 1および容量C b 2 1がレイアウトされている場所が異なっている。

[0100] また、図4に示すように、基板2 1上には、電源V D Dが供給される電源配線1 1、電源V S Sが供給される電源配線1 2、入力信号I Nが入力される入力配線1 3、反転入力信号I N Bが入力される入力配線1 4、第1出力信号O U T 1を出力するための出力配線1 5 a、第1反転出力信号O U T B 1を出力するための出力配線1 6 a、第2出力信号O U T 2を出力するための出力配線1 5 b、第2反転出力信号O U T B 2を出力するための出力配線1 6 b、クロック信号C Kが供給されるクロック信号配線1 7、反転クロック信号C K B（クロック信号C Kの反転信号）が供給されるクロック信号配線2 7、第1イネーブル信号E N 1が入力されるイネーブル信号配線1 8 a、および、第2イネーブル信号E N 2が入力されるイネーブル信号配線1 8 bが形成されている。

[0101] 電源配線1 1、電源配線1 2、クロック信号配線1 7、およびクロック信号配線2 7は、縦方向に延伸するように形成され、横方向（ここでは左側か

ら右側)に、電源配線12(一方の電源配線12とする)、クロック信号配線27、クロック信号配線17、電源配線11、および電源配線12(他方の電源配線12とする)の順番で配置されている。なお、図4では、電源配線12は2箇所形成されているように図示されているが、図示しない部分で接続されている。電源配線11、電源配線12、クロック信号配線17、およびクロック信号配線27は、予め定められた同一の幅を有するが、これに限らない。

[0102] 入力配線13、入力配線14、イネーブル信号配線18a、およびイネーブル信号配線18bは、横方向に延伸するように形成され、平面視で、一方の電源配線12のクロック信号配線27とは反対側の領域に配置されている。入力配線13は、トランジスタTa15のドレイン電極およびトランジスタTa25のドレイン電極にそれぞれ接続されている。入力配線14は、トランジスタTb15のドレイン電極およびトランジスタTb25のドレイン電極にそれぞれ接続されている。イネーブル信号配線18aは、トランジスタTa15のゲート電極およびトランジスタTb15のゲート電極にそれぞれ接続されている。イネーブル信号配線18bは、トランジスタTa25のゲート電極およびトランジスタTb25のゲート電極にそれぞれ接続されている。なお、図4では、入力配線13、入力配線14、イネーブル信号配線18a、およびイネーブル信号配線18bは、2箇所ずつ形成されているように図示されているが、それぞれは図示しない部分で接続されている。入力配線13、入力配線14、イネーブル信号配線18a、およびイネーブル信号配線18bは、電源配線11などよりも狭い幅であって、かつ予め定められた同一の幅を有するが、これに限らない。

[0103] 出力配線15a、出力配線16a、出力配線15b、および出力配線16bは、横方向に延伸するように形成され、平面視で他方の電源配線12に直交するように配置されている。出力配線15aは、引き出し配線およびコンタクトホールを介してトランジスタTa12のソース電極に接続されている。出力配線16aは、引き出し配線およびコンタクトホールを介してラン

ジスタ T b 1 2 のソース電極に接続されている。出力配線 1 5 b は、引き出し配線およびコンタクトホールを介してトランジスタ T a 2 2 のソース電極に接続されている。出力配線 1 6 b は、引き出し配線およびコンタクトホールを介してトランジスタ T b 2 2 のソース電極に接続されている。出力配線 1 5 a、出力配線 1 6 a、出力配線 1 5 b、および出力配線 1 6 b は、電源配線 1 1 などよりも狭い幅であって、かつ予め定められた同一の幅を有するが、これに限らない。

[0104] 各トランジスタは、トランジスタ T a 1 5・T b 1 5・T a 2 5・T b 2 5 以外の各トランジスタが、平面視で、電源配線 1 1 と一方の電源配線 1 2 との間の領域にレイアウトされ、トランジスタ T a 1 5・T b 1 5・T a 2 5・T b 2 5 が、平面視で、他方の電源配線 1 2 のクロック信号配線 1 7 とは反対側の領域にレイアウトされている。

[0105] 半導体装置ユニット 5 0 では、第 1 イネーブル信号 E N 1 と第 2 イネーブル信号 E N 2 とをそれぞれアクティブにするタイミングに応じて、第 1 出力信号 O U T 1 および第 1 反転出力信号 O U T B 1 と、第 2 出力信号 O U T 2 および第 2 反転出力信号 O U T B 2 とを、順次出力することができる。半導体装置ユニット 5 0 の半導体装置 1 0 b では、クロック信号 C K に替えて、反転クロック信号 C K B が供給される。

[0106] 容量 C a 1 1 および容量 C b 1 1 の形成領域は、平面視で、クロック信号配線 1 7（制御信号配線）および電源配線 1 1（金属配線）と重なるように配置されている。容量電極 2 4 上には、層間絶縁膜 2 5 を介してクロック信号配線 1 7 および電源配線 1 1 が存在している。半導体層 2 2 は、コンタクトホール 2 6 を介してクロック信号配線 1 7 と接続されている。これにより、半導体層 2 2、ゲート絶縁膜 2 3、容量電極 2 4 で重畳される部分（重畳部）に、容量 C a 1 1・C b 1 1 が形成される。容量 C a 1 1 および容量 C b 1 1 の形成領域は、前記実施の形態の容量 C a 1 および容量 C b 1 の形成領域よりも大きい。

[0107] 容量 C a 2 1 および容量 C b 2 1 の形成領域は、平面視で、一方の電源配

線 1 2（金属配線）およびクロック信号配線 2 7（制御信号配線）と重なるように配置されている。容量電極 2 4 上には、層間絶縁膜 2 5 を介して一方の電源配線 1 2 およびクロック信号配線 2 7 が存在している。半導体層 2 2 は、コンタクトホール 2 6 を介してクロック信号配線 2 7 と接続されている。これにより、半導体層 2 2、ゲート絶縁膜 2 3、容量電極 2 4 で重畳される部分（重畳部）に、容量 $C_{a21} \cdot C_{b21}$ が形成される。容量 C_{a21} および容量 C_{b21} の形成領域は、前記実施の形態の容量 C_{a1} および容量 C_{b1} の形成領域よりも大きく、容量 C_{a11} および容量 C_{b11} の形成領域と同じである。

[0108] 上記構成を有する半導体装置ユニット 5 0 では、平面視において、容量 $C_{a11} \cdot C_{b11}$ となる重畳部は、クロック信号配線 1 7 および電源配線 1 1 に重なり、容量 $C_{a21} \cdot C_{b21}$ となる重畳部は、一方の電源配線 1 2 およびクロック信号配線 2 7 に重なっている。電源 VDD が安定していれば、ノイズの重畳の懸念を除くことができる。

[0109] それゆえ、このような場合はノイズの影響を無視して、容量 $C_{a1} \cdot C_{b1}$ の形成領域を電源配線 1 1 に重ねることができるので、スペースを有効的に利用することができる。よって、レイアウトスペースを効率良く利用して、容量 $C_{a11} \cdot C_{b11} \cdot C_{a21} \cdot C_{b21}$ の容量形成のためだけに消費されるレイアウトスペースを低減することが可能となる。したがって、半導体装置ユニット 5 0 では、レイアウト面積の低減を図ることが可能となる。

[0110] また、半導体装置ユニット 5 0 では、レイアウトスペースの増大を抑制しながら、容量形成領域を広く確保することが可能となっており、十分な電位上昇（ブートストラップ量）を得ることが可能となる。なお、本実施例のレイアウトパターンは、前記実施の形態 1 の半導体装置 1 0 のレイアウトパターンにおいても同様に適用することができる。

[0111] なお、半導体装置ユニット 5 0 では、半導体装置 1 0 a および半導体装置 1 0 b を備える構成としたが、半導体装置は 3 以上設けられていてもよい。

この場合、レイアウトスペースの低減のために、電源配線やクロック信号配線などを共用することが望ましい。

[0112] また、半導体装置の回路構成によっては、素子数が多くなるとともに、複数の信号配線が必要となり、それらのレイアウトを複雑にせざるを得ない場合もある。よって、上述では容量形成領域を2本のSMに重ねていたが、SMが3本以上隣り合って並べられているレイアウトであれば、3本以上のSMに重畳部を重ねてもよい。なお、3本以上のSM全てに重ねる必要はなく、所望の容量に応じていずれかに重ねることができる。このようにして、レイアウトスペースを効率的に利用することが可能となる。

[0113] [実施の形態3]

本発明の一実施形態について図面に基づいて説明すれば、以下の通りである。本実施の形態では、前記実施の形態の半導体装置10または半導体装置ユニット50が搭載された液晶パネルを備える液晶表示装置について説明する。なお、本実施の形態において説明すること以外の構成は、前記実施の形態1、2と同じである。また、説明の便宜上、前記の実施の形態1、2の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

[0114] 図5は、本実施の形態の液晶表示装置100の一構成例を概略的に示すブロック図である。図5に示すように、液晶表示装置100は、液晶パネル101に、表示部102、ソースドライバ103（駆動ドライバ）、ゲート／CSドライバ104（駆動ドライバ）、およびバッファ回路105を備えている。

[0115] 表示部102には、アレイ状に配列された画素が設けられている。また、表示部102には、各画素に対応して、ソースライン、ゲートライン、およびCSラインが設けられている。ソースドライバ103は、表示部102の各ソースラインに、各画素に書き込むためのデータ信号を順次出力する。ゲート／CSドライバ104は、表示部102の各ゲートラインに、ソースドライバ103からのデータ信号を書き込む画素を選択するための選択信号（

走査信号)を順次出力し、また、補助容量(CS容量)への電位供給線であるCSラインにCS信号を出力する。バッファ回路105は、外部の表示コントローラなどから送られてくる各種制御信号(例えば、クロック信号CK、スタートパルスSP、初期化信号INI、極性判定信号など)などを、低出力インピーダンスの信号にして、ソースドライバ103およびゲート/CSドライバ104に供給する。

[0116] 液晶表示装置100においては、前記実施の形態の半導体装置10または半導体装置ユニット50を、各部に適用することが可能である。例えば、ソースドライバ103およびゲート/CSドライバ104内のシフトレジスタや出力部などに、好適に利用することができる。これらには、トランジスタとブートストラップ用の容量とを備える半導体装置が、広く用いられている。特にシフトレジスタは、CMOSトランジスタおよびブートストラップ用容量などを備える回路により構成されていたり、同一導電型のトランジスタおよびブートストラップ用容量などを備える回路により構成されている。

[0117] よって、液晶表示装置100では、前記実施形態の半導体装置10または半導体装置ユニット50により奏する効果を各部で得ることが可能となり、全体として、狭額縁化、小型化、および軽量化をなし得ることが可能となる。

[0118] また、ここで図示はしないが、液晶パネル101は、互いに対向する2枚の基板に、液晶層が挟持された構成を有している。一方の基板は、共通電極などが形成された基板であり、他方の基板は、表示部102などが形成された基板(アクティブマトリクス基板)である。そして、ソースドライバ103、ゲート/CSドライバ104、およびバッファ回路105などの周辺回路は、アクティブマトリクス基板にモノリシックに作り込まれていてもよい。特に、このようなアクティブマトリクス基板を備える液晶パネル101では、レイアウト面積の低減を図ることが可能であるので、さらなる狭額縁化、小型化、および軽量化を実現することが可能となる。

[0119] なお、上述した液晶表示装置100の構成は概略であり、その他、従来一

般的な構成を備えていてもよい。例えば、バックライトや表示コントローラなどを備えることができる。また、ロジック回路用電源や、データ信号の基準電圧、対向電圧、補助容量電圧などを生成する電源回路を備えていてもよい。さらに、ソースドライバ103に替えて、デマルチプレクサを構成してもよい。

[0120] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

[0121] 本発明の半導体装置は、少なくともトランジスタおよびブートストラップ用の容量を備える半導体装置であって、上記トランジスタのチャネル層と同一材料で構成された第1電極と、第1絶縁膜を介して上記第1電極よりも上層に形成された第2電極と、第2絶縁膜を介して上記第2電極よりも上層に形成された制御信号配線とを備え、上記第2電極は、上記トランジスタのゲート電極に接続され、上記制御信号配線には、外部からの制御信号が供給され、上記容量は、上記第1電極、上記第1絶縁膜、および上記第2電極の重畳部に形成され、平面視において上記重畳部と上記制御信号配線とが重なっている構成を有する。

[0122] また、本発明の半導体装置では、上記制御信号はクロック信号であることが好ましい。

[0123] また、本発明の半導体装置では、上記制御信号配線は、コンタクトホールを介して上記第1電極に接続されていることが好ましい。

[0124] また、本発明の半導体装置では、上記容量は複数備えられ、上記制御信号配線には、上記各容量における重畳部が重なっている構成とすることもできる。

[0125] また、本発明の半導体装置では、上記制御信号配線と同層に、該制御信号配線と隣り合うように形成された金属配線をさらに備え、平面視において上記重畳部は、上記制御信号配線および上記金属配線と重なっていることが好

ましい。これによれば、レイアウトスペースを効率良く利用して、重畳部を広く確保することが可能となる。

[0126] また、本発明の半導体装置では、上記容量は複数備えられ、上記制御信号配線および上記金属配線には、上記各容量における重畳部が重なっている構成とすることもできる。

[0127] また、本発明の半導体装置では、上記金属配線は複数備えられていることが好ましい。

産業上の利用可能性

[0128] 本発明は、少なくともトランジスタおよびブートストラップ用の容量を備える半導体装置に関する分野に好適に用いることができるだけでなく、半導体装置の製造方法に関する分野に好適に用いることができ、さらには、半導体装置を備える液晶パネル、およびそれを備える液晶表示装置などの分野にも広く用いることができる。

符号の説明

- [0129] 1 0, 1 0 a, 1 0 b 半導体装置
- 1 1 電源配線（金属配線）
 - 1 2 電源配線（金属配線）
 - 1 7 クロック信号配線（制御信号配線）
 - 2 1 基板
 - 2 2 半導体層（第 1 電極）
 - 2 3 ゲート絶縁膜（第 1 絶縁膜）
 - 2 4 容量電極（第 2 電極）
 - 2 5 層間絶縁膜（第 2 絶縁膜）
 - 2 6 コンタクトホール
 - 2 7 クロック信号配線（制御信号配線）
 - 5 0 半導体装置ユニット
 - 1 0 0 液晶表示装置
 - 1 0 1 液晶パネル

102 表示部

103 ソースドライバ（駆動ドライバ）

104 ゲート／CSドライバ（駆動ドライバ）

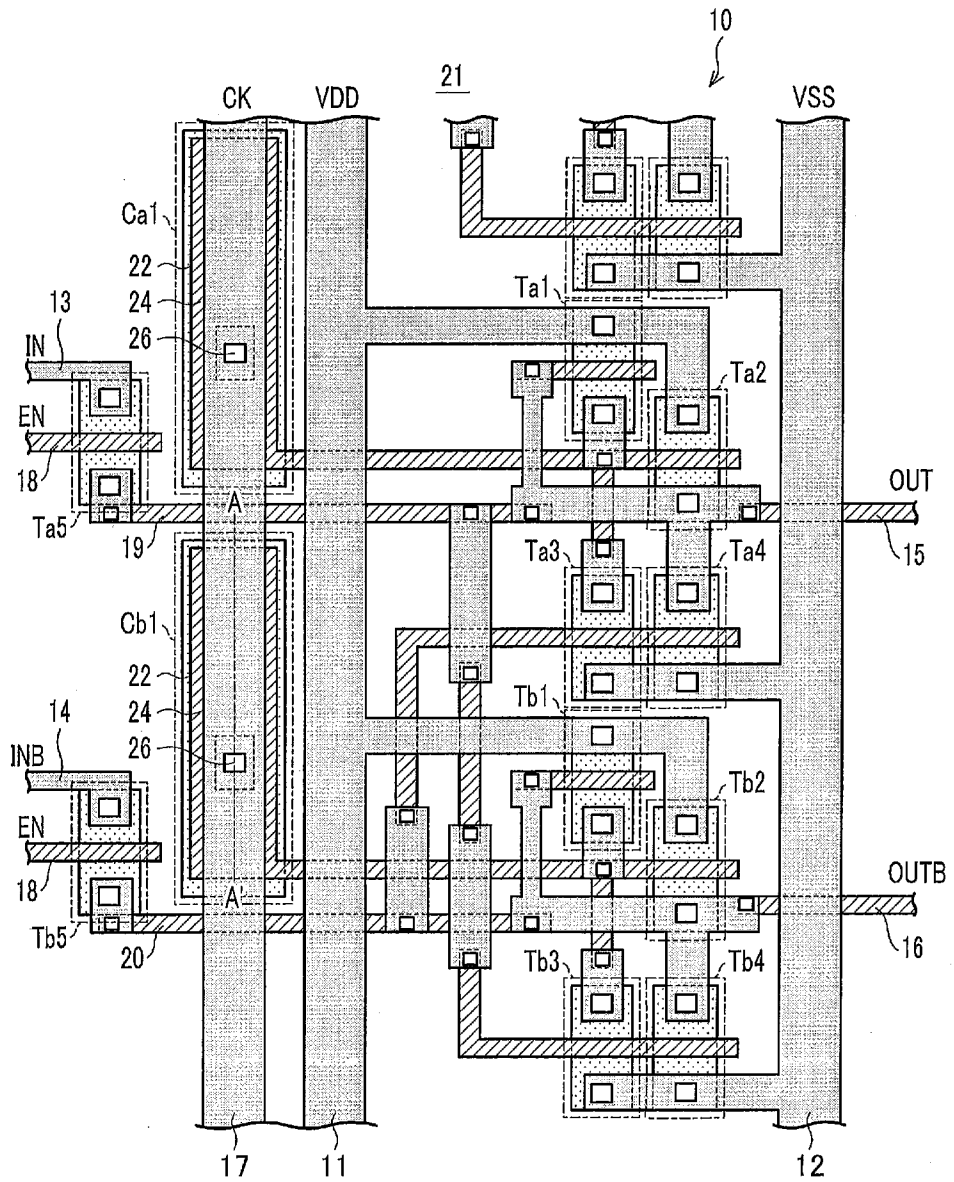
Ca1, Ca11, Ca21, Cb1, Cb11, Cb21 容量

請求の範囲

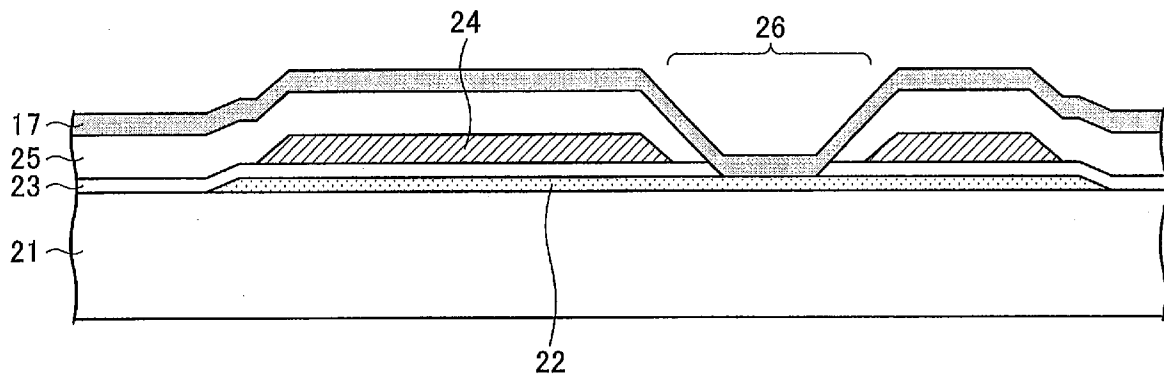
- [請求項1] 少なくともトランジスタおよびブートストラップ用の容量を備える半導体装置であって、
- 上記トランジスタのチャネル層と同一材料で構成された第1電極と、
- 、
- 第1絶縁膜を介して上記第1電極よりも上層に形成された第2電極と、
- 第2絶縁膜を介して上記第2電極よりも上層に形成された制御信号配線とを備え、
- 上記第2電極は、上記トランジスタのゲート電極に接続され、
- 上記制御信号配線には、外部からの制御信号が供給され、
- 上記容量は、上記第1電極、上記第1絶縁膜、および上記第2電極の重畳部に形成され、
- 平面視において上記重畳部と上記制御信号配線とが重なっていることを特徴とする半導体装置。
- [請求項2] 上記制御信号はクロック信号であることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 上記制御信号配線は、コンタクトホールを介して上記第1電極に接続されていることを特徴とする請求項1または2に記載の半導体装置。
- [請求項4] 上記容量は複数備えられ、
- 上記制御信号配線には、上記各容量における重畳部が重なっていることを特徴とする請求項1～3のいずれか1項に記載の半導体装置。
- [請求項5] 上記制御信号配線と同層に、該制御信号配線と隣り合うように形成された金属配線をさらに備え、
- 平面視において上記重畳部は、上記制御信号配線および上記金属配線と重なっていることを特徴とする請求項1～3のいずれか1項に記載の半導体装置。

- [請求項6] 上記容量は複数備えられ、
 上記制御信号配線および上記金属配線には、上記各容量における重畳部が重なっていることを特徴とする請求項5に記載の半導体装置。
- [請求項7] 上記金属配線は複数備えられていることを特徴とする請求項5または6に記載の半導体装置。
- [請求項8] 請求項1～7のいずれか1項に記載の半導体装置を複数備え、
 上記複数の半導体装置が、上記制御信号配線を共用していることを特徴とする半導体装置ユニット。
- [請求項9] 表示部と駆動ドライバとを備え、上記駆動ドライバがモノリシックに形成されたアクティブマトリクス基板であって、
 上記駆動ドライバには、請求項1～7のいずれか1項に記載の半導体装置、または、請求項8に記載の半導体装置ユニットが構成されていることを特徴とするアクティブマトリクス基板。
- [請求項10] 請求項9に記載のアクティブマトリクス基板を備えることを特徴とする液晶パネル。
- [請求項11] 請求項10に記載の液晶パネルを備えることを特徴とする液晶表示装置。

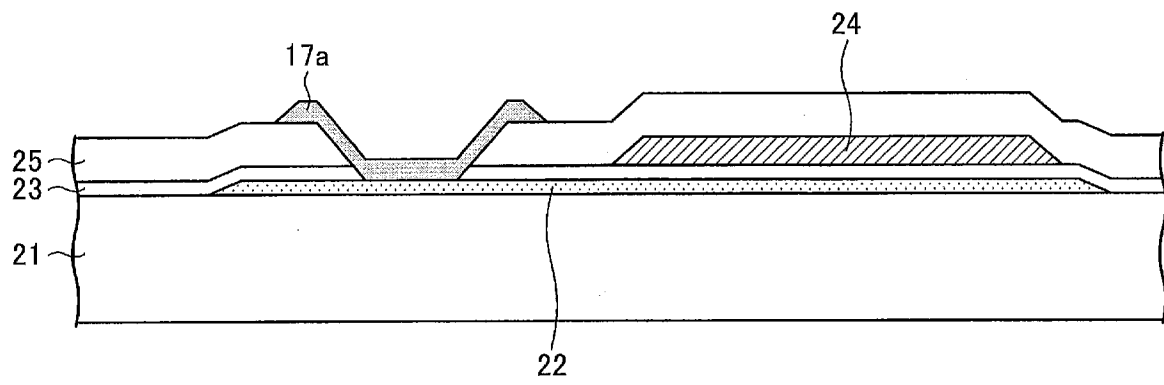
[図1]



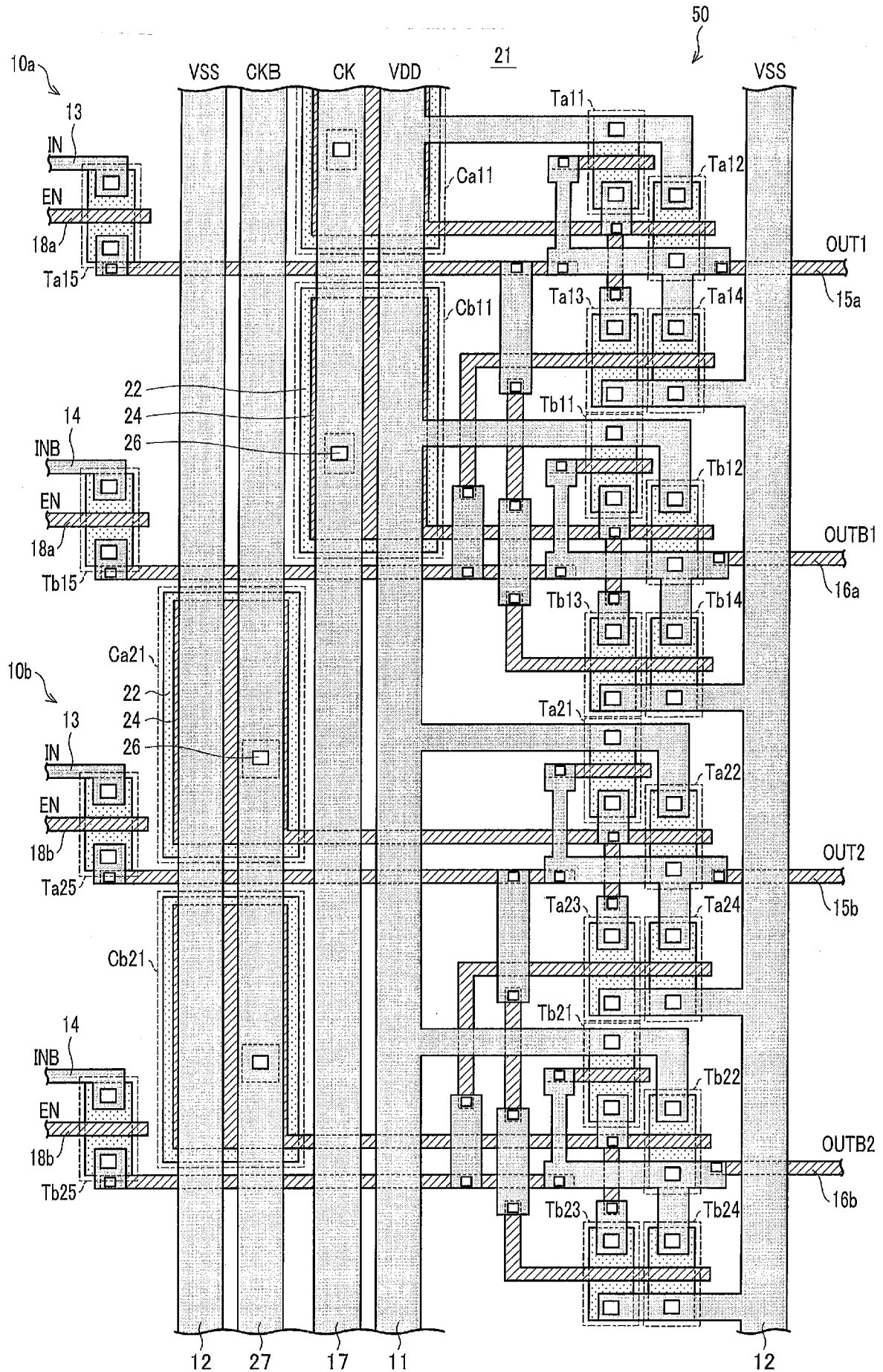
[図2]



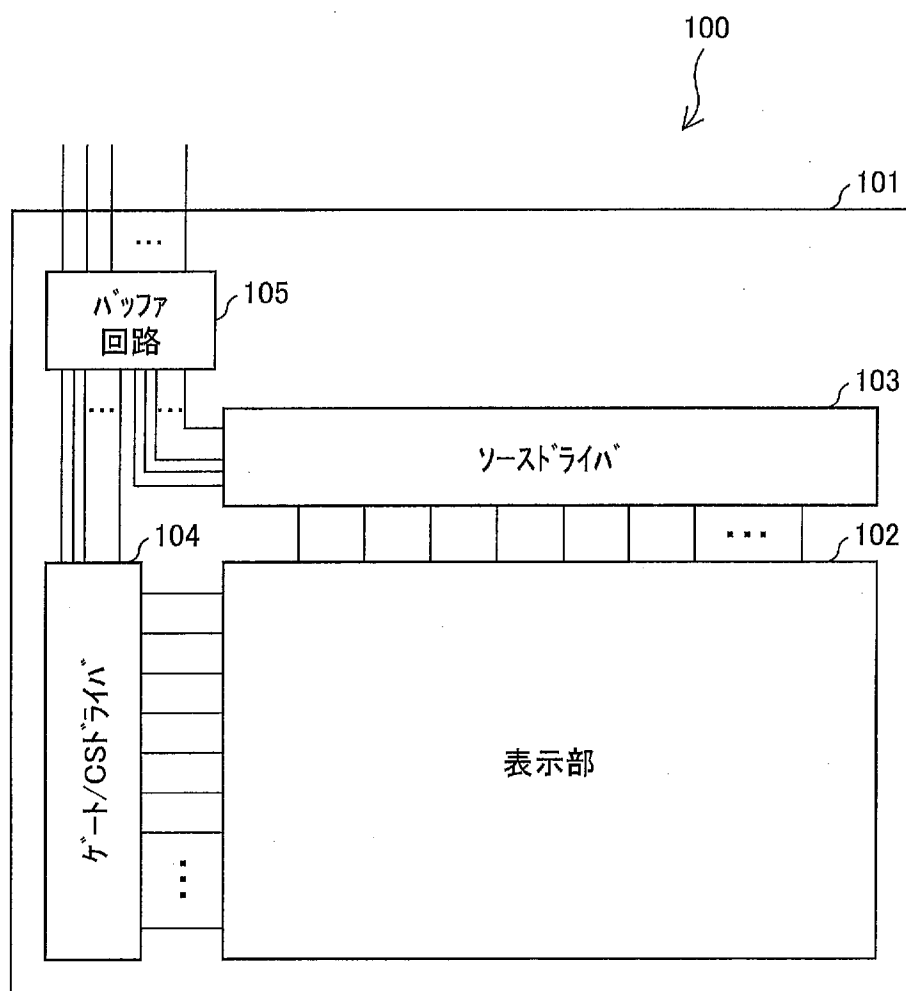
[図3]



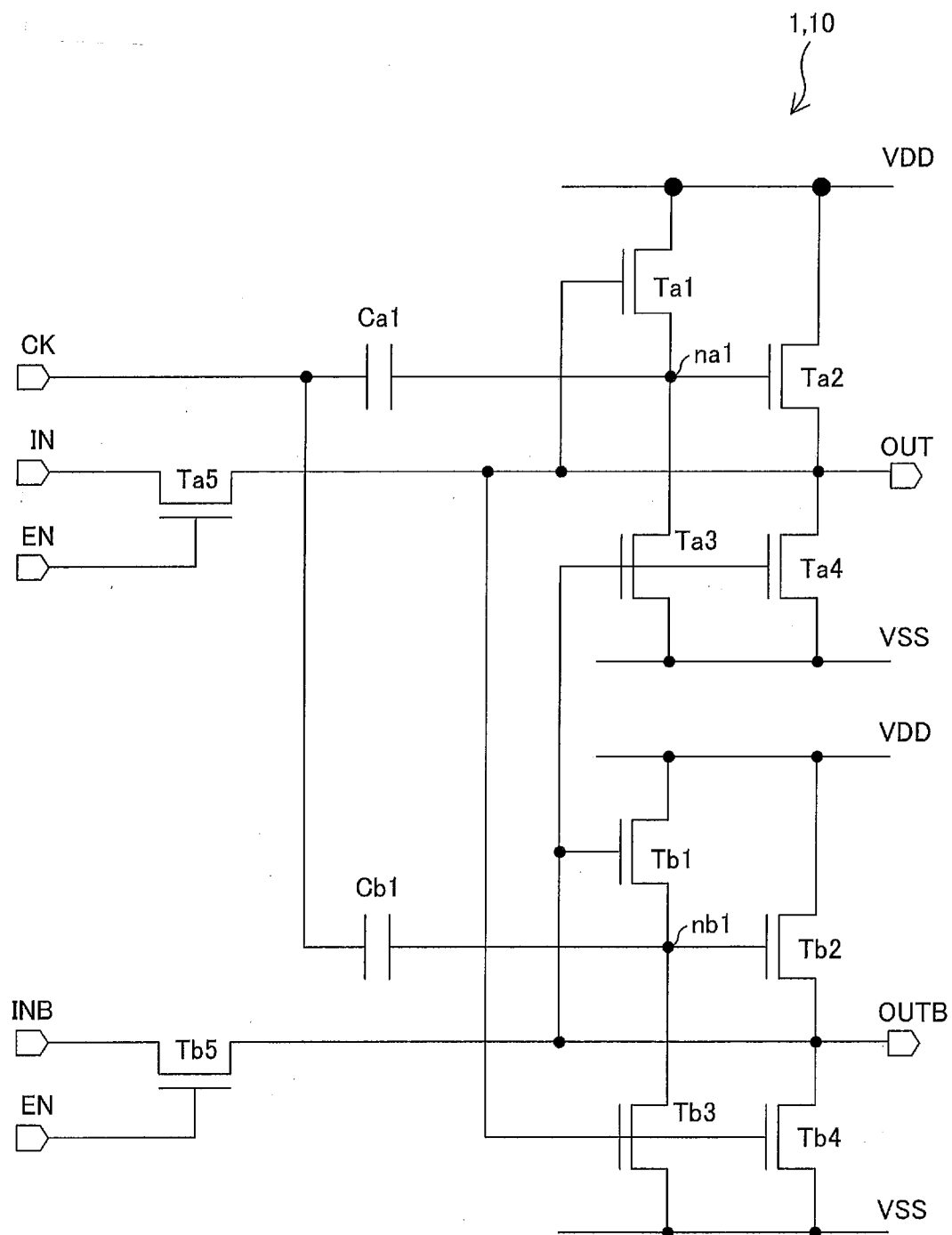
[図4]



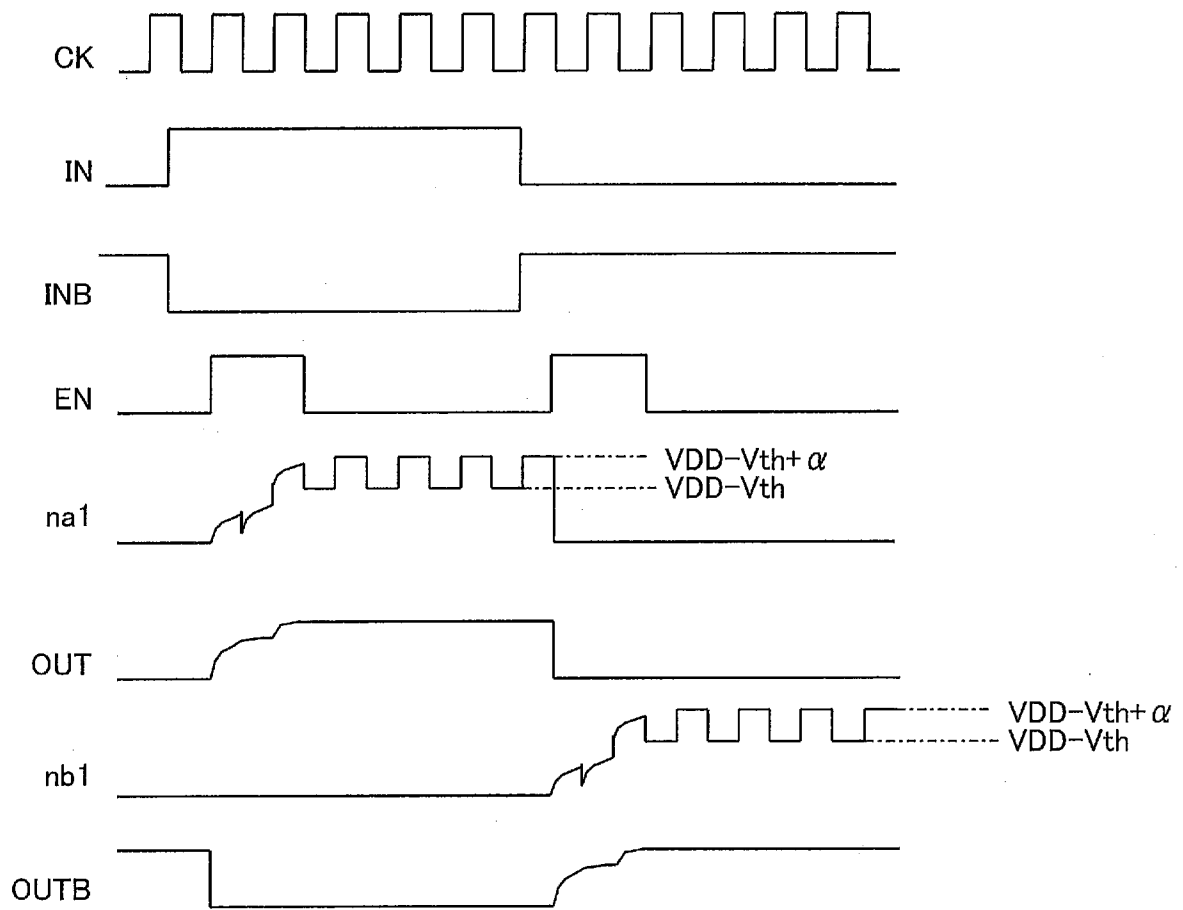
[図5]



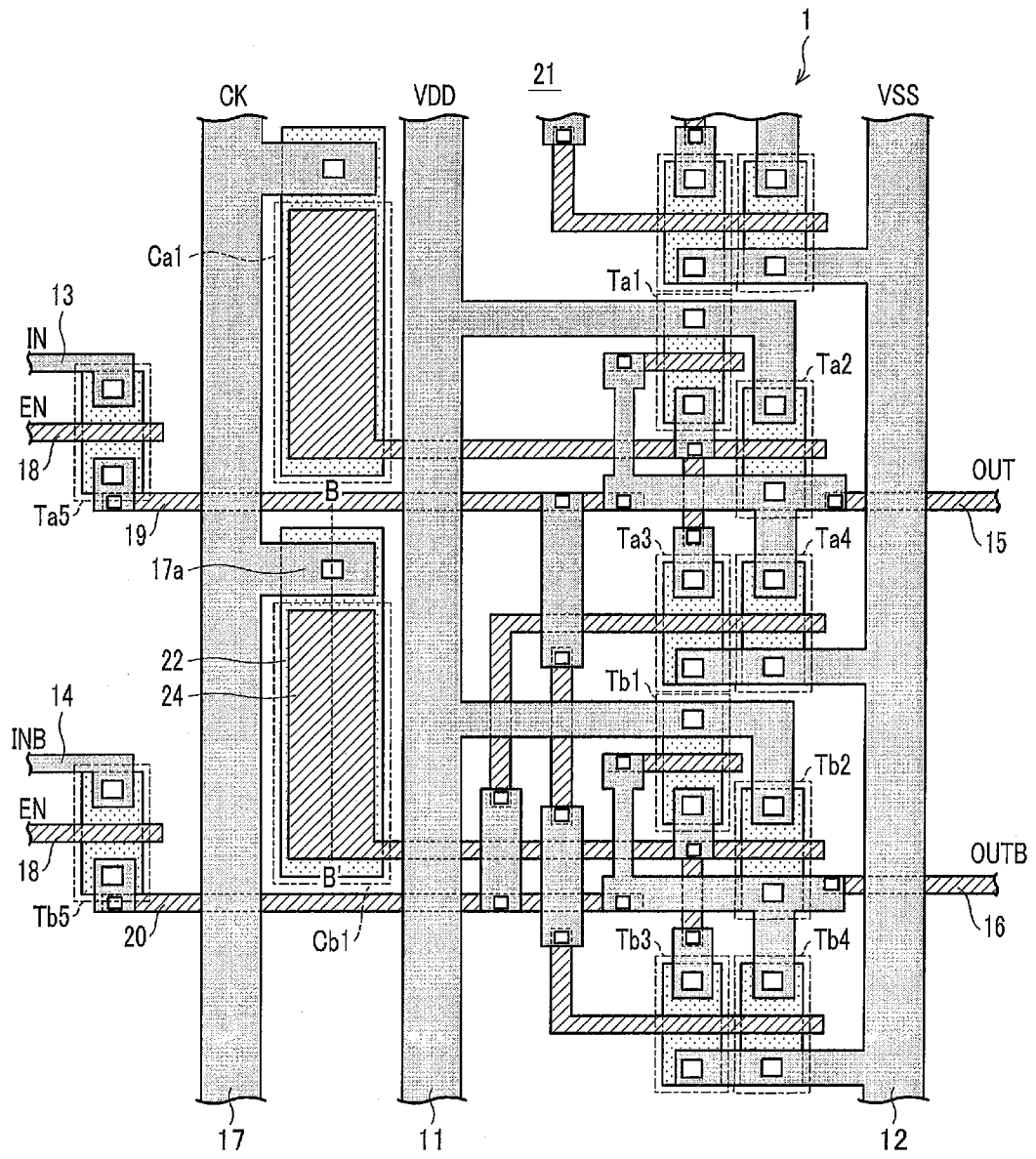
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/069346

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01) i, G02F1/1368(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G02F1/1368, H01L27/105, G11C11/401

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2003-132674 A (Mitsubishi Electric Corp.), 09 May 2003 (09.05.2003), paragraphs [0273] to [0286]; fig. 18 to 22 & US 2003/0081490 A1	1-8 1-11
Y	JP 2007-151092 A (Semiconductor Energy Laboratory Co., Ltd.), 14 June 2007 (14.06.2007), paragraphs [0243] to [0349]; fig. 21 to 24, 44, 45 & US 2010/0026619 A1	1-11
A	WO 2009/084272 A1 (Sharp Corp.), 09 July 2009 (09.07.2009), entire text & US 2010/0244946 A1 & EP 2226938 A1	1-11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
22 November, 2011 (22.11.11)

Date of mailing of the international search report
06 December, 2011 (06.12.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/786, G02F1/1368, H01L27/105, G11C11/401

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2003-132674 A（三菱電機株式会社）2003.05.09, 段落【0 2 7 3】-【0 2 8 6】、図1 8 - 2 2 & US 2003/0081490 A1	1-8 1-11
Y	JP 2007-151092 A（株式会社半導体エネルギー研究所）2007.06.14, 段落【0 2 4 3】-【0 3 4 9】、図2 1 - 2 4、4 4、4 5 & US 2010/0026619 A1	1-11
A	WO 2009/084272 A1（シャープ株式会社）2009.07.09, 全文 & US 2010/0244946 A1 & EP 2226938 A1	1-11

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 1 1 . 2 0 1 1

国際調査報告の発送日

0 6 . 1 2 . 2 0 1 1

国際調査機関の名称及びあて先
日本国特許庁（I S A / J P）
郵便番号1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

川村 裕二

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

3 3 4 9