

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 24 年 4 月 19 日 (2012.4.19)

【公開番号】特開 2009-246346 (P2009-246346A)

【公開日】平成 21 年 10 月 22 日 (2009.10.22)

【年通号数】公開・登録公報 2009-042

【出願番号】特願 2009-49196 (P2009-49196)

【国際特許分類】

H 0 1 L 21/02 (2006.01)

H 0 1 L 27/12 (2006.01)

H 0 1 L 21/265 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 27/08 (2006.01)

G 0 2 F 1/1368 (2006.01)

H 0 5 B 33/02 (2006.01)

H 0 1 L 51/50 (2006.01)

H 0 5 B 33/14 (2006.01)

H 0 1 L 21/304 (2006.01)

H 0 1 L 21/3065 (2006.01)

【F I】

H 0 1 L 27/12 B

H 0 1 L 21/265 Q

H 0 1 L 21/265 F

H 0 1 L 29/78 6 2 7 D

H 0 1 L 27/08 3 3 1 E

G 0 2 F 1/1368

H 0 5 B 33/02

H 0 5 B 33/14 A

H 0 5 B 33/14 Z

H 0 1 L 21/304 6 2 1 D

H 0 1 L 21/302 1 0 5 B

【手続補正書】

【提出日】平成 24 年 3 月 1 日 (2012.3.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ベース基板上に半導体層を形成して化学機械研磨処理を行う S O I 基板の作製方法であって、

複数の半導体基板のそれぞれにおいて、前記ベース基板と接合する表面からの深さが異なる位置に脆化層を形成し、

前記ベース基板面内の前記化学機械研磨処理における研磨量が大きい領域に、前記表面から深い位置に前記脆化層が設けられた前記複数の半導体基板を配置し、

前記ベース基板面内の前記化学機械研磨処理における研磨量が小さい領域に、前記表面

から浅い位置に前記脆化層が設けられた前記複数の半導体基板を配置し、

前記ベース基板と、前記ベース基板上に配置されている前記複数の半導体基板とを接合させ、

前記脆化層を起点として、前記ベース基板と接合された前記複数の半導体基板を分離することで複数の第１の半導体層を形成し、

前記複数の第１の半導体層を化学機械研磨処理により研磨して第２の半導体層を形成することを特徴とするＳＯＩ基板の作製方法。

【請求項２】

ベース基板上に半導体層を形成してエッチング処理を行うＳＯＩ基板の作製方法であって、

複数の半導体基板のそれぞれにおいて、前記ベース基板と接合する表面からの深さが異なる位置に脆化層を形成し、

前記ベース基板面内の前記エッチング処理のエッチングレートが大きい領域に、前記表面から深い位置に前記脆化層が設けられた前記複数の半導体基板を配置し、

前記ベース基板面内の前記エッチング処理のエッチングレートが小さい領域に、前記表面から浅い位置に前記脆化層が設けられた前記複数の半導体基板を配置し、

前記ベース基板と、前記ベース基板上に配置されている前記複数の半導体基板とを接合させ、

前記脆化層を起点として、前記ベース基板と接合された前記複数の半導体基板を分離することで複数の第１の半導体層を形成し、

前記複数の第１の半導体層をエッチングして第２の半導体層を形成することを特徴とするＳＯＩ基板の作製方法。

【請求項３】

ベース基板上に半導体層を形成して化学機械研磨処理を行うＳＯＩ基板の作製方法であって、

複数の半導体基板のそれぞれにおいて、前記ベース基板と接合する表面からの深さが異なる位置に脆化層を形成し、

前記ベース基板の中央部に、前記表面から浅い位置に前記脆化層が設けられた前記複数の半導体基板を配置し、

前記ベース基板の周縁部に、前記表面から深い位置に前記脆化層が設けられた前記複数の半導体基板を配置し、

前記ベース基板と、前記ベース基板上に配置されている前記複数の半導体基板とを接合させ、

前記脆化層を起点として、前記ベース基板と接合された前記複数の半導体基板を分離することで複数の第１の半導体層を形成し、

前記複数の第１の半導体層を化学機械研磨処理により研磨して第２の半導体層を形成することを特徴とするＳＯＩ基板の作製方法。

【請求項４】

ベース基板上に半導体層を形成してエッチング処理を行うＳＯＩ基板の作製方法であって、

複数の半導体基板のそれぞれにおいて、前記ベース基板と接合する表面からの深さが異なる位置に脆化層を形成し、

前記ベース基板の中央部に、前記表面から深い位置に前記脆化層が設けられた前記複数の半導体基板を配置し、

前記ベース基板の周縁部に、前記表面から浅い位置に前記脆化層が設けられた前記複数の半導体基板を配置し、

前記ベース基板と、前記ベース基板上に配置されている前記複数の半導体基板とを接合させ、

前記脆化層を起点として、前記ベース基板と接合された前記複数の半導体基板を分離することで複数の第１の半導体層を形成し、

前記複数の第 1 の半導体層をエッチングして第 2 の半導体層を形成することを特徴とする S O I 基板の作製方法。

【請求項 5】

ベース基板上に半導体層を形成して化学機械研磨処理を行う S O I 基板の作製方法であって、

第 1 の半導体基板及び第 2 の半導体基板において、前記ベース基板と接合する表面からの深さが異なる位置に脆化層を形成し、

前記ベース基板面内の前記化学機械研磨処理における研磨量が大きい領域に、前記第 1 の半導体基板を配置し、

前記ベース基板面内の前記化学機械研磨処理における研磨量が小さい領域に、前記第 2 の半導体基板を配置し、

前記ベース基板と、前記ベース基板上に配置されている前記第 1 の半導体基板及び前記第 2 の半導体基板とを接合させ、

前記脆化層を起点として、前記ベース基板と接合された前記第 1 の半導体基板及び前記第 2 の半導体基板を分離することで第 1 の半導体層及び第 2 の半導体層を形成し、

前記第 1 の半導体層及び前記第 2 の半導体層を化学機械研磨処理により研磨して第 3 の半導体層を形成し、

前記第 1 の半導体基板に形成された脆化層の前記ベース基板と接合する表面からの深さは、前記第 2 の半導体基板に形成された脆化層の前記ベース基板と接合する表面からの深さよりも深いことを特徴とする S O I 基板の作製方法。

【請求項 6】

ベース基板上に半導体層を形成してエッチング処理を行う S O I 基板の作製方法であって、

第 1 の半導体基板及び第 2 の半導体基板において、前記ベース基板と接合する表面からの深さが異なる位置に脆化層を形成し、

前記ベース基板面内の前記エッチング処理のエッチングレートが大きい領域に、前記第 1 の半導体基板を配置し、

前記ベース基板面内の前記エッチング処理のエッチングレートが小さい領域に、前記第 2 の半導体基板を配置し、

前記ベース基板と、前記ベース基板上に配置されている前記第 1 の半導体基板及び前記第 2 の半導体基板とを接合させ、

前記脆化層を起点として、前記ベース基板と接合された前記第 1 の半導体基板及び前記第 2 の半導体基板を分離することで第 1 の半導体層及び第 2 の半導体層を形成し、

前記第 1 の半導体層及び前記第 2 の半導体層をエッチングして第 3 の半導体層を形成し、

前記第 1 の半導体基板に形成された脆化層の前記ベース基板と接合する表面からの深さは、前記第 2 の半導体基板に形成された脆化層の前記ベース基板と接合する表面からの深さよりも深いことを特徴とする S O I 基板の作製方法。

【請求項 7】

請求項 1 乃至請求項 6 のいずれかーにおいて、

前記脆化層の形成は、イオンドーピング法により行うことを特徴とする S O I 基板の作製方法。

【請求項 8】

請求項 1 乃至請求項 7 のいずれかーにおいて、

前記ベース基板は透光性基板であることを特徴とする S O I 基板の作製方法。