

申請日期	87. 9. 11
案 號	87115219
類 別	H01L 21/00

88. 4. 21	修正
年 月 日	補充

A4
C4

(以上各欄由本局填註)

421812

發明專利說明書

一、發明 名稱	中 文	半導體設備之製造裝置
	英 文	Semiconductor Device Manufacturing Apparatus
二、發明 創作人	姓 名	一、吉田稔 Minoru Yoshida 日 本 JAPAN
	國 籍	日本國神奈川縣橫濱市港北區新橫濱2丁目15番10號 2-15-10, Shinyokohama Kouhoku-ku, Yokohama-shi, Kanagawa-ken 222-8580 JAPAN
	住、居所	二、土肥猛 Takeshi Doi 日 本 JAPAN
		日本國神奈川縣橫濱市港北區新橫濱2丁目15番10號 2-15-10, Shinyokohama Kouhoku-ku, Yokohama-shi, Kanagawa-ken 222-8580 JAPAN
三、申請人	姓 名 (名稱)	日商伊諾得克股份有限公司 イノテック株式會社 INNOTECH CORPORATION
	國 籍	日 本 JAPAN
	住、居所 (事務所)	日本國神奈川縣橫濱市港北區新橫濱2丁目15番10號 2-15-10, Shinyokohama Kouhoku-ku, Yokohama-shi, Kanagawa-ken 222-8580 JAPAN
	代 表 人 姓 名	吉田稔 Minoru Yoshida

421812

(由本局填寫)

承辦人代碼：
大 類：
I P C分類：

A6

B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ，☐有 ☒無主張優先權

1. 1997 年 9 月 25 日 9-278296

2. 1997 年 12 月 3 日 9-348641

3. 1998 年 6 月 16 日 10-185567

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1.)

(發明之背景)

本發明係關於一種半導體設備之製造裝置。

(習用技術)

茲以圖九～圖十二說明習用半導體設備之製造裝置。

本製造裝置叫做機架方式，由設置多數之過程機架，構成同一種類之處理機構。

如圖九所示，將因應處理過程種類之多數過程機架 11～18 裝設於無菌室 40 內。

茲說明有關設置於各過程機架 11～18 之處理機構和該處之處理如下：

在洗滌過程機架 11，設置為洗滌晶片底座表面的洗滌機構 31。

在氧化膜形成過程機架 12，設置氧化膜形成機構 32，在此將氧化膜形成於晶片底座的表面並作為保護膜。

而且，感光劑塗敷過程機架 13 和顯像過程機架 14，係為實施照片處理之過程機架，在過程機架 13 設置感光劑塗敷機構 33，在過程機架 14 設置顯像機構 34。然後，在顯像過程機架 14，在感光劑上載置視所需要圖形的屏蔽曝光，實施消除未感光部份感光劑之處理。

在藥品處理過程機架 15，實施清除晶片底座表面的不必要物質，例如，氧化膜一部份等的藥品處理。設置其處理所需要之藥品處理機構 35。

在不純物擴散過程機架 16，設置使不純物擴散於晶片底座內之不純物擴散處理機構 36。在此不純物擴散處理機

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2.)

構36，視所形成的層，引進所需要種類之不純物氣體。

而且，在濺射過程機架17，設置形成薄膜之濺射機構37，在檢查過程機架18，設置晶片底座之檢查機構38。

在上述各過程機架之間，設置連接該等之單軌19。裝載應處理晶片底座之未圖示搬運箱，移動於此單軌19上，將晶片底座搬運於個別之過程機架11~18間。

而且，在各過程機架11~18內，裝設過程機架內專用之自動搬運裝置。由此自動搬運裝置，從單軌19之搬運箱卸下晶片底座，同時在過程機架內將其搬運，實施該處之必要處理。在結束該處理後，以便再度使之恢復於搬運箱。

此外，在各過程機架內設置多數的相同處理機構，以便可同時處理一起被搬入之多數片晶片底座。

然後，為製造一個半導體設備所需要之處理過程數或順序，因品種而異，因此由控制用之CPU選擇搬運經路，以便搬運晶片底座。

按照圖十之流程圖，說明在這種機架方式之製造裝置中製造屬於半導體設備，如圖十二所示電晶體之方法。此外，此電晶體係以將P型層2夾持於N型層1、3之間的形態，使電極4、5露出於表面，以氧化膜20保護其他的部份。

首先，將N型矽晶片底座載置於單軌19上的搬運箱，搬運至過程機架11。在步驟1，在過程機架11內洗滌晶片底座。

洗滌後，晶片底座以單軌19移動至過程機架12，進入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3.)

步驟 2。在步驟 2 將氧化膜 20 形成於晶片底座表面 (參照圖十一 (a))，之後將晶片底座搬運於過程機架 13。

在步驟 3，將感光劑全面塗敷於氧化膜 20 上。

然後，在感光機架 14 之步驟 4 顯像過程，如圖十一 (b) 所示，將因應 P 型層 2 之屏蔽 22 載置於感光劑 21 上曝光，消除未感光的部份，亦即，屏蔽 22 的部份 (參照圖十一 (c))。

其次，將晶片底座搬運至過程機架 15，依步驟 5 之藥品處理過程，消除沒有感光劑 21 的部份氧化膜。結果如圖十一 (d) 所示，產生 N 型層 1 形成露出的部份。以此狀態將晶片底座搬運至過程機架 16，進入步驟 6。

在步驟 6 依過程機架 16 之不純物擴散處理機構 36，使 P 型不純物擴散依此擴散處理，在晶片底座內部，形成如圖十一 (e) 之 P 型層 2。

在步驟 7，再度將晶片底座搬運至過程機架 11，藉由洗滌消除留在其表面的感光劑 21。

將晶片底盤搬運至過程機架 12，如果在步驟 8 形成氧化膜 20，如圖十一 (f)，以氧化膜 20 保護 P 型層 2 之表面。

從此狀態，在以下的步驟 9~步驟 12，和上述步驟 3~6 同樣經過感光劑塗敷過程→顯像過程→藥品處理過程→不純物擴散過程，形成 N 型層 3。但在步驟 10 之顯像過程，載置便因應 N 型層 3 形狀之屏蔽 22 曝光。

其次，將晶片底座搬運至過程機架 11，在步驟 13 藉由

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (4.)

洗滌消除不需要的感光劑 21，搬運至過程機架 12。

在步驟 14 再度形成氧化膜 20。因此，如圖十一 (g) 所示，以氧化膜 20 包覆晶片底座之全部表面。

之後，依步驟 15~22 的過程，形成圖十二之 Al (鋁) 電極 4、5。

因此，在步驟 15~18，於氧化膜 20 開窗。此窗為直接將鋁電極安裝於 P 型層 2 和 N 型層 3 之表面，對應消除氧化膜 20 的部份。

首先，在步驟 15，以過程機架 13，將感光劑 21 塗敷於圖十一 (g) 之氧化膜 20 上。

在步驟 16，將晶片底座搬運於過程機架 14，如圖十一 (h)，載置對應上述窗之屏蔽顯像。

在步驟 17 實施藥品處理，消除上述窗，亦即，對應電極部份的氧化膜 20，形成上述窗。並且，以過程機架 11 之洗滌，消除剩下的感光劑 21 (步驟 18)。

為在其上形成電極用的鋁膜 23，將晶片底座搬運至濺射過程機架 17。在此形成鋁膜 23 (步驟 19)。在此，如圖十一 (i) 在全面形成鋁膜 23，但因應首先形成的窗在 P 型層 2 和 N 型層 3 有分別和鋁膜 23 直接接觸的部份，該處成為電極 4、5。

在步驟 20，再度以過程機架 13，將感光劑 21 塗敷於鋁膜 23 上 (圖十一 (j))。

在步驟 21 之顯像過程，如圖十一 (j)，載置屏蔽 22 以便留下露出於表面之電極形狀顯像。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5.)

然後，依步驟 22 之藥品處理過程，消除未感光的部份感光劑 21，和其下的鋁膜 23。

如此便可完成 P 電極 4 和 N 電極 5。

並且，若以步驟 23 洗滌消除剩下的感光劑 21，即可完成電晶體。

將以此方法完成之電晶體搬運至過程機架 18 做檢查。

以如上述方法製造屬於半導體設備之電晶體時，對於晶片底座，以圖九的 8 個過程機架 11~18，實施圖十之流程圖的 24 步驟處理。因此，處理步驟數方面多於過程機架數，表示以一個過程機架實施多次的處理。亦即，載置晶片底座的搬運箱多次通過單軌 19 上的相同經路，將一個晶片底座搬運於相同過程機架。例如，在上述過程中，單軌 19 將晶片底座，搬運至洗滌過程機架 11 五次，至氧化膜形成過程機架 12 三次，至感光劑塗敷過程機架 13 和顯像過程機架 14，藥品處理過程機架 15 各四次，至不純物擴散過程機架 16 二次，於濺射過程機架 17 和檢查過程機架各一次。

然後，搬運晶片底座至這些過程機架的順序，若以附加於各過程機架之符號表示即形成如下：11→12→13→14→15→16→11→12→13→14→15→16→11→12→13→14→15→11→17→13→14→15→11→18。

因此，若一個搬運箱，採取像搬運於一個過程機架多次的經路，當想搬運多個搬運箱時，其經路和其他的搬運箱之經路將會交錯。因此，會產生所謂一方的搬運箱，必

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6.)

需將其經路讓給他方搬運箱的情況。而且，同樣要使用相同處理機構的過程時，由於不能同時以一個過程機架處理，因此一方必須待機。

尤其是增多全過程數，其中，越增加相同處理機構，亦即利用相同過程機架之過程數，越延長搬運經路，降低生產性。雖然只是延長一個搬運箱的經路，即降低生產效率，但若與其他的搬運箱之經路將會交錯，延長待機時間，則更降低生產效率。

而且，此習知之裝置，需要可設置所有處理機構和搬運經路的大無菌室。

(發明之目的)

於是，本發明之目的，在於簡化半導體之製造裝置的晶片底座之搬運經路，提高半導體設備的之生產效率。並且，提供不需要大規模無菌室之裝置。

(為解決課題之裝置)

第 1 發明之半導體設備之製造裝置，係以形成晶片底座個別層過程之洗滌或膜形成等的多數處理機構，構成單位過程群，具備沿搬運晶片底座之主經路串聯配置這些多數單位過程群的單位過程群為其特徵。

第 2 發明具備連接於搬運晶片底座主經路之單位過程群，同時此單位過程群，係以處理晶片底座之順序串聯配置在形成晶片底座個別層過程之洗滌或膜形成等多數處理機構為其特徵。

第 3 發明係以第 1 發明為前提，單位過程群含有以處

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7.)

理晶片底座之順序串聯配置多數的處理機構，構成的單位過程群為其特徵。

第4發明係以第2發明為前提，沿搬運晶片底座之主經路串聯配置多數的單位過程群為其特徵。

第5發明係裝設由主經路分歧之分叉經路，同時從全處理機構中將特定處理機構設置於分叉經路上為其特徵。

第6發明係在搬運晶片底座之搬運經路上保持規定的間隔裝設清潔工作台，此工作台朝上述搬運經路噴出清潔空氣，在上述經路和清潔工作台之間形成清潔空間為其特徵。

第7發明係沿晶片底座搬運經路方向之清潔工作台的端部，裝設朝下方之空氣導件為其特徵。

第8發明係跨接清潔工作台和搬運經路之間，裝設包圍清潔空間的欄柵為其特徵。

第9發明係在清潔空間下方，裝設排風口為其特徵。

第10發明係具備由主經路及分叉經路的一方或雙方所成的搬運經路，和由載置晶片底座移動上述搬運經路上的搬運體所成搬運機構，和檢測此搬運機構所具備上述搬運體位置的位置檢測機構，和視來自此位置檢測機構的檢測信號，使上述搬運體移動或停止之控制CPU為其特徵。

第11發明係由位置檢測機構，表示沿搬運經路裝設位置之位址ID，和裝設於搬運體讀入上述位址ID之ID感應器所成，ID感應器將移動中讀入之位址ID發射於控制CPU，控制CPU依據發射之位址ID控制上述搬運體的移動為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8.)

其特徵。

第12發明沿晶片底座之搬運經路裝設因應所有品種的單位過程群，由控制CPU僅選擇搬運體的移動過程所需要單位過程群為其特徵。

第13發明具備多數連續較沿搬運經路裝設之其他處理機構處理能力低的同種處理機構之處理機構群，和裝設於沿上述搬運經路因應上述處理機構群部份之回避處，控制CPU控制移動搬運經路上的多數搬運體，同時使搬運晶片底座於上述處理機構群的搬運體在上述回避處停止，以便可將此停止中之搬運體超越後續的搬運體為其特徵。

第14發明係具備機架方式等處理機構之配置屬於隨機的隨機單位過程群為其特徵。

此外，本發明所稱的半導體設備之製造裝置，不必具備製造半導體設備之全部過程，作為包含局部需要過程的概念使用。

而且，所謂沿晶片底座之搬運經路串聯配置單位過程群，是指依半導體設備之製造過程順序排列單位過程群。

(圖式之簡單說明)

- 圖一 係第1實施例之製造裝置的概略立體圖。
圖二 係第1實施例之單位過程群的流程圖。
圖三 係表示第1實施例之單位過程群構成的方塊圖。
圖四 係表示第2實施例之製造裝置概略的方塊圖。
圖五 係表示第3實施例之製造裝置概略的方塊圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9.)

圖六 係表示第4實施例之製造裝置概略的方塊圖。

圖七 係表示第5實施例之製造裝置概略的方塊圖。

圖八 係表示第6實施例之製造裝置概略的方塊圖。

圖九 係習用例之製造裝置的概略圖。

圖十 係習用例之電晶體製造的流程圖。

圖十一 係說明電晶體製造順序之圖，(a)~(j)係以順序表示製造中狀態之圖。

圖十二 係電晶體之剖面圖。

(本發明之實施例)

圖一~圖三所示之第1實施例，係沿屬於本發明主經路之搬運路7，以一橫排排列多數過程箱P(1)、P(2)…的製造裝置。在此搬運路7上，使載置未圖示密閉型清潔箱之自動搬運車8行駛，搬運裝入清潔箱之晶片底座。

而且，在搬運路7之上具備清潔工作台6。

此清潔工作台6朝下方之上述搬運路7，噴出清潔空氣，在此清潔工作台6和搬運路7之間，形成以一點劃線包圍之清潔空間39。此外，在清潔工作台6之端部裝設朝下方下垂之空氣導件6a，可整理清潔空氣向下之流動。沿此空氣導件6a之流動，作為空氣簾產生功能。因此，噴出至清潔空間39之清潔空氣，不能從清潔空間39流出。

因此，行駛於搬運路7之清潔箱，等於經常在清潔的空氣中搬運。

在上述過程箱P(1)、P(2)…內，整理形成晶片底座個別層之過程所需之數種處理機構，構成一個單位過程

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10.)

群。然後，這些單位過程群沿搬運路 7 串聯配置，構成本發明之單位過程群。然後，按照上述單位過程群，亦即，過程箱之排列順序，實施處理。

在此說明有關製造習用例所說明之圖十二所示電晶體之過程。本製造過程和圖十所示之流程圖相同。

亦即，依各過程箱 P (1)、P (2) … 內之單位過程群，實現實施圖十流程之全部處理功能。

以下說明構成本發明製造裝置之上述各過程群，由何種處理機構所構成。

各單位過程群，係分成 5 個群構成圖十所示因應全部過程步驟 1~24 的 24 個處理功能。在此各單位過程群內之處理功能順序，和圖十之流程相同。

此外，此分群雖考慮過程之功能進行，但並不是絕對性。整理作為形成晶片底座個別層的一系列過程考慮之多數步驟，加入同一的群。

因此，在第 1 實施例，使圖十之流程圖的步驟 1~步驟 24，如圖二所示因應由 5 個單位過程群 101~105 所成之流程。

第 1 單位過程群 101 係因應步驟 1~6，形成電晶體 P 型層 2 的過程，第 2 單位過程群 102 係因應步驟 7~12，形成 N 型層 3 的過程。而且，第 3 單位過程群 103 係因應步驟 13~15，決定裝設電極位置的過程，第 4 單位過程群 104 係形成鋁電極的過程，第 5 單位過程群 105 係檢查過程。

此外，在此，在接觸電極和半導體的側面，以在氧化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11.)

膜開窗決定電極位置的第3單位過程群103，和形成露出於外部側形狀之第4單位過程群2群，構形成形成鋁電極的過程。

如圖三所示，在各過程箱P(1)~P(5)，設置各過程所需要之處理機構。在此，設置於各過程箱P(1)~P(5)之處理機構，係和設置於習用例過程機架11~18內者相同的種類。然後，對於相同的處理機構附加相同的符號。

在上述第1單位過程群之過程箱P(1)中設置形成P型層2所需要之處理機構。亦即，設置洗滌機構31，氧化膜形成機構32，感光劑塗敷機構33，顯像機構34，藥品處理機構35，不純物擴散處理機構36。

在第2單位過程群之過程箱P(2)，做為形成N型層3所需要之處理機構，設置如上述第1單位過程群之過程箱P(1)相同種類之處理機構。但若以第2單位過程群於顯像時所使用之屏蔽圖形，和引進不純物擴散處理機構36之氣體種類，則與第1單位過程群不同。

第3單位過程群之過程箱P(3)，為確保裝設電極之場所，做為在氧化膜開窗過程所需要之處理機構，設置洗滌機構31，氧化膜形成機構32，感光劑塗敷機構33，顯像機構34，藥品處理機構35。

第4單位過程群係形成鋁電極之過程，在過程箱P(4)中，除洗滌機構31、感光劑塗敷機構33、顯像機構34、藥品處理機構35以外，另外設置濺射機構37。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12.)

在最後的過程箱 P (5) 內，設置洗滌機構 31 和檢查機構 38。

上述 5 個過程箱 P (1) ~ P (5)，係沿搬運清潔箱之自動搬運車 8 的搬運路 7，設置成一排。而且，在各過程箱 P (1) ~ P (5)，形成清潔箱出入用之出入口 9。

此外，在各過程箱 P (1) ~ P (5) 內，除上述處理機構以外，裝設未圖示之晶片底座搬運機構。此晶片底座搬運機構，係從出入口 9 引進清潔箱，搬運至各處理機構。然後，具備未將清潔箱內之晶片底座暴露於外氣，可固定於各處理機構而從前就有的機構。

茲說明在此製造裝置，製造如圖十二電晶體之方法。

容納之晶片底座載置密閉型清潔箱的自動搬運車 8，僅朝圖一、圖三之箭頭符號 X 方向移動，依序朝過程箱 P (1) ~ P (5) 搬運清潔箱。

最初，清潔箱從過程箱 P (1) 之出入口 9 進入過程箱 P (1)。在過程箱 P (1) 內實施將 P 型層 2 形成於搬入之晶片底座處理。將結束此處理之晶片底座恢復於清潔箱，清潔箱依自動搬運車 8，移動於隔壁的過程箱 P (2)。

在過程箱 P (2) 內也實施必要的過程，出來的清潔箱，即移動於隔壁的過程箱 P (3)。

以下，同樣地實施在過程箱 P (4) → P (5) 的過程，完成產品。

由於自動搬運車 8 僅朝一個方向移動，實施全部處理過程，因此求出必要的處理機構，自動搬運車 8 不必來回

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13.)

搬運路 7 上。亦即，不必通過多餘的搬運經路即可結束過程。因此，該部份之生產效率良好。

而且，如果保持適當的間隔，儘管使多數的自動搬運車 8，同時行駛於搬運路 7 上，仍然不會交替自動搬運車 8 之經路。

並且，如習用例，不會因不同的步驟處理，而使用相同過程箱，因此不會引起多數的清潔箱集中於相同的過程箱，依序等待的情況。

因此，不會發生待機時間，可達成效率良好之生產。

在第 1 實施例，為簡化說明而以製造如圖十二所示之單純電晶體之製造裝置為例，但若因品種而增多過程步驟，即構成必要之單位過程群，據此，設置過程箱即可。當然亦可減少單位過程群。

此外，上述單位過程群之區分方法，並不是只有此第 1 實施例，但如上述過程箱 P (1) 和 P (2)，如果由完全相同的處理機構構成多數的過程箱，即可降低設備成本。

而且，在本案第 1 實施例，在容納晶片底座之清潔箱搬運路 7 上具備清潔工作台 6，藉由在搬運路 7 和清潔工作台 6 之間形成清潔空間 39，不需要如習用之無菌室。亦即，以往雖需要可設置所有處理機構和搬運路之大無菌室，但若依本實施例，即不需要那種大無菌室。

如上述如欲再有效地形成利用清潔工作台 6 之清潔空間 39，即將來自清潔工作台 6 之清潔空氣的流動，朝下方整理才有效。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14.)

因此，在本實施例，在沿搬運路 7 之清潔工作台 6 的端部裝設空氣導件 6a。此空氣導件 6a，可考慮朝下方延長長度，或在清潔工作台 6 和搬運路 7 之間，裝設像牆壁或門的圍牆，減少氣流跑到清潔空間 39 外。如果這樣做，即可達成清潔空間 39 內之有效清潔化。

此外，若於清潔空間 39 之下方裝設排風口，即有助於整理清潔空氣之流動。例如，完全包圍清潔空間 39 時，藉由在其圍牆的下部鑽孔，或在搬運路 7 面形成沖孔，而可整理清潔空氣之流動。

而且，若於此排風口裝設強制排氣裝置，即更能整理清潔空氣之流動方向。

然後，若不浪費清潔空氣朝搬運經路面，即可減少該部份來自清潔工作台之清潔空氣流量，亦可將清潔工作台加以小型化。

此外，在本案第 1 實施例，雖使用清潔工作台 6，但若在無菌室內設置搬運路 7 或單位過程群，即不需要清潔工作台 6。

但由於具備未將清潔箱內之晶片底座暴露於外氣，可固定於各處理機構之機構，因此設置此製造裝置之無菌室清潔度，不必設定那麼高。如習用例圖九所示之半導體製造裝置雖必需設置於等級 1 以上之無菌室，但設置此裝置之無菌室清潔度，以等級 1000 程度也無妨。

而且，在上述第 1 實施例，按照晶片底座之處理過程順序串聯，配置構成各單位過程群 101~105 之處理機構。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15.)

因此，在因應各單位過程群 101~105 之過程箱 P (1) ~P (5) 內，晶片底座仍然只是朝一方向移動即可，不需要通過複雜的搬運經路。

但各單位過程群內之處理機構，並不一定完全按照處理過程順序配置也無妨。儘管只是一部份的單位過程群，按照處理過程順序配置處理機構，仍然較習用例，可將晶片底座的搬運經路單純化，提高生產效率。此時，並不是按照處理順序配置各處理機構，隨機配置亦可。

將如上述之處理機構作為具備隨機配置之隨機單位過程群製造裝置表示者，就是圖四之第 2 實施例。

在本案第 2 實施例，取代圖三所示之第 1 實施例過程箱 P (1)、P (2)，設置屬於隨機單位過程群之過程箱 P (6)。然後，依沿搬運路 7 設置之過程箱 P (6)、P (3)、P (4)、P (5)，構成單位過程群，同時將其串聯配置。

本過程箱 P (6) 採用機架方式，在內部設置和設置於圖三過程箱 P (1) 相同之處理機構。然後，在本過程箱 P (6) 內，實施第 1 實施例之第 1 單位過程群 101，和第 2 單位過程群 102 之過程處理。

亦即，將形成電晶體之 P 型層 2 和 N 型層 3 (參照圖十二) 的過程，作為一個單位過程群，以便依一個機架方式之裝置實現此單位過程群的處理。

使用此製造裝置，說明製造如圖十二所示電晶體之方法。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16.)

首先，將搬運於搬運路 7 上過來之清潔箱引進過程箱 P (6) 內，在此過程箱 P (6) 內，將 P 型層 2 和 N 型層 3 (參照圖十二) 形成於晶片底座。在此形成 P 型層 2 和 N 型層 3 之方法係和習用例相同。將結束此處理之晶片底座，恢復於清潔箱，清潔箱依搬運路 7 上之自動搬運車 8，移動於隔壁的過程箱 P (3)。

以後，晶片底座藉由自動搬運車 8 移動至搬運路 7 上，以過程箱 P (3) ~ P (5) 和第 1 實施例相同之方法處理，完成產品。

因此，若沿搬運路 7 串聯配置單位過程群，自動搬運車 8 就不必來回於搬運路 7 上，亦可有效地製造半導體設備。

如本案第 2 實施例，若以過程箱 P (6) 構成機架方式之裝置，就等於晶片底座在過程箱 P (6) 內來回於處理機構間，但由於並非如習用例實施全部過程之處理，因此晶片底座的移動經路，不至於那麼複雜。

而且，由於過程箱 P (6) 內之各處理機構，僅實施第 1 單位過程群 101，和第 2 單位過程群 102 之過程處理，因此較習用例之處理機構可小型化。由於在習用例用於全部過程之處理，因此必需具備處理能力大的處理機構。所以，處理機構大型化，結果需要大規模的無菌室。

並且，由於在本實施例，以便以一個過程箱 P (6)，實施第 1 實施例的 2 個單位過程群 101 和 102 的處理，因此如第 1 實施例，較排列完全相同構成之過程箱 P (1)、P

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17.)

(2) 可縮短搬運路 7。

而且，視品種或過程，按照處理順序排列處理機構困難時，或有時來回於處理機構間實施處理較方便。

例如，在短時間重複使用相同處理機構之過程，寧可在一個單位過程群內排列幾台相同的處理機構，不如重複使用一台效率較佳。

而且，未確立某過程處理條件或順序，而必需重複試行錯誤時，若以處理順序串聯配置全部處理機構，即於每次改變順序時必需變更處理機構之配置。此時，具備隨機單位過程群較方便。

此外，在晶片底座之處理過程中，是否將任何部份的過程設定為如上述過程箱 P (6) 的隨機單位過程群卻是任意的。

圖五所示之第 3 實施例，係裝設從屬於主經路之搬運路 7 分歧的分叉經路 24 之製造裝置。然後，在此分叉經路 24，設置不純物擴散處理機構 36。而且，在上述分叉經路 24 上，也和搬運路 7 上相同，設置清潔工作台 6，將此分叉經路 24 上保持為清潔。然後，載置清潔箱之自動搬運車 8，可朝箭頭符號方向移動於分叉經路 24 上。

本裝置之第 1 單位過程群 101'，係從第 1 實施例之第 1 單位過程群 101 消除不純物擴散處理過程，第 2 過程群 102' 係從第 1 實施例的第 2 過程群 102 消除不純物擴散處理過程。亦即在圖五之第 1 單位過程箱 P (1) 和 P (2)，並未設置不純物擴散處理機構 36。然後，由因應上述過程箱 P

(請先閱讀背面之注意事項再填寫本頁)

註

訂

線

五、發明說明 (18.)

(1) ~ P (5) 之單位過程群，構成本發明之單位過程群。

此外，在過程箱內之晶片底座處理方法，或搬運方法等和第 1 實施例相同。而且，在和第 1 實施例相同之處理機構，附加相同的符號。

茲說明以本案第 3 實施例之製造裝置，製造圖十二所示電晶體之情形如下：

由載置清潔箱之自動搬運車 8，將晶片底座搬運於第 1 過程箱 P (1)，如果結束第 1 單位過程群 101' 的處理，即將晶片底盤恢復於清潔箱。載置清潔箱之自動搬運車 8，從屬於主經路之搬運路 7 的分岐點 A，進入分叉經路 24。然後，將晶片底座搬運於設置於分叉經路 24 的不純物擴散處理機構 36。在此，實施形成 P 型層 2 (參照圖十二) 的不純物擴散處理。若結束此處理，容納晶片底座之清潔箱，即再度恢復於搬運路之分岐點 A。自動搬運車 8 朝箭頭符號 X 方向推進於搬運路 7 上，將晶片底座搬運於隔壁的第 2 過程箱 P (2)。

以第 2 過程箱 P (2)，實施第 2 單位過程群 102' 之處理。以後，載置清潔箱之自動搬運車 8，從搬運車 7 之分岐點 B，進入分叉經路 24。然後，將晶片底座搬運於不純物擴散處理機構 36，在此，實施形成 N 型層 3 (參照圖十二) 的不純物擴散處理。若結束此處理，自動搬運車 8 即再度恢復於搬運路 7 之分岐點 B，朝箭頭符號 X 方向推進於搬運路 7 上。

以後，依序將晶片底座搬運於第 3 過程箱 P (3) → 第 4

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (19.)

過程箱 P (4) → 第 5 過程箱 P (5)，形成半導體設備。由於本過程和第 1 實施例完全相同，因此在此省略說明。

在本案第 3 實施例裝設分叉經路 24，將不純物擴散處理機構 36 從各過程箱取出於外面設置於分叉經路 24，係因以下理由。

在不純物擴散方法中雖有離子注入法，或氣體擴散法等，但實施這些處理之離子注入裝置，或氣體擴散爐，規模較大，通常可一次處理許多底座。因此，將處理能力高之處理機構，和其他處理能力低之處理機構，一起排成一排使用時，其處理機構的處理提早結束，增多處理機構休息的時間。如此會造成不能充份利用處理機構之高處理能力。

但若和主搬運路 7 另外裝設分叉經路 24，預先在此設置處理能力特別高之處理機構，即可在多數的過程使用其處理機構。

例如本案第 3 實施例，若在第 1 單位過程群 101' 之處理下面，以不純物擴散處理機構 36 實施處理，此處理由於不純物擴散處理機構 36 之處理能力高因此以短時間即可解決。因此，可將放空之不純物擴散處理機構 36，利用於實施第 2 單位過程群 102' 處理之另外晶片底座的處理。

如果這樣做，即可不浪費地利用處理能力高之處理機構。

此外，在第 3 實施例，雖將具有高處理能力之不純物擴散處理機構 36 設置於分叉經路 24，但設置於分叉經路 24

(請先閱讀背面之注意事項再填寫本頁)

註

訂

線

五、發明說明(20.)

之處理機構，任何處理機構皆無妨，也不限於具備高處理能力之處理機構。因將和其他處理機構異質之特定處理機構，從其他的處理機構分離，設置於分叉經路，若能有效地處理，便不問其處理機構的功能。

而且，在第3實施例，雖在分叉經路24僅設置一個不純物擴散處理機構36，但在分叉經路24，可視需要設置多種的處理機構。

圖六所示之第4實施例，係不在過程箱內設置構成單位過程群的多數處理機構，而是直接沿搬運路7設置各處理機構的實例。

沿搬運路7設置之處理機構，係和在上述第1~第3實施例使用者相同之處理機構。這些處理機構係按照半導體之製造過程順序排列。

然後，在搬運路7上，作為將晶片底座搬運於各處理機構之搬運裝置，裝設朝箭頭符號X方向移動之底座搬運車25。此底座搬運車25，和上述搬運路7同時構成本發明之搬運裝置，以便依本圖示之控制CPU的命令停止移動。

而且，在各處理機構，決定為特定該位置之位址，位址ID26，沿搬路7安裝。此所謂位址ID26是像表示其位址的標誌。

一方面，上述底座搬運車25雖未圖示，但具備讀出位址ID26之ID感應器。上述位址ID26，係由像可辨識，移動於搬運路7上之底座搬運車25，例如，條碼等所構成。於是，載置晶片底座之底座搬運車25，依ID感應器讀出位

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (21/)

址 ID26，檢測本身之位置。然後，底座搬運車 25，一面將此檢測信號發射於控制 CPU，一面移動於搬運路 7 上。

因此，上述控制 CPU，依來自底座搬運車 25 之位址 ID 的檢測信號，可確認底座搬運車 25 之位置。亦即，在本案第 4 實施例，由上述位址 ID26 和 ID 感應器，構成本發明之位置檢測裝置。

而且，上述 CPU 視所製造之設備品種，記憶所需要的處理機構位址。然後，如果底盤搬運車 25 來到必要的處理機構之位址，即發出命令以便在該位置停止。

茲依本案第 4 實施例之製造裝置，說明製造和第 1 實施例相同半導體設備之方法。

底座搬運車 25，從左邊朝箭頭符號 X 方向移動於搬運路 7 上。然後，一面讀入沿搬運路 7 裝設之各位址 ID26 一面推進，按照控制 CPU 之命令，在必要的處理機構前停止。各處理機構從停止之底座搬運車 25，引進晶片底座實施必要的處理，恢復於底盤搬運車 25。重複之如果結束全部過程，即可製造半導體設備。

因此，依位址特定底座搬運車 25 的位置，控制 CPU 可使底座搬車 25 在必要的處理機構前確實停止。

所謂依位址，可特定處理所需要的處理機構，是指相反地亦可特定不需要的處理機構。亦即，儘管不需要的處理機構沿搬運路 7 排列，仍可由其跳過，搬運晶片底座。

例如，為製造所有的品種，配置符合所需要過程之處理機構，構成製造裝置。然後，製造特定的品種時，由控

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (22.)

制 CPU 僅選擇該品種所需要的處理機構，如果對於底座搬運車 25 提供依據位址的命令，底座搬運車 25 即可僅對於必要的處理機構搬運晶片底座。

如果這樣做，即可以一個製造裝置，因應各種品質，提高製造裝置之通用性。

圖七所示之第 5 實施例，較其他的處理機構，多數連續排列處理能力低之處理機構，並聯運轉此處理機構，想提高其處理能力。

在本案第 5 實施例，在電極處理過程成金屬膜之濺射機構，較其他的處理機構處理能力低時，將形成金屬膜的 3 台濺射機構 37a、37b、37c 排列設置於單位過程群 104'。而且，在因應這些濺射機構之位置，裝設回避處 27，在回避處 27 裝設該位址 ID28。並且，在搬運路 7 上，載置多數的底座搬運車 25。此外，和第 3 實施例相同。

由上述 3 台的濺射機構 37a、37b、37c，構成本發明之處理機構群。

然後，上述底座搬運車 25a、25b、...，由依據控制 CPU 位址之控制，搬運晶片底座。

首先，如果前面的底座搬運車 25a，載置結束洗滌機構 31 處理之晶片底座，即移動至 3 台濺射機構 37a、37b、37c 其中的 1 台，例如，進行方向最前面的濺射機構 37a。在此濺射機構 37a，和其他的實施例相同在晶片底座實施濺射處理。

下面的底座搬運車 25b，載置結束洗滌機構 31 處理之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(23.)

晶片底座，將晶片底座搬運於處理機構群中，於空的濺射機構，例如移動方向上第2個濺射機構37b。如果晶片底座被引進於濺射機構37b，底座搬運車25b即回避於回避處27，等待結束濺射處理。

假定上述濺射機構37a、37b在處理中，但由於第3個濺射機構37c仍然放空，因此第3個底座搬運車25c，將晶片底座搬運於濺射機構37c，在回避處27等待結束處理。

然後，下面的底座搬運車25d之晶片底座，結束上述洗滌機構31的處理時，如果預先設定以便結束在最初濺射機構37a處理的時間，底座搬運車25d，便可將晶片底座搬運於上述濺射機構37a。此時，上述底座搬運車25b和25c，回避於回避處27。於是底座搬運車25d超前停止於回避處27之上述底座搬運車25b和25c，晶片底座搬運於濺射機構37a。然後，此底座搬運車25d也回避於回避處27。

這是因為以濺射機構37a實施濺射處理的期間，搬運結束以濺射機構37b、37c處理晶片底座之底座搬運車，可超前底座搬運車25d。

如果這樣做，儘管多數的底座搬運車25，不斷搬運晶片底座時，仍在較其他處理機構處理能力低的處理機構之前，沒有所謂後來的底座搬運車25，必需等待該處理機構放空之情事。因為底座搬運車可選擇處理機構群中，放空的處理機構，搬運晶片底座。

而且，由於可不斷地將晶片底座搬運於配置於處理能力低之處理機構後面的處理能力高之處理機構，因此不必

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24.)

休息即可運轉處理能力高的處理機構。

因此，可提高全體的處理能力。

此外，處理機構群不限於濺射機構，可排列多數構成較其他處理機構處理能力低之處理機構。然後，此處理機構群也不是一處，可設置多數，此時，由於分別因應的回避處可依位址特定，因此控制 CPU 可使底座搬運車 25 回避於適當的回避處。

此外，附在單位過程群之位址及位址 ID，可按照每個各處理機構附加，亦可按照每個過程箱附加。而且附在以外的位置也無妨。主要是可檢測晶片底座的位置，確實特定應停止搬運裝置的位置即可。

而且，在第 4、第 5 實施例，底座搬運車 25 具備 ID 感應器，因發射以此感應器檢測之檢測信號，以便由控制 CPU 確認底座搬運車 25 的位置。但底座搬運車 25 之位置檢測裝置，並不在此限。例如，以規定的間隔在搬運經路上裝設感應器，以便檢測底座搬運車 25 之通過確認位置亦可。但由於感應器裝設於搬運裝置側，較裝設於搬運經路上，可減少其數量，因此較符合經濟效益。

上述第 1~第 5 實施例，係配置多數的單位過程群，構成具備製造半導體設備全部過程之製造裝置。但在本發明的半導體設備之製造裝置，也包含由僅形成半導體設備特定部份之單位過程群所成的製造裝置。

圖八係表示在僅具備某處理過程之第 6 實施例半導體設備的製造裝置，但含和此裝置另外的處理過程形成半導

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25.)

體設備全體，上述製造裝置之利用形態。

第 6 實施例之製造裝置，在如圖二所示之半導體設備的製造流程中，僅具備因應電極位置決定過程以後步驟的單位過程群 103~105。這些單位過程群 103~105，和圖六所示第 4 實施例之第 3~第 5 單位過程群相同，沿搬運路 7 串聯配置各單位過程群，構成本實施例之製造裝置。而且，構成各單位過程群之處理機構，亦按照處理順序排列。

然後，底座搬運車 25 在搬運路 7 上，一面讀出裝設於搬運路 7 之各位址 ID26，一面推進，在晶片底座不斷實施必要處理之點，係和第 4 實施例相同。

如果使用本案第 6 實施例之製造裝置，即可在搬運搬運路 7 上之晶片底座上，形成配線層。

藉由沿搬運路 7 按照處理順序串聯配置處理晶片底座之處理機構，可簡化在配線層形成過程之晶片底座的搬運經路，提高半導體設備之生產效率。

而且，如圖八所示，可具備和上述製造設備有別之處理過程 201、202、203。

此處理過程 201~203，係形成 P 型層或 N 型層之過程。亦即，實施圖二之流程中因應 101、102 之部份處理的過程。然後，這些處理過程 201~203 之構成係何種皆無妨。如圖六所示之第 1、第 2 單位過程群 101、102，按照處理順序串聯排列各處理機構亦可，或像習用例之機架方式裝置亦可。而且，像組合這些的過程也無妨。

主要係依上述處理過程 201、202、203，在晶片底座上

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(26.)

形成 P 型層或 N 型層等即可。

然後，這些處理過程 201、202、203，係形成分別因應不同品種之 P 型層或 N 型層等的過程。

茲說明在上述搬運路 7 並聯配置因應這種不同品種之處理過程 201~203，形成如圖十二所示電晶體之方法。

如果以上述處理過程 201、202、203，在晶片底座形成 P 型層或 N 型層等，就將其載置於搬運路 7 上之底座搬運車 25。載置於底座搬運車 25 之晶片底座，以單位過程群 103~105 形成配線層檢查。

因此，儘管依不同的處理過程 201~203，形成因應各種品種的層時，仍可使用一個第 6 實施例之製造裝置，形成配線層。

此外，也可以將上述處理過程 201~203 裝設於另外的無菌室，在那裡實施處理。一旦預先儲存於未圖示之晶片儲存器以後，也可以將結束處理之晶片底座取出，載置於搬運路 7 之底座搬運車 25。

在本案第 6 實施例，如配線層的形成，在可和各品種共通利用的過程部份，沿搬運路 7 配置處理機構式單位過程群，構成製造裝置，但在和此製造裝置組合的其他處理過程，無論處理機構之配置形成如何都無妨。可使用因應各品種方便之構成處理過程，有效地製造多數的品種。

而且，由本發明的單位過程群構成之製造裝置，因應製造半導體設備的任何過程部份亦可。

本案第 6 實施例之製造裝置，雖是形成半導體設備配

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (27.)

線層之裝置，但也可以將上述處理過程 201~203，和搬運路 7 連接，作為一個製造裝置。此時，也可以自動地將結束處理之晶片底座，載置於底座搬運車 25 搬運。

(發明之效果)

第 1 發明的半導體設備之製造裝置，由於串聯配置單位過程群，將晶片底座之搬運方向設定一方向，因此可使晶片基板之搬運經路單純。因此，需要最低限度的搬運經路。

而且，由於沒有交替多數的晶片基板的搬運經路，因此也不發生待機時間。

因此，較習用裝置沒有浪費的經路或待機時間，提高生產效率。

在第 2 發明，由於具備由以處理晶片底座之順序串聯配置的處理功能構成的群，因此沒有該部份的浪費經路或待機時間，提高生產效率。

如果依第 3、第 4 發明，和單位過程群間之底座搬運經路，同時在單位過程群內的晶片底座之搬運路也被單純化，可造成更有效率之製造。

如果依第 5 發明，由於可從單位過程群內的其他處理功能分離特定的處理功能，設置於分叉經路，因此不必休息，如高處理能力之處理機構可有效地利用。而且，如果將大型的處理機構設置於分叉經路，即不必個別將其大型裝置裝設於各單位處理過程群。因此，裝置全體也可以小型化。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (28.)

如果依第 6~第 9 發明，由於在晶片基板的搬運經路上裝設清潔工作台形成清潔空間，因此不需要設置搬運經路之無菌室。因此可降低該部份之設備成本。

尤其是在第 7~第 9 發明，由於可整理以便使清潔空氣之流動方向朝搬運經路，因此可減少從清潔工作台噴出的清潔空氣之流量，將清潔工作台加以小型化。

如果依第 10~第 13 發明，即可依位置檢測機構，確認搬運中的晶片底座之位置，由控制 CPU 將晶片底座之搬運裝置停止於必要的位置。因此，可從沿搬運經路設置之處理機構中選擇所需的處理機構，實施處理。

尤其是在第 11 發明，由於在搬運裝置裝設檢測位址之感應器，因此較裝設於搬運經路側，可減少感應器的數量而經濟。

而且，若依第 12 發明，即可提高製造裝置之通用性。

並且，若依第 13 發明，即可提升全體之處理能力。

若依第 14 發明，儘管是不容易按照處理順序串聯排列處理機構之單位過程群，仍可裝入製造裝置，提升生產效率。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(29.)

(圖號說明)

6	清潔工作台
6a	空氣導件
7	搬運路
24	分叉經路
P(1)~P(6)	過程箱
25	底座搬運車
26、28	位址 ID
27	回避處
31	洗滌機構
32	氧化膜形成機構
33	感光劑塗敷機構
34	顯像機構
35	藥品處理機構
36	不純物擴散處理機構
37	濺射機構
37a、37b、37c	濺射機構
38	檢查機構
39	清潔空間
101~105	單位過程群
101'、102'	單位過程群
104'	單位過程群。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要（發明之名稱：半導體設備之製造裝置）

本發明係關於一種半導體設備之製造裝置，其課題在於簡化半導體設備之製造裝置的晶片底座之搬運經路，提高半導體設備的生產效率。並且，提供一種不需要大規模無菌室的裝置。

為解決上述課題，以在形成晶片底座個別層過程之洗滌或膜形成等的多數處理機構，構成單位過程群 101～105，具備沿搬運晶片底座之主經路 7 串聯配置這些多數的單位過程群之單位過程群。

而且，具備連接於搬運晶片底座主經路之單位過程群，同時此單位過程群，係以處理晶片底座的順序串聯配置在形成晶片底座個別層過程之洗滌或膜形成等的多數處理機構。

英文發明摘要（發明之名稱：

（請先閱讀背面之注意事項再填寫本頁各欄）

訂

線

六、申請專利範圍

第 87115219 號專利案申請專利範圍修正本

1. 一種半導體設備之製造裝置，其特徵為，以形成晶片底座個別層過程之洗滌或膜形成等的多數處理機構 31~38 構成單位過程群 101~105、101'、102'、104'，具備沿搬運晶片底座之主經路 7 串聯配置這些多數單位過程群的單位過程群。
2. 一種半導體設備之製造裝置，其特徵為，具備連接於搬運晶片底座主經路 7 之單位過程群，同時此單位過程群 101~105、101'、102'、104'，係以處理晶片底座之順序串聯配置形成晶片底座個別層過程之洗滌或膜形成等多數的處理機構 31~38。
3. 根據申請專利範圍第 1 項所述之半導體設備之製造裝置，其特徵為，單位過程群，包含以處理晶片底座之順序串聯配置構成多數處理機構 31~38 的單位過程群 101~105、101'、102'、104'。
4. 根據申請專利範圍第 2 項所述之半導體設備之製造裝置，其特徵為，沿搬運晶片底座之主經路 7 串聯配置多數的單位過程群 101~105、101'、102'、104'。
5. 根據申請專利範圍第 1 項所述之半導體設備之製造裝置，其特徵為，裝設從主經路 7 分岐之分叉經路 24，同時從全部處理機構中將特定的處理機構設置於分叉經路上。
6. 根據申請專利範圍第 2 項所述之半導體設備之製造裝置

六、申請專利範圍

- ，其特徵為，裝設從主經路 7 分岐之分叉經路 24，同時從全部處理機構中將特定的處理機構設置於分叉經路上。
7. 根據申請專利範圍第 1 項所述之半導體設備之製造裝置，其特徵為，在搬運晶片底座之搬運經路 7 上保持規定的間隔裝設清潔工作台，此清潔工作台 6 朝上述搬運經路噴出清潔空氣，在上述經路 7 和清潔工作台之間形成清潔空間 39。
8. 根據申請專利範圍第 2 項所述之半導體設備之製造裝置，其特徵為，在搬運晶片底座之搬運經路 7 上保持規定的間隔裝設清潔工作台，此清潔工作台 6 朝上述搬運經路噴出清潔空氣，在上述經路 7 和清潔工作台之間形成清潔空間 39。
9. 根據申請專利範圍第 5 項所述之半導體設備之製造裝置，其特徵為，在搬運晶片底座之搬運經路 7 上保持規定的間隔裝設清潔工作台，此清潔工作台 6 朝上述搬運經路噴出清潔空氣，在上述經路 7 和清潔工作台之間形成清潔空間 39。
10. 根據申請專利範圍第 6 項所述之半導體設備之製造裝置，其特徵為，在搬運晶片底座之搬運經路 7 上保持規定的間隔裝設清潔工作台，此清潔工作台 6 朝上述搬運經路噴出清潔空氣，在上述經路 7 和清潔工作台之間形成清潔空間 39。
11. 根據申請專利範圍第 1 項所述之半導體設備之製造裝置

六、申請專利範圍

- ，其特徵為，具備由主經路 7 及分叉經路 24 的一方或雙方所成之搬運經路，和由載置晶片底座移動上述搬運經路上的搬運體 25 所成之搬運機構，和檢測本搬運機構所具備的上述搬運體位置之位置檢測機構，和視來自此位置檢測機構之檢測信號，使上述搬運體移動或停止之控制 CPU。
12. 根據申請專利範圍第 2 項所述之半導體設備之製造裝置，其特徵為，具備由主經路 7 及分叉經路 24 的一方或雙方所成之搬運經路，和由載置晶片底座移動上述搬運經路上的搬運體 25 所成之搬運機構，和檢測本搬運機構所具備的上述搬運體位置之位置檢測機構，和視來自此位置檢測機構之檢測信號，使上述搬運體移動或停止之控制 CPU。
13. 根據申請專利範圍第 5 項所述之半導體設備之製造裝置，其特徵為，具備由主經路 7 及分叉經路 24 的一方或雙方所成之搬運經路，和由載置晶片底座移動上述搬運經路上的搬運體 25 所成之搬運機構，和檢測本搬運機構所具備的上述搬運體位置之位置檢測機構，和視來自此位置檢測機構之檢測信號，使上述搬運體移動或停止之控制 CPU。
14. 根據申請專利範圍第 6 項所述之半導體設備之製造裝置，其特徵為，具備由主經路 7 及分叉經路 24 的一方或雙方所成之搬運經路，和由載置晶片底座移動上述搬運經路上的搬運體 25 所成之搬運機構，和檢測本搬運機

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

構所具備的上述搬運體位置之位置檢測機構，和視來自
此位置檢測機構之檢測信號，使上述搬運體移動或停止
之控制 CPU。

15. 根據申請專利範圍第 11 項所述之半導體設備之製造裝置，其特徵為，位置檢測機構，係由表示沿搬運經路 7、24 裝設位置之位址 ID，和讀入裝設於搬送體上述位址 ID26 之 ID 感應器所成，ID 感應器將移動中讀入之位址 ID 發射於控制 CPU，控制 CPU 依據發射之位址 ID26 控制上述搬運體 25 的移動。
16. 根據申請專利範圍第 12 項所述之半導體設備之製造裝置，其特徵為，位置檢測機構，係由表示沿搬運經路 7、24 裝設位置之位址 ID，和讀入裝設於搬送體上述位址 ID26 之 ID 感應器所成，ID 感應器將移動中讀入之位址 ID 發射於控制 CPU，控制 CPU 依據發射之位址 ID26 控制上述搬運體 25 的移動。
17. 根據申請專利範圍第 13 項所述之半導體設備之製造裝置，其特徵為，位置檢測機構，係由表示沿搬運經路 7、24 裝設位置之位址 ID，和讀入裝設於搬送體上述位址 ID26 之 ID 感應器所成，ID 感應器將移動中讀入之位址 ID 發射於控制 CPU，控制 CPU 依據發射之位址 ID26 控制上述搬運體 25 的移動。
18. 根據申請專利範圍第 14 項所述之半導體設備之製造裝置，其特徵為，位置檢測機構，係由表示沿搬運經路 7、24 裝設位置之位址 ID，和讀入裝設於搬送體上述位

六、申請專利範圍

址 ID26 之 ID 感應器所成，ID 感應器將移動中讀入之位址 ID 發射於控制 CPU，控制 CPU 依據發射之位址 ID26 控制上述搬運體 25 的移動。

19. 根據申請專利範圍第 11 項所述之半導體設備之製造裝置，其特徵為，沿晶片底座之搬運經路裝設因應所有品種之單位過程群，由控制 CPU 在搬運體 25 的移動過程僅選擇必要的單位過程群。
20. 根據申請專利範圍第 12 項所述之半導體設備之製造裝置，其特徵為，沿晶片底座之搬運經路裝設因應所有品種之單位過程群，由控制 CPU 在搬運體 25 的移動過程僅選擇必要的單位過程群。
21. 根據申請專利範圍第 13 項所述之半導體設備之製造裝置，其特徵為，沿晶片底座之搬運經路裝設因應所有品種之單位過程群，由控制 CPU 在搬運體 25 的移動過程僅選擇必要的單位過程群。
22. 根據申請專利範圍第 14 項所述之半導體設備之製造裝置，其特徵為，沿晶片底座之搬運經路裝設因應所有品種之單位過程群，由控制 CPU 在搬運體 25 的移動過程僅選擇必要的單位過程群。
23. 根據申請專利範圍第 11 項中所述之半導體設備之製造裝置，其特徵為，具備多數連續較和沿搬運經路 7 裝設的其他處理機構處理能力低之同種處理機構的處理機構群，和裝設於沿上述搬運經路因應上述處理機構群部份之回避處 27，控制 CPU 控制移動搬運經路 7 上之多數

六、申請專利範圍

搬運體 25，同時使將晶片底座搬運於上述處理機構群之搬運體 25 在上述回避處 27 停止，以便可將此停止中的搬運體 25 超前後續搬運體 25。

24. 根據申請專利範圍第 12 項所述之半導體設備之製造裝置，其特徵為，具備多數連續較和沿搬運經路 7 裝設的其他處理機構處理能力低之同種處理機構的處理機構群，和裝設於沿上述搬運經路因應上述處理機構群部份之回避處 27，控制 CPU 控制移動搬運經路 7 上之多數搬運體 25，同時使將晶片底座搬運於上述處理機構群之搬運體 25 在上述回避處 27 停止，以便可將此停止中的搬運體 25 超前後續搬運體 25。
25. 根據申請專利範圍第 13 項所述之半導體設備之製造裝置，其特徵為，具備多數連續較和沿搬運經路 7 裝設的其他處理機構處理能力低之同種處理機構的處理機構群，和裝設於沿上述搬運經路因應上述處理機構群部份之回避處 27，控制 CPU 控制移動搬運經路 7 上之多數搬運體 25，同時使將晶片底座搬運於上述處理機構群之搬運體 25 在上述回避處 27 停止，以便可將此停止中的搬運體 25 超前後續搬運體 25。
26. 根據申請專利範圍第 14 項所述之半導體設備之製造裝置，其特徵為，具備多數連續較和沿搬運經路 7 裝設的其他處理機構處理能力低之同種處理機構的處理機構群，和裝設於沿上述搬運經路因應上述處理機構群部份之回避處 27，控制 CPU 控制移動搬運經路 7 上之多數搬

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

運體 25，同時使將晶片底座搬運於上述處理機構群之搬運體 25 在上述回避處 27 停止，以便可將此停止中的搬運體 25 超前後續搬運體 25。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

87115219

圖 一

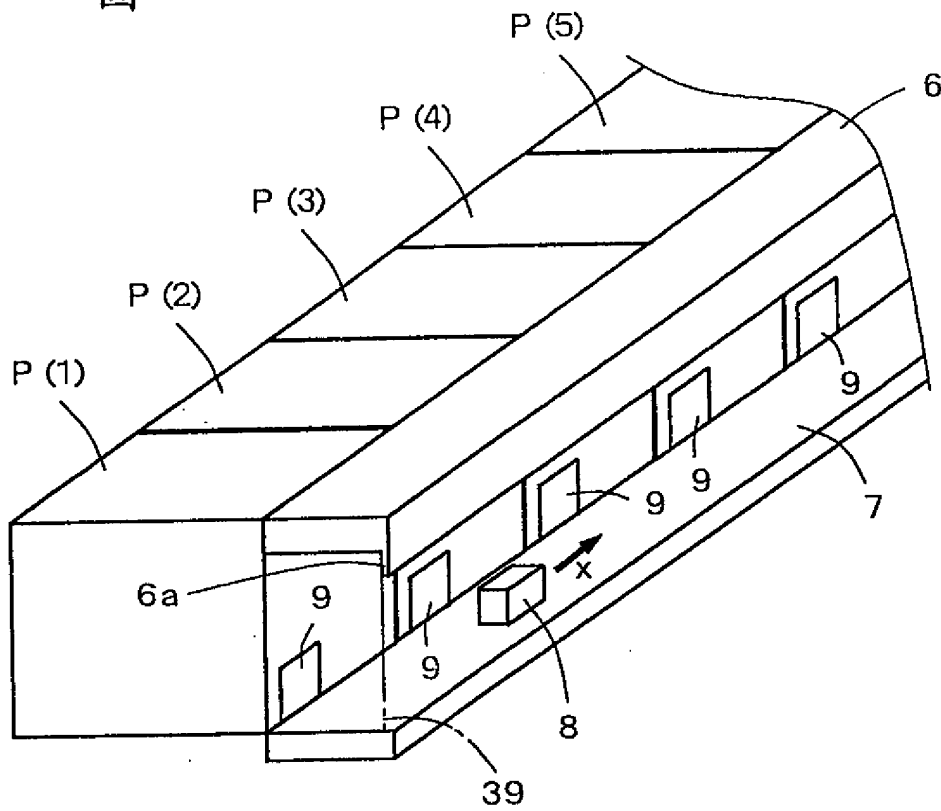
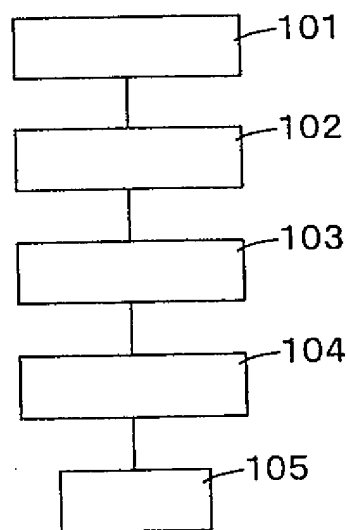


圖 二



圖

III

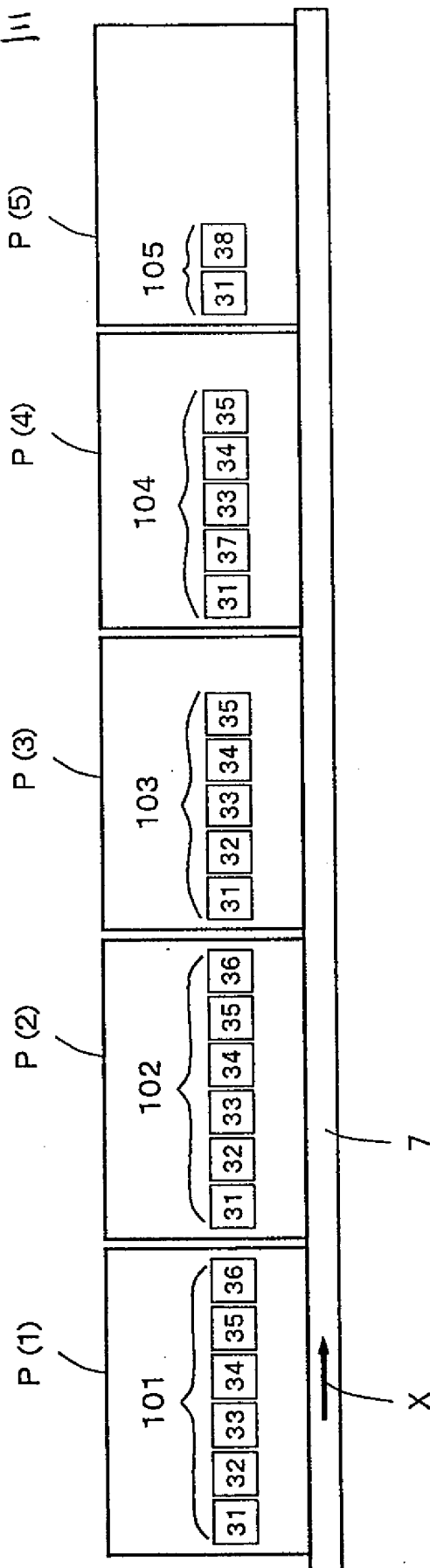
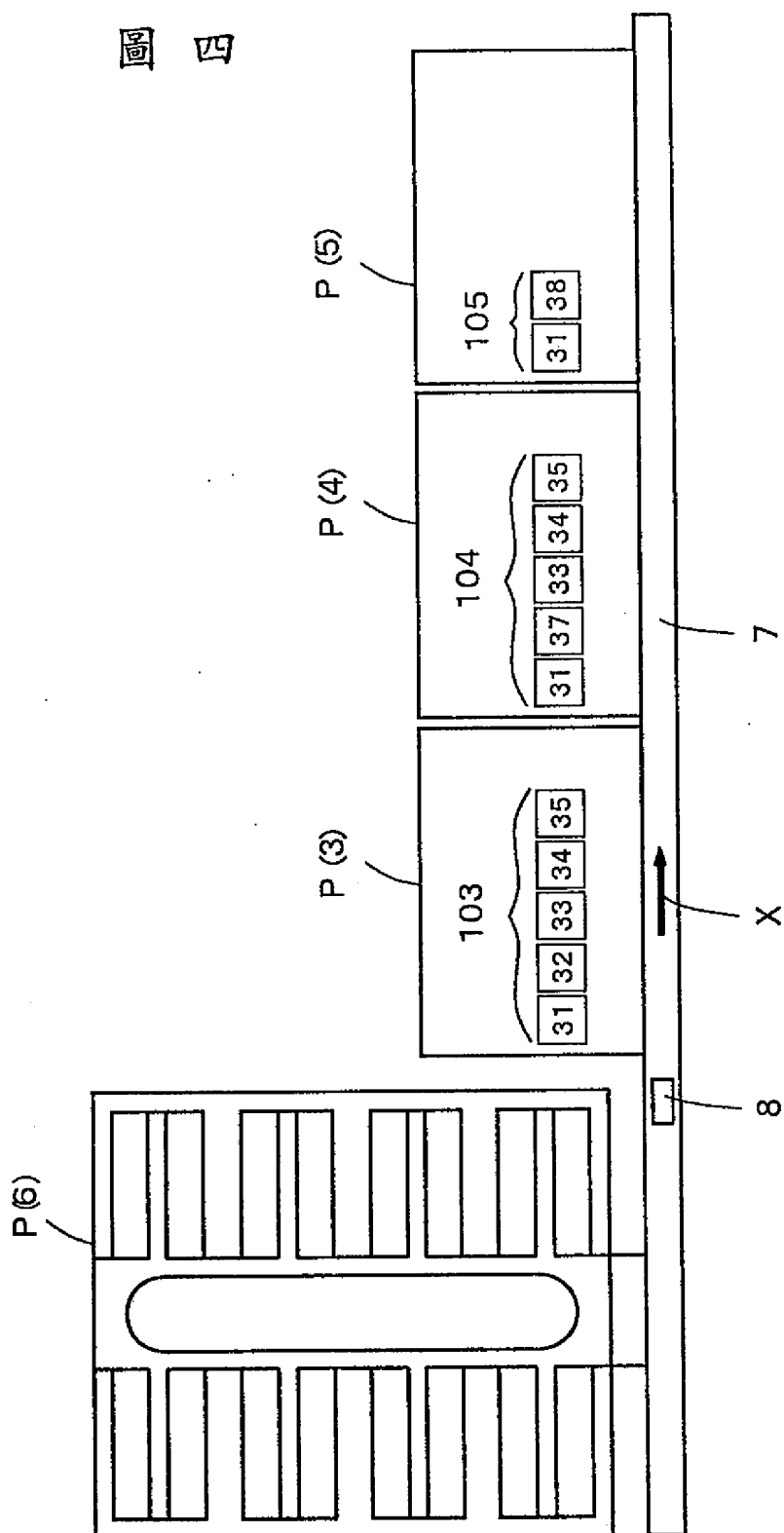


圖 四



圖五

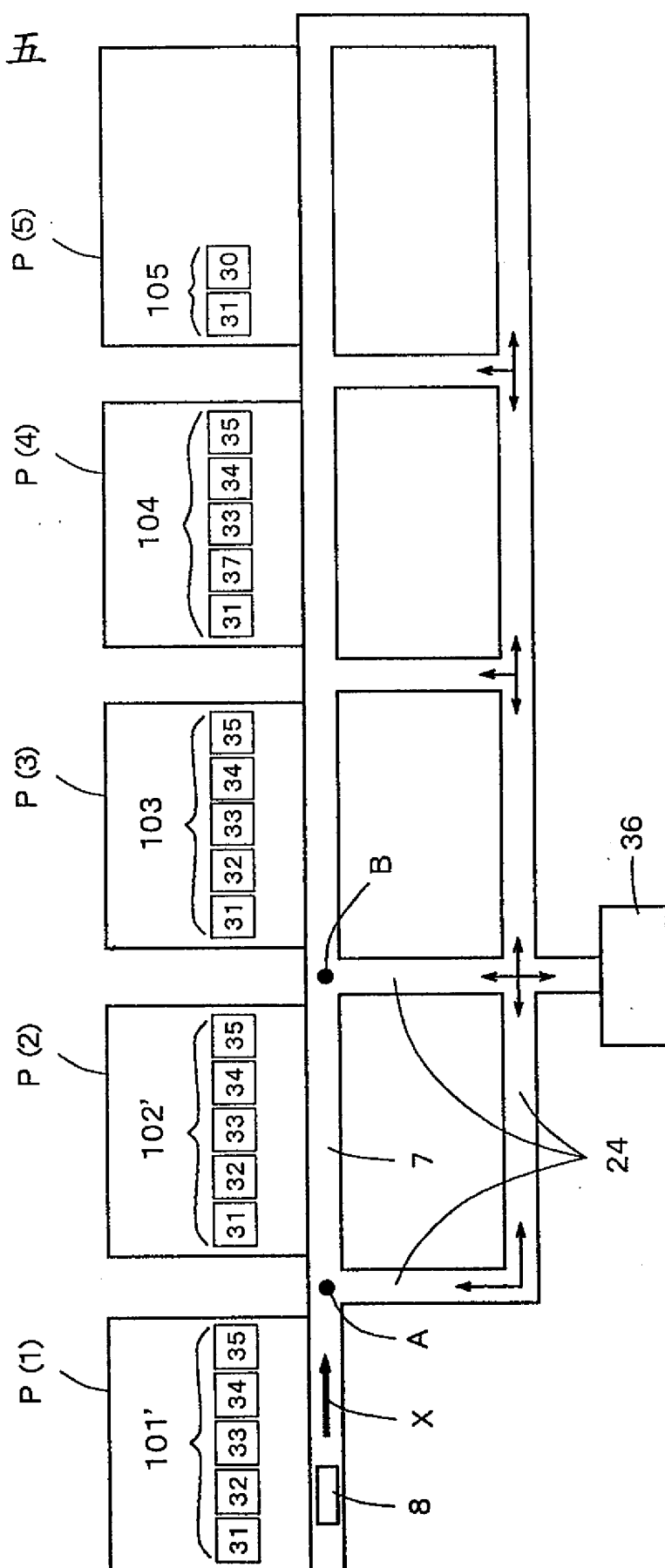
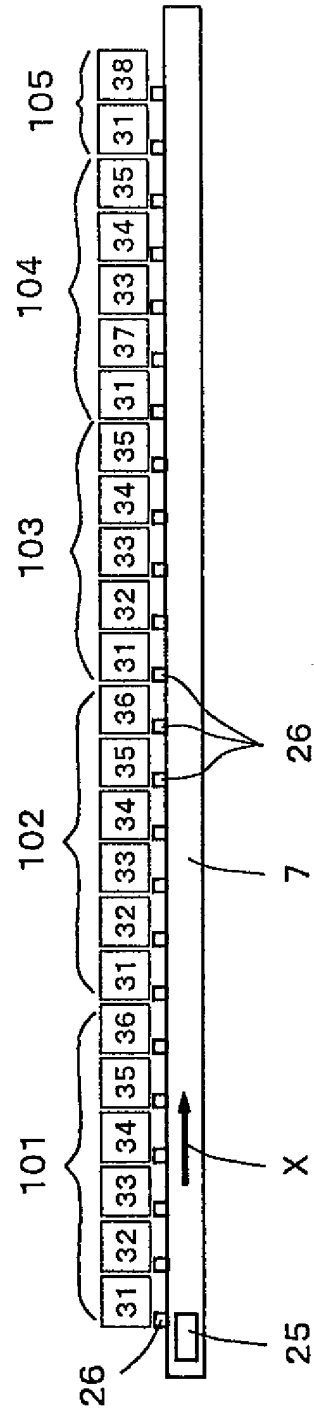


圖 26



圖八

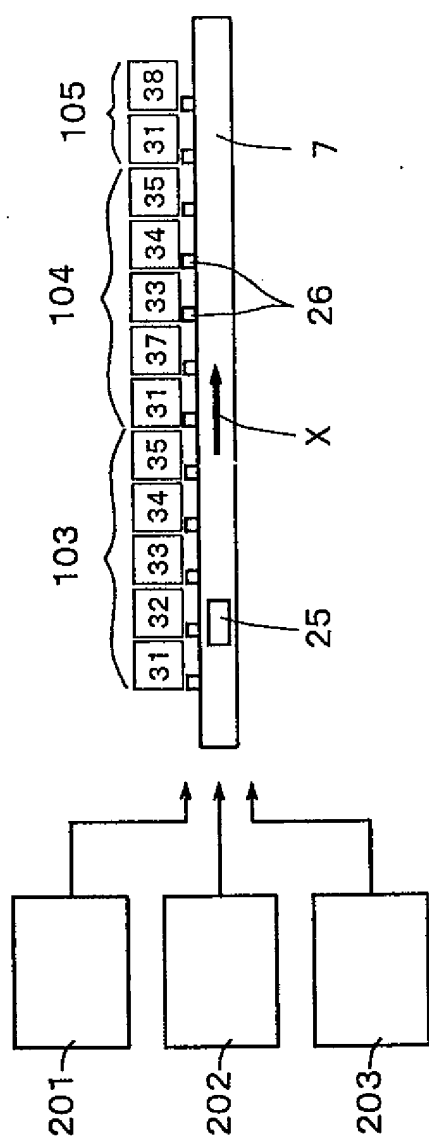


圖 九

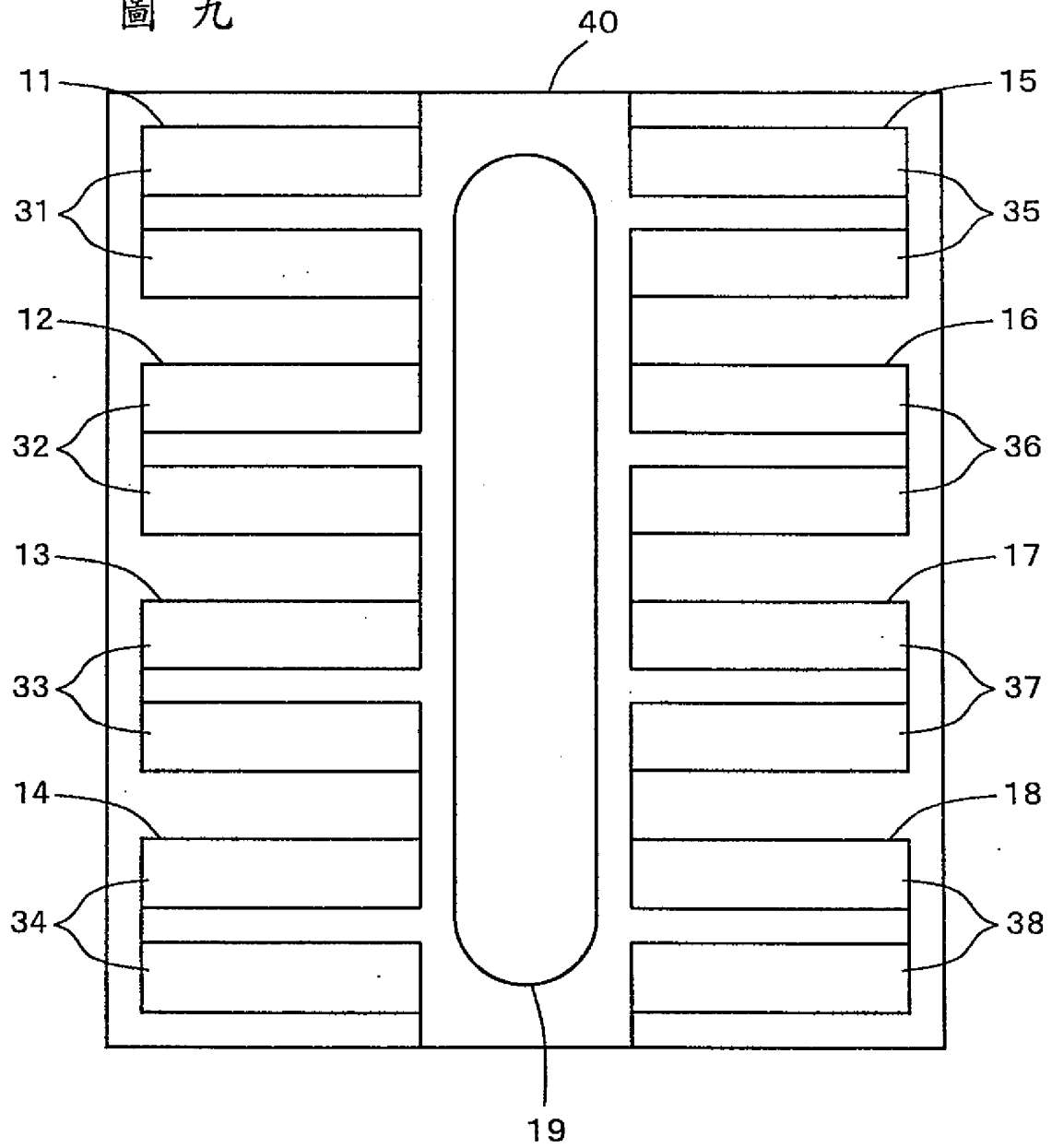
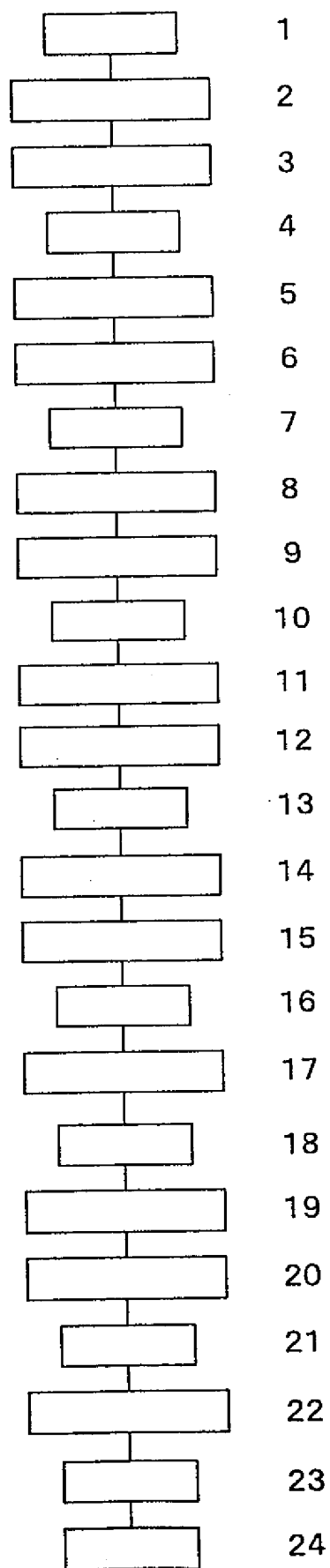
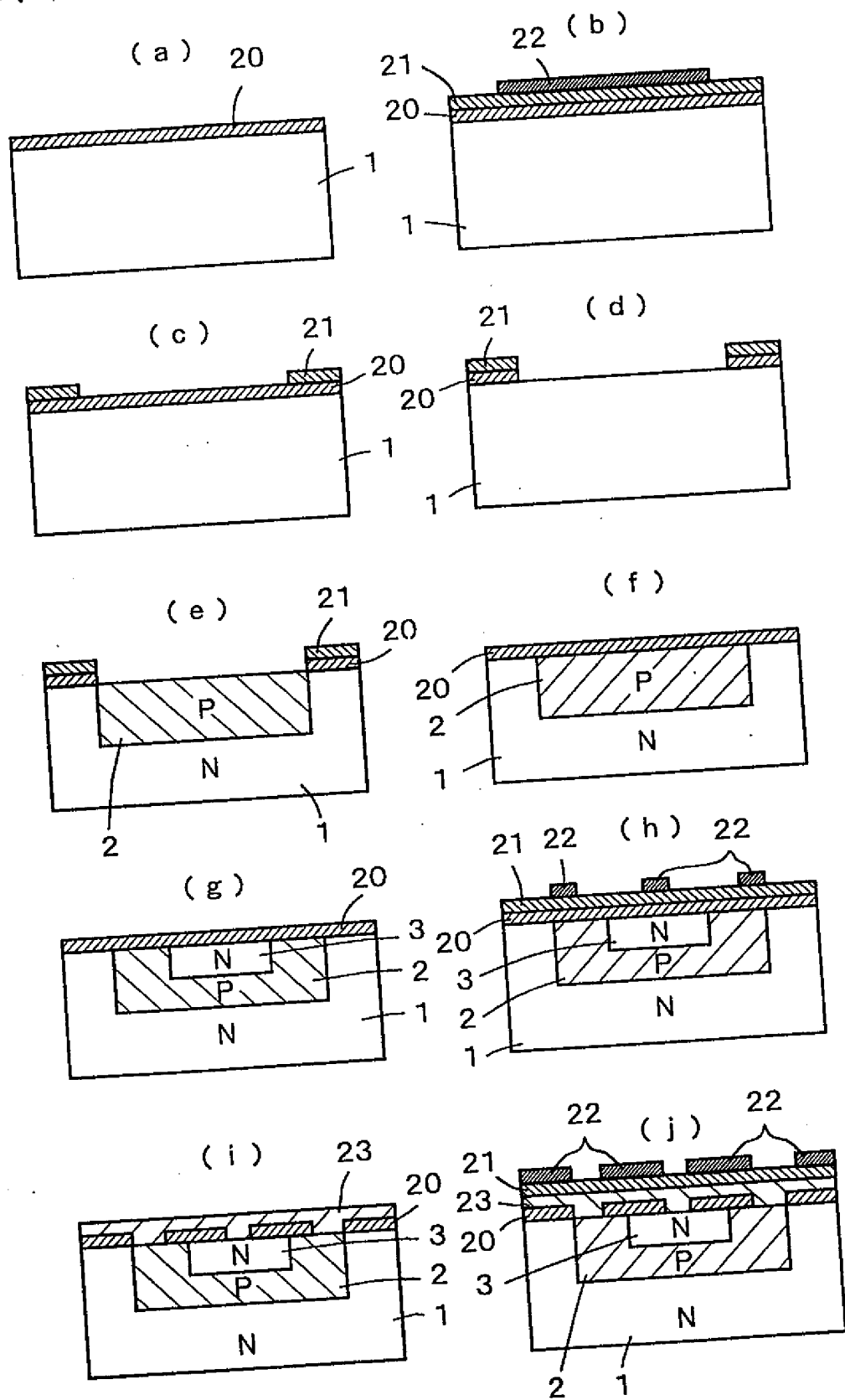


圖 十

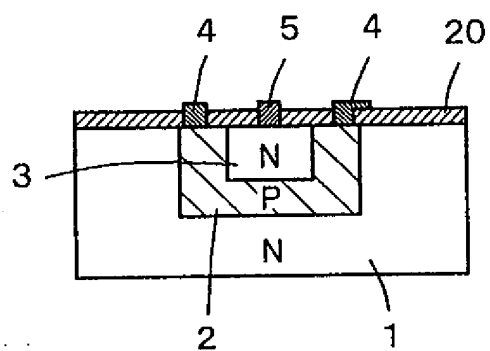


421 812

圖十一



圖十二



申請日期	87. 9. 11
案 號	87115219
類 別	H01L 21/00

88. 4. 21	修正 補充
年 月 日	

A4
C4

421812

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體設備之製造裝置
	英 文	Semiconductor Device Manufacturing Apparatus
二、發明 創作人	姓 名	一、吉田稔 Minoru Yoshida 日 本 JAPAN
	國 籍	日本國神奈川縣橫濱市港北區新橫濱2丁目15番10號 2-15-10, Shinyokohama Kouhoku-ku, Yokohama-shi, Kanagawa-ken 222-8580 JAPAN
	住、居所	二、土肥猛 Takeshi Doi 日 本 JAPAN
		日本國神奈川縣橫濱市港北區新橫濱2丁目15番10號 2-15-10, Shinyokohama Kouhoku-ku, Yokohama-shi, Kanagawa-ken 222-8580 JAPAN
三、申請人	姓 名 (名稱)	日商伊諾得克股份有限公司 イノテック株式會社 INNOTECH CORPORATION
	國 籍	日 本 JAPAN
	住、居所 (事務所)	日本國神奈川縣橫濱市港北區新橫濱2丁目15番10號 2-15-10, Shinyokohama Kouhoku-ku, Yokohama-shi, Kanagawa-ken 222-8580 JAPAN
	代 表 人 姓 名	吉田稔 Minoru Yoshida

六、申請專利範圍

第 87115219 號專利案申請專利範圍修正本

1. 一種半導體設備之製造裝置，其特徵為，以形成晶片底座個別層過程之洗滌或膜形成等的多數處理機構 31~38 構成單位過程群 101~105、101'、102'、104'，具備沿搬運晶片底座之主經路 7 串聯配置這些多數單位過程群的單位過程群。
2. 一種半導體設備之製造裝置，其特徵為，具備連接於搬運晶片底座主經路 7 之單位過程群，同時此單位過程群 101~105、101'、102'、104'，係以處理晶片底座之順序串聯配置形成晶片底座個別層過程之洗滌或膜形成等多數的處理機構 31~38。
3. 根據申請專利範圍第 1 項所述之半導體設備之製造裝置，其特徵為，單位過程群，包含以處理晶片底座之順序串聯配置構成多數處理機構 31~38 的單位過程群 101~105、101'、102'、104'。
4. 根據申請專利範圍第 2 項所述之半導體設備之製造裝置，其特徵為，沿搬運晶片底座之主經路 7 串聯配置多數的單位過程群 101~105、101'、102'、104'。
5. 根據申請專利範圍第 1 項所述之半導體設備之製造裝置，其特徵為，裝設從主經路 7 分岐之分叉經路 24，同時從全部處理機構中將特定的處理機構設置於分叉經路上。
6. 根據申請專利範圍第 2 項所述之半導體設備之製造裝置

(請先閱讀背面之注意事項再填寫本頁)