[19]中华人民共和国国家知识产权局

[51]Int.Cl[7]
G06F 1/04
G06F 1/32

[12]发明专利说明书

[21] ZL 专利号 93108708.2

[45]授权公告日 2000 年 5 月 17 日

[11]授权公告号 CN 1052548C

[22]申请日 1993.7.21 [24]颁证日 2000.2.5
[21]申请号 93108708.2
[30]优先权
[32]1992.7.21 [33]US [31]07/918,622
[73]专利权人 先进显微设备股份有限公司
地址 美国加利福尼亚州
[72]发明人 D·古利克 J·W·彼得逊
A·F·汉得利克逊
D·格伦姆罗斯
[56]参考文献
EP0229692A2 1987. 7.22
审查员 吴兴华

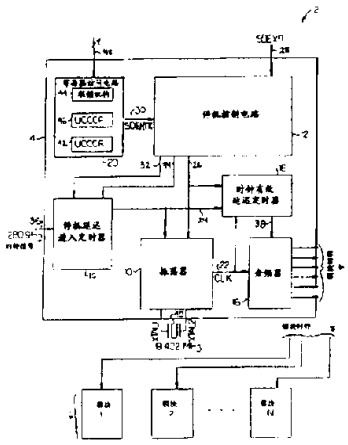
[74]专利代理机构 上海专利商标事务所
代理人 竹 民

权利要求书 3 页 说明书 15 页 附图页数 8 页

[54]发明名称 具有停机方式的时钟发生器和时钟发生方法

[57]摘要

一种时钟发生器和中断旁路电路，用于减少应用它的电子系统的功耗。时钟发 生器提供模块时钟信号用作同一电子系统内诸模块的时序信号，在运行方式下 能产生这些模块时钟信号，而在备用方式下不产生这些信号。时钟发生器还能 提供从请求进入停机方式到实际进入停机方式的预定长时间延迟。中断旁路电 路提供一种在相关的中断请求被屏蔽的情况下退出停机方式的装置。



ISSN1008-4274

权 利 要 求 书

1.一种电子系统的时钟发生器，能够产生至少一个输出时钟信号，所述时钟发生器包含:

接收停机请求信号或退出停机请求信号的装置;

产生所述至少一个输出时钟信号的装置;

使产生至少一个输出时钟信号的装置在接收到停止动作信号后停机、而在确认所述退出停机请求信号后产生一个时钟信号的装置，所述至少一个输出时钟信号是从所述时钟信号导出的;

产生从所述时钟信号导出的所述至少一个输出时钟信号的装置;

使所述用于停机或产生至少一个输出时钟信号的装置的运行在接收到所述停机请求信号后延迟一预定最小时间量、而在确认所述停机退出请求信号时延迟一段计数长度的时间的装置;

其特征在于，所述时钟发生器还包含:

用于确证所接收到的停机请求信号符合预定的规约要求的装置，它包括至少两个寄存器，该装置在证实所接收到的停机请求信号确已满足所述预定的规约要求时产生所述的停止动作信号，该信号传至所述停止装置;

所述确证装置还包括一个联锁机构，该机构能检测对所述至少两个的寄存器的写入，所述至少两个的寄存器中的一个是伪寄存器。

2.如权利要求 1 所述的时钟发生器，其特征在于，所述联锁机构阻止对所述至少两个的寄存器中的一个进行写入访问，除非所述预定的规约要求得到满足。

3.如权利要求 2 所述的时钟发生器，其特征在于，所述确认装置是这样一个确认装置，它所采用的所述规约要求包括在预定顺序下对所述至少两个寄存器的预定次数的写入。

4.一种用于控制至少一个输出时钟信号的方法，其特征在于，它包括下列步骤:

接收一个停机请求信号;

在接收到所述停机请求信号起预定长时间之后停止所述至少一个输出时钟信号;

接收一个启动请求信号;

在接收到所述启动请求信号之后开始所述至少一个输出时钟信号; 以及

使所述至少一个输出时钟信号停止的所述步骤包含下述步骤: 验证所述停机请求信号满足一预定规约要求; 以及仅在所述停机请求信号满足所述预定规约要求时处理所述停机请求信号。

5. 如权利要求 4 所述的方法，其特征在于，所述开始至少一个输出时钟信号的步骤包括下列步骤:

起始一个第一时钟信号; 和

在上一步骤之后经过一段延迟再开始所述至少一个输出时钟信号，所述至少一个输出时钟信号可自所述第一时钟信号导出。

6. 如权利要求 4 所述的方法，其特征在于，所述停止至少一个输出时钟信号的步骤包括若在所述停机请求信号接收到之后及所述预定长时间结束之前接收到所述启动请求信号，则不停止所述至少一个输出时钟信号的步骤。

7. 如权利要求 4 所述的方法，其特征在于，停止所述至少一个输出时钟信号的步骤也包括在最近一次建立所述停机请求信号

起所述预定长时间后停止所述至少一个输出时钟信号的步骤。

8. 如权利要求 4 所述的方法，其特征在于，还包括响应至少一个中断请求信号而产生所述允许中断请求信号的步骤，即使所述至少一个中断请求信号被屏蔽，所述允许中断请求信号也会产生。

说　明　书

具有停机方式的时钟发生器和时钟发生方法

本发明涉及时钟驱动的电子系统，尤其涉及用于减少时钟驱动 电子系统的功耗的电路.

将功耗降至最少是许多电路设计的一个重要目标. 要求降低功耗通常有许多原因，对于电池供电的电路来说，原因之一是要延长电池的寿命. 在电池供电的电路中，电子器件功耗的减少通常可望延长为电路供电的电池的寿命. 延长的电池寿命在许多应用中是有益的. 例如，对于无绳电话的由电池供电的电路，延长后的电池寿命可允许有较长的闲置时间，即各次使用之间的时间间隔.

众所周知，在电力领域中，通过采用一系列不同的供电方式，其中某些方式允许系统中的一些功能块停用，一个由众多功能块构成的电子系统的功耗就可得到控制. 欧洲专利 EP 0229692 中公开了这样一种装置和方法. 这些供电方式可以包括所有功 能块都在运行的全运行方式，仅有最低限定的操作所必需的功能块 被启动的部分运行方式，和除了辨识将迫使系统回到运行方式的关 键事件所需要的功能块之外余者皆停用的停电方式. 在停电方式下 消耗功率最少.

在电子系统中保存电力的一种已知方法，是在将电子系统中决 定功能块时序的内部时钟信号禁止期间实行停电方式. 熟悉本技术 领域的人员还知道一种方法，是在停电方式下，停用产生内部时钟 信号的振荡器或时钟发生电路. 时钟信号失效后，功能块就被停用 ，功率减至最少.

停电方式的进入可置于软件控制之下. 软件程序对停电方式的选择使得系统控制器能对某一预定数量的系统时钟周期开始作内部的向下计数，在计数完后，振荡器或时钟发生电路被停用. 微处理器可利用这一向下计数的时间在时钟停止之前为停电方式作好准 备. 通常通过启动一内部计数器来完成向下计数. 例如，可由一 8 位计数器执行 256 个时钟周期的向下计数. 在向下计数过程中如果 发生中断，向下计数即被取消.

通过建立各种状态，例如进行硬件复位和其它类型的中断，可从停电方式退出.

尽管停电方式是保存电力的有效手段, EP 0229692 所揭示的现有技术有很多缺点和不足. 缺陷之一是，为提供从提出进入停电方式的请求到停 用振荡器之间的延迟而采用的计数器会引起成本增加.

利用停电方式保存电力的另一个缺陷是，当振荡器开始启动时 所产生的不稳定的时钟脉冲可能引起出错.

此外，由于停电方式的进入可由软件控制，因而以前也遇到过这样的问题，即，因软件错误或噪声导致装置偶然地进入停电方式 ，结果使大多数功能块意外地停用.

与采用停电方式有关的另一个问题是，装置可能过早地进入停 电方式，导致没有足够的时间来完成必需的内务操作. 这种过早的 进入可能是由一个不同的软件程序先前发出的进入停电方式的请求 所引起的.

所遇到的再一个问题是进入停电方式的装置可能不具备任何退 出停电方式并返回运行方式的手段. 例如，在进入停电方式之前，若程序未能对使处理器退出停电方式的中断信号开放中断，就会存

在这种可能性.

本发明提供一种时钟发生器，它能置于停机方式下，在该方式下时钟发生器不产生任何时钟信号，从而克服了已有技术的不足和缺陷. 本发明响应进入停机方式的请求而禁止时钟脉冲输出，并且响应退出停机方式的请求而恢复时钟脉冲输出，从而可用于降低功耗. 在停机方式下停用振荡器，而在运行方式下启动振荡器，也可以减少功耗.

时钟发生器包括用于接收停机请求信号的结构，用于响应停机 请求信号而将时钟发生器置位于停机方式下的结构、用于将上述置 位结构的动作在接收结构接收到停机请求信号之后延迟某一预定的 最小时间的结构. 在本发明的实施例中，延迟结构可包括延迟进入 停机的定时器，它在经过预定的最小时间之后产生一个停止振荡信 号，而置位结构可包括一个振荡器，它在确证有振荡停止信号后停 止振荡. 停机延迟进入定时器可以由脉冲驱动. 预定的最小时间可 以由两个脉冲之间的时间值限定. 这些脉冲可从一个不变的时钟信 号源产生.

在本发明的某些实施例中，时钟发生器可以包括用于发生至少 一个时钟信号输出的结构、用于在接收到停止驱动信号后停止该发生结构的结构、用于接收停机请求信号的结构、和用于确证所接收 到的停机请求信号符合预定的规约要求的结构. 该用于确证的结构 可以包括至少两个寄存器，在确定所接收到的停机请求信号符合预 定的规约要求时产生停止驱动信号；该信号由停止结构接收. 在本 发明的一些实施例中，确证结构还可包括能够检测出对至少两个的 寄存器作写入访问的联锁机构. 至少两个的寄存器中可以有一个是 伪寄存器. 联锁机构可以防止对至少两个的寄存器

中的一个作写入 访问，除非预定的规约要求得到满足. 预定的规约要求可以是在预 定的次序下对至少两个的寄存器写入预定的次数.

本发明的时钟发生器可以提供至少一个时钟信号输出，并包括 用于接收停机请求信号的结构、用于产生时钟信号的结构（该结构 在确证有退出停机请求信号后激活）、用于产生由时钟信号源导出 的至少一个时钟信号输出的结构、和用于将至少一个的时钟信号的 产生时间延迟到从确证有退出停机请求的信号起再经过一段计数长 度的时间的结构. 在本发明的某些实施例中，用于产生时钟信号的 结构可以包括一个振荡器. 而用于至少输出一个时钟信号的结构可 以包括一个时钟分频器. 用于延迟的结构可包括一个计数器，它在 退出停机请求信号确证后初始化，并在一个计数长度的时间之后产 生时钟有效信号. 时钟有效信号可传达给分频器，该分频器在接收 到信号后启动.

本发明还提供一种用于控制至少输出一个时钟信号的系统，它 包括一个时钟发生电路和一个中断旁路电路. 时钟发生电路可以包 括用于接收停止时钟的请求信号的结构、用于在接收到停止时钟的 请求信号起预定长时间之后使至少有一个的时钟信号停止输出的结 构、用于接收启动时钟的请求信号的结构和用于在接收到启动时钟 的请求信号之后开始输出至少一个的时钟信号的结构. 中断旁路电 路可以包括用于响应即使受到屏蔽也还可能产生的至少一个的中断 请求信号，产生启动时钟的请求信号的结构.

本发明还提供一种用于控制至少输出一个时钟信号的系统，它 包括用于接收停止时钟请求信号的结构、用于接收启动时钟请求信 号的结构和用于在接收到停止时钟请求信号起预定长时间之

后停止 至少一个的时钟信号输出的结构. 该用于停止至少一个的时钟信号 输出的结构可以包括一个在接收到停止时钟请求信号之后和在预定 长时间结束之前若又接收到启动时钟请求信号就不停止至少一个的 时钟信号输出的结构.

此外，本发明还提供一种用于控制至少一个的时钟信号输出的 方法. 该方法包括下列步骤: 接收一个停止时钟请求信号; 在接收 到停止时钟请求信号起预定长时间之后停止至少一个的时钟信号输 出; 接收启动时钟的请求信号; 在接收到启动时钟请求信号之后开 始至少一个的时钟信号输出. 在本发明的某些实施例中，开始至少 一个的时钟信号输出的步骤包括下列步骤: 开始第一个时钟信号; 接着上一步骤在经过一段延迟之后开始至少为一个的时钟信号输出 . 该至少为一个的时钟信号输出可以从第一个时钟信号得到.

停止至少为一个的时钟信号输出的步骤可包括下列步骤: 确证 停止时钟请求信号满足预定规约要求; 仅当停止时钟请求信号满足 预定规约要求时，才处理停止时钟的请求信号.

根据本发明的教导，停止至少为一个的时钟信号输出的步骤可 包括在停止时钟请求信号收到之后及预定长时间结束之前若收到启 动时钟请求信号就不停止至少为一个的时钟信号输出的步骤.

本发明的某些实施例中，停止至少为一个的时钟信号输出的步 骤可包括从停止时钟请求信号最近一次被确认起在预定长时间之后 停止至少为一个的时钟信号输出的步骤.

根据本发明的教导，用于控制至少一个时钟信号输出的方法还 可包括因响应至少一个中断请求信号而产生启动时钟请求信号

的步 骤，即使至少为一个的中断请求信号遭屏蔽，该启动请求信号也会 发生。

因此，本发明目的之一是提供具有停机方式的时钟发生器，该方式可用于节约时钟发生器工作于其中的电子系统所消耗的功率。

本发明另一目的是提供防止偶然进入停机方式的能力.

本发明再一目的是提供在所有中断请求信号被屏蔽时退出停机 方式的能力.

本发明的又一目的在于提供在最近一次请求进入停机方式后允 许用最小的时间来为进入停机方式作准备的能力.

从下文结合附图对本发明作出的详细说明中，可以清楚地看到 本发明的其它目的、优点和新特点.

图 1 是一个电子系统的框图，该系统采用了基于本发明教导的时钟发生器的一个实施例;

图 2 示出图 1 所述时钟发生器的时序;

图 3 是图 1 所示时钟发生器进入停机方式的状态图;

图 4 是基于本发明教导的中断启动旁路电路的详细框图;

图 5 是一电子系统的框图，其中采用了基于本发明教导的时钟 发生器和中断旁路电路，以及一个微控制器;

图 6(由图 6a 和 6b 组成) 是单块集成电路的框图，其中采用了基 于本发明教导的时钟发生器和中断旁路电路，和一微控制器;

图 7 是无绳电话机送受话器的框图，其中采用了一块包括有基 于本发明教导的时钟发生器及中断旁路电路的集成电路.

图 8 是无绳电话机机体单元的框图，其中采用了一块集成电路 ，该电路包括基于本发明教导的时钟发生器和中断旁路电路.

现在参见附图，图 1 示出一个电子系统 2,它采用了基于本发明 教导的具有停机方式的时钟发生器 4 . 该电子系统 2 可包括一个或 多个模块 6,每一模块由时钟发生器 4 所产生的一个模块时钟信号 8 定序. 时钟发生器 4 可工作于运行方式下，或依靠软件编程进入停 机方式. 将时钟发生器 4 编程进入停机方式的能力使得有时钟发生 器 4 工作于其中的电子系统 2 功耗最小. 在运行方式下，时钟发生 器 4 输出多个模块时钟信号 8,用于决定电子系统 2 中各个模块 6 的 时序. 在停机方式下，时钟发生器 4 停止所有模块时钟信号 8,有效 地使由模块时钟信号定序的所有模块 6 停止工作，从而减少这些模 块消耗的功率. 由此导出模块时钟信号 8 的振荡器 10 也停止了工作 ，进一步实现了停机方式下的功耗降低.

在较佳实施例中，时钟发生器 4 包括图 1 所示的 6 个功能块: 振荡器 10 、停机控制电路 12 、停机延迟进入定时器 14 、分频器 16 、 时钟有效延迟定时器 18 和寄存器访问电路 20 .

振荡器 10 在线路 22 上给出一个输出时钟信号 CLK,传送至分频器 16 和时钟有效延迟定时器 18 . 振荡器 10 依靠半导体技术中典型的振 荡电路来发生 CLK . 例如，振荡器 10 可通过外部线路 XTAL1 和 XTAL 2 连至外部并联共振晶体 40，如图 1 所示，或者通过外部线路 XTAL 2 连至一外部时钟源(未示出).

在本发明的一个实施例中，振荡器 10 在运行方式下启动，产生 CLK 信号，而在停机方式下停用，不产生 CLK 信号. 在停机方式下 ，响应在线路 24 上从停机延迟进入定时器 14 传来的“停振”信号，振荡器停止工作. 一旦处于停机方式，在确证线路 26 上从停机控制 电路 12 传来的“复振”信号后，振荡器重新起动.

如前所述，振荡器 10 运行或停机方式的设置是通过从停机控

制 电路 12 和停机延迟进入定时器 14 接收到的控制信号实现的. 停机控 制电路 12 或者响应在线路 28 上接收到的信号 SDEXIT, 或者响应在线 路 30 上接收到的信号 SDENTR, 对两者的确证分别表示退出停机或进 入停机的两种请求. 停机控制电路 12 响应这些信号而产生控制信号 , 控制信号包括在线路 32 上输出给停机延迟进入定时器 14 的“定时 开始”信号, 和在线路 26 上传送给振荡器 10 和时钟有效延迟定时器 18 的“振荡恢复”信号. 另一控制信号是在线路 34 上传送给停机延 迟进入定时器 14 的“时序撤消”信号。

停机延迟进入定时器 14 在进入停机方式的请求与振荡器 10 停止 工作之间给出一段延迟时间. 该延迟时间可用于使电子系统 2 中的 一个或多个模块 6 编程至闲置状态, 或者用来完成任何必需的内务 操作. 本发明的一个实施例中, 停机延迟进入定时器 14 在线路 36 上 接收输入的时钟信号. 它还分别通过线路 32 和 34 从停机控制电路接 收定时开始信号和时序撤消信号. 停机延迟进入定时器 14 响应这些 信号, 在线路 24 上给出“停振”信号, 传送给振荡器 10 和时钟有效 延迟定时器 18 .

停机延迟进入定时器 14 在定时开始信号确定之后及停振信号确 定之前给出 3.56 至 7.12ms 的延迟。为了提供这一延迟, 停机延迟进 入定时器 14 在线路 36 上接收— 280.9Hz 的时钟信号, 并在该信号的 每个上升沿各产生一个内部脉冲. 这样, 该内部脉冲每隔 3.56ms 发 生一次. 后文中, 该脉冲信号 (未示出) 称为 3.56ms 执行脉冲. 在 确定定时开始信号之后, 停机延迟进入定时器 14 将在这种执行脉冲 的第二个脉冲产生后再确定停振信号. 因而, 从进入停机方式被请 求之时起到系统进入停机方式为止, 用户至少有

3.56ms 的时间将模 块编程进入闲置状态，并执行任何必需的内务操作.

应该注意到，采用系统中现成的一个慢时钟，例如图 1 所示的 280.9Hz 的时钟，是在进入停机方式前提供延迟量的一种有效和节省成本的手段. 采用已有的慢时钟消除了用一个昂贵得多的多位计数器将较快的系统时钟进行分频的需要.

分频器 16 在线路 22 上接收来自振荡器 10 的时钟信号 CLK，并将其 分成多个不同频率的模块时钟信号 8,用作同一电子系统 2 中多个模 块 6 的时序信号. 分频器 16 在 CLK 停止时中止模块时钟信号 8,而当 CLK 恢复并且线路 38 上已确证收到时钟有效信号 CLKVLD 后给出模块 时钟信号. 应该注意到，即使振荡器 10 正在运行，在线路 38 上的 CL KVLD 信号未得到确证之前，分频器将不产生模块时钟信号.

时钟有效延迟定时器 18 提供从振荡器 10 启动到模块时钟输出有 效为止的一段延迟. 这段延迟为 CLK 信号在被分频器 16 用来产生模 块时钟信号之前提供一个达到稳定的时间. 该延迟防止了由不稳定 的时钟脉冲引起的出错. 在一个实施例中，时钟有效延迟定时器 18 内部的一个计时器（未示出）在确证停机延迟进入定时器 14 已产生 停振信号后被清零. 进而该计数器又在确证停机控制电路 12 已产生 振荡恢复信号后开始其向下计数. 在完成向下计数后，时钟有效延 迟定时器 18 在线路 38 上确立 CLKVLD 信号，该信号由分频器 16 接收. 当 CLKVLD 被确立并且振荡器 10 启动后，分频器 16 产生模块时钟信号 ，用为电子系统 2 中的模块时序信号.

停机方式的进入处于软件控制之下，在初始化时，可以将适当

的数据经由数据总线 48 写入一个停机控制寄存器，例如写入图 1 所 示的 UCCCR 寄存器 42 中．例如，通过将停机控制寄存器的最高有效 位(后文称为 UCCCR〔7〕)置“1”，即可开始进入停机方式． 对 UCCCR 的写入访问可以由一个访问控制机构保护，以避免将时钟 发生器 4 无意中置于停机方式下．这类访问控制机构可以包括一个 联锁机构 44，连同一个停机保护寄存器 UCCCP46 之类的伪寄存器，两者都示出在图 1 的寄存器访问控制电路 20 中．联锁机构 44 识别对 UCCCP 寄存器 46 和 UCCCR 寄存器 42 的写入，并且只有当一个特定的 停机寄存器存取序列完成之后才允许数据写入 UCCCR 寄存器中．该 序列可以包括以预定顺序对 UCCCP 和 UCCCR 寄存器进行预定次数的 写入．在成功地将适当的数据写入 UCCCR 寄存器中后，在线路 30 上 将确立 SDENTR 信号，提出进入停机方式的请求．这种访问保护方法 避免了时钟发生器无意中被置于停机方式下的情况，从而减少了由 于可能的软件问题使时钟意外停止的风险．

根据前面的说明，现在应该清楚地看到，本发明提供了一种能够依靠软件编程进入停机方式的时钟发生器，该停机方式可用于减少电子系统中的功耗．本发明包括一个振荡器、一个停机控制装置和一个第一延时装置．本发明的实施例还可包括一个分频器、一个第二延时装置和寄存器访问保护装置．

现在参照图 2 所示的波形，说明图 1 的时钟发生器 4 在进入和 退出停机方式过程中的动作．在时间 t0 之前，时钟发生器 4 处于运 行方式下，振荡器 10 启动，模块时钟信号 8 有效．假设在时间 t0, UCCCR〔7〕由软件置位． UCCCR〔7〕的置位使寄存器访问电路 20 在线路 30 上确立 SDENTR 信号．停机控制电路 12 响

应 SDENTR 的确立，在线路 32 上建立定时开始信号，该信号传送给停机延迟进入定时 器 14．定时开始信号的确立将使停机延迟进入定时器 14 从停机进入 请求信号之后的第二个 3.56ms 执行脉冲起建立停振信号．时间 t1 标 志第一个这种执行脉冲，而 t2 标志第二个．因此，时间 t2 处在 t0 之 后的 3.56ms 与 7.12ms 之间．在时间 t2，停机延迟进入定时器在线路 24 上确立停振信号，该信号导致振荡器 10 停止工作．此外，所有模 块时钟输出在时间 t2 都停止，时钟有效信号也被清除．

通过在线路 28 上建立 SDEXIT 可以开始从停机方式的退出，如图 2 所示，该信号发生在时间 t3．如果时钟发生器 4 处于停机方式下，SDEXIT 的确立会使停机控制电路 12 在线路 26 上建立振荡恢复信号，该信号会启动振荡器 10，并激活时钟有效延迟定时器 18 内部的计 数器．此外，SDEXIT 的建立还使 UCCCR〔7〕清零．在时间 t4，时 钟有效延迟定时器 18 内部的计数器完成一次向下计数．这使 CLKVLD 在线路 38 上建立，进而使分频器 16 输出模块时钟信号 8．

参照图 3 中的状态图，说明基于本发明教导的时钟发生器的其 它方面．在该状态图中，状态 S0 表示时钟发生器的运行方式．在状 态 S0，振荡器 10 启动，由此产生所有的模块时钟信号 8．对 UCCCR〔7〕的成功置位在线路 30 上建立 SDENTR，藉此可以起动一个停机 时序．停机时序的起动如图 3 的状态 S1 所示．在停机时序开始后，停机延迟进入定时器在随后的第一个 3.56ms 执行脉冲时转入状态 S2．第二个 3.56ms 脉冲引起状态 S2 至 S3 的转换，状态 S3 代表时钟发生 器置于停机方式下．在进入停机方式后，停机延迟进入定时器 14 产 生一个停振信号给振荡器 10，CLKVLD 信号

消除, UCCCR〔7〕清零.

在停机时序起始之后，时钟发生器 4 实际进入停机方式之前所 发生的一些情况会引起停机时序重新开始或停止. 例如，当时钟发生器处于状态 S1 时，亦即在 SDENTR 已确立之后及随后的第一个 3.56 ms 执行脉冲之前的任何时候，若 UCCCR〔7〕由软件清零，或 SDEX IT 确立，则停机时序可以停止，并且时钟发生器置于状态 S0 。这些 情况，即 SDEXIT 的确立或 UCCCR〔7〕的清零，若发生在状态 S2 期 间，就是说，发生在 SDENTR 确立之后第一、第二个 3.56ms 执行脉冲 之间，也会引起停机时序的中止.

此外，当时钟发生器 4 处于状态 S2 时，即在第一个 3.56ms 执行 脉冲之后但在第二个这类脉冲之前的时候，若 UCCCR〔7〕由软件 复位，则停机时序可以重新起动. 这样，一个特定的软件程序至少 有 3.56ms 时间为进入停机方式作准备，即在作出该停机请求时，时 钟发生器正在根据先前的一个停机请求准备进入停机方式。这种再 起动功能是重要的，因为由于某些软件程序的复杂性，可能会有一 个以上的软件程序独立地请求系统进入停机方式. 如果没有再起动 功能，若作出停机请求时时钟发生器正在处理由另一软件程序先前 提出的进入停机方式的请求，则当前请求进入停机方式的程序将缺 少充分的时间为停机作准备.

从以上的详细说明中可以看出，本发明提供了一种时钟发生器 ，它在运行方式下产生模块时钟信号用作同一电子系统中各模块的 时序信号，而在停机方式下不产生模块时钟信号. 此外，本发明的 时钟发生器提供从请求进入停机方式到模块时钟信号停止为止的预 定时间延迟，从而留出时间让模块准备停机，以及完成任何必需的 内务程序. 本发明的某些实施例还提供了从振荡器停止

到模块时钟 信号开始为止的时间延迟，以给出时间让振荡器的输出稳定. 某些 实施例还提供了用于防止电子系统无意中置于停机方式下的停机访 问保护装置. 此外，某些实施例提供了在进入停机方式的请求提出 之后及振荡器停止之前，用于中止停机进入时序并返回运行方式的 装置. 某些实施例还提供了将振荡器的停止延迟到最近一次作出进 入停机方式的请求之后再加一个预定时间的装置.

本发明的另一方面是中断允许旁路电路. 这种电路提供一个即使所有中断都被禁止也能脱离停机方式的装置. 图 4 中示出这类中断允许旁路电路的一个实施例，它是数字逻辑设计电路中一个典型的中断控制电路. 该中断控制电路 50 能够接收来自内部或外部的多 个中断请求，如线路 52 上传来的实时时钟中断请求，或者线路 54 上 传来的任何键盘按键中断请求. 接收到输入的中断请求后，中断控 制电路 50 产生一个中断信号，例如线路 55 上的 INT1 .

通常，输入的中断请求信号将和来自主屏蔽寄存器 56 的相应的 屏蔽信号进行“与”运算. 这样，只有当中断请求信号在主屏蔽寄 存器 56 中的对应位已置“ 1 ”时，它才能被识别. 若对应位未置“ 1 ”，中断请求信号不会通过主屏蔽寄存器，也就不会使 INT1 信号 确立. 中断屏蔽寄存器 56 的各个输出加到主中断源寄存器 58，然后 全部作“或”运算，在线路 55 上，产生 INT1 信号. 主中断源寄存器 58 可被读出，以确定哪一个未被屏蔽的中断请求已经确立.

线路 55 上的 INT1 信号传至或门 60，其输出是线路 28 上的 SDEXIT 信号，传至图 1 所示的停机控制电路 12 . 前文已说明，SDEXIT 信号 的确立使时钟发生器 4 退出停机方式.

中断允许旁路电路 62 提供一个即使所有中断请求信号都被屏蔽 也能产生 SDEXIT 信号的装置. 线路 52 上的实时时钟信号和线路 54 上 的任何键盘按键信号等中断请求信号将进一步传至或门 64, 或门的 输出和线路 66 上的停机状态信号相“与”. 若时钟发生器处于停机 方式, 停机状态信号为高电平, 反之则为低电平. 若时钟发生器处 于停机方式, 且实时时钟信号或按键信号也已建立, 则与门 68 将输 出高电平. 当线路 70 上与门的输出从 0 转换至 1 时, 会使 SR- 锁存 器 72 建立输出, 该输出与主中断源寄存器 58 的输出相或, 产生 INT1 中断信号. 如前所述, INT1 的确立引起 SDEXIT 信号在线路 28 上建立 . 这样, SDEXIT 仍然可以响应某些诸如实时时钟或按键信号之类的 中断请求而建立, 即使这些请求信号已被屏蔽.

根据前面的说明可以看到, 中断允许旁路电路 62 提供一个即使 所有中断请求信号已被屏蔽也能退出停机方式的装置. 这一点是重 要的, 因为存在着一种危险情况, 即正在使用的软件程序不可能排 除在程序请求进入停机方式之前所有中断已被屏蔽, 从而无法退出 停机方式的可能性.

前文的说明仅示出了本发明的某些特定实施例. 但是, 本技术领域中的熟练人员会意识到, 对此可作出许多修改和变化, 实质上并未脱离本发明的精神和范围. 因此, 应该清楚地认识到, 上面说明的本发明的形式仅作为举例, 不是对本发明范围的限制.

此外应该认识到, 本发明的时钟发生器和中断旁路电路可以用在许多系统中. 例如, 它们可用在如图 5 所示、包括一个诸如 Adva nced Micro Devices 80C51 之类的微控制器的电子系统中. 在该结 构中, 时钟发生器 4 在线路 82 上提供的时钟信号, 可用于微

控制器 80 的时序. 此外, 微控制器 80 可以运行控制系统进入停机方式的软 件程序. 中断旁路电路则可包含在用于对微控制器 80 产生中断请求 的中断控制模块 84 中.

图 1 所示系统的另一种可能的变化是采用处在一块集成电路(I C)中的时钟发生器和模块. 图 6 示出这类系统的一个实施例. 在该 实施例中, 时钟发生器 4 可用于将 IC90 中除实时时钟模块 92 之外的 所有模块置于停机方式下.

此外, 图 6 所示的 IC90 可用在无绳电话机中. 图 7 示出将 IC90 用在无绳电话机送受话器 96 中的情况. 图 8 示出将该 IC 用在无绳电 话机 98 的机体单元中的情况. IC90 中的时钟发生器可用于将送受话 器 96 或机体单元 98 在闲置时间中, 即在各次使用之间的时间间隔中 置于备用方式下. 因为闲置时间的长短受限于向送受话器或机体供 电的电池的寿命, 所以这种系统中功率的节省是很重要的. 这样, 时钟发生器将无绳电话机的送受话器或机体单元置于备用方式下的 功能起到了延长无绳电话机闲置时间的作用.

说 明 书 附 图

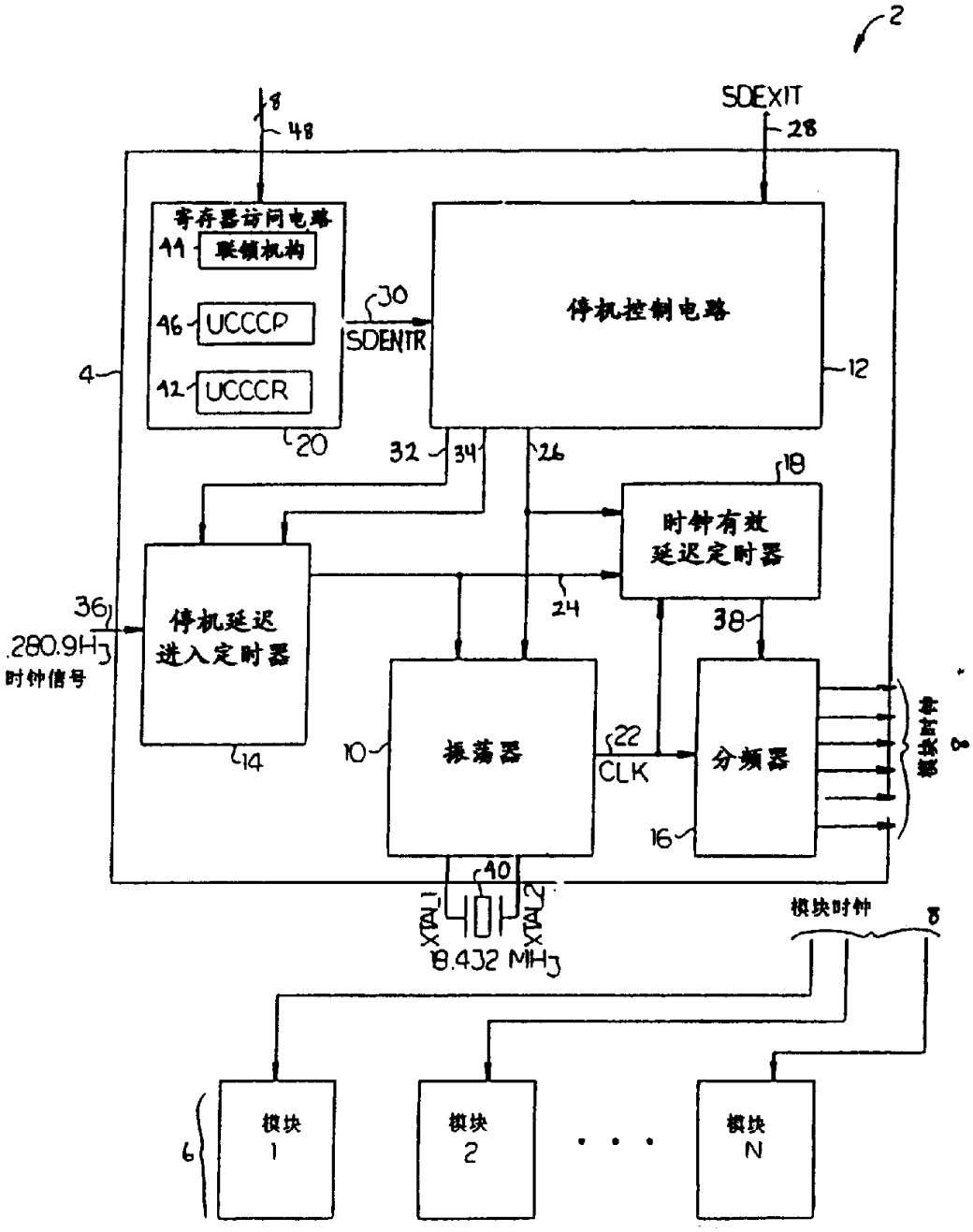

2
8
48
SDEXIT
28
寄存器访问电路
44
联锁机构
46
UCCCP
42
UCCCR
20
30
SDENTR
停机控制电路
12
4
32
34
26
18
时钟有效
延迟定时器
36
280.9HJ
时钟信号
停机延迟
进入定时器
14
24
38
10
振荡器
22
CLK
分频器
16
8
40
XTAL1
XTAL2
8.432 MHJ
模块时钟
8
6
模块
1
模块
2
模块
N

图 1

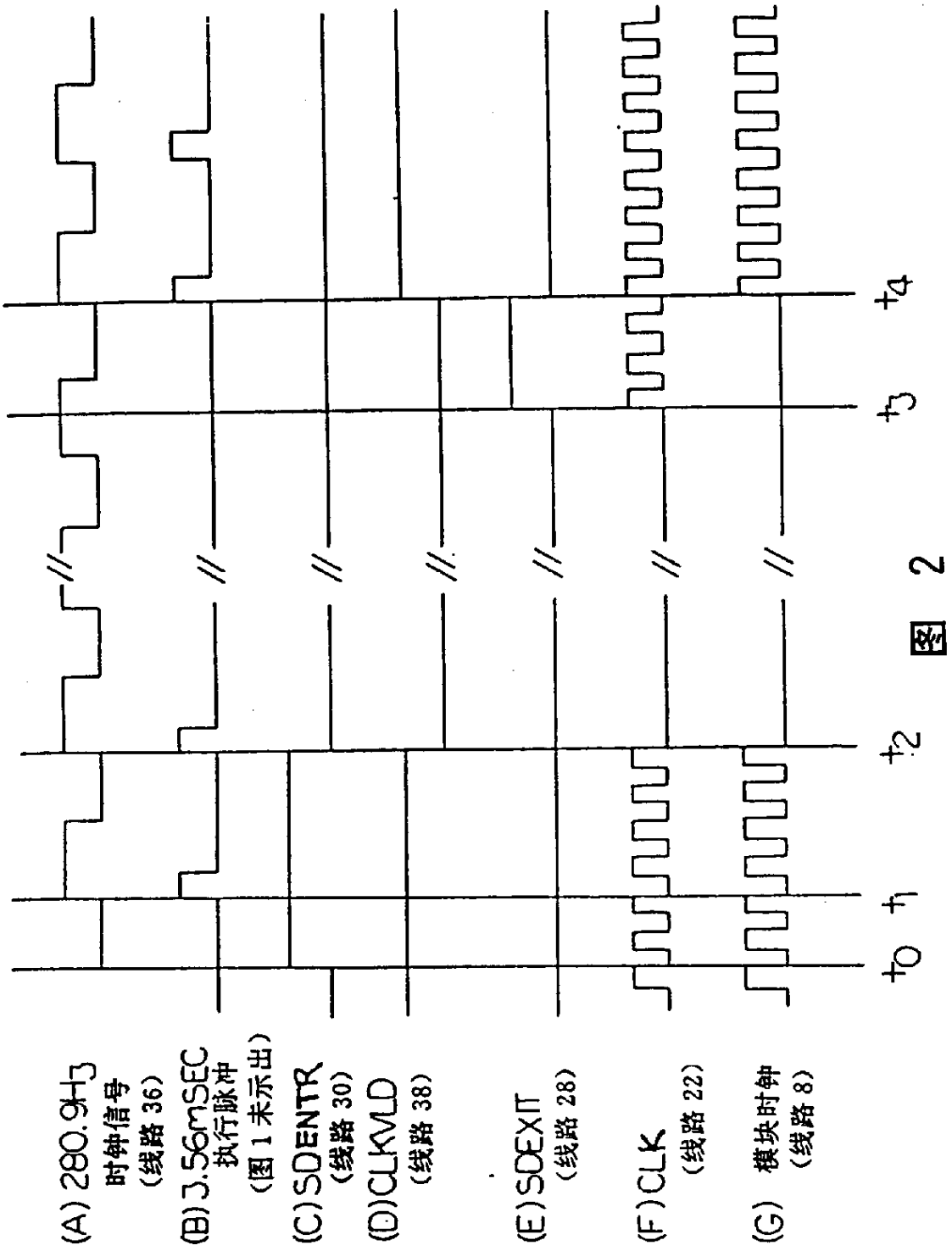

(A) 280.9Hz
时钟信号
(线路 36)
(B) 3.56mSEC
执行脉冲
(图 1 未示出)
(C) SDENTR
(线路 30)
(D) CLKMLD
(线路 38)
(E) SDEXIT
(线路 28)
(F) CLK
(线路 22)
(G) 模块时钟
(线路 8)
t0
t1
t2
t3
t4

图 2

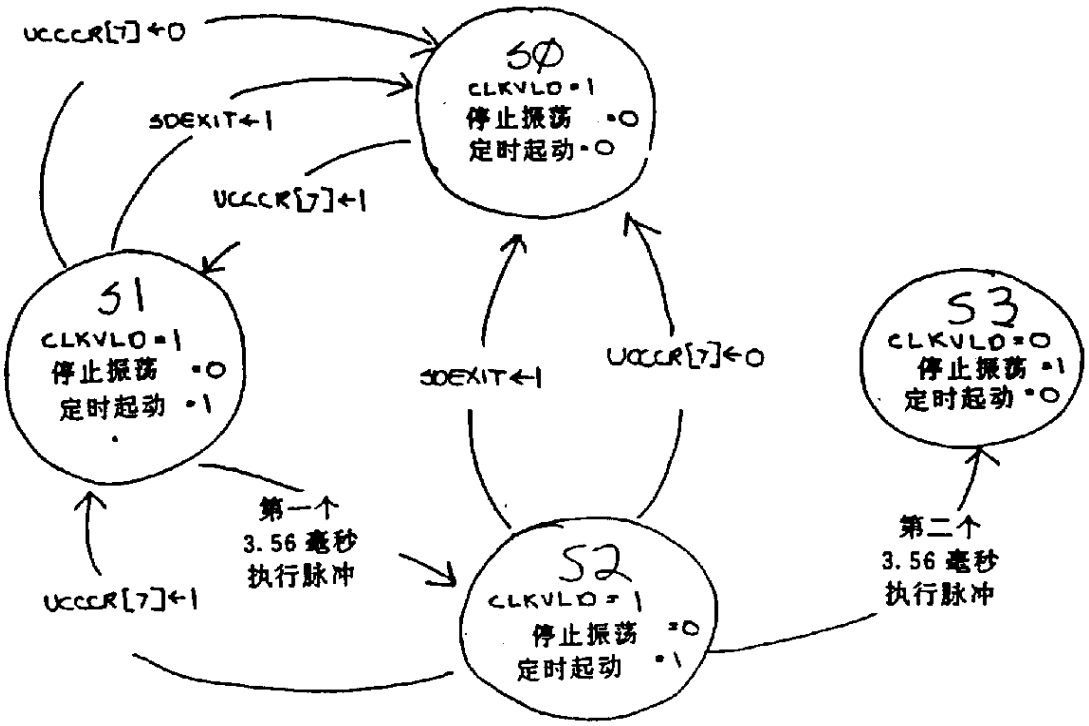

UCCCR[7]←0
SDEXIT←1
UCCCR[7]←1
S0
CLKVLO=1
停止振荡 =0
定时起动=0
S1
CLKVLO=1
停止振荡 =0
定时起动 =1
第一个
3.56 毫秒
执行脉冲
UCCCR[7]←1
SDEXIT←1
UCCCR[7]←0
S2
CLKVLO=1
停止振荡 =0
定时起动 =1
S3
CLKVLO=0
停止振荡 =1
定时起动 =0
第二个
3.56 毫秒
执行脉冲

图 3

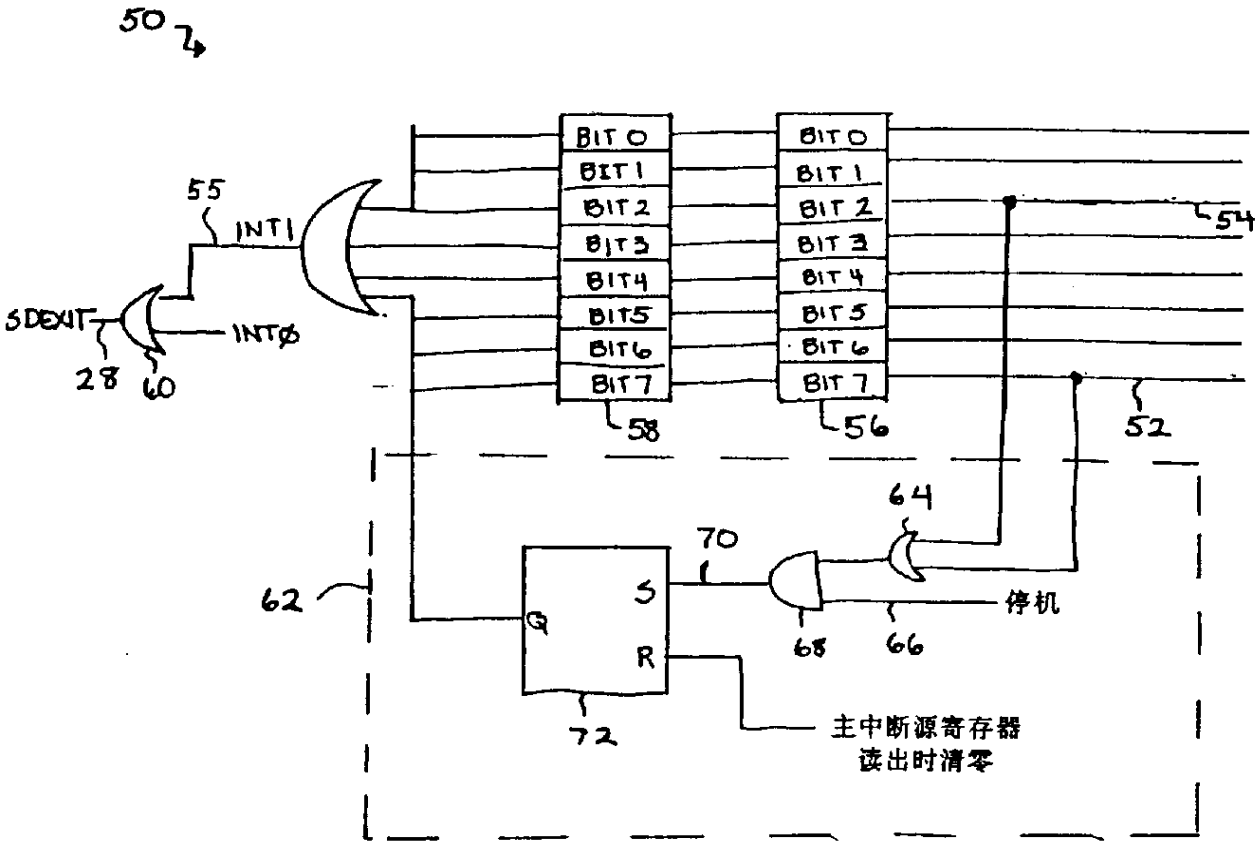

50
55
INT1
SDEXIT
INTØ
28
60
BIT 0
BIT 1
BIT 2
BIT 3
BIT 4
BIT 5
BIT 6
BIT 7
58
56
54
52
64
70
62
S
Q
R
68
66
停机
72
主中断源寄存器
读出时清零

图 4

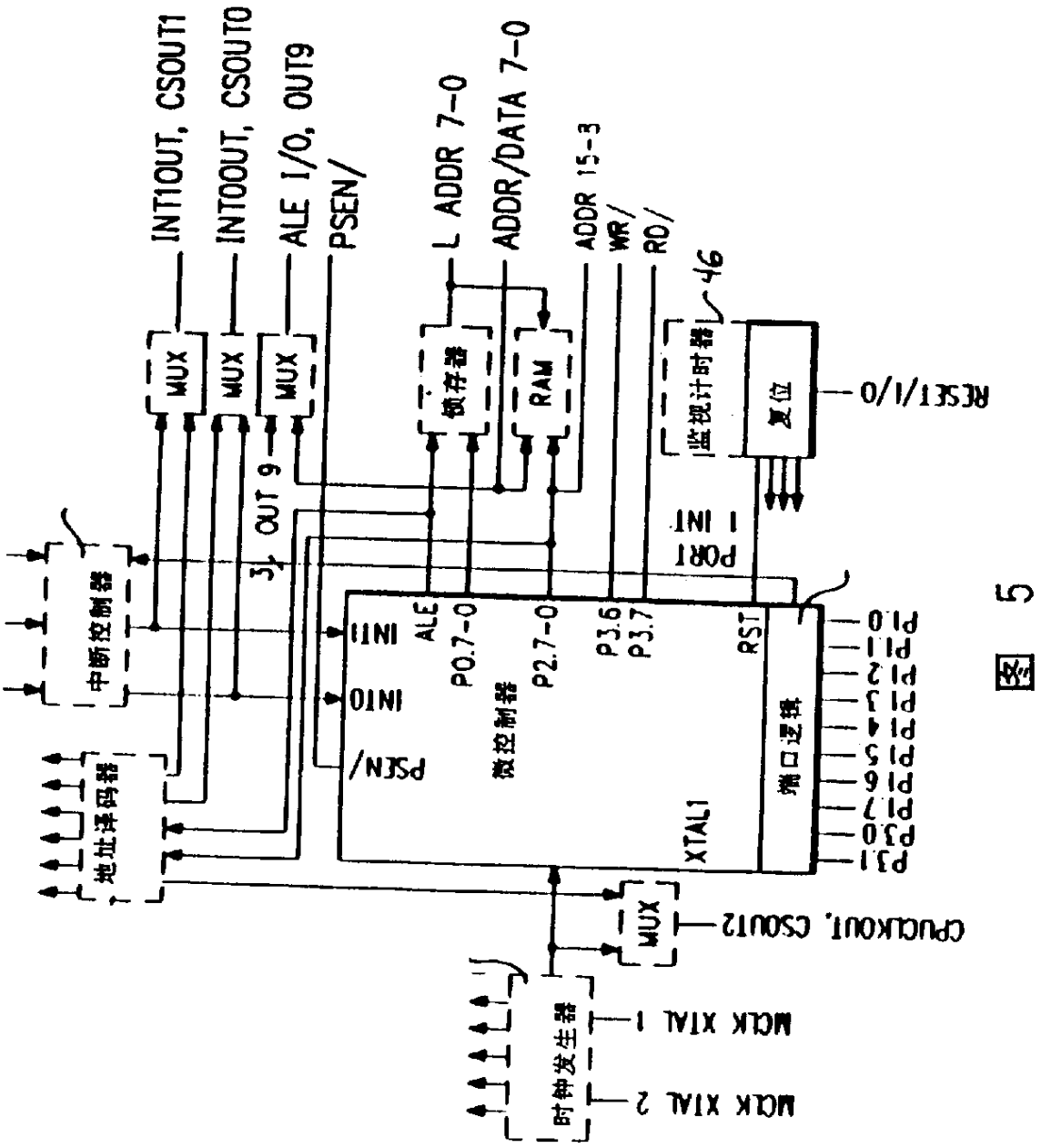

INT1OUT, CSOUT1
INT0OUT, CSOUT0
ALE I/O, OUT9
PSEN/
L ADDR 7-0
ADDR/DATA 7-0
ADDR 15-3
WR/
RD/
MUX
MUX
MUX
3
OUT 9
锁存器
RAM
监视计时器
46
复位
RESET I/O
PORT
1 INT
中断控制器
地址译码器
INT1
INT0
PSEN/
ALE
P0.7-0
P2.7-0
P3.6
P3.7
RST
微控制器
XTAL1
端口逻辑
P1.0
P1.1
P1.2
P1.3
P1.4
P1.5
P1.6
P1.7
P3.0
P3.1
CPUCLKOUT, CSOUT2
MUX
MCLK XTAL 1
MCLK XTAL 2
时钟发生器

图 5

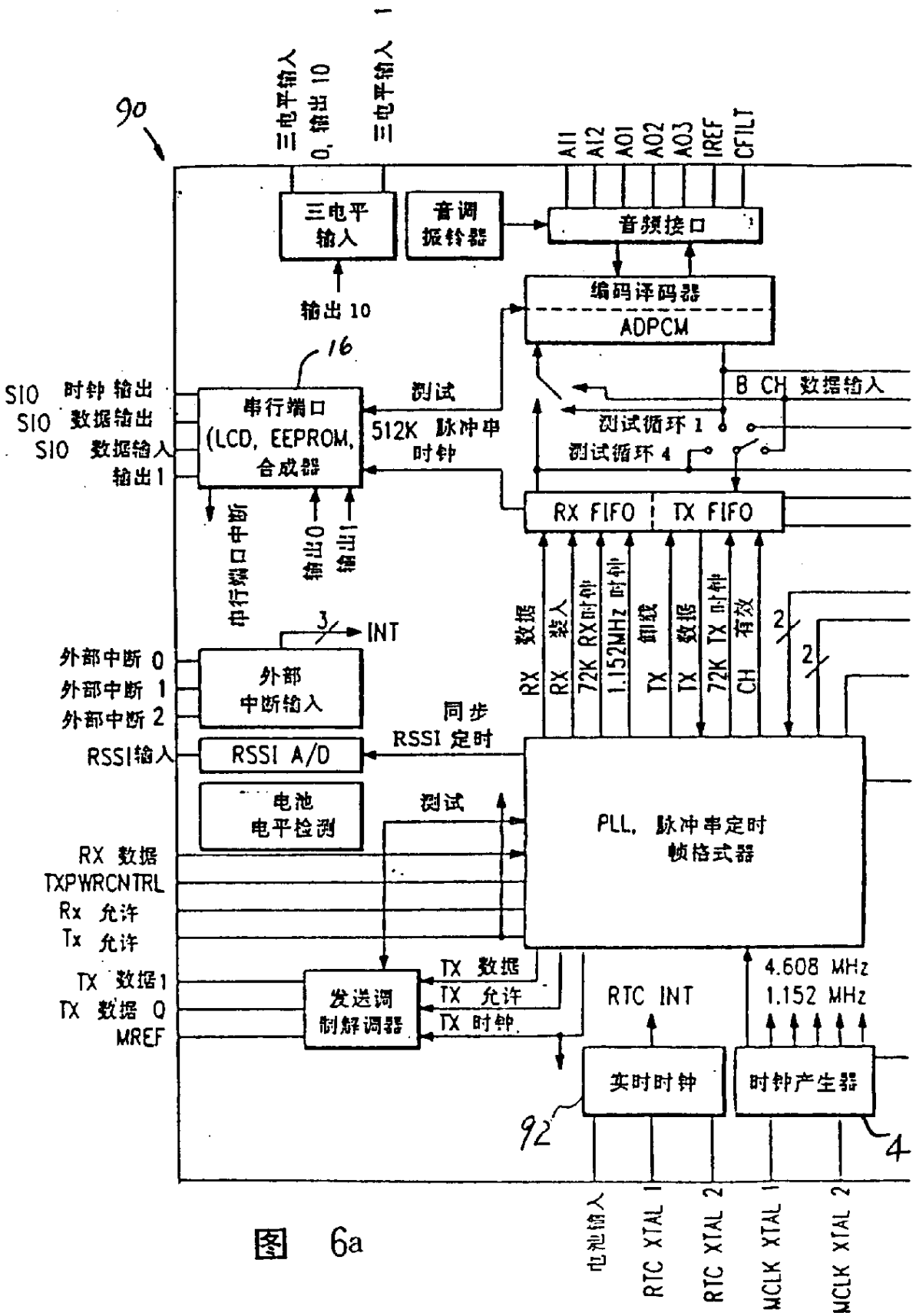

90
三电平输入 1
三电平输入 0, 输出 10
AI1
AI2
AO1
AO2
AO3
IREF
CFILT
三电平输入
音调振铃器
音频接口
输出 10
编码译码器
ADPCM
16
SIO 时钟输出
SIO 数据输出
SIO 数据输入
输出 1
串行端口 (LCD, EEPROM, 合成器
测试
512K 脉冲串时钟
B CH 数据输入
测试循环 1
测试循环 4
RX FIFO
TX FIFO
串行端口中断
输出 0
输出 1
3
INT
外部中断 0
外部中断 1
外部中断 2
外部中断输入
RX 数据
RX 装入
72K RX 时钟
1.152MHz 时钟
TX 卸载
TX 数据
72K TX 时钟
CH 有效
2
2
到图 6b
同步
RSSI 定时
RSSI输入
RSSI A/D
电池电平检测
测试
PLL, 脉冲串定时帧格式器
RX 数据
TXPWRCNTRL
Rx 允许
Tx 允许
TX 数据 1
TX 数据 0
MREF
发送调制解调器
TX 数据
TX 允许
TX 时钟
RTC INT
4.608 MHz
1.152 MHz
实时时钟
时钟产生器
92
4
电池输入
RTC XTAL 1
RTC XTAL 2
MCLK XTAL 1
MCLK XTAL 2

图 6a

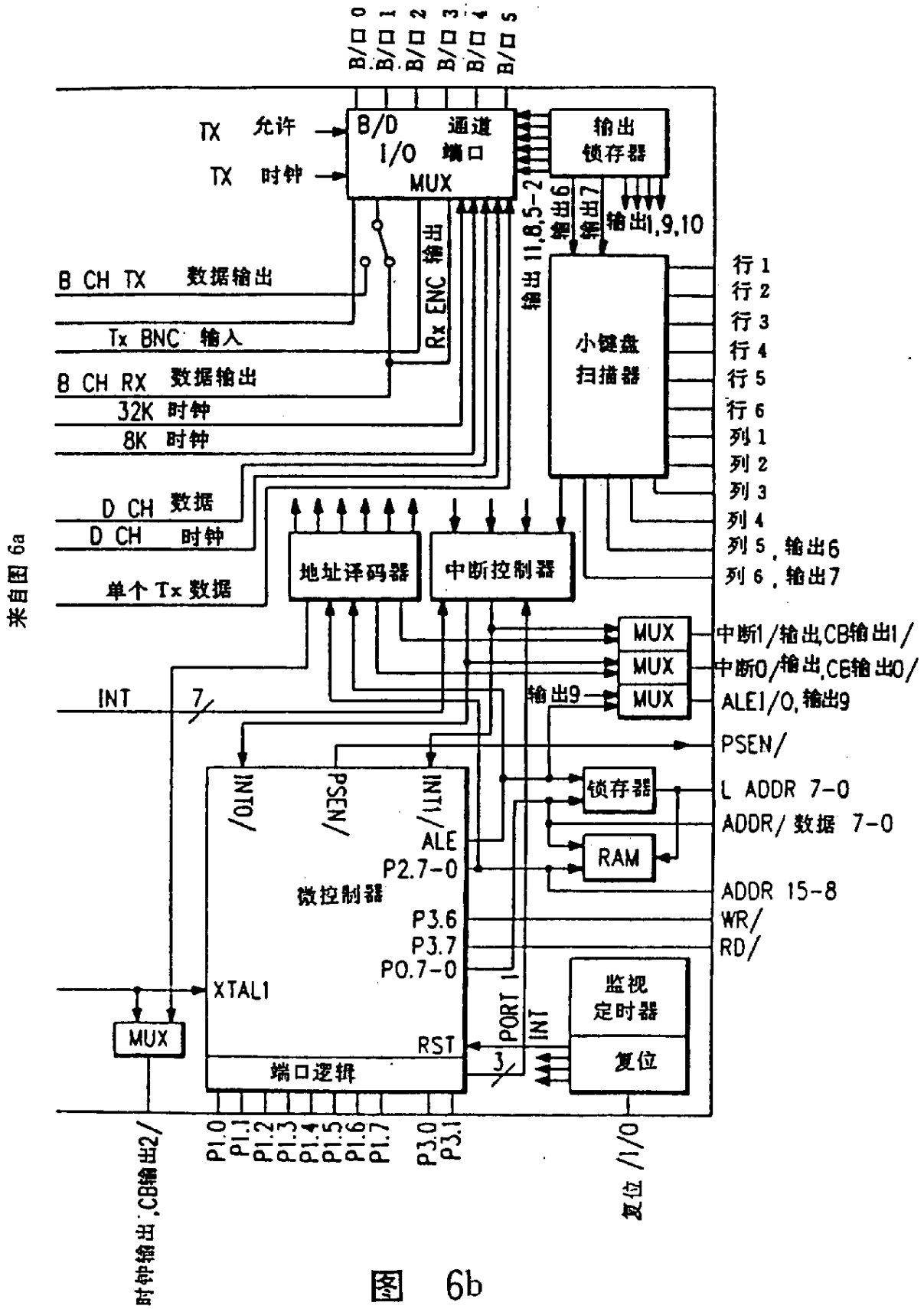

B/□ 0
B/□ 1
B/□ 2
B/□ 3
B/□ 4
B/□ 5
TX 允许
TX 时钟
B/D 通道
I/O 端口
MUX
输出
锁存器
输出11,8,5-2
输出6
输出7
输出1,9,10
B CH TX 数据输出
Tx BNC 输入
B CH RX 数据输出
32K 时钟
8K 时钟
Rx ENC 输出
小键盘
扫描器
行 1
行 2
行 3
行 4
行 5
行 6
列 1
列 2
列 3
列 4
列 5，输出6
列 6，输出7
D CH 数据
D CH 时钟
单个 Tx 数据
地址译码器
中断控制器
MUX
MUX
MUX
中断1/输出,CB输出1/
中断0/输出,CE输出0/
ALE1/0,输出9
输出9
INT 7
PSEN/
锁存器
L ADDR 7-0
ADDR/数据 7-0
RAM
INT0/
PSEN/
INT1/
ALE
P2.7-0
微控制器
ADDR 15-8
P3.6
WR/
P3.7
RD/
P0.7-0
XTAL1
监视
定时器
复位
PORT 1
INT
3
RST
端口逻辑
MUX
P1.0
P1.1
P1.2
P1.3
P1.4
P1.5
P1.6
P1.7
P3.0
P3.1
复位 /I/O
时钟输出,CB输出2/
来自图 6a

图 6b

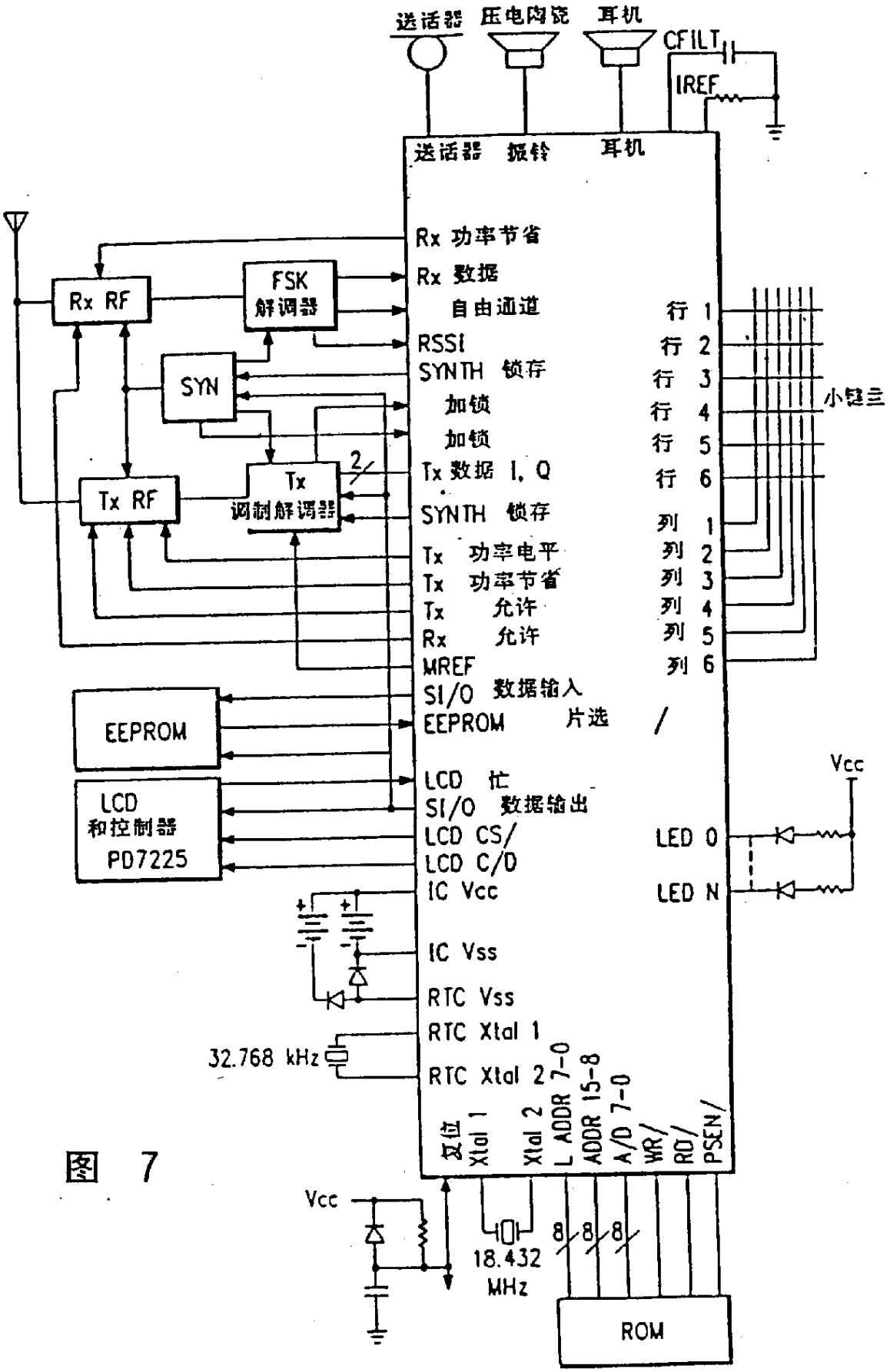

送话器
压电陶铃
耳机
CFILT
IREF
送话器
振铃
耳机
Rx 功率节省
Rx 数据
自由通道
RSSI
SYNTH 锁存
加锁
加锁
Tx 数据 I, Q
SYNTH 锁存
Tx 功率电平
Tx 功率节省
Tx 允许
Rx 允许
MREF
SI/O 数据输入
EEPROM 片选
LCD 忙
SI/O 数据输出
LCD CS/
LCD C/D
IC Vcc
IC Vss
RTC Vss
RTC Xtal 1
RTC Xtal 2
双位
Xtal 1
Xtal 2
L ADDR 7-0
ADDR 15-8
A/D 7-0
WR/
RD/
PSEN/
Rx RF
FSK 解调器
SYN
Tx RF
Tx 调制解调器
2
EEPROM
LCD 和控制器 PD7225
32.768 kHz
Vcc
18.432 MHz
8
8
8
ROM
行 1
行 2
行 3
行 4
行 5
行 6
列 1
列 2
列 3
列 4
列 5
列 6
小键盘
Vcc
LED 0
LED N

图 7

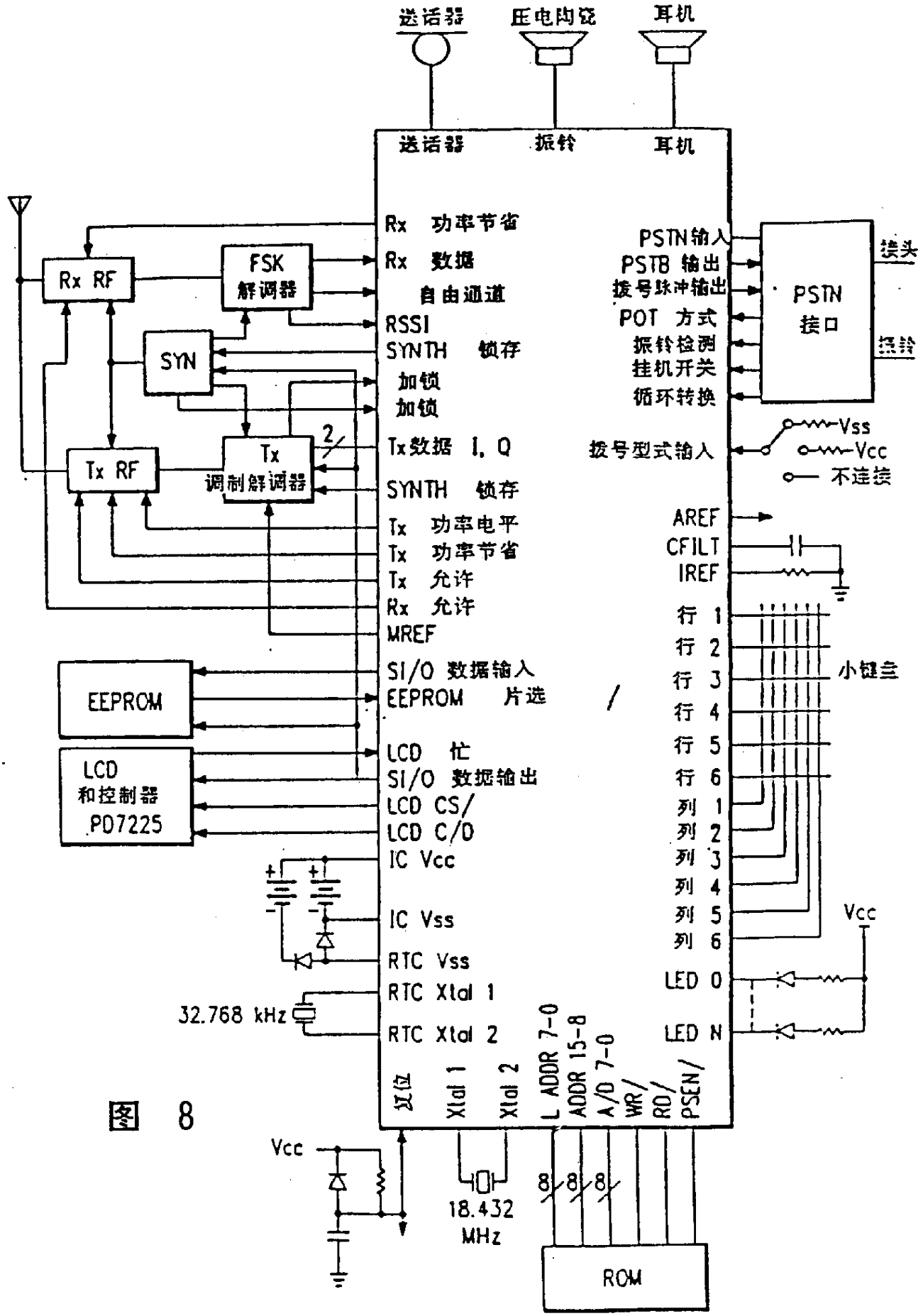

送话器
压电陶瓷
耳机
送话器
振铃
耳机
Rx RF
FSK
解调器
SYN
Tx RF
Tx
调制解调器
2
Rx 功率节省
Rx 数据
自由通道
RSSI
SYNTH 锁存
加锁
加锁
Tx数据 I, Q
SYNTH 锁存
Tx 功率电平
Tx 功率节省
Tx 允许
Rx 允许
MREF
SI/O 数据输入
EEPROM 片选
LCD 忙
SI/O 数据输出
LCD CS/
LCD C/D
IC Vcc
IC Vss
RTC Vss
RTC Xtal 1
RTC Xtal 2
32.768 kHz
EEPROM
LCD
和控制器
PD7225
PSTN输入
PSTB 输出
拨号脉冲输出
POT 方式
振铃检测
挂机开关
循环转换
PSTN
接口
送头
振铃
Vss
Vcc
不连接
拨号型式输入
AREF
CFILT
IREF
行 1
行 2
行 3
行 4
行 5
行 6
列 1
列 2
列 3
列 4
列 5
列 6
小键盘
Vcc
LED 0
LED N
复位
Xtal 1
Xtal 2
L ADDR 7-0
ADDR 15-8
A/D 7-0
WR/
RD/
PSEN/
Vcc
18.432
MHz
8
8
8
ROM

图 8