

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 23/28

(45) 공고일자 1999년03월20일

(11) 등록번호 특0176112

(24) 등록일자 1998년11월12일

(21) 출원번호 특1995-020796

(65) 공개번호 특1997-008517

(22) 출원일자 1995년07월14일

(43) 공개일자 1997년02월24일

(73) 특허권자 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 이상혁
경기도 수원시 팔달구 매탄동 153-183 하나빌라 2층 201호
심성민
경기도 수원시 팔달구 원천동 35 원천주공아파트 103동 805호
(74) 대리인 윤동열, 이선희

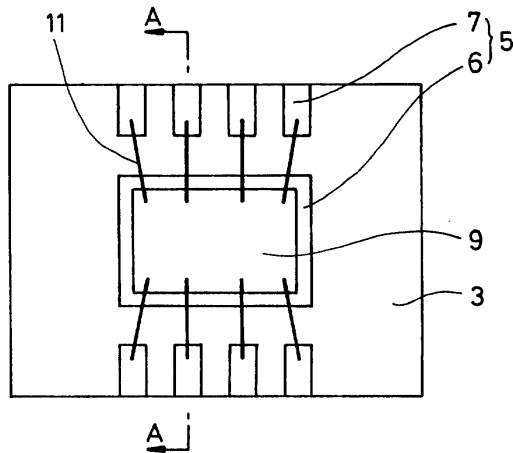
심사관 : 유기혁

(54) 노이즈를 감소하기 위한 반도체 칩 패키지

요약

메탈 쿼드 패키지에 있어서, 상층의 도전층의 다이패드 패턴이 상층의 도전층의 전원용(또는 접지용) 리이드 패턴에 일체로 연결되고, 접지용(또는 전원용) 리이드 패턴이 비아 홀에 의해 하층의 금속층에 전기적으로 연결되어 반도체 칩 패키지 자체가 감결합 캐패시터를 갖고 있음으로써 별도의 감결합 캐패시터가 별도로 설치되지 않고도 노이즈의 감소가 이루어지고 또한 실장밀도가 증가 되는 효과가 있다.

대표도



명세서

[발명의 명칭]

노이즈를 감소하기 위한 반도체 칩 패키지

[도면의 간단한 설명]

제1a도는 종래의 메탈 쿼드 패키지(Metal Quad Package)의 구조를 나타낸 평면도,

제1b도는 제1a도의 A-A선에 따른 단면도,

제2a 내지 d는 제1도의 메탈 쿼드 패키지를 제조하는 방법을 나타낸 공정도,

제3a도는 본 발명의 실시예에 의한 노이즈를 감소하기 위한 반도체 칩 패키지의 구조를 나타낸 평면도,

제3b도는 제3a도의 B-B선에 따른 단면도,

제4a도는 본 발명의 다른 실시예에 의한 노이즈를 감소하기 위한 반도체 칩 패키지의 구조를 나타낸 평면도,

제4b도는 제4도 C-C 선에 따른 단면도이다.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|----------------------|-----------------|
| 1 : 하층의 도전층 | 3 : 유전층 |
| 5 : 상층의 도전층 | 6 : 다이패드 패턴 |
| 7 : 리이드 패턴 | 9 : 반도체 칩 |
| 11 : 본딩 와이어 | 21 : 하층의 도전층 |
| 23 : 유전층 | 25 : 상층의 도전층 |
| 26 : 다이패드 패턴 | 27 : 리이드 패턴 |
| 28 : 접지용 리이드 패턴 | 29 : 전원용 리이드 패턴 |
| 30 : 비아 홀 (via hole) | 31 : 반도체 칩 |
| 32, 34 : 본딩 와이어 | 33 : 창 |

[발명의 상세한 설명]

본 발명은 메탈 쿼드 패키지(Metal Quad Package: MQP)에 관한 것으로, 더욱 상세하게는 상층의 도전층의 리이드 패턴들중 접지용 리이드 패턴이 그 상층의 도전층의 다이패드 패턴에 일체로 형성되어 있고, 전원용 리이드 패턴이 비아홀(via hole)내의 도전층에 의해 하층의 도전층에 전기적으로 연결되어 있어 그 다이패드 패턴상에 접촉되는 반도체 칩의 접지용 본딩패드와 전원용 본딩패드가 그 접지용 리이드 패턴과 전원용 리이드 패턴에 각각 전기적으로 연결될 때 그 다이패드 패턴과 유전층 및 하층의 도전층으로 이루어지는 캐패시터가 그 반도체 칩의 하부에 자체적으로 형성되어 실장밀도를 감소시키지 않고도 노이즈를 감소할 수 있는 노이즈 감소를 위한 반도체 칩 패키지에 관한 것이다.

최근에는 개인용 컴퓨터 등에 반도체 칩 패키지를 고밀도로 실장하기 위하여 모듈 패키지 및 표면 실장형 패키지의 소형화 및 박형화가 크게 요구되고 있다. 이에 따라, TSOP(thin small outline package), UTSOP(ultra thin small outline package) 등과 같은 소형 박형 패키지가 개발되고 있으며, 이러한 패키지들의 대부분은 컴퓨터의 주기억 장치에 주로 사용되고 있다.

반도체 칩의 고속화 및 고집적화가 진행됨에 따라 집적회로의 출력 구동회로가 고속으로 스위칭되어야 할 필요가 생기게 되는데, 이러한 스위칭 속도의 고속화는 반도체 칩의 전원 전압의 변동에 따른 노이즈, 즉 ΔI 노이즈를 유발시켜 반도체 칩의 오동작과 기능 불량등의 문제가 발생하게 된다. 그러므로, 스위칭 속도의 증가에 따른 노이즈의 수준을 최소화하기 위한 여러가지 방안으로서 감결합 커패시터(decoupling capacitor)를 반도체 칩 패키지의 전원단자와 접지단자사이에 외부 또는 내부적으로 결합하는 방안이 소개되었다.

그 중 한 방안이 마이클 비 브라운(Michael B. Brown)의 미합중국 특허제4,945,399호에 개시되어 있는 바와 같이, 반도체 칩 패키지의 관련된 전압핀들 사이에 감결합 커패시터(decoupling capacitor)를 별도로 외부결합하는 것이다.

한편, 일본의 미쓰이 토아쯔(Misui Toatsu)화학 회사에 의해 개발된 종래의 메탈 쿼드 패키지(Metal Quad Package: MQP)는 제1도(A) 및 (B)에 도시된 바와 같이, 하층의 도전층(1)과, 그 도전층(1)의 상부면의 전영역상에 형성된 유전층(3)과, 그 유전층(3)상에 형성된 상층의 도전층(5)의 다이패드 패턴(6)과 그 다이패드 패턴(6)로부터 소정의 거리를 두고 있는 리이드 패턴들(7)과, 그 다이패드상에 접촉되는 반도체칩(9)과, 그 반도체 칩(9)의 본딩패드들(도시안됨)에 그 리이드 패턴들(7)을 각각 전기적으로 연결하는 본딩 와이어(11)로 구성되어 있다.

이와 같이 구성되는 메탈 쿼드 패키지의 제조 방법을 제2도를 참조 하여 살펴보면 다음과 같다.

제2도(A)에 도시된 바와 같이, 먼저, 하층의 도전층(1)을 준비한다. 또한, 상층의 도전층(5), 예를 들어 $18\mu\text{m}$ 의 두께를 갖는 압연 구리 박막의 상부 $20\mu\text{m}$ 의 두께를 갖는 열가소성 폴리이미드 박막의 유전층(3)을 코팅한 박막을 준비한다.

제2도(B)에 도시된 바와 같이, 그 상층의 도전층(5)과 접하지 않는 그 유전층(3)의 상부면이 그 하층의 도전층(1)의 상부면상에 열프레스법으로 접합한다. 제2도(C)에 도시된 바와 같이, 인쇄회로 가공기술을 이용하여 그 상층의 도전층(5)을 선택적으로 식각하여 반도체 칩(도시안됨)이 장착될 다이패드 패턴(6)과, 반도체 칩(도시안됨)의 본딩패드들에 각각 대응하는 리이드 패턴들(7)을 형성한다.

이후, 그 리이드 패턴들(7)의 내부리이드들에 대응하는 외부리이드들(도시안됨)의 말단부를 금형 등의 프레스성형법으로 표면실장형태로 형성하여 칩 캐리어를 완성한다.

제2도(D)에 도시된 바와 같이, 이렇게 완성된 칩 캐리어를 반도체 칩(9)을 그 다이패드 패턴(6)상에 접촉체의 의하여 접촉한다. 이어서, 그 반도체 칩(9)의 각 본딩패드(도시안됨)를 본딩와이어(11)에 의하여 리이드 패턴들에 각각 대응하여 전기적으로 연결한다.

이후, 도시되지는 않았지만 그 반도체 칩(11)이 외부의 환경으로부터 보호되도록 수지로 봉지한다.

이와 같이 제조되는 종래의 메탈 쿼드 패키지에서는 반도체 칩(9)의 접지용 본딩패드(도시안됨)와 전원용 본딩패드(도시안됨)에 본딩와이어(11)에 의해 각각 전기적으로 연결되는 접지용 리이드 패턴(7)과 전원용 리이드 패턴(7)은 유전층(3)에 의해 하층의 도전층(1)에 전기적으로 연결되어 있지 않다.

따라서, 반도체 칩 패키지의 전원 노이즈를 최소화하기 위해서는 수지로 그 반도체 칩 패키지를 봉지하기 전에 감결합 캐피시터를 그 반도체 칩 패키지의 내부에 미리 설치하거나 그 반도체 칩 패키지가 실장될

시스템의 기판상에 추가로 설치하는 것이 필요하다.

그러므로, 감결합 캐패시터가 그 반도체 패키지의 내부에 설치되거나 시스템의 기판상에 추가로 설치하는 경우, 그 반도체 칩 패키지의 실장 밀도가 저하되고, 그 감결합 캐패시터를 시스템에 설치하는 데 많은 인력과 시간이 필요하게되어 원가의 상승이 발생하게 됨은 물론 제조 공정의 복잡하게 되는 문제점이 있다.

따라서, 본 발명의 목적은 반도체 칩 패키지의 구성 요소 자체가 감결합 캐패시터의 역할을 할 수 있도록 하여 별도의 감결합 캐패시터를 추가로 설치하지 않고도 노이즈를 최소화할 수 있는 노이즈 감소용 반도체 칩 패키지를 제공하는 데 있다.

이와 같은 목적 달성하기 위한 본 발명은 메탈 쿼드 피키지에 있어서, 반도체 칩이 탑재된 상층의 도전층의 다이패드 패턴에 접지용 리이드 패턴(또는 전원용 리이드 패턴)이 일체로 형성되고, 그 전원용 리이드 패턴(또는 접지용 리이드 패턴)이 비아홀(via hole)내의 도전층 도는 본딩와이어에 의해 하층의 도전층에 전기적으로 연결되어 그 반도체 칩 패키지 자체가 감결합 캐패시터를 가짐으로써 실장밀도를 감소시키지 않고도 반도체 칩 패키지의 노이즈를 감소시키는 것을 특징으로 한다.

이하, 본 발명의 실시예에 의한 노이즈 감소를 위한 반도체 칩 패키지를 첨부된 도면을 참조하여 설명하면 다음과 같다.

제3도 (A) 및 (B)를 참조하면, 하층의 금속층(21)과, 그 도전층(21)의 상부면의 전영역상에 형성된 유전층(23)과, 그 유전층(23)상에 형성된 상층의 도전층(25)의 다이패드 패턴(26)과 그 다이패드 패턴(26)로부터 소정의 거리를 두고 있는 리이드 패턴들(27) 및 그 다이패드 패턴(26)에 일체로 형성되는 접지용 리이드 패턴(28)과, 그 다이패드 패턴(26)상에접착되는 반도체 칩(31)과, 그 반도체 칩(31)의 본딩패드들(도시안됨)에 그 리이드 패턴들(27),(28)을 각각 전기적으로 연결하는 본딩 와이어(32)로 구성되어 있다.

또한, 그 리이드 패턴(28)들중 전원용 리이드 패턴(29)이 그 리이드 패턴(29)과 유전층(23)을 관통하는 비아 홀(30)내의 도전막(도시안됨)에 의해 하층의 도전층(21)에 전기적으로 연결되어 있다.

한편, 전압용 리이드 패턴이 다이패드 패턴에 일체로 전기적 연결되고, 접지용 리이드 패턴이 비아홀에 의해 하층의 도전층에 전기적으로 연결될 수도 있음은 자명한 것이다.

이와 같이 구성되는 본 발명의 반도체 칩 패키지에서는 접지용 리이드 패턴(28)에 일체로 전기적으로 연결된 다이패드 패턴(26)과, 전원용 리이드 패턴(29)에 적어도 하나이상의 비아 홀(30)내의 도전막(도시안됨)에 의해 전기적으로 연결된 하층의 도전층(21)사이에 유전층(23)이 설치되어 있어 그 다이패드 패턴(26)상에 접착되는 반도체 칩(31)의 접지용 본딩패드(도시안됨)와 전원용 본딩패드(도시안됨)가 그 접지용 리이드 패턴(28)과 전원용 리이드 패턴(29)에 각각 전기적으로 연결될 때 그 다이패드 패턴(26)과 유전층(23) 및 하층의 도전층(21)으로 이루어지는 캐패시터가 그 반도체 칩(31)의 하부에 자체적으로 형성되어 실장밀도를 감소시키지 않고도 노이즈를 감소할 수 있는 효과가 있다.

또한, 본 발명의 반도체 칩 패키지는 감결합 캐패시터를 자체적으로 갖고 있어 감결합 캐패시터를 별도로 설치할 필요가 없음으로써 반도체 칩 패키지의 제조 공정을 단순화하고 제조 비용을 절감할 수 있다.

이하, 본 발명의 다른 실시예에 의한 노이즈 감소를 위한 반도체 칩 패키지를 첨부된 도면을 참조하여 설명하면 다음과 같다.

제4도 (A) 및 (B)를 참조하면, 하층의 금속층(21)과, 그 도전층(21)의 상부면의 전영역상에 형성되는 유전층(23)과, 그 유전층(23)상에 형성된 상층의 도전층(25)의 다이패드 패턴(26)과 그 다이패드 패턴(26)로부터 소정의 거리를 두고 있는 리이드 패턴들(27) 및 그 다이패드 패턴(26)에 일체로 형성되는 접지용 리이드 패턴(28)과, 그 다이패드 패턴(26)상에 접착되는 반도체 칩(31)과, 그 반도체 칩(31)의 본딩패드들(도시안됨)에 그 리이드 패턴들(27),(28)을 각각 전기적으로 연결하는 본딩 와이어(32)로 구성되어 있다.

또한, 그 리이드 패턴(28)들중 전원용 리이드 패턴(29)의 이웃하는 영역의 유전층(23)에는 하층의 도전층(21)을 노출시키도록 창(33)이 형성되어 있고, 그 전원용 리이드 패턴(29)이 본딩와이어(34)에 의하여 그 노출된 영역의 하층의 도전층(21)에 전기적으로 연결되어 있다.

이와 같이 구성되는 본 발명의 반도체 칩 패키지는 제3도 (A) 및 (B)에서 기술된 작용과 거의 유사하므로 이에 대한 상세한 기술을 생략하기로 한다.

이상에서 살펴본 바와 같이, 본 발명에 의한 반도체 칩 패키지에서는 메탈 쿼드 패키지에 있어서, 반도체 칩이 접착되는 상층의 도전층의 다이패드 패턴에 접지용 리이드 패턴이 일체로 전기적 연결되고, 전원용 리이드 패턴이 비아홀내의 도전층에 의해 하층의 도전층에 전기적으로 연결되거나 유전층의 창에 의해 노출된 하층의 도전층에 전원용 리이드 패턴이 본딩와이어에 의해 전기적으로 연결되어 반도체 칩의 하부에 다이패드 패턴과 유전층 및 하층의 도전층으로 이루어지는 캐패시터가 자체적으로 형성됨으로써 별도로 감결합 캐패시터를 설치하지도 않고도 노이즈가 감소될 수 있다.

따라서, 본 발명의 반도체 칩 패키지는 시스템의 기판에 별도의 캐패시터를 설치하지 않아도 실장밀도를 향상시킬 수 있을 뿐 아니라 조립공정을 단순화시킬 수 있어 원가절감을 이룩할 수 있다.

(57) 청구의 범위

청구항 1

하층의 도전층(21), 상기 하층의 도전층 위에 형성된 유전층(23), 상기 유전층의 일부 영역에 형성된 상층의 도전층(25), 상기 유전층의 다른 일부 영역에 형성된 전원용 리이드패턴(29), 상기 유전층의 다른 일부 영역에 부착된 반도체칩(31), 상기 반도체칩의 전원용 본딩패드 또는 접지용 본딩패드와 상기 상층

의 도전층 또는 전원용 리이드패턴을 각각 전기적으로 연결하는 본딩와이어(32), 상기 전원용 리이드패턴(29) 또는 상층의 도전층(25) 중 어느 하나와 상기 하층의 도전층(21)을 전기적으로 연결하는 연결부를 포함하여 상기 상층의 도전층(25)과 상기 하층의 도전층(21)이 유전층(23)을 사이에 둔 커패시터구조가 되는 것을 특징으로 하는 노이즈를 감소하기 위한 반도체칩 패키지.

청구항 2

제1항에 있어서, 상기 반도체칩(31)은 상기 상층의 도전층(25)위에 부착되는 것을 특징으로 하는 노이즈를 감소하기 위한 반도체칩 패키지.

청구항 3

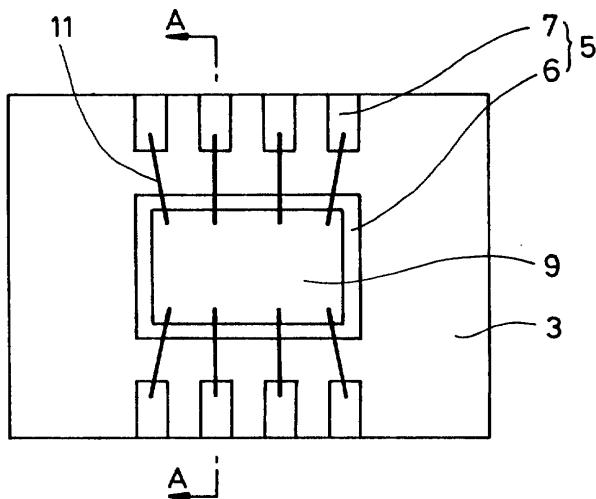
제1항에 있어서, 상기 연결부는 상기 전원용 리이드패턴(29)과 상기 하층의 도전층(21)을 관통하여 전기적으로 연결하는 적어도 하나 이상의 비아홀(30)인 것을 특징으로 하는 노이즈를 감소하기 위한 반도체칩 패키지.

청구항 4

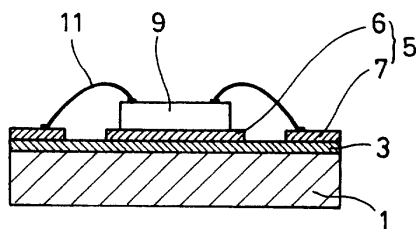
제1항에서 있어서, 상기 연결부는 상기 전원용 리이드패턴(29)과 상기 하층의 도전층(21)을 직접 전기적으로 연결하는 본딩와이어(34)인 것을 특징으로 하는 노이즈를 감소하기 위한 반도체칩 패키지.

도면

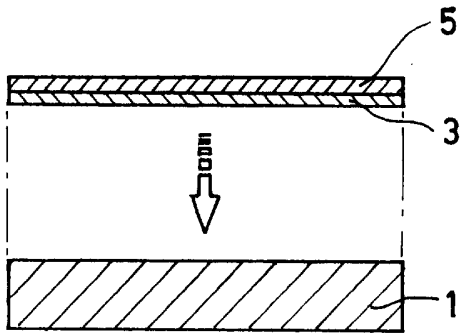
도면1a



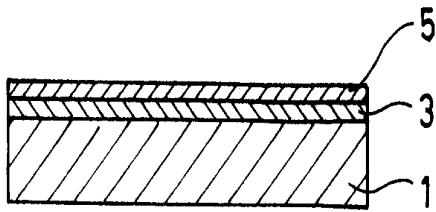
도면1b



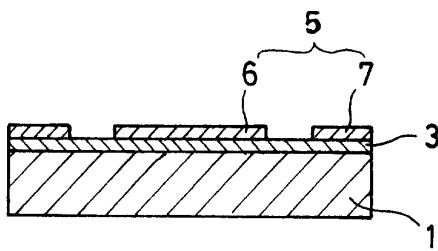
도면2a



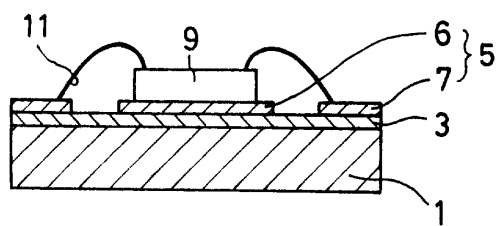
도면2b



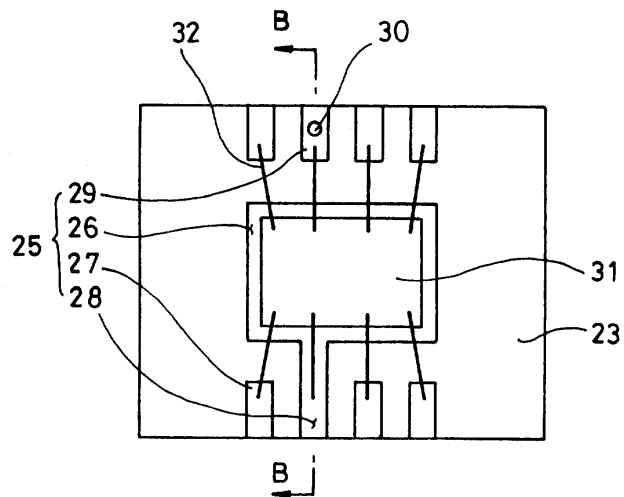
도면2c



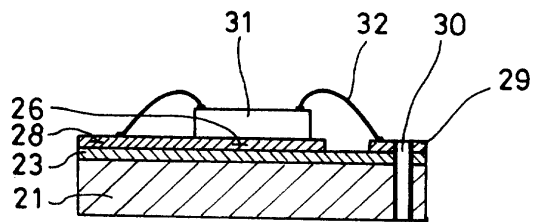
도면2d



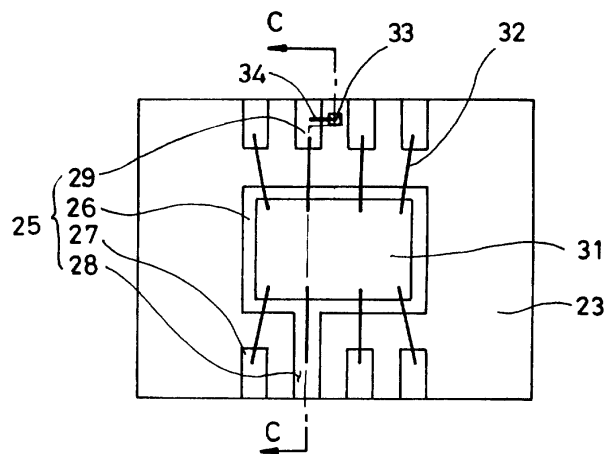
도면3a



도면3b



도면4a



도면4b

