

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6054151号
(P6054151)

(45) 発行日 平成28年12月27日 (2016.12.27)

(24) 登録日 平成28年12月9日 (2016.12.9)

(51) Int. Cl. F I
GO 1 R 31/28 (2006.01) GO 1 R 31/28 H

請求項の数 6 (全 31 頁)

(21) 出願番号	特願2012-257494 (P2012-257494)	(73) 特許権者	302062931
(22) 出願日	平成24年11月26日 (2012.11.26)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2014-106034 (P2014-106034A)		東京都江東区豊洲三丁目2番24号
(43) 公開日	平成26年6月9日 (2014.6.9)	(74) 代理人	110001195
審査請求日	平成27年8月11日 (2015.8.11)		特許業務法人深見特許事務所
		(72) 発明者	松尾 幸和
			兵庫県伊丹市瑞原四丁目1番地3 株式会
			社ルネサスセミコンダクタエンジニアリン
			グ内
		(72) 発明者	西垣 亮
			兵庫県伊丹市瑞原四丁目1番地3 株式会
			社ルネサスセミコンダクタエンジニアリン
			グ内

最終頁に続く

(54) 【発明の名称】 テスト装置

(57) 【特許請求の範囲】

【請求項1】

チップをテストするテスト装置であって、
 チップに設けられたピン毎にピンデータをそれぞれ出力することが可能な複数のピンエレクトロニクス基板と、
 前記複数のピンエレクトロニクス基板に共通に設けられるコントロール基板とを備え、
 前記コントロール基板は、
 命令コードが格納された第1の命令コードメモリと、
 クロックに同期してカウントアップする第1のプログラムカウンタと、
 前記第1のプログラムカウンタのカウント値に従って前記第1の命令コードメモリから読みだされた命令コードを解析するコード解析回路と、
 前記コード解析回路で解析された命令コードに従って前記ピンエレクトロニクス基板を制御するための制御データ出力する制御データ出力制御回路とを含み、
 各前記ピンエレクトロニクス基板は、
 ピンデータが格納された第1のピンメモリと、
 前記クロックに同期してカウントアップする第2のプログラムカウンタと、
 前記制御データ出力制御回路からの制御データに基づいて前記第2のプログラムカウンタのカウント値を調整して前記カウント値に従う前記第1のピンメモリから読みだされたピンデータを出力するピンデータ出力制御回路とを含む、テスト装置。

【請求項2】

前記コントロール基板は、

前記第1のプログラムカウンタのカウンタ値に従って読みだされた命令コードを対応付けて格納する第2の命令コードメモリと、

前記コード解析回路による命令コードの解析に従いジャンプ命令に従って前記第1のプログラムカウンタと切り替えてクロックに同期してカウントアップする第3のプログラムカウンタとをさらに含み、

前記コード解析回路は、ジャンプ中に前記第3のプログラムカウンタのカウンタ値に従って前記第2の命令コードメモリから読みだされた命令コードを解析する、請求項1記載のテスト装置。

【請求項3】

前記制御データ出力制御回路は、前記第2のプログラムカウンタの起動を指示するための起動信号と、前記命令コードに従って再度同じデータを出力するように指示するリピート信号と、ジャンプ処理を制御するループモード信号とを出力する、請求項2記載のテスト装置。

【請求項4】

前記ピンデータ出力制御回路は、

前記第2のプログラムカウンタのカウンタ値に従って読みだされたピンデータを対応付けて格納する第2のピンメモリと、

前記ループモード信号に従って前記第2のプログラムカウンタと切り替えてクロックに同期してカウントアップする第4のプログラムカウンタと、

前記ループモード信号に従ってジャンプ中は前記第4のプログラムカウンタのカウンタ値に従って前記第2のピンメモリから読みだされたピンデータを出力し、前記ジャンプ中以外には前記第1のピンメモリから読みだされたピンデータを出力するピンデータ切り替え回路とを含む、請求項3記載のテスト装置。

【請求項5】

前記ループモード信号は、ジャンプの飛び先アドレスの登録を指示するためのラベルデータと、ジャンプの開始を指示するデータと、ジャンプの終了を指示するデータとを含む、請求項4記載のテスト装置。

【請求項6】

前記ピンデータ出力制御回路は、

前記ラベルデータに従って前記第2のプログラムカウンタのカウンタ値を一時的に格納するスタックを含み、

前記ジャンプの開始を指示するデータに従って前記第4のプログラムカウンタに前記スタックに格納されたカウンタ値が設定される、請求項5記載のテスト装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置をテストするためのテスト装置に関する。

【背景技術】

【0002】

テスト対象の半導体装置(DUT: Device Under Test)をソケット等を介して着脱可能に装着し、試験を行なうテスト装置が知られている。特に、量産に対応するには同測数の増加によるテスト効率向上が必須であり、テスト装置には高機能、高性能化だけではなく、テストコストとのバランスを採った多様なテスト行程にフレキシブルに対応することが求められている。

【0003】

この点で、テストコスト削減のため、テスト装置そのものの値段を押さえつつ多数個同時測定を可能にするため、ピン毎の制御を行うピンエレクトロニクス基板(複数枚)と、それらを一括で制御を行うコントロール基板(1枚)とに分けた構成となっている。

【0004】

10

20

30

40

50

ピンエレクトロニクス基板には、ピン毎のピンデータが格納されたメモリが設けられている。コントロール基板には、インストラクションコードに従って上記メモリのアドレスとなるプログラムカウンタ値を出力するプログラムカウンタが設けられている（例えば、特許文献1参照）。そして、全ピン共通動作として、各ピンエレクトロニクス基板では、プログラムカウンタ値に対応するピンデータが読みだされて制御されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2004-151990号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0006】

一方で、多様なテスト行程に対応するためにプログラムカウンタ値のビット数が増加する傾向にある。そのため、ピンエレクトロニクス基板それぞれに対してプログラムカウンタ値を配線する必要がある。例えば、プログラムカウンタ値が28ビットで、ピンエレクトロニクス基板が16枚の場合、448本の配線が必要となる。しかしながら、基板実装の物理的状況から、コントロール基板とピンエレクトロニクス基板間に448本の配線をすることは非常に難しく、配線本数を減らす工夫が求められていた。

【0007】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

20

【課題を解決するための手段】

【0008】

一実施例によれば、チップをテストするテスト装置であって、チップに設けられたピン毎にピンデータをそれぞれ出力することが可能な複数のピンエレクトロニクス基板と、複数のピンエレクトロニクス基板に共通に設けられるコントロール基板とを備える。コントロール基板は、命令コードが格納された第1の命令コードメモリと、クロックに同期してカウントアップする第1のプログラムカウンタと、第1のプログラムカウンタのカウンタ値に従って第1の命令コードメモリから読みだされた命令コードを解析するコード解析回路と、コード解析回路で解析された命令コードに従ってピンエレクトロニクス基板を制御するための制御データを出力する制御データ出力制御回路とを含む。各ピンエレクトロニクス基板は、ピンデータが格納された第1のピンメモリと、クロックに同期してカウントアップする第2のプログラムカウンタと、制御データ出力制御回路からの制御データに基づいて第2のプログラムカウンタのカウンタ値を調整してカウンタ値に従う第1のピンメモリから読みだされたピンデータを出力するピンデータ出力制御回路とを含む。

30

【発明の効果】

【0009】

一実施例によれば、配線本数を減らしつつ多数個同時測定が可能である。

【図面の簡単な説明】

【0010】

40

【図1】本実施の形態に従うテスト装置の構成を説明する概略図である。

【図2】本実施の形態に従うテスト動作を説明するフロー図である。

【図3】本実施の形態に従う所定のテストパターンの一例を説明する図である。

【図4】本実施の形態に従うインストラクションコードについて説明する図である。

【図5】本実施の形態に従うプログラム制御回路30の機能を説明する概略ブロック図である。

【図6】本実施の形態に従いピンコントロールメモリ制御回路50の機能を説明する概略ブロック図である。

【図7】本実施の形態に従う信号生成回路54に入力されるループモード信号を説明する図である。

50

【図 8】本実施の形態に従うテストパターンの流れの概略を説明するシーケンス図である。

【図 9】本実施の形態に従うインストラクションメモリ（ジャンプ用）40の内部状態を説明する図である。

【図 10】本実施の形態に従う基準クロックに応じて出力されるPC値の値の変化を説明する図である。

【図 11】本実施の形態に従うピンエレクトロニクス基板20側のプログラムカウンタ値に従うピンデータについて説明する図（その1）である。

【図 12】本実施の形態に従うピンエレクトロニクス基板20側のプログラムカウンタ値に従うピンデータについて説明する図（その2）である。

【図 13】本実施の形態に従うピンコントロールメモリ（ジャンプ用）62の内部状態を説明する図である。

【図 14】本実施の形態に従うコード解析回路34における処理について説明するフロー図である。

【図 15】本実施の形態に従うコード解析回路34におけるジャンプ制御の処理について説明するフロー図である。

【図 16】本実施の形態に従うプログラムカウンタ切替調整回路55における処理について説明するフロー図である。

【図 17】本実施の形態の変形例に従うプログラムカウンタ32#およびピンコントロールメモリ制御回路50#の構成を説明する図である。

【発明を実施するための形態】

【0011】

本実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰り返さない。

【0012】

図1は、本実施の形態に従うテスト装置の構成を説明する概略図である。

図1を参照して、本実施の形態に従うテスト装置10は、テスト端末2により必要な所定のテストパターンの入力が可能ないように設けられている。

【0013】

そして、テスト端末2によるテスト装置10の設定の後、テスト装置10は被試験デバイス100に対して所定のテストパターンに基づくテストを実行する。

【0014】

テスト装置10は、BUSインターフェース基板12と、コントロール基板14と、各ピン毎に制御するためのピンエレクトロニクス基板20とを含む。

【0015】

ここで、コントロール基板14は1枚であり、ピンエレクトロニクス基板20は、複数枚（基板数N）設けられている。

【0016】

コントロール基板14は、ピンエレクトロニクス基板20を一括して制御する。

BUSインターフェース基板12は、テスト端末2と接続されて、テスト端末2から所定のテストパターンの入力を受ける。

【0017】

具体的には、テスト端末2からBUSインターフェース基板12を介してインストラクションメモリ18に対して所定のテストパターンのプログラムを実行するためのインストラクションコードが格納される。また、各ピン毎に対応して設けられる各ピンエレクトロニクス基板20のピンコントロールメモリ22に対して所定のテストパターンのデータであるピンデータが格納される。

【0018】

コントロール基板14は、基準クロックを生成するとともに、基準クロックを分配する基準クロック分配回路16と、プログラム制御回路30と、インストラクションメモリ1

10

20

30

40

50

8 とを含む。本例においては、コントロール基板 1 4 およびピンエレクトロニクス基板 2 0 の各回路は、基準クロックに同期して動作する。

【 0 0 1 9 】

インストラクションメモリ 1 8 およびピンコントロールメモリ 2 2 は、テスト端末 2 から B U S インターフェース基板 1 2 を介して所定のテストパターンとしてダウンロードされたプログラムカウンタ (P C) 値に対応付けられたインストラクションコードおよびピンデータを格納する。

【 0 0 2 0 】

プログラム制御回路 3 0 は、インストラクションメモリ 1 8 からインストラクションコードを読み出して、読み出されたインストラクションコードに基づく制御信号をピンエレクトロニクス基板 2 0 に出力する。

10

【 0 0 2 1 】

本例におけるコントロール基板 1 4 は、プログラムカウンタ (P C) 値をピンエレクトロニクス基板 2 0 に出力せず、インストラクションコード等に基づく制御信号を出力する。

【 0 0 2 2 】

各ピンエレクトロニクス基板 2 0 は、ピンコントロールメモリ制御回路 5 0 と、ピンコントロールメモリ 2 2 とを含む。

【 0 0 2 3 】

各ピンエレクトロニクス基板 2 0 のピンコントロールメモリ制御回路 5 0 は、ピンコントロールメモリ 2 2 にアクセスしてピンデータを読み出して被試験デバイス 1 0 0 に出力する。

20

【 0 0 2 4 】

ピンエレクトロニクス基板の枚数に従って被試験デバイス 1 0 0 の多数個のピンの同時測定が可能となる。

【 0 0 2 5 】

図 2 は、本実施の形態に従うテスト動作を説明するフロー図である。

図 2 を参照して、まず、テストパターンをロードする (ステップ S 2) 。具体的には、所定のテストパターンをベクターの進行制御 (プログラム) を規定するインストラクションコードと、ピンデータで構成されるピンコードとに分け、 B U S インターフェース基板 1 2 経由で、それぞれプログラムカウンタ値に対応付けられてインストラクションメモリ 1 8 とピンコントロールメモリ 2 2 とに書込む。各ピンコントロールメモリ 2 2 には、ピンコードの一部 (各ピン毎のデータ群) が格納される。

30

【 0 0 2 6 】

そして、次に、テストパターンをスタートする (ステップ S 4) 。具体的には、所定のテストパターンの先頭値 (初期値) をプログラム制御回路 3 0 のプログラムカウンタにセットし、 B U S インターフェース基板 1 2 経由で P C スタート信号をプログラム制御回路 3 0 に出力する。

【 0 0 2 7 】

そして、被試験デバイスのテストを実行する (ステップ S 6) 。具体的には、本例においては、所定のテストパターンに従うインストラクションコードがインストラクションメモリ 1 8 から読みだされて、4 ビットの制御信号がピンエレクトロニクス基板 2 0 に出力される。そして、ピンコントロールメモリ制御回路 5 0 において、4 ビットの制御信号に従って P C 値が調整されて、P C 値に従うデータをピンデータとして被試験デバイスに出力してテストする。

40

【 0 0 2 8 】

そして、所定のテストパターンに従うテスト完了後、テスト動作を終了する。

図 3 は、本実施の形態に従う所定のテストパターンの一例を説明する図である。

【 0 0 2 9 】

図 3 を参照して、ここでは、インストラクションコードと、ピンコードとが対応付けら

50

れて記載されたテストパターンが示されている。

【 0 0 3 0 】

一例として、プログラムカウンタ (P C) 値「 0 」～「 8 」に従って動作するインストラクションコードが示されさせている。当該インストラクションコードは、 P C 値に対応付けられてインストラクションメモリ 1 8 に格納される。

【 0 0 3 1 】

また、ピンコードは、ピン毎に分解されてピンデータ群としてピンコントロールメモリ 2 2 にそれぞれ格納される。

【 0 0 3 2 】

一例として、プログラムカウンタ (P C) 値「 0 」～「 8 」に従って出力されるピンデータ群「 0 1 0 1 0 1 0 1 0 」が点線枠で示されている。

10

【 0 0 3 3 】

また、括弧書きで各インストラクションコードが指示する内容が示されている。

図 4 は、本実施の形態に従うインストラクションコードについて説明する図である。

【 0 0 3 4 】

図 4 を参照して、ここでは、本例におけるインストラクションコードは、 1 6 進数標記のコードとして記述されている。

【 0 0 3 5 】

ここでは、「 N O P (次処理に進む) 」、「 R E P 2 (繰り返し処理) 」、「 S T O P (停止処理) 」、「 C 1 J - 1 (ジャンプ処理) 」等のコード対応表が示されている。

20

【 0 0 3 6 】

当該コードを用いて図 3 で記述されている各インストラクションコードについて説明する。

【 0 0 3 7 】

なお、ここでは、引数も含めてコード化されている場合が示されている。一例として、インストラクションコードの上位値は命令コードを示し、下位値は引数値を示すものとする。

【 0 0 3 8 】

インストラクションコード「 C 2 L 3 」、「 C 1 L 3 」は、後述するループレジスタ (C 1 レジスタおよび C 2 レジスタ) に「 3 」をそれぞれ設定することを指示する命令コードである。

30

【 0 0 3 9 】

また、インストラクションコード「 J S T 1 」および「 J S T 2 」は、ラベルとして登録することを指示する命令コードである。当該ラベルは、後述するジャンプ処理の飛び先アドレスを指定するものとなる。

【 0 0 4 0 】

また、インストラクションコード「 C 1 J - 1 」は、 1 つ前の P C 値にジャンプすることを指示する命令コードである。

【 0 0 4 1 】

また、インストラクションコード「 C 2 J - 5 」は、 5 つ前の P C 値にジャンプすることを指示する命令コードである。

40

【 0 0 4 2 】

また、インストラクションコード「 N O P 」は、何の処理もせず次に進むことを指示する命令コードである。

【 0 0 4 3 】

また、インストラクションコード「 R E P 2 」は、リピート処理することを指示する命令コードである。

【 0 0 4 4 】

また、インストラクションコード「 S T O P 」は、処理を停止することを指示する命令

50

コードである。

【 0 0 4 5 】

なお、図 3 の所定のテストパターンは、2 重ループのジャンプ処理を含むものとなっている。

【 0 0 4 6 】

図 5 は、本実施の形態に従うプログラム制御回路 3 0 の機能を説明する概略ブロック図である。

【 0 0 4 7 】

図 5 を参照して、プログラム制御回路 3 0 は、プログラムカウンタ 3 2 と、コード解析回路 3 4 と、セクタ 3 6 と、プログラムカウンタ (ジャンプ用) 3 8 と、インストラクションメモリ (ジャンプ用) 4 0 と、出力制御回路 4 2 とを含む。コード解析回路 3 4 は、ループレジスタ 3 5 を含み、本例においては、C 1 レジスタおよび C 2 レジスタを有する。当該 C 1 レジスタおよび C 2 レジスタは、ジャンプ処理のループ回数 (繰り返し) を規定するものである。

【 0 0 4 8 】

なお、これらの回路は、図示しないが基準クロック分配回路 1 6 により分配された基準クロックに同期して動作する。

【 0 0 4 9 】

まず、プログラムカウンタ 3 2 に初期値が設定され、P C スタート信号の入力に従いプログラムカウンタ 3 2 が動作する。そして、基準クロックに同期してプログラムカウンタ (P C) 値をカウントアップする。そして、インストラクションメモリ 1 8 にプログラムカウンタ値が与えられて、プログラムカウンタ (P C) 値に対応するインストラクションコードが読みだされる。

【 0 0 5 0 】

また、読みだされたインストラクションコードは、セクタ 3 6 に出力されるとともに、インストラクションメモリ (ジャンプ用) 4 0 にプログラムカウンタ (P C) 値に対応付けられて格納される。

【 0 0 5 1 】

また、プログラムカウンタ 3 2 は、P C スタート信号の入力に従い出力制御回路 4 2 に対してピンコントロールメモリ制御回路 5 0 に対して P C スタート信号を出力するように指示する。

【 0 0 5 2 】

セクタ 3 6 は、ジャンプ処理中以外の場合には、インストラクションメモリ 1 8 から読みだされたインストラクションコードをコード解析回路 3 4 に出力する。一方、ジャンプ処理中の場合には、インストラクションメモリ (ジャンプ用) 4 0 から読みだされたインストラクションコードをコード解析回路 3 4 に出力する。

【 0 0 5 3 】

コード解析回路 3 4 は、入力されたインストラクションコードを解析して、命令コードに応じた動作処理を実行する。

【 0 0 5 4 】

具体的には、コード解析回路 3 4 のコード解析に従ってジャンプ命令の場合には、出力制御回路 4 2 にジャンプ処理に関する指示をするとともに、プログラムカウンタ (ジャンプ用) 3 8 を動作させる。そして、プログラムカウンタ (ジャンプ用) 3 8 は、ジャンプ処理中のプログラムカウンタ (P C) 値を基準クロックに同期して出力する。そして、これに回答してインストラクションメモリ (ジャンプ用) 4 0 からインストラクションコードが読みだされ、セクタ 3 6 を介してコード解析回路 3 4 に入力される。

【 0 0 5 5 】

また、コード解析回路 3 4 は、ループレジスタ 3 5 に規定された回数、ジャンプ処理を繰り返す。

【 0 0 5 6 】

10

20

30

40

50

出力制御回路 4 2 は、コード解析回路 3 4 からの指示あるいはプログラムカウンタ 3 2 からの指示に従いピンエレクトロニクス基板 2 0 に対して制御信号を出力する。

【 0 0 5 7 】

具体的には、ピンエレクトロニクス基板 2 0 のピンコントロールメモリ制御回路 5 0 に対して P C スタート信号を出力する。また、リピート処理の場合にはリピート信号を出力する。また、ジャンプ処理に関連する 2 ビットのループモード信号を出力する。後述するが、2 ビットのループモード信号は、ピンエレクトロニクス基板 2 0 においてラベル信号、ジャンプ開始信号、ジャンプ終了信号として用いられる。

【 0 0 5 8 】

なお、本例においては、一例としてインストラクションメモリ（ジャンプ用）に P C 値に対応付けられて格納されたインストラクションコードが示されている。

10

【 0 0 5 9 】

図 6 は、本実施の形態に従いピンコントロールメモリ制御回路 5 0 の機能を説明する概略ブロック図である。

【 0 0 6 0 】

図 6 を参照して、ピンコントロールメモリ制御回路 5 0 は、プログラムカウンタ 5 2 と、信号生成回路 5 4 と、プログラムカウンタ切替調整回路 5 5 と、ラベル P C 値スタック 5 6 と、ジャンプ P C 値スタック 5 8 とを含む。さらに、ピンコントロールメモリ制御回路 5 0 は、プログラムカウンタ（ジャンプ用）6 0 と、ピンコントロールメモリ（ジャンプ用）6 2 と、セレクトア 6 4 と、セレクトア制御回路 6 6 とを含む。

20

【 0 0 6 1 】

プログラムカウンタ 5 2 は、初期値が設定され、P C スタート信号の入力に従いプログラムカウンタ 5 2 が動作する。そして、基準クロック分配回路 1 6 により分配された基準クロックに同期してプログラムカウンタ（P C）値をカウントアップする。そして、ピンコントロールメモリ 2 2 にプログラムカウンタ（P C）値が与えられて、プログラムカウンタ（P C）値に対応するピンデータが読みだされる。

【 0 0 6 2 】

また、読みだされたピンデータは、セレクトア 6 4 を介して被試験デバイス 1 0 0 に出力されるとともに、ピンコントロールメモリ（ジャンプ用）6 2 にプログラムカウンタ値に対応付けられて格納される。

30

【 0 0 6 3 】

セレクトア 6 4 は、ジャンプ処理中以外の場合には、ピンコントロールメモリ 2 2 から読みだされたピンデータを外部（被試験デバイス 1 0 0）に出力する。一方、ジャンプ処理中の場合には、ピンコントロールメモリ（ジャンプ用）6 2 から読みだされたピンデータを外部（被試験デバイス 1 0 0）に出力する。

【 0 0 6 4 】

セレクトア制御回路 6 6 は、セレクトア 6 4 を制御する回路であり、ジャンプ開始信号 B に従ってピンコントロールメモリ（ジャンプ用）6 2 側に信号経路を切り替えて、ピンデータを外部に出力し、ジャンプ開始信号 C に従ってピンコントロールメモリ 2 2 側に信号経路を切り替える。なお、ジャンプ開始信号 B に従ってピンコントロールメモリ（ジャンプ用）6 2 側に切り替えた後、さらにジャンプ開始信号 B が入力される場合には、ジャンプ終了信号 C が 2 回入力された場合にピンコントロールメモリ 2 2 側に信号経路を切り替える。すなわち、入力されたジャンプ開始信号 B とジャンプ終了信号 C とが同じ回数の際にリセットして初期状態すなわち、ピンコントロールメモリ 2 2 側に信号経路を切り替える。

40

【 0 0 6 5 】

プログラムカウンタ切替調整回路 5 5 は、ジャンプ処理に基づいて使用するプログラムカウンタ 5 2 とプログラムカウンタ（ジャンプ用）6 0 の切り替え等を制御する。

【 0 0 6 6 】

プログラムカウンタ（ジャンプ用）6 0 は、ジャンプ処理中のプログラムカウンタ（P

50

C) 値を基準クロックに同期して出力する。これに応答して、ピンコントロールメモリ(ジャンプ用) 62 からピンデータが読みだされてセレクタ 64 を介して外部に出力される。

【0067】

ラベルPC値スタック56は、先入れ後出しのスタック(first in last out)で構成され、ラベル信号Aに従ってプログラムカウンタ(PC)値を格納(PUSH)し、ジャンプ終了信号Cに従ってプログラムカウンタ(PC)値を出す(POP)。読み出しの場合には、直近にスタックされたプログラムカウンタ(PC)値が読みだされる。当該ラベルPC値スタック56は、ジャンプ先の飛び先アドレスとなるプログラムカウンタ(PC)値を格納する。

10

【0068】

ジャンプPC値スタック58は、先入れ後出しのスタック(first in last out)で構成され、ジャンプ開始信号Bに従ってプログラムカウンタ(PC)値を格納(PUSH)し、ジャンプ終了信号Cに従ってプログラムカウンタ(PC)値を出す(POP)。読み出しの場合には、直近にスタックされたプログラムカウンタ(PC)値が読みだされる。当該ジャンプPC値スタック58は、ジャンプ処理するプログラムカウンタ(PC)値を格納する。スタックされたプログラムカウンタ(PC)値は、プログラムカウンタ(ジャンプ用)60のプログラムカウンタ(PC)値と比較される。そして、一致した場合にラベルPC値スタック56に格納されたジャンプ先の飛び先アドレスとなるプログラムカウンタ(PC)値を読み出すために用いられる。

20

【0069】

なお、本例においては、一例としてピンコントロールメモリ(ジャンプ用)にPC値に対応付けられて格納されたピンデータが示されている。

【0070】

図7は、本実施の形態に従う信号生成回路54に入力されるループモード信号を説明する図である。

【0071】

図7を参照して、ここでは、ループモード信号と信号生成回路54から出力される信号の対応関係の一例が示されている。

【0072】

具体的には、信号生成回路54は、ループモード信号「01」の入力を受けて、ラベル信号Aを出力する。

30

【0073】

信号生成回路54は、ループモード信号「10」の入力を受けて、ジャンプ開始信号Bを出力する。

【0074】

信号生成回路54は、ループモード信号「11」の入力を受けて、ジャンプ終了信号Cを出力する。

【0075】

ピンコントロールメモリ制御回路50において、ループモード信号に基づく上記信号に応じてプログラムカウンタ(PC)値の調整が行われる。

40

【0076】

図8は、本実施の形態に従うテストパターンの流れの概略を説明するシーケンス図である。

【0077】

図8を参照して、ここでは、コントロール基板14側の処理が示されている。

PCスタート信号の入力に従いプログラムカウンタ32のPC値が出力される。本例においては、初期値は0とする。PC値「0」に従いインストラクションコード「C2L3」が読みだされる。当該コードに従いコード解析回路34は、ループレジスタ35のC2レジスタに「3」を設定する。また、インストラクションメモリ(ジャンプ用)40に

50

PC 値に対応付けられてインストラクションコードが格納される。

【0078】

そして、基準クロックに同期してプログラムカウンタ32のPC値がインクリメントされる。PC値「1」に従いインストラクションコード「JST2」が読みだされる。当該コードに従いコード解析回路34は、出力制御回路42に指示してラベル処理を指示するループモード信号「01」を出力する。また、インストラクションメモリ(ジャンプ用)40にPC値に対応付けられてインストラクションコードが格納される。

【0079】

次に、基準クロックに同期してプログラムカウンタ32のPC値がインクリメントされる。PC値「2」に従いインストラクションコード「C1L3」が読みだされる。当該コードに従いコード解析回路34は、ループレジスタ35のC1レジスタに「3」を設定する。また、インストラクションメモリ(ジャンプ用)40にPC値に対応付けられてインストラクションコードが格納される。

10

【0080】

次に、基準クロックに同期してプログラムカウンタ32のPC値がインクリメントされる。PC値「3」に従いインストラクションコード「JST1」が読みだされる。当該コードに従いコード解析回路34は、出力制御回路42に指示してラベル処理を指示するループモード信号「01」を出力する。また、インストラクションメモリ(ジャンプ用)40にPC値に対応付けられてインストラクションコードが格納される。

【0081】

20

次に、基準クロックに同期してプログラムカウンタ32のPC値がインクリメントされる。PC値「4」に従いインストラクションコード「C1J1」が読みだされる。当該コードに従いループレジスタ35のC1レジスタの値を「3」から「2」にデクリメントする。C1レジスタの値は「0」でないためコード解析回路34は、ジャンプ処理を実行する。具体的には、プログラムカウンタ32に指示してプログラムカウンタ32のカウンタアップ動作を停止させる。また、コード解析回路34は、プログラムカウンタ(ジャンプ用)38に現在のPC値-1の「3」を設定する。また、出力制御回路42に指示してジャンプ開始を指示するループモード信号「10」を出力する。これにより第1のジャンプ処理が実行される。

【0082】

30

次に、基準クロックに同期してプログラムカウンタ(ジャンプ用)38のPC値が出力される。PC値「3」に従いインストラクションメモリ(ジャンプ用)40からインストラクションコード「JST1」が読みだされる。本例においてコード解析回路34は、ジャンプ先のPC値に対応するインストラクションコードに従う処理を実行しない。すなわち、コード解析回路34は、出力制御回路42に指示してラベル処理を指示するループモード信号「01」は出力しない。

【0083】

次に、基準クロックに同期してプログラムカウンタ(ジャンプ用)38のPC値がインクリメントされる。PC値「4」に従いインストラクションコード「C1J-1」が読みだされる。当該コードに従いC1レジスタの値を「2」から「1」にデクリメントする。C1レジスタの値は「0」でないためコード解析回路34は、ジャンプ処理を実行する。コード解析回路34は、プログラムカウンタ(ジャンプ用)38に現在のPC値-1の「3」を設定する。一方、本例において、コード解析回路34は、ジャンプ処理中の同じジャンプ命令に対応するインストラクションコードに従う処理を実行しない。すなわち、コード解析回路34は、出力制御回路42に指示してジャンプ開始を指示するループモード信号「10」は出力しない。

40

【0084】

次に、基準クロックに同期してプログラムカウンタ(ジャンプ用)38のPC値が出力される。PC値「3」に従いインストラクションコード「JST1」が読みだされる。本例においてコード解析回路34は、ジャンプ先のPC値に対応するインストラクションコ

50

ードに従う処理を実行しない。すなわち、コード解析回路34は、出力制御回路42に指示してラベル処理を指示するループモード信号「01」は出力しない。

【0085】

次に、基準クロックに同期してプログラムカウンタ(ジャンプ用)38のPC値がインクリメントされる。PC値「4」に従いインストラクションコード「C1」-1」が読みだされる。当該コードに従いC1レジスタの値を「1」から「0」にデクリメントする。C1レジスタの値が「0」であるためジャンプ処理を終了する。具体的には、プログラムカウンタ32に指示してプログラムカウンタ32の動作を再開するとともに、プログラムカウンタ(ジャンプ用)38の動作を停止させる。また、コード解析回路34は、C1レジスタの値が「0」であるため出力制御回路42に指示してジャンプ終了を指示するループモード信号「11」を出力する。これにより第1のジャンプ処理が終了する。

10

【0086】

次に、基準クロックに同期してプログラムカウンタ32のPC値がインクリメントされる。PC値「5」に従いインストラクションコード「NOP」が読みだされる。当該コードは何も処理をせず、次の処理に進む。

【0087】

次に、基準クロックに同期してプログラムカウンタ32のPC値がインクリメントされる。PC値「6」に従いインストラクションコード「C2」-5」が読みだされる。当該コードに従いC2レジスタの値を「3」から「2」にデクリメントする。C2レジスタの値は「0」でないためコード解析回路34は、ジャンプ処理を実行する。具体的には、プログラムカウンタ32に指示してプログラムカウンタ32の動作を停止させる。また、コード解析回路34は、プログラムカウンタ(ジャンプ用)38に現在のPC値-5の「1」を設定する。また、出力制御回路42に指示してジャンプ開始を指示するループモード信号「10」を出力する。これにより第2のジャンプ処理が実行される。

20

【0088】

次に、基準クロックに同期してプログラムカウンタ(ジャンプ用)38のPC値が出力される。PC値「1」に従いインストラクションコード「JST2」が読みだされる。本例において、コード解析回路34は、ジャンプ先のPC値に対応するインストラクションコードに従う処理を実行しない。すなわち、コード解析回路34は、出力制御回路42に指示してラベル処理を指示するループモード信号「01」は出力しない。

30

【0089】

次に、基準クロックに同期してプログラムカウンタ(ジャンプ用)38のPC値がインクリメントされる。PC値「2」に従いインストラクションコード「C1L」3」が読みだされる。当該コードに従いコード解析回路34は、C1レジスタに「3」を設定する。

【0090】

次に、基準クロックに同期してプログラムカウンタ(ジャンプ用)38のPC値がインクリメントされる。PC値「3」に従いインストラクションコード「JST1」が読みだされる。当該コードに従いコード解析回路34は、出力制御回路42に指示してラベル処理を指示するループモード信号「01」を出力する。

【0091】

次に、基準クロックに同期してプログラムカウンタ(ジャンプ用)38のPC値がインクリメントされる。PC値「4」に従いインストラクションコード「C1」1」が読みだされる。当該コードに従いループレジスタ35のC1レジスタの値を「3」から「2」にデクリメントする。C1レジスタの値が「0」でないためコード解析回路34は、ジャンプ処理を実行する。コード解析回路34は、プログラムカウンタ(ジャンプ用)38に現在のPC値-1の「3」を設定する。また、出力制御回路42に指示してジャンプ開始を指示するループモード信号「10」を出力する。これにより第1のジャンプ処理が実行される。以降、C1レジスタが「0」となるまで上記で説明した第1のジャンプ処理が繰り返される。

40

【0092】

50

そして、基準クロックに同期してプログラムカウンタ（ジャンプ用）38のPC値がインクリメントされる。PC値「4」に従いインストラクションコード「C1J - 1」が読みだされる。当該コードに従いコード解析回路34は、C1レジスタの値をデクリメントし、「0」となった場合にジャンプ処理を終了する。具体的には、コード解析回路34は、出力制御回路42に指示してジャンプ終了を指示するループモード信号「11」を出力する。これにより第1のジャンプ処理が終了する。

【0093】

次に、基準クロックに同期してプログラムカウンタ（ジャンプ用）38のPC値がインクリメントされる。PC値「5」に従いインストラクションコード「NOP」が読みだされる。当該コードは何も処理をせず、次の処理に進む。

10

【0094】

次に、基準クロックに同期してプログラムカウンタ（ジャンプ用）38のPC値がインクリメントされる。PC値「6」に従いインストラクションコード「C2J - 5」が読みだされる。当該コードに従いC2レジスタの値を「2」から「1」にデクリメントする。C2レジスタの値は「0」でないためコード解析回路34は、ジャンプ処理を実行する。コード解析回路34は、プログラムカウンタ（ジャンプ用）38に現在のPC値 - 5の「1」を設定する。上述したように、コード解析回路34は、ジャンプ処理中の同じジャンプ命令に対応するインストラクションコードに従う処理を実行しない。すなわち、コード解析回路34は、出力制御回路42に指示してジャンプ開始を指示するループモード信号「10」は出力しない。

20

【0095】

次に、基準クロックに同期してプログラムカウンタ（ジャンプ用）38のPC値が出力される。PC値「1」に従いインストラクションコード「JST2」が読みだされる。本例において、コード解析回路34は、ジャンプ先のPC値に対応するインストラクションコードに従う処理を実行しない。すなわち、コード解析回路34は、出力制御回路42に指示してラベル処理を指示するループモード信号「01」は出力しない。

【0096】

次に、基準クロックに同期してプログラムカウンタ（ジャンプ用）38のPC値が出力される。PC値「2」に従いインストラクションコード「C1L 3」が読みだされる。当該コードに従いコード解析回路34は、C1レジスタに「3」を設定する。

30

【0097】

次に、基準クロックに同期してプログラムカウンタ（ジャンプ用）38のPC値がインクリメントされる。PC値「3」に従いインストラクションコード「JST1」が読みだされる。当該コードに従いコード解析回路34は、出力制御回路42に指示してラベル処理を指示するループモード信号「01」を出力する。

【0098】

次に、基準クロックに同期してプログラムカウンタ（ジャンプ用）38のPC値がインクリメントされる。PC値「4」に従いインストラクションコード「C1J 1」が読みだされる。当該コードに従いループレジスタ35のC1レジスタの値を「3」から「2」にデクリメントする。C1レジスタの値が「0」でないためコード解析回路34は、ジャンプ処理を実行する。コード解析回路34は、プログラムカウンタ（ジャンプ用）38に現在のPC値 - 1の「3」を設定する。また、出力制御回路42に指示してジャンプ開始を指示するループモード信号「10」を出力する。これにより第1のジャンプ処理が実行される。以降、C1レジスタが「0」となるまで上記で説明した第1のジャンプ処理が繰り返される。

40

【0099】

そして、基準クロックに同期してプログラムカウンタ（ジャンプ用）38のPC値がインクリメントされる。PC値「4」に従いインストラクションコード「C1J - 1」が読みだされる。当該コードに従いコード解析回路34は、C1レジスタの値をデクリメントし、「0」となった場合にジャンプ処理を終了する。具体的には、コード解析回路34

50

は、出力制御回路42に指示してジャンプ終了を指示するループモード信号「11」を出力する。これにより第1のジャンプ処理が終了する。

【0100】

次に、基準クロックに同期してプログラムカウンタ(ジャンプ用)38のPC値がインクリメントされる。PC値「5」に従いインストラクションコード「NOP」が読みだされる。当該コードは何も処理をせず、次の処理に進む。

【0101】

次に、基準クロックに同期してプログラムカウンタ(ジャンプ用)38のPC値がインクリメントされる。PC値「6」に従いインストラクションコード「C2J - 5」が読みだされる。当該コードに従いC2レジスタの値を「1」から「0」にデクリメントする。C2レジスタの値が「0」であるためコード解析回路34は、ジャンプ処理を終了する。具体的には、コード解析回路34は、出力制御回路42に指示してジャンプ終了を指示するループモード信号「11」を出力する。これにより第2のジャンプ処理が終了する。

【0102】

次に、基準クロックに同期してプログラムカウンタ32のPC値がインクリメントされる。PC値「7」に従いインストラクションコード「REP 2」が読みだされる。当該コードに従いコード解析回路34は、プログラムカウンタ32に指示して、同じPC値を出力するように指示する。また、コード解析回路34は、出力制御回路42に指示してリピート処理を実行するようにリピート信号を出力する。

【0103】

次に、基準クロックに同期してプログラムカウンタ32のPC値「7」が出力される。

次に、基準クロックに同期してプログラムカウンタ32のPC値がインクリメントされる。PC値が「8」に従いインストラクションコード「STOP」が読みだされる。当該コードに従いテスト動作を終了する。

【0104】

図9は、本実施の形態に従うインストラクションメモリ(ジャンプ用)40の内部状態を説明する図である。

【0105】

図9(A)を参照して、プログラムカウンタ32のPC値に従ってインストラクションコードが格納される場合が示されている。

【0106】

そして、PC値「4」に従い第1のジャンプ処理が実行される。その際、インストラクションメモリ18にアクセスするのではなく、インストラクションメモリ(ジャンプ用)40にアクセスしてインストラクションコードが読みだされる。C1レジスタの値が0になるまでジャンプ処理が繰り返される。

【0107】

図9(B)を参照して、プログラムカウンタ32のPC値に従ってさらにインストラクションコードが格納される場合が示されている。

【0108】

そして、PC値「6」に従い第2のジャンプ処理が実行される。その際、インストラクションメモリ18にアクセスするのではなく、インストラクションメモリ(ジャンプ用)40にアクセスしてインストラクションコードが読みだされる。C2レジスタの値が0になるまでジャンプ処理が繰り返される。なお、この場合、第2のジャンプ処理には、第1のジャンプ処理も含まれており、2重ループとなっている。

【0109】

図9(C)を参照して、プログラムカウンタ32のPC値に従ってさらにインストラクションコードが格納される場合が示されている。

【0110】

そして、PC値「8」に従いテスト動作が停止される。

本例においては、ジャンプ処理においては、プログラム制御回路30内に設けられたイ

10

20

30

40

50

ンストラクショナルメモリ（ジャンプ用）40にアクセスしてジャンプ処理に従うインストラクションコードを読み出すためインストラクショナルメモリ18にアクセスするよりも高速に処理することが可能である。

【0111】

図10は、本実施の形態に従う基準クロックに応じて出力されるPC値の値の変化を説明する図である。

【0112】

図10を参照して、時刻t0において、基準クロック（CLK）に同期してプログラムカウンタ32のPC値が「0」となる。次に、時刻t1において、PC値が「1」となる。そして、これにตอบสนองしてPC値「1」に対応するインストラクションコードに基づいてラベル信号Aを生成するためのループモード信号「01」が出力される。また、時刻t2において、PC値が「2」となる。また、時刻t3において、PC値が「3」となる。これにตอบสนองしてPC値「3」に対応するインストラクションコードに基づいてラベル信号Aを生成するためのループモード信号「01」が出力される。時刻t4において、PC値が「4」となる。これにตอบสนองしてPC値「4」に対応するインストラクションコードに基づいてジャンプ開始信号Bを生成するためのループモード信号「10」が出力される。これにより第1のジャンプ処理が開始される。

【0113】

時刻t5において、プログラムカウンタ（ジャンプ用）38が動作してPC値「3」を出力する。図10においては、プログラムカウンタ（ジャンプ用）38のPC値はPCjとして示されている。そして、第1のジャンプ処理が上記したように繰り返される。

【0114】

時刻t8において、PC値「4」に対応するインストラクションコードに基づいてC1レジスタの値が更新されて「0」となる。これにตอบสนองしてジャンプ終了信号Cを生成するためのループモード信号「11」が出力される。すなわち、第1のジャンプ処理が終了する。

【0115】

時刻t9において、基準クロックに同期してプログラムカウンタ32のPC値が「5」となる。

【0116】

時刻t10において、PC値「6」に対応するインストラクションコードに基づいてジャンプ開始信号Bを生成するためのループモード信号「10」が出力される。これにより第2のジャンプ処理が開始される。

【0117】

時刻t11において、プログラムカウンタ（ジャンプ用）38が動作してPC値「1」を出力する。

【0118】

時刻t13において、PC値「3」に対応するインストラクションコードに基づいてラベル信号Aを生成するためのループモード信号「01」が出力される。

【0119】

時刻t14において、PC値が「4」となる。これにตอบสนองしてPC値「4」に対応するインストラクションコードに基づいてジャンプ開始信号Bを生成するためのループモード信号「10」が出力される。これにより第1のジャンプ処理が開始される。

【0120】

時刻t15において、プログラムカウンタ（ジャンプ用）38が動作してPC値「3」を出力する。そして、第1のジャンプ処理が上記したように繰り返される。

【0121】

時刻t18において、PC値「4」に対応するインストラクションコードに基づいてC1レジスタの値が更新されて「0」となる。これにตอบสนองしてジャンプ終了信号Cを生成するためのループモード信号「11」が出力される。すなわち、第1のジャンプ処理が終了

10

20

30

40

50

する。なお、第2のジャンプ処理は継続中である。

【0122】

時刻 t 2 3 において、P C 値が「3」となる。これにตอบสนองしてP C 値「3」に対応するインストラクションコードに基づいてラベル信号 A を生成するためのループモード信号「01」が出力される。時刻 t 2 4 において、P C 値が「4」となる。これにตอบสนองしてP C 値「4」に対応するインストラクションコードに基づいてジャンプ開始信号 B を生成するためのループモード信号「10」が出力される。これにより第1のジャンプ処理が開始される。

【0123】

時刻 t 2 5 において、P C 値「3」を出力する。そして、第1のジャンプ処理が上記したように繰り返される。

10

【0124】

時刻 t 2 8 において、P C 値「4」に対応するインストラクションコードに基づいてC1レジスタの値が更新されて「0」となる。これにตอบสนองしてジャンプ終了信号 C を生成するためのループモード信号「11」が出力される。すなわち、第1のジャンプ処理が終了する。なお、第2のジャンプ処理は継続中である。

【0125】

時刻 t 3 0 において、P C 値「6」に対応するインストラクションコードに基づいてC2レジスタの値が更新されて「0」となる。これにตอบสนองしてジャンプ終了信号 C を生成するためのループモード信号「11」が出力される。すなわち、第2のジャンプ処理が終了する。

20

【0126】

時刻 t 3 1 において、基準クロックに同期してプログラムカウンタ32のP C 値が「7」となる。また、P C 値「7」に対応するインストラクションコードに基づいてリピート信号が出力される。

【0127】

時刻 t 3 2 において、基準クロックに同期してプログラムカウンタ32のP C 値が「7」となる。

【0128】

時刻 t 3 3 において、基準クロックに同期してプログラムカウンタ32のP C 値が「8」となる。

30

【0129】

そして、処理が終了される。

図11は、本実施の形態に従うピンエレクトロニクス基板20側のプログラムカウンタ値に従うピンデータについて説明する図(その1)である。

【0130】

図11を参照して、まず、コントロール基板14側(単にコントロール側とも称する)のP C 値が「0」の場合、ピンエレクトロニクス基板20側(単にピン側とも称する)のP C 値も「0」が出力される。これにตอบสนองしてピンコントロールメモリ22からP C 値「0」にตอบสนองしてピンデータ「0」が出力される。コントロール基板14側もピンエレクトロニクス基板20側も基準クロックに同期してP C 値を出力する。

40

【0131】

次に、コントロール側のP C 値が「1」の場合、ピン側のP C 値も「1」が出力される。これにตอบสนองしてピンコントロールメモリ22からP C 値「1」にตอบสนองしてピンデータ「1」が出力される。また、インストラクションコードに基づいてコントロール側からラベル指示に対応するループモード信号「01」が出力される。これにตอบสนองしてラベル信号 A が生成され、ラベルP C 値スタック56にP C 値「1」が格納される(P U S H)。

【0132】

次に、コントロール側のP C 値が「2」の場合、ピン側のP C 値も「2」が出力される。これにตอบสนองしてピンコントロールメモリ22からP C 値「2」にตอบสนองしてピンデータ「

50

0」が出力される。

【0133】

次に、コントロール側のPC値が「3」の場合、ピン側のPC値も「3」が出力される。これに应答してピンコントロールメモリ22からPC値「3」に应答してピンデータ「1」が出力される。また、コントロール側からラベル処理を指示するループモード信号「01」が出力される。これに应答してラベル信号Aが生成され、ラベルPC値スタック56にPC値「3」がさらに格納される(PUSH)。

【0134】

次に、コントロール側のPC値が「4」の場合、ピン側のPC値も「4」が出力される。これに应答してピンコントロールメモリ22からPC値「4」に应答してピンデータ「0」が出力される。また、コントロール側からジャンプ開始を指示するループモード信号「10」が出力される。これに应答してジャンプ開始信号Bが生成され、ジャンプPC値スタック58にPC値「4」が格納される(PUSH)。そして、コントロール側およびピン側ともにジャンプ用のプログラムカウンタに切り替えられる。ピン側において、プログラムカウンタ切替調整回路55は、ジャンプ開始信号Bに従ってプログラムカウンタ52をプログラムカウンタ(ジャンプ用)60に切り替えるとともに、ラベルPC値スタック56に格納されているPC値(「3」)をプログラムカウンタ(ジャンプ用)60に設定する。また、ジャンプ開始信号Bに従ってセレクト制御回路66は、セレクト64の出力をピンコントロールメモリ(ジャンプ用)62に切り替える。

【0135】

次に、コントロール側のPC値が「3」の場合、ピン側のPC値も「3」が出力される(プログラムカウンタ(ジャンプ用)60に「3」が設定されているため)。これに应答してピンコントロールメモリ(ジャンプ用)62からPC値「3」に应答してピンデータ「1」が出力される。

【0136】

次に、コントロール側のPC値が「4」の場合、ピン側のPC値も「4」が出力される(プログラムカウンタ(ジャンプ用)60のPC値がインクリメントされるため)。これに应答してピンコントロールメモリ(ジャンプ用)62からPC値「4」に应答してピンデータ「0」が出力される。また、プログラムカウンタ切替調整回路55は、ジャンプPC値スタック58に格納されているPC値(「4」)を読み出し、プログラムカウンタ(ジャンプ用)60のPC値と比較する。比較結果に基づいて一致しているためプログラムカウンタ切替調整回路55は、ラベルPC値スタック56に格納されているPC値(「3」)をプログラムカウンタ(ジャンプ用)60に設定する。

【0137】

次に、コントロール側のPC値が「3」の場合、ピン側のPC値も「3」が出力される(プログラムカウンタ(ジャンプ用)60に「3」が設定されているため)。これに应答してピンコントロールメモリ(ジャンプ用)62からPC値「3」に应答してピンデータ「1」が出力される。

【0138】

次に、コントロール側のPC値が「4」の場合、ピン側のPC値も「4」が出力される(プログラムカウンタ(ジャンプ用)60のPC値がインクリメントされるため)。これに应答してピンコントロールメモリ(ジャンプ用)62からPC値「4」に应答してピンデータ「0」が出力される。また、コントロール側からジャンプ終了を指示するループモード信号「11」が出力される。これに应答してジャンプ終了信号Cが生成され、ラベルPC値スタック56からPC値「3」が削除される(POP)。また、ジャンプPC値スタック58からPC値「4」が削除される(POP)。プログラムカウンタ切替調整回路55は、ジャンプPC値スタック58に何も格納されていないことを確認して、プログラムカウンタ(ジャンプ用)60をプログラムカウンタ52に切り替える。また、ジャンプ終了信号Cに従ってセレクト制御回路66は、セレクト64の出力をピンコントロールメモリ22に切り替える(ジャンプ開始信号Bとジャンプ終了信号Cの入力回数はともに1

10

20

30

40

50

回である)。

【0139】

次に、コントロール側のPC値が「5」の場合、ピン側のPC値も「5」が出力される(プログラムカウンタ52のPC値がインクリメントされるため)。これにตอบสนองしてピンコントロールメモリ22からPC値「5」にตอบสนองしてピンデータ「1」が出力される。

【0140】

図12は、本実施の形態に従うピンエレクトロニクス基板20側のプログラムカウンタ値に従うピンデータについて説明する図(その2)である。

【0141】

図12を参照して、次に、コントロール側のPC値が「6」の場合、ピン側のPC値も「6」が出力される。これにตอบสนองしてピンコントロールメモリ22からPC値「6」にตอบสนองしてピンデータ「0」が出力される。また、コントロール側からジャンプ開始を指示するループモード信号「10」が出力される。これにตอบสนองしてジャンプ開始信号Bが生成され、ジャンプPC値スタック58にPC値「6」が格納される(PUSH)。そして、コントロール側およびピン側ともにジャンプ用のプログラムカウンタに切り替えられる。ピン側において、プログラムカウンタ切替調整回路55は、ジャンプ開始信号Bに従ってプログラムカウンタ52をプログラムカウンタ(ジャンプ用)60に切り替えるとともに、ラベルPC値スタック56に格納されているPC値(「1」)をプログラムカウンタ(ジャンプ用)60に設定する。また、ジャンプ開始信号Bに従ってセレクト制御回路66は、セレクト64の出力をピンコントロールメモリ(ジャンプ用)62に切り替える。

【0142】

次に、コントロール側のPC値が「1」の場合、ピン側のPC値も「1」が出力される(プログラムカウンタ(ジャンプ用)60に「1」が設定されているため)。これにตอบสนองしてピンコントロールメモリ(ジャンプ用)62からPC値「1」にตอบสนองしてピンデータ「1」が出力される。なお、ここで、上記したようにジャンプの飛び先アドレスのインストラクションコードがラベルの場合には、ラベル信号は生成されない。

【0143】

次に、コントロール側のPC値が「2」の場合、ピン側のPC値も「2」が出力される(プログラムカウンタ(ジャンプ用)60のPC値がインクリメントされるため)。これにตอบสนองしてピンコントロールメモリ(ジャンプ用)62からPC値「2」にตอบสนองしてピンデータ「0」が出力される。

【0144】

次に、コントロール側のPC値が「3」の場合、ピン側のPC値も「3」が出力される(プログラムカウンタ(ジャンプ用)60のPC値がインクリメントされるため)。これにตอบสนองしてピンコントロールメモリ(ジャンプ用)62からPC値「3」にตอบสนองしてピンデータ「1」が出力される。また、コントロール側からラベル指示に対応するループモード信号「01」が出力される。これにตอบสนองしてラベル信号Aが生成され、ラベルPC値スタック56にPC値「3」がさらに格納される。

【0145】

次に、コントロール側のPC値が「4」の場合、ピン側のPC値も「4」が出力される(プログラムカウンタ(ジャンプ用)60のPC値がインクリメントされるため)。これにตอบสนองしてピンコントロールメモリ(ジャンプ用)62からPC値「4」にตอบสนองしてピンデータ「0」が出力される。また、コントロール側からジャンプ開始を指示するループモード信号「10」が出力される。これにตอบสนองしてジャンプ開始信号Bが生成され、ジャンプPC値スタック58にPC値「4」が格納される(PUSH)。プログラムカウンタ切替調整回路55は、ジャンプ開始信号BにตอบสนองしてラベルPC値スタック56に格納されているPC値(「3」)をプログラムカウンタ(ジャンプ用)60に設定する。

【0146】

次に、コントロール側のPC値が「3」の場合、ピン側のPC値も「3」が出力される(プログラムカウンタ(ジャンプ用)60に「3」が設定されているため)。これにตอบสนอง

10

20

30

40

50

してピンコントロールメモリ（ジャンプ用）62からPC値「3」に回答してピンデータ「1」が出力される。

【0147】

次に、コントロール側のPC値が「4」の場合、ピン側のPC値も「4」が出力される（プログラムカウンタ（ジャンプ用）60のPC値がインクリメントされるため）。これに回答してピンコントロールメモリ（ジャンプ用）62からPC値「4」に回答してピンデータ「0」が出力される。また、プログラムカウンタ切替調整回路55は、ジャンプPC値スタック58に格納されているPC値（「4」）を読み出し、プログラムカウンタ（ジャンプ用）60のPC値と比較する。比較結果に基づいて一致しているためプログラムカウンタ切替調整回路55は、ラベルPC値スタック56に格納されているPC値（「3」）をプログラムカウンタ（ジャンプ用）60に設定する。

10

【0148】

次に、コントロール側のPC値が「3」の場合、ピン側のPC値も「3」が出力される（プログラムカウンタ（ジャンプ用）60に「3」が設定されているため）。これに回答してピンコントロールメモリ（ジャンプ用）62からPC値「3」に回答してピンデータ「1」が出力される。

【0149】

次に、コントロール側のPC値が「4」の場合、ピン側のPC値も「4」が出力される（プログラムカウンタ（ジャンプ用）60のPC値がインクリメントされるため）。これに回答してピンコントロールメモリ（ジャンプ用）62からPC値「4」に回答してピンデータ「0」が出力される。また、コントロール側からジャンプ終了を指示するループモード信号「11」が出力される。これに回答してジャンプ終了信号Cが生成され、ラベルPC値スタック56からPC値「3」が削除される（POP）。また、ジャンプ終了信号Cに従ってジャンプPC値スタック58からPC値「4」が削除される（POP）。そして、プログラムカウンタ切替調整回路55は、ジャンプPC値スタック58にPC値「6」が格納されているため、プログラムカウンタ（ジャンプ用）60をプログラムカウンタ52に切り替えずに継続する。ここで、セレクト制御回路66は、ジャンプ開始信号Bが2回入力されているためジャンプ終了信号Cが2回入力された場合にリセットして切り替える。この場合、ジャンプ終了信号Cは1回入力されているだけなので切り替えず、ピンコントロールメモリ（ジャンプ用）62からのピンデータを出力する。

20

30

【0150】

次に、コントロール側のPC値が「5」の場合、ピン側のPC値も「5」が出力される（プログラムカウンタ（ジャンプ用）60のPC値がインクリメントされるため）。これに回答してピンコントロールメモリ（ジャンプ用）62からPC値「5」に回答してピンデータ「1」が出力される。

【0151】

次に、コントロール側のPC値が「6」の場合、ピン側のPC値も「6」が出力される。これに回答してピンコントロールメモリ（ジャンプ用）62からPC値「6」に回答してピンデータ「0」が出力される。また、プログラムカウンタ切替調整回路55は、ジャンプPC値スタック58に格納されているPC値（「6」）を読み出し、プログラムカウンタ（ジャンプ用）60のPC値と比較する。比較結果に基づいて一致しているためプログラムカウンタ切替調整回路55は、ラベルPC値スタック56に格納されているPC値（「1」）をプログラムカウンタ（ジャンプ用）60に設定する。

40

【0152】

そして、再び、コントロール側のPC値が「1」、ピン側のPC値も「1」が出力される（プログラムカウンタ（ジャンプ用）60に「1」が設定されているため）。以降の処理は、上記と同様の処理が繰り返される。

【0153】

そして、再び、コントロール側のPC値が「6」の場合、ピン側のPC値も「6」が出力される。これに回答してピンコントロールメモリ（ジャンプ用）62からPC値「6」

50

に回答してピンデータ「0」が出力される。また、コントロール側からジャンプ終了を指示するループモード信号「11」が出力される。これに回答してジャンプ終了信号Cが生成され、ラベルPC値スタック56からPC値「1」が削除される(POP)。また、ジャンプ終了信号Cに従ってジャンプPC値スタック58からPC値「6」が削除される(POP)。そして、プログラムカウンタ切替調整回路55は、ジャンプPC値スタック58に何も格納されていないことを確認し、プログラムカウンタ(ジャンプ用)60をプログラムカウンタ52に切り替える。ここで、セクタ制御回路66は、ジャンプ開始信号Bが2回入力され、そして、ジャンプ終了信号Cが2回入力されたためリセットして切り替える。すなわち、ピンコントロールメモリ22からのピンデータを出力する。

【0154】

10

次に、コントロール側のPC値が「7」の場合、ピン側のPC値も「7」が出力される(プログラムカウンタ52のPC値がインクリメントされるため)。これに回答してピンコントロールメモリ22からPC値「7」に回答してピンデータ「1」が出力される。また、コントロール側からリピート信号がピン側に出力される。そして、リピート信号がプログラムカウンタ52に入力される。

【0155】

次に、コントロール側のPC値が「7」の場合、リピート信号に従ってピン側のPC値も「7」が出力される。これに回答してピンコントロールメモリ22からPC値「7」に回答してピンデータ「1」が出力される。

【0156】

20

次に、コントロール側のPC値が「8」の場合、ピン側のPC値も「8」が出力される(プログラムカウンタ52のPC値がインクリメントされるため)。これに回答してピンコントロールメモリ22からPC値「8」に回答してピンデータ「0」が出力される。

【0157】

なお、本例においては、1つのピンエレクトロニクス基板のピンデータについて説明したが、他のピンエレクトロニクス基板についても同様の処理が実行される。

【0158】

当該処理により、コントロール側のPC値に同期してピン側のPC値に対応するピンデータを出力することが可能である。

【0159】

30

具体的には、プログラム制御回路30から出力されるジャンプ処理を制御するためのループモード信号(2ビット)を用いてピン側のPC値を調整(プログラムカウンタの設定)することにより実現している。すなわち、上記処理は、プログラム制御回路30からピンコントロールメモリ制御回路50に対するPCスタート信号、リピート信号、ループモード信号(2ビット)の4ビットの信号で実行されている。

【0160】

したがって、一例としてピンエレクトロニクス基板が16枚の場合、 $16 \times 4 = 64$ 本の配線本数で所定のテストパターンに基づくテストを実行することが可能である。それゆえ、従来構成と比較して配線本数を大幅に削減しつつ多数個同時測定が可能となる。

【0161】

40

図13は、本実施の形態に従うピンコントロールメモリ(ジャンプ用)62の内部状態を説明する図である。

【0162】

図13(A)を参照して、プログラムカウンタ52のPC値に従ってピンデータが格納される場合が示されている。

【0163】

そして、PC値「4」に従いジャンプ動作が実行される。その際、ピンコントロールメモリ22にアクセスするのではなく、ピンコントロールメモリ(ジャンプ用)62にアクセスしてピンデータが読みだされる。ジャンプ終了信号Cが入力されるまでジャンプ動作が実行される。

50

【 0 1 6 4 】

図 1 3 (B) を参照して、プログラムカウンタ 3 2 の P C 値に従ってさらにピンデータが格納される場合が示されている。

【 0 1 6 5 】

そして、P C 値「 6 」に従いジャンプ動作が実行される。その際、ピンコントロールメモリ 2 2 にアクセスするのではなく、ピンコントロールメモリ (ジャンプ用) 6 2 にアクセスしてピンデータが読みだされる。ジャンプ終了信号 C が 2 回入力されるまでジャンプ動作が実行される。

【 0 1 6 6 】

図 1 3 (C) を参照して、プログラムカウンタ 3 2 の P C 値に従ってさらにピンデータが格納される場合が示されている。

10

【 0 1 6 7 】

そして、P C 値「 8 」に従いテスト動作が停止される。

本例においては、ジャンプ動作時においては、ピンコントロールメモリ制御回路 5 0 内に設けられたピンコントロールメモリ (ジャンプ用) 6 2 にアクセスしてジャンプ動作に従うピンデータを読み出すためピンコントロールメモリ 2 2 よりも高速に処理可能である。

【 0 1 6 8 】

次に、上記処理を実行するためのコード解析回路 3 4 における制御フローについて説明する。

20

【 0 1 6 9 】

図 1 4 は、本実施の形態に従うコード解析回路 3 4 における処理について説明するフロー図である。

【 0 1 7 0 】

図 1 4 を参照して、コード解析回路 3 4 は、インストラクションコードの入力が有るかどうかを判断する (ステップ S 8) 。当該インストラクションコードは、基準クロックに従いインストラクションメモリ 1 8 から読み出されたものである。

【 0 1 7 1 】

ステップ S 8 において、コード解析回路 3 4 は、インストラクションコードの入力が有ると判断した場合 (ステップ S 8 において Y E S) には、次に入力されたインストラクションコードがレジスタ値設定命令 (「 C 1 L 」 あるいは 「 C 2 L 」) かどうかを判断する (ステップ S 1 0) 。

30

【 0 1 7 2 】

ステップ S 1 0 において、レジスタ値設定命令であると判断した場合 (ステップ S 1 0 において Y E S) には、レジスタ値を設定する (ステップ S 1 2) 。具体的には、レジスタ値設定命令に従ってループレジスタ 3 5 の C 1 レジスタあるいは C 2 レジスタを設定する。

【 0 1 7 3 】

そして、ステップ S 8 に戻る。

一方、ステップ S 1 0 において、レジスタ値設定命令で無いと判断した場合 (ステップ S 1 0 において N O) には、ジャンプ命令 (「 C 1 J 」 あるいは 「 C 2 J 」) かどうかを判断する (ステップ S 1 6) 。

40

【 0 1 7 4 】

ステップ S 1 6 において、ジャンプ命令であると判断した場合 (ステップ S 1 6 において Y E S) には、プログラムカウンタ 3 2 の停止を指示する (ステップ S 1 8) 。

【 0 1 7 5 】

そして、次に、ジャンプ制御を実行する (ステップ S 2 0) 。ジャンプ制御の詳細については後述する。

【 0 1 7 6 】

ジャンプ制御の終了後、プログラムカウンタ 3 2 の再開を指示する (ステップ S 2 1)

50

。そして、ステップ S 8 に戻る。

【 0 1 7 7 】

ステップ S 1 6 において、ジャンプ命令で無いと判断した場合（ステップ S 1 6 において N O ）には、ラベル命令（「 J S T 1 」あるいは「 J S T 2 」）かどうかを判断する（ステップ S 2 2 ）。

【 0 1 7 8 】

ステップ S 2 2 において、ラベル命令であると判断した場合（ステップ S 2 2 において Y E S ）には、出力制御回路 4 2 にラベル指示を出力する（ステップ S 2 4 ）。出力制御回路 4 2 は、当該指示に従いループモード信号「 0 1 」をピンコントロールメモリ制御回路 5 0 に出力する。

10

【 0 1 7 9 】

ステップ S 2 2 において、ラベル命令で無いと判断した場合（ステップ S 2 2 において N O ）には、リピート命令かどうかを判断する（ステップ S 2 6 ）。出力制御回路 4 2 は、当該指示に従いリピート信号をピンコントロールメモリ制御回路 5 0 に出力する。

【 0 1 8 0 】

ステップ S 2 6 において、リピート命令であると判断した場合（ステップ S 2 6 において Y E S ）には、出力制御回路 4 2 にリピート指示を出力する（ステップ S 2 8 ）。ステップ S 2 6 において、リピート命令で無いと判断した場合（ステップ S 2 6 において N O ）には、ステップ S 2 8 をスキップしてステップ S 8 に戻る。

【 0 1 8 1 】

20

図 1 5 は、本実施の形態に従うコード解析回路 3 4 におけるジャンプ制御の処理について説明するフロー図である。

【 0 1 8 2 】

図 1 5 を参照して、まず、コード解析回路 3 4 は、ジャンプ開始を指示する（ステップ S 3 0 ）。出力制御回路 4 2 は、当該指示に従いループモード信号「 1 0 」をピンコントロールメモリ制御回路 5 0 に出力する。

【 0 1 8 3 】

次に、コード解析回路 3 4 は、ループレジスタを更新する（ステップ S 3 1 ）。具体的には、ループレジスタ（ C 1 レジスタあるいは C 2 レジスタ）に設定されている値をデクリメントする。

30

【 0 1 8 4 】

次に、コード解析回路 3 4 は、ループレジスタの値が 0 かどうかを判断する（ステップ S 3 2 ）。

【 0 1 8 5 】

ステップ S 3 2 において、コード解析回路 3 4 は、ループレジスタの値が 0 であると判断した場合（ステップ S 3 2 において Y E S ）には、ジャンプ終了を指示する（ステップ S 4 3 ）。出力制御回路 4 2 は、当該指示に従いループモード信号「 1 1 」をピンコントロールメモリ制御回路 5 0 に出力する。

【 0 1 8 6 】

そして、処理を終了する（リターン）。すなわち、図 1 4 のステップ S 2 1 に進む。

40

一方、ステップ S 3 2 において、コード解析回路 3 4 は、ループレジスタの値が 0 で無いと判断した場合（ステップ S 3 2 において N O ）には、プログラムカウンタ（ジャンプ用） 3 8 の出力を設定する（ステップ S 3 4 ）。具体的には、プログラムカウンタ（ジャンプ用） 3 8 にジャンプ先の P C 値を設定する。

【 0 1 8 7 】

そして、次に、コード解析回路 3 4 は、インストラクションコードの入力が有るかどうかを判断する（ステップ S 3 8 ）。当該インストラクションコードは、基準クロックに従いインストラクションメモリ（ジャンプ用） 4 0 から読み出されたものである。

【 0 1 8 8 】

ステップ S 3 8 において、コード解析回路 3 4 は、インストラクションコードの入力が

50

有ると判断した場合（ステップS 3 8においてYES）には、次にレジスタ値設定命令（「C 1 L」あるいは「C 2 L」）かどうかを判断する（ステップS 4 0）。

【0189】

ステップS 4 0において、コード解析回路3 4は、レジスタ値設定命令であると判断した場合（ステップS 4 0においてYES）には、レジスタ値を設定する（ステップS 4 2）。具体的には、レジスタ値設定命令に従ってループレジスタ3 5のC 1レジスタあるいはC 2レジスタを設定する。

【0190】

そして、ステップS 3 8に戻る。

一方、ステップS 4 0において、コード解析回路3 4は、レジスタ値設定命令で無いと判断した場合（ステップS 4 0においてNO）には、ジャンプ命令（「C 1 J」あるいは「C 2 J」）かどうかを判断する（ステップS 4 4）。

10

【0191】

ステップS 4 4において、コード解析回路3 4は、ジャンプ命令であると判断した場合（ステップS 4 4においてYES）には、他のジャンプ命令（例えば「C 2 J」に従うジャンプ処理中に「C 1 J」のジャンプ命令が有る場合）であるかどうかを判断する（ステップS 4 6）。

【0192】

ステップS 4 6において、コード解析回路3 4は、他のジャンプ命令でないと判断した場合（ステップS 4 6においてNO）には、ステップS 3 1に戻り、ジャンプ処理を繰り返す。

20

【0193】

一方、コード解析回路3 4は、他のジャンプ命令であると判断した場合（例えば「C 2 J」に従うジャンプ処理中に「C 1 J」のジャンプ命令が有る場合）（ステップS 4 6においてYES）には、他のジャンプ制御を実行する（ステップS 4 8）。

【0194】

具体的には、他のジャンプ制御に関して、図1 5のフローが最初から実行される。そして、他のジャンプ制御（ステップS 4 8）が終了した後、ステップS 3 8に戻り、元のジャンプ制御が再開される。

【0195】

30

ステップS 4 4において、コード解析回路3 4は、ジャンプ命令で無いと判断した場合（ステップS 4 4においてNO）には、ラベル命令（「J S T 1」あるいは「J S T 2」）かどうかを判断する（ステップS 5 0）。

【0196】

ステップS 5 0において、コード解析回路3 4は、ラベル命令であると判断した場合（ステップS 5 0においてYES）には、ラベル命令は、ジャンプ先かどうかを判断する（ステップS 5 2）。すなわち、ジャンプ先のアドレスであるPC値のインストラクションコードがラベル命令かどうかを判断する。

【0197】

ステップS 5 2において、コード解析回路3 4は、ジャンプ先であると判断した場合（ステップS 5 2においてYES）には、ラベル命令に対する処理を実行することなくステップS 3 8に戻る。

40

【0198】

一方、ステップS 5 2において、コード解析回路3 4は、ジャンプ先で無いと判断した場合（ステップS 5 2においてNO）には、ラベル指示を出力する（ステップS 5 4）。出力制御回路4 2は、当該指示に従いループモード信号「0 1」をピンコントロールメモリ制御回路5 0に出力する。

【0199】

ステップS 5 0において、コード解析回路3 4は、ラベル命令で無いと判断した場合（ステップS 5 0においてNO）には、リピート命令（「R E P」）かどうかを判断する（

50

ステップ S 5 6)。

【 0 2 0 0 】

ステップ S 5 6 において、コード解析回路 3 4 は、リピート命令であると判断した場合 (ステップ S 5 6 において Y E S) には、リピート指示を出力する (ステップ S 6 0)。出力制御回路 4 2 は、当該指示に従いリピート信号をピンコントロールメモリ制御回路 5 0 に出力する。

【 0 2 0 1 】

ステップ S 5 6 において、コード解析回路 3 4 は、リピート命令で無いと判断した場合 (ステップ S 5 6 において N O) には、ステップ S 6 0 をスキップしてステップ S 3 8 に戻る。

【 0 2 0 2 】

図 1 6 は、本実施の形態に従うプログラムカウンタ切替調整回路 5 5 における処理について説明するフロー図である。

【 0 2 0 3 】

図 1 6 を参照して、プログラムカウンタ切替調整回路 5 5 は、ジャンプ開始指示が有るかどうかを判断する (ステップ S 7 0)。具体的には、ジャンプ開始信号 B の入力があるかどうかを判断する。

【 0 2 0 4 】

ステップ S 7 0 において、プログラムカウンタ切替調整回路 5 5 は、ジャンプ開始指示が有ると判断した場合 (ステップ S 7 0 において Y E S) には、プログラムカウンタ 5 2 の停止を指示する (ステップ S 7 2)。

【 0 2 0 5 】

次に、ラベル P C 値スタック値を設定する (ステップ S 7 4)。具体的には、プログラムカウンタ切替調整回路 5 5 は、プログラムカウンタ (ジャンプ用) 6 0 にラベル P C 値スタック 5 6 に格納されている値を設定する。

【 0 2 0 6 】

当該処理によりジャンプする P C 値をプログラムカウンタ (ジャンプ用) 6 0 に設定して指定した P C 値にジャンプすることが可能となる。

【 0 2 0 7 】

そして、ステップ S 7 0 に戻る。

ステップ S 7 0 において、プログラムカウンタ切替調整回路 5 5 は、ジャンプ開始指示が無いと判断した場合 (ステップ S 7 0 において N O) には、ジャンプ終了指示が有るかどうかを判断する (ステップ S 7 6)。具体的には、ジャンプ終了信号 C の入力があるかどうかを判断する。

【 0 2 0 8 】

ステップ S 7 6 において、プログラムカウンタ切替調整回路 5 5 は、ジャンプ終了指示が有ると判断した場合 (ステップ S 7 6 において Y E S) には、ジャンプ P C 値スタック値が有るかどうかを判断する (ステップ S 7 8)。

【 0 2 0 9 】

ステップ S 7 8 において、プログラムカウンタ切替調整回路 5 5 は、ジャンプ P C 値スタック値が有ると判断した場合 (ステップ S 7 8 において Y E S) には、ステップ S 8 0 をスキップして、ステップ S 7 0 に戻る。

【 0 2 1 0 】

また、ステップ S 7 8 において、プログラムカウンタ切替調整回路 5 5 は、ジャンプ P C 値スタック値が無いと判断した場合 (ステップ S 7 8 において N O) には、プログラムカウンタ 5 2 の再開を指示する (ステップ S 8 0)。

【 0 2 1 1 】

当該処理によりジャンプが終了した場合にプログラムカウンタ 5 2 を再開するとともに、ジャンプ処理が 2 重ループ等の場合には、ステップ S 8 0 をスキップすることによりジャンプ処理を継続することが可能である。

10

20

30

40

50

【 0 2 1 2 】

そして、ステップ S 7 0 に戻る。

ステップ S 7 6 において、プログラムカウンタ切替調整回路 5 5 は、ジャンプ終了指示が無いと判断した場合（ステップ S 7 6 において N O ）には、プログラムカウンタ（ジャンプ用）6 0 の P C 値がインクリメントされたかどうかを判断する（ステップ S 8 2 ）。

【 0 2 1 3 】

ステップ S 8 2 において、プログラムカウンタ切替調整回路 5 5 は、プログラムカウンタ（ジャンプ用）6 0 の P C 値がインクリメントされていないと判断した場合（ステップ S 8 2 において N O ）には、ステップ S 7 0 に戻る。

【 0 2 1 4 】

一方、ステップ S 8 2 において、プログラムカウンタ切替調整回路 5 5 は、プログラムカウンタ（ジャンプ用）6 0 の P C 値がインクリメントされたと判断した場合（ステップ S 8 2 において Y E S ）には、プログラムカウンタ（ジャンプ用）値と、ジャンプ P C 値スタック値とを比較する（ステップ S 8 4 ）。プログラムカウンタ切替調整回路 5 5 は、ジャンプ P C 値スタック 5 8 に格納されている値とプログラムカウンタ（ジャンプ用）6 0 に格納されている値とを比較する。

【 0 2 1 5 】

そして、プログラムカウンタ切替調整回路 5 5 は、比較結果が一致するかどうかを判断する（ステップ S 8 6 ）。

【 0 2 1 6 】

ステップ S 8 6 において、比較結果が一致すると判断した場合（ステップ S 8 6 において Y E S ）には、ラベル P C 値スタック値を設定する（ステップ S 8 8 ）。具体的には、プログラムカウンタ切替調整回路 5 5 は、プログラムカウンタ（ジャンプ用）6 0 にラベル P C 値スタック 5 6 に格納されている値を設定する。

【 0 2 1 7 】

そして、ステップ S 7 0 に戻る。

一方、ステップ S 8 6 において、プログラムカウンタ切替調整回路 5 5 は、一致しないと判断した場合（ステップ S 8 6 において N O ）には、ステップ S 8 8 をスキップしてステップ S 7 0 に戻る。

【 0 2 1 8 】

当該処理により、ジャンプ終了信号が入力されるまでは、ラベル P C 値スタック 5 6 に格納されている値と、ジャンプ P C 値スタック 5 8 に格納されている値とに基づいてジャンプ処理の一連のシーケンスを継続することが可能である。

【 0 2 1 9 】

（変形例）

図 1 7 は、本実施の形態の変形例に従うプログラムカウンタ 3 2 # およびピンコントロールメモリ制御回路 5 0 # の構成を説明する図である。

【 0 2 2 0 】

図 1 7 を参照して、プログラムカウンタ 3 2 # は、プログラムカウンタ 3 2 # と比較して、セレクタ 3 6、プログラムカウンタ（ジャンプ用）3 8 およびインストラクションメモリ（ジャンプ用）4 0 を設けない構成としたものである。そして、プログラムカウンタ 3 2 をプログラムカウンタ 3 2 # として、コード解析回路 3 4 をコード解析回路 3 4 # に置換した点が異なる。

【 0 2 2 1 】

本実施の形態の変形例に従うコード解析回路 3 4 # は、プログラムカウンタを切り替えずに、プログラムカウンタ 3 2 # にジャンプ先の P C 値の設定をする。その他の処理については上記した処理と同様であるのでその詳細な説明は繰り返さない。

【 0 2 2 2 】

ピンコントロールメモリ制御回路 5 0 # は、ピンコントロールメモリ制御回路 5 0 と比較して、プログラムカウンタ（ジャンプ用）6 0 およびピンコントロールメモリ（ジャン

10

20

30

40

50

プ用) 62を設けない構成としたものである。また、信号生成回路54およびプログラムカウンタ切替調整回路55の代わりにカウンタ制御回路70を設けた点が異なる。また、セクタ64およびセクタ制御回路66の代わりに信号出力回路72を設けた点が異なる。

【0223】

具体的には、カウンタ制御回路70は、信号生成回路54と同様にループモード信号を受けて、ラベル信号A、ジャンプ開始信号B、ジャンプ終了信号Cを出力する。また、カウンタ制御回路70は、プログラムカウンタ切替調整回路55と同様の機能を有し、プログラムカウンタを切り替えずに、プログラムカウンタ52#にジャンプ先のPC値の調整(設定)をする。そして、当該PC値の値がピンコントロールメモリ22から読みだされて、信号出力回路72は、ピンコントロールメモリ22から出力されたピンデータを外部に出力する。その他の処理については上記した処理と同様であるのでその詳細な説明は繰り返さない。

10

【0224】

当該構成により、上記の実施の形態よりもさらに簡易な構成で所定のテストパターンに基づくテストを実行することが可能であり、配線本数を大幅に削減しつつ多数個同時測定が可能となる。

【0225】

なお、上記の図3の所定のテストパターンは、2重ループのジャンプ処理を含むものについて説明したが、特にこれに限られずN重ループ(N:3以上)のジャンプ処理を含むものについても同様に適用可能である。

20

【0226】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は、実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

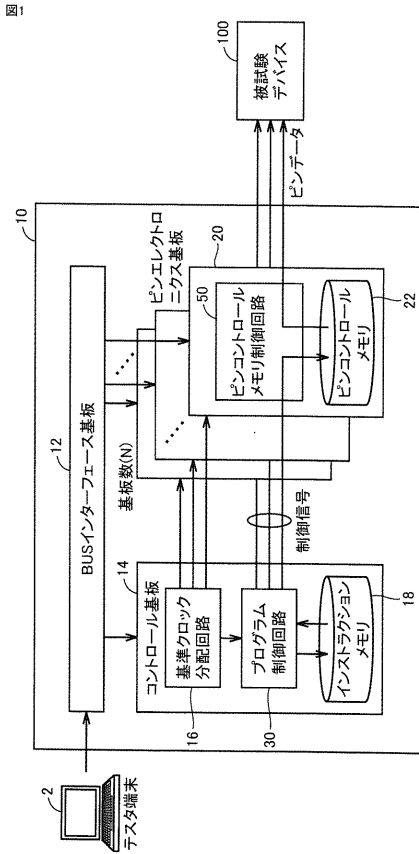
【符号の説明】

【0227】

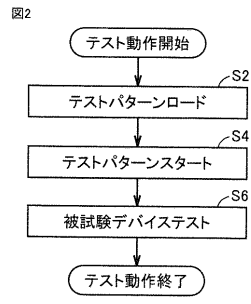
2 テスタ端末、10 テスト装置、12 インターフェース基板、14 コントロール基板、16 基準クロック分配回路、18 インストラクションメモリ、20 ピンエレクトロニクス基板、22 ピンコントロールメモリ、30 プログラム制御回路、32, 32# , 52, 52# プログラムカウンタ、34, 34# コード解析回路、35 ループレジスタ、36, 64 セクタ、42 出力制御回路、50 ピンコントロールメモリ制御回路、54 信号生成回路、55 プログラムカウンタ切替調整回路、56 ラベルPC値スタック、58 ジャンプPC値スタック、66 セクタ制御回路、70 カウンタ制御回路、72 信号出力回路、100 被試験デバイス。

30

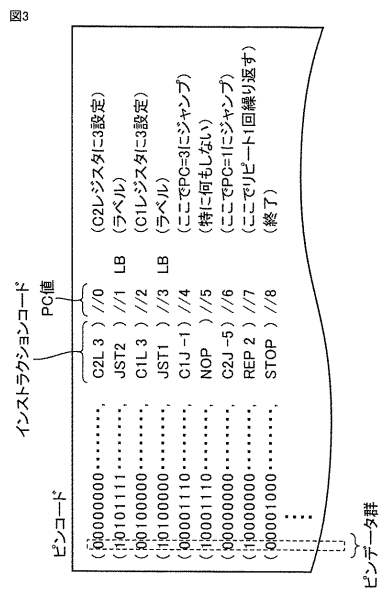
【 図 1 】



【 図 2 】



【 図 3 】

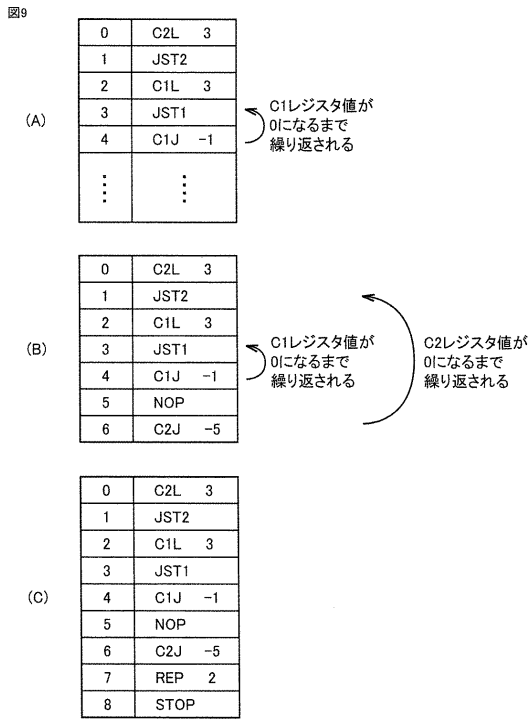


【 図 4 】

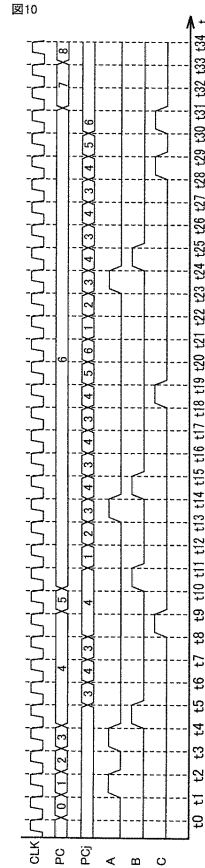
図4

NOP	0x0000
REP 2	0x1005
STOP	0x2000
C1J -1	
C2J -5	
JST1	
JST2	
...	...

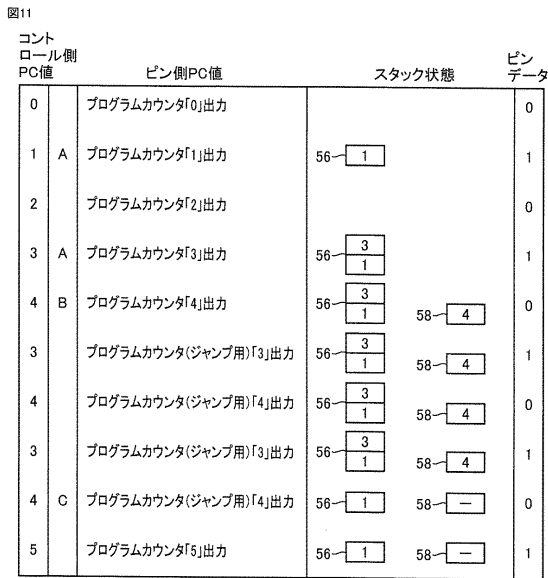
【 図 9 】



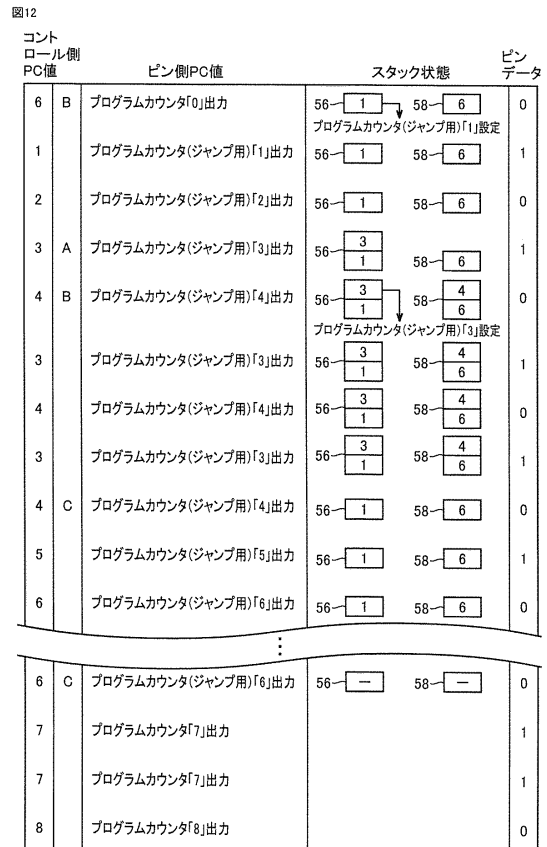
【 図 10 】



【 図 1 1 】

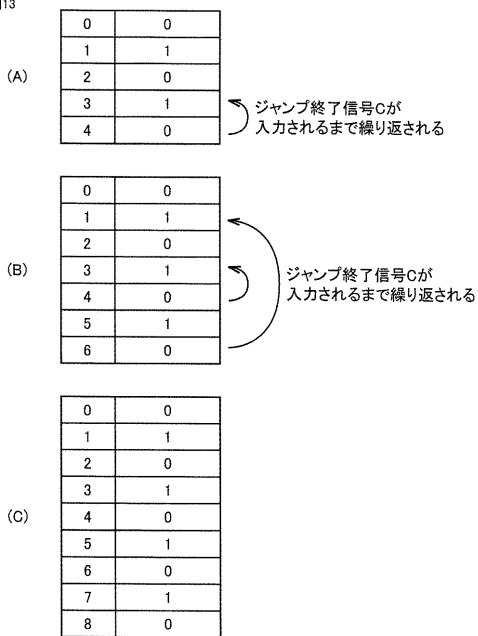


【 図 1 2 】



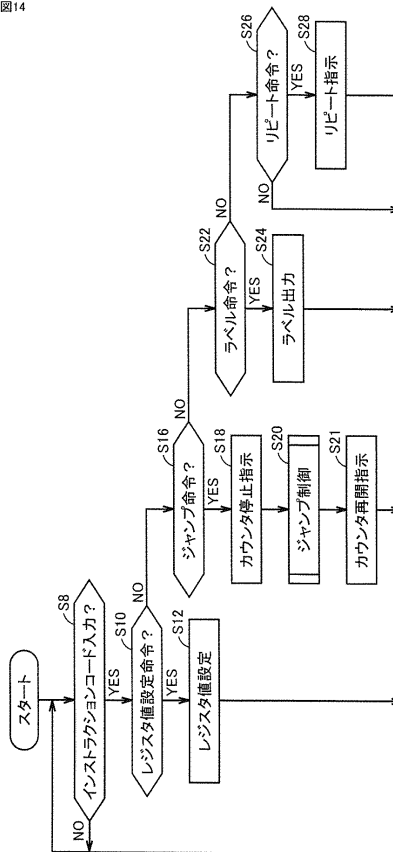
【 図 1 3 】

図13



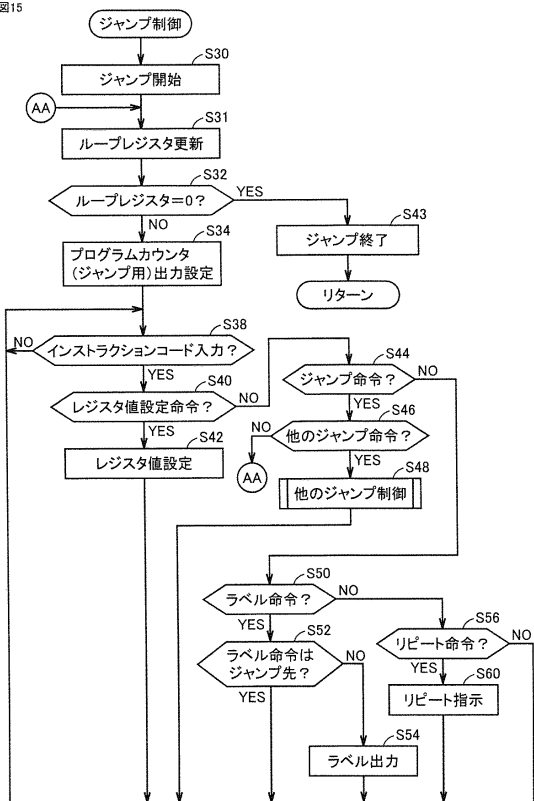
【 図 1 4 】

図14



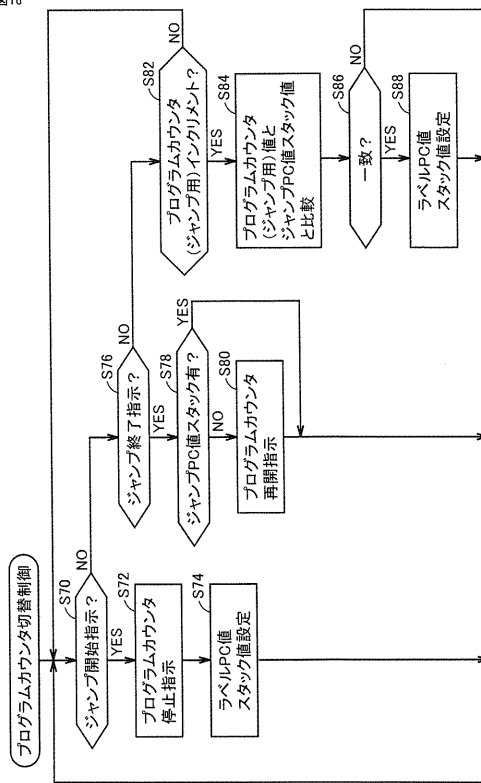
【 図 1 5 】

図15



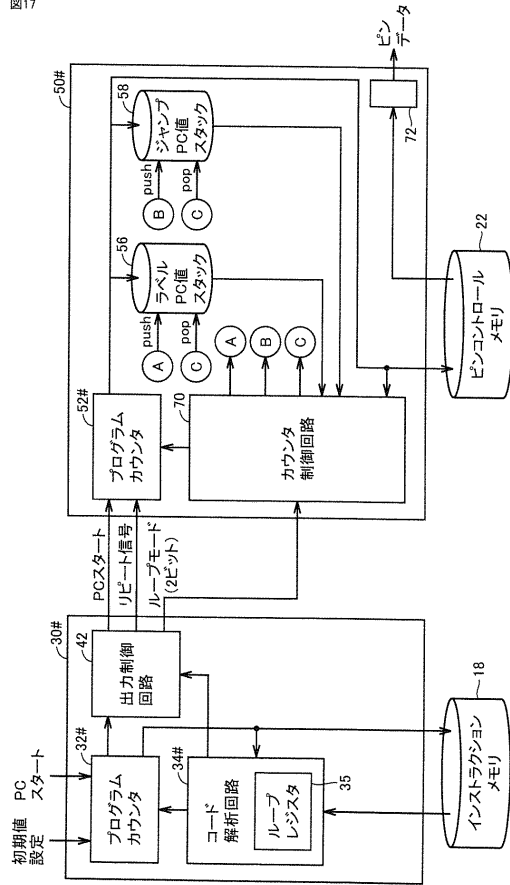
【 図 1 6 】

図16



【 図 17 】

図17



フロントページの続き

(72)発明者 杉本 勝

神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

審査官 續山 浩二

(56)参考文献 国際公開第 2 0 0 8 / 1 1 4 6 9 7 (W O , A 1)

特開平 0 6 - 0 9 4 7 9 8 (J P , A)

欧州特許出願公開第 0 0 4 7 4 2 7 5 (E P , A 2)

特開平 0 2 - 0 6 9 6 8 5 (J P , A)

米国特許第 0 5 0 1 8 1 4 5 (U S , A)

特開平 0 5 - 0 9 9 9 8 5 (J P , A)

特開平 1 1 - 2 9 5 3 9 8 (J P , A)

米国特許出願公開第 2 0 0 7 / 0 2 6 6 2 8 8 (U S , A 1)

特開 2 0 0 2 - 0 9 0 4 2 1 (J P , A)

特開 2 0 0 2 - 1 2 3 5 6 2 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

G 0 1 R 3 1 / 2 8