

公告本

400630

400630

申請日期	84.07.15
案號	88100306 (由84107335分割)
類別	1701L ²³ / ₅₈

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	用以連接一薄層至一單片電子模組表面的工件
	英文	"WORKPIECE FOR CONNECTING A THIN LAYER TO A MONOLITHIC ELECTRONIC MODULE'S SURFACE"
二、發明人	姓名	1. 肯尼斯·愛德華·貝斯坦二世 2. 克勞黛·路易斯·伯汀 3. 約翰·愛德華·柯尼 4. 韋恩·約翰·霍威 5. 詹姆士·馬克·里茲 6. 大衛·傑卡伯·波曼
	國籍	均美國
三、申請人	住、居所	1. 美國維蒙州艾賽強遜市瓦登伍11號 2. 美國維蒙州南伯林頓市皮森道33號 3. 美國維蒙州米頓市RD#3 325郵政信箱 4. 美國維蒙州威利史東市坦拉克路4號 5. 美國維蒙州南伯林頓市布勒路37號 6. 美國紐約州瓦平吉佛市奈維路7號
	姓名 (名稱)	美商萬國商業機器公司
三、申請人	國籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市
三、申請人	代表人姓名	費羅普
	代表人姓名	費羅普

請參閱本局公告之發明專利說明書內容

經濟部中央標準局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ☐有 ☐無主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

技術領域

本發明係概括關於高密度電子封裝，其允許在既定容積中所包括電路元件數之最佳化。本發明尤指在一電子模組建立側面互相連接結構之技術，例如包含一密集疊置陣列之多層積體電路至少部份由互相連接結構所互相連接。本發明也提供電子模組及相關元件之各種封裝選擇。此等選擇例如包括電子模組與聯接至各種基片之主動積體電路晶片之組合。例如，本發明包括將一包含記憶體晶片之電子模組附著至一處理器晶片。本發明另揭示包封之電子包裝。

發明之背景

由於積體電路技術之發展，人們由半導體材料之晶圓所形成之積體電路晶片製成電腦及電腦儲存裝置。在晶圓製成後，一般為將晶圓切成小片，而藉以使諸晶片彼此分開。其後，將諸個別晶片接合至各種類型之載體，藉線互相連接並予封裝。技術強化增多時，每晶片需要更多之電路。此係藉(a)將電路作成更小及(b)將晶片作成更大所達成。然而，對兩者有實際之限制。將晶片作成較大，需要較大場光學裝置，其在現在為一項具體限制。因此，擴大晶片之"平面尺寸"藉以增加密度，變得令人卻步。在目前，將晶片儘量做大，並將所需之全部電路功能劃分為若干電連接在一起之晶片，而藉以克服具體晶片大小限制。然而，這在信號在晶片之間行進時，導入不希望有之信號延遲，電容，及電感。

五、發明說明(2)

最近，業已出現包含立體晶片陣列之半導體結構作為一種重要之封裝方法。一種代表性立體電子模組(半導體結構之一例)由多片積體電路晶片粘固在一起為一單片結構(一"疊層")所構成。金屬化圖案常直接提供在電子模組之一(或多)側面，用以使疊層中之諸晶片互相連接，並供疊層電連接至模組外面之電路。金屬化圖案可包括個別之觸點及匯接之觸點，以及多層次布線。

製造任何電子模組之一項重要參數，為晶片間之間隔。如果不加控制，則因為在疊層側面之布線考慮到晶片至晶最後厚度，而使在既定容積所可層疊之半導體晶片數可能受到不利影響。如果允許最後厚度變化太多，疊層側面之布線密度便受到損害。而且，將行封裝電子模組之諸個別半導體晶片，其厚度可能有所變化。晶片厚度及晶片間間隔之合併變化，在金屬化圖案直接形成於電子模組之側面時，復導致對準問題，一如習知之方法。此係因為在側面金屬化形成過程一般為採用預製之圖案掩模，並且如果晶片間間隔不一致，掩模便可能無法與轉移布線對準。

人們曾建議若干方法用以調節晶片間間隔，包括：選擇晶片並將其定序，以便平均間隔保持固定；改變粘合劑層之厚度以補償晶片間厚度之變化(例如，請見美國專利4,999,311號)；或改進晶片及粘合劑層厚度之一致性。所有此等方法均可用於形成本發明之電子模組。

一般為使用照相平版印刷將金屬化圖案直接形成於電子模組之側面。因此，習知之製造電子模組必須在側面金屬

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明(3)

化開始前完成。與在側面之平版印刷關連之額外過程步驟，有損功能性電子模組之產量，並可能增加電子模組製造之成本及複雜性。本案所提出之製造技術免除此種複雜之順序處理。

在具有關連側面金屬化之電子模組可予合併至次一封裝層次，可能為將其他晶片互相連接前，必須適當封裝電子模組。在封裝電子模組及相關之組件時，必須考慮在達成高電路密度與提供除熱裝置間之折衷。

例如，宜使一疊層之記憶體晶片(亦即記憶體模組)緊靠其他高功率電子模組成高動力裝置(諸如處理機)。但靠近引起實際之散熱問題。本發明也針對解決此等問題。

發明之概述

簡要而言，本發明在第一方面包括一種在半導體結構之實際平面表面建立薄膜層之方法。首先聯合一與半導體結構分開之臨時支座形成薄膜層。其後，將該層電連接至半導體結構之實際平面表面，以便薄膜層實體接合至實際平面表面，並致使臨時支座連接至半導體結構。然後使臨時支座與半導體結構分離，致使薄膜層保持電連接及實體接合至實際平面表面。

作為一種加強，薄膜層可包含一金屬化層，並且半導體結構可包含許多層疊之積體電路(IC)晶片，有許多邊緣表面至少部份界定半導體結構之實際平面表面。電連接步驟於是將包含將金屬化層電連接至半導體結構之實際平面表面，以便金屬化層至少部份疊層之IC晶片電互相連接。

五、發明說明(4)

在另一方面，薄膜層可包含一形成於一基片之第一主要表面之金屬化層；該後基片有一主動電路層形成於第二主要表面。金屬化層及主動電路層藉導電通路或溝道電連接於在該二主要表面間延伸之基片。另外，主動電路層可有電觸點配置於其上，以方便半導體結構電連接至外部電路。

在一替代性方面，薄膜層可包含一形成於一被動薄膜二第一主要表面之第一金屬化層；該被動薄膜有一第二金屬化層形成於第二主要表面。金屬化層藉導電通路連接於在該二主要表面間延伸之被動薄膜。另外，第二金屬化層可有電觸點配置於其上，以方便半導體結構電連接至外部電路。

在被動薄膜層及基片實施例，處理可例如包括在位於臨時支座之臨時粘合劑層上形成與半導體結構分開之各層。處理然後如上述繼續。明確而言，金屬化層予以電聯接至半導體結構之實際平面表面，以及金屬化層與其實體接合，並且臨時支座實體聯接至半導體結構。其後，使臨時支座沿粘合劑層與半導體結構分離，而金屬化層，基片及主動電路層(或第二金屬化層)保持實體接合至半導體結構之實際平面表面。

在又一方面，本發明包含一種一用以將一薄膜層附著至半導體結構之實際平面表面之新穎臨時工件。該臨時工件包括一臨時支座，一配置在臨時支座表面之臨時粘合劑層，及藉臨時粘合劑層聯接至臨時支座之薄膜層。該工件

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明(5)

可如以上所概述，用以將薄膜層"轉移"至半導體結構之實際平面表面。特別是，薄膜層可予實體接合至半導體結構之實際平面表面，在此之後，臨時支座將會與薄膜層連同臨時粘合劑層分離。薄膜層電連接至半導體結構。作為一種加強，工件可包括一主動電路層或一金屬化層，供隨薄膜層轉移至半導體結構。

在另一方面，本發明為一種包含半導體結構之電子模組，有一實際平面表面。及一單獨形成之薄膜層接合至半導體結構之實際平面表面。薄膜層予以電附著至半導體結構，並提供與其關連之功能。意在作為實例，薄膜層可包含一金屬化層。薄膜層可代之為包含一主動電路層，在此情形，其提供與半導體結構關連之功能。

如果薄膜層為一第一金屬化層，其可形成在一基片或一被動薄膜上。被動薄膜可有一第二金屬化圖案形成於一與第一金屬化圖案相對之平面表面；一基片可有一主動電路層形成於該相對平面表面。在任一情形，該二相對平面層(例如第一金屬化層及第二金屬化層，或金屬化層及主動電路層)，可藉伸延穿過被動薄膜或基片之導電通路(或溝通)予以電連接。另外，主動電路層或第二金屬化層可有電觸點配置於其上，以方便電模組電連接至外部電路。

再說一次，在到此刻所討論之所有實施例，本發明有利製成一種半導體結構，例如一種包含多片IC晶片之電子模組，有單獨形成之側面金屬化。金屬化層予以自一沿臨時粘合劑層分開之臨時支座轉移至電子模組。如果希望，可配

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明(6)

合一主動電路層及(或)電觸點片形成金屬化層，以供將關連之電子模組連接至(諸)外部裝置。精於此項技藝者將會察知，在電子模組之側面建立金屬化層，而無直接在模組側面之任何平版印刷步驟，因此避免與在電子組件側面之複雜處理關連之時間，費用，無法測試或再加工及複雜性。

本發明另包含供半導體結構，電子模組及相關組件之各種封裝，以及作成該等封裝之方法。在一種實施例，電子封裝包括一電子模組及一插入器，有一主動電路層用以提供與電子模組關連之功能。電子模組包含一疊層之積體電路，其邊緣部份界定模組之側面。基片有一實際平面主要表面，其予以電及機械式聯接至電子模組之側面。作為一種加強，電子模組之側面可具有長度X，並且基片之實際平面表面可具有長度Y，其中 $X \leq Y$ 。另外，電子封裝可包括一可氣密密封電子模組之帽蓋。

在另一方面，本發明包含一電子封裝有一電子模組，一腔基片其上有一腔，及一主動積體電路晶片。電子模組包含一疊層之積體電路晶片，並有一實際平面表面。主動積體電路晶片予以機械式聯接至電子模組之實際平面表面及腔基片，並配置於其間。電子模組及主動積體電路晶片均凹入於基片之腔內。作為一種加強，腔基片可形成為有許多引線接合片層次，以供有效率提供引線接合連接至容納於電子封裝內之結構。

本發明之又一方面包括一種電子封裝，包含一腔基片其

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明(7)

上有一腔，一第一半導體結構，及一第二半導體結構。第一半導體結構容納於該腔內，致使基片及第一元件之一實際平面表面包含一實際平面容納面。第二半導體結構機械式聯接至此表面。作為一種加強，第一半導體結構可為一主動積體電路晶片，而第二半導體結構可為一包含一疊層積體電路晶片之電子模組。或則，對應於第一及第二半導體結構之諸元件可予以互換。

在又一方面，本發明包含一電子封裝，包含一有一疊層積體電路晶片之電子模組，及一基片其上有一腔及一開口。有實際平面表面機械式聯接至基片之電子模組凹入於該腔內。作為一種加強，開口可方便冷卻劑繞電子模組通過，以供使模組冷卻。另外，開口可適應一主動積體電路晶片附著至電子模組，甚至一供熱管理之裝置附著至主動積體電路晶片。

本發明之再一方面包含一種有一處理器晶片及一第一電子模組之電腦單元，以及其形成方法。處理器晶片有一實際平面表面，並包括一快速緩衝記憶體控制器。第一電子模組包含許多層疊之積體電路晶片，並有一第一實際平面表面。另外，第一電子模組包括一快速緩衝記憶體電路。處理器晶片之實際平面主要表面予以機械式及電聯接至第一電子模組之第一實際平面表面，以便快速緩衝記憶體控制器電連接至快速緩衝記憶體電路。

作為一種加強，第一電子模組可有一第二實際平面表面，其上有第一許多電觸點。至少有些電觸點電聯接至處

(請先閱讀背面之注意事項再
本頁)

裝

訂

線

五、發明說明(8)

理器晶片，以方便至處理機之電接觸。再者，本發明包含一第二電子模組，有許多層疊之IC晶片，並有一第一實際平面表面。第二電子模組也包括一第二記憶體電路。第二電子模組之第一實際平面表面予以機械式聯接至第一電子模組之第二實際平面表面，以便第一及第二電子模組經由第一電子模組上之第一許多電觸點電聯接。

附圖之簡要說明

在說明書之結尾部份特別指出被視為本發明之要點，並明白就其申請專利。但參照下列詳細說明，配合附圖考慮，可最佳瞭解本發明之構造及實施方法，以及其另外諸多目的及優點，在附圖中：

圖1為根據本發明之實施例所層壓在一起之一疊層多片半導體晶片之部份剖面圖；

圖2A為圖1之疊層，在部份除去疊層之側面後之部份剖面圖；

圖2B為圖2A之疊層在平面化側面形成有圖案絕緣層後之部份剖面圖；

圖3A為圖2A之疊層根據本發明優先除去晶片邊緣之一部份後之部份的剖面圖；

圖3B為圖3A之疊層在晶片之邊緣形成絕緣層，及晶片間轉移金屬引線露出後之部份剖面圖；

圖4為根據本發明之電子模組及鉬(Mo)掩模之透視圖；

圖5為一種電子模組，在根據本發明之一種實施例製造完成後之部份剖面圖；

五、發明說明(9)

圖5A為圖5之電子模組在除去焊料塊後之部份剖面圖；

圖5B為根據本發明之實施例，一製成之電子模組有一絕緣電觸點之部份剖面圖；

圖5C為一製成之電子模組，有一多大小／多層觸點，而一觸點表面電絕緣之部份剖面圖；

圖6為一根據本發明之電子模組，有一薄膜結構(包括一金屬化層)，及一與其聯接之臨時支座之部份剖面圖；

圖7為圖6之電子模組，在已除去臨時支座後之部份剖面圖；

圖8為圖7之電子模組，其替代性實施例之部份剖面圖，其中平衡墊片插置於薄膜結構與半導體晶片之間；

圖9為一根據本發明之電子模組，有一被動薄膜層(包括二金屬化層)，及一與其聯接之臨時支座之部份剖面圖；

圖10為圖9之電子模組，在已除去臨時支座後之部份剖面圖；

圖11為一根據本發明之電子模組有數薄層接合至其兩側面之透視圖；

圖12為一密封電子封裝，包含一電子模組及一關連邏輯／控制晶片之剖面圖；

圖13為圖12之密封電子封裝，有一薄膜金屬化層配置於插入器與邏輯／控制晶片間之剖面圖；

圖14為圖12之密封電子封裝，具有由雙面引線框架所提供之外部電連接之剖面圖；

圖15為圖12之密封電子封裝，具有由輸入／輸出接腳所

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (10)

提供之電連接之剖面圖；

圖16爲一電子封裝，有一電子模組呈"條"格式接合至一處理機，二者均容納於一腔基片之剖面圖；

圖17爲一電子封裝，有一電子模組製成"扁餅"格式接合至一邏輯／控制晶片，二者均藉一腔基片引線接合至不同引線接合片層次之部面圖；

圖18爲一電子封裝，有一"扁餅"格式電子模組齊平凹入於一基片，有一處理器晶片予以焊料塊接合至基片及電子模組之剖面圖；

圖19及20分別爲一電子封裝之剖面圖及頂視示意圖，其中一電子模組藉焊料塊接合至齊平安裝之處理器晶片及基片，

圖21爲一電子封裝，有一電子模組接合至基片及齊平安裝之邏輯／控制晶片之剖面圖；

圖22爲一立體電子封裝之剖面圖，其中一電子模組予以接合至一基片及一容納於基片上之開口內之邏輯／控制晶片；

圖23爲圖22之電子封裝，有一吸熱片加至邏輯控制晶片，以供增強封裝之熱管理之剖面圖；

圖24及25分別爲一電子封裝，有冷卻溝道設於基片內，以供增強氣密封裝之熱管理之側視圖及頂視圖；

圖26爲一種具有增強熱管理之密封電子封裝之剖面圖；

圖27爲一根據本發明之電腦單元，有多個記憶體層次容納於多個電子模組之部面圖；

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明 (11)

圖28為圖27之電腦單元，有一高I/O互相連接將處理機聯接至電子模組之剖面圖；

圖29為本發明之電腦單元，有三層次之記憶體容納於單一電子模組之剖面圖；

圖30為圖29之電腦單元，有一PCI匯流排控制器晶片以及一介面電纜，供電腦單元連接至PCI匯流排之剖面圖；

圖31A-C為根據本發明匯流晶片之示意圖；以及

圖32為一電腦單元，有多個處理機共用一容納三層次記憶體之共同電子模組之剖面圖。

元件符號簡要說明

11…電子模組	45…主動電路層
13…晶片	47…導電溝道
13A…晶片	49…基片
14…側面	51…金屬化層
15…轉移金屬	53…電接觸
17…絕緣層	55…聚合材料
19…粘合劑	57…支撐
20…掩模	59…粘合層
21…絕緣層	63…墊片
22…孔	65…隔片
27…墊片	71…被動薄膜
27A…絕緣層	75…金屬化層
29…焊料塊	77…孔
41…薄膜結構	81…主動電路層

五、發明說明 (12)

- | | |
|----------------|-------------------------|
| 83…蓋帽 | 135…熱化合物 |
| 85…通路 | 137…散熱片 |
| 89…電接觸 | 141…熱化合物 |
| 91…蓋帽 | 143…散熱片 |
| 93…晶片 | 150A~150E…處理機晶片 |
| 95…插入器基片 | 152…快速緩衝記憶體控制器 |
| 97…布線 | 154, 156, 157, 159…電子模組 |
| 99…密封 | 158…插入器基片 |
| 101…薄膜布線/互連層 | 160…記憶體控制器 |
| 103…晶片 | 162…滙流晶片 |
| 105…引線框架 | 162A…滙流晶片 |
| 107…I/O墊片 | 164…互連 |
| 109…I/O接腳 | 166…快速緩衝記憶體晶片 |
| 110C~110F…腔 | 170…滙流晶片 |
| 111…引線接合 | 172…滙流排控制器 |
| 112…第一引線接合墊片層次 | 175, 176…布線 |
| 113…處理機 | 178…滙流晶片 |
| 115A~115H…基片 | 182…介面電纜 |
| 117…頂面 | 190…基片 |
| 129, 131…焊料塊 | |

實施本發明之最佳方法

本案提供用以在半導體結構之側面建立金屬化層之某些較佳實施例。雖然所提出之特定實施例說明一種半導體結構包含一電子模組，但可利用其他種種半導體結構(例如晶

五、發明說明 (13)

圖或IC晶片)。

圖1爲一電子模組11之部份剖面圖，包含許多層疊之積體電路晶片13(許多晶片，"層疊"爲形成一電子模組)。晶片13所執行之代表性功能，可例如包括記憶體、介面、處理機(例如微處理機)及(或)控制功能，不過每一晶可包括此項技藝上所知供半導體晶片執行之任何功能。一轉移金屬15與每一積體電路(IC)晶片相關連，將IC晶片連接至電子模組11中之其他晶片，或連接至外部電路。在層疊時，晶片13之轉移金屬15伸向未處理電子模組11之至少一選定側面14。配置在轉移金屬15上面及下面之每一晶片13表面上之絕緣體17使個別(諸)轉移金屬電絕緣及實體隔離。諸半導體晶片經由數層粘合劑19層壓在一起。

作爲一特定實例，電子模組11可包含一記憶體模組，每一半導體晶片13有一個別絕緣層17，諸如聚亞醯胺，形成在晶片之主動表面上面。絕緣體17也使可包含Ti/Al(Cu)結構之(諸)個別轉移金屬15電絕緣。轉移金屬15經由形成於絕緣體17之習知金屬化通路連接至個別晶片之主動I/O墊片。諸層粘合劑可包含各種市售高溫粘合材料之任何一種，諸如National Starch and Chemical Co., Bridgewater, N.J.所製之Thermid。

作爲一特定方法實例，諸半導體晶片一經層壓爲一疊層，選定之側面14便經歷處理，使轉移金屬15之末端露出(圖2A)。其後，敷著一絕緣層21並作成圖案，俾形成通路22至轉移金屬15之露出之末端(圖2B)。因此，轉移金屬15

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明 (14)

伸延至晶片邊緣而有足夠之絕緣，但無需替代性絕緣裝置（例如形成在轉移金屬下面之絕緣壕溝）。

圖3A及3B中示使電子模組之選定側面絕緣，以及使轉移金屬之末端露出之替代性實例。半導體晶片一經層壓為疊層，選定之側面14便經歷處理，以使轉移金屬15露出（圖2A）。例如使用一種選擇性蝕刻法優先除去晶片13之邊緣（圖3A）。其後，敷著一絕緣層並予平面化，例如拋光，以僅使轉移金屬15之末端露出（圖3B）。

如圖4及5中所示，其次在所產生之電子模組11之側面25，聯合個別轉移金屬15形成適當之電觸點27。可使用一鉬（Mo）掩模20（圖4），有孔22形成於其上，位於當掩模適當定位於電子模組之側面時與露出之轉移金屬15對準，而藉以著手形成此等電觸點。

請予察知，圖5（及隨後諸圖）中所示之T形連接結構已為求明晰而予以簡化。T形連接一般為藉熟知方法所形成，包括在電子模組諸如圖2B或圖3B中所示者之側面，敷著一金相結構。

如圖5中所示，在一種實施例，使用Ball Limiting Metallurgy (BLM) 墊片27作為電觸點。可通過上述之掩蔽／蒸鍍法完成形成BLM。特別是，可蒸鍍一由鉻，銅及金所構成之三層金屬結構，藉以造成BLM結構。可代之為使用例如Ni/Au，Ti/Cu/Au，Cu，Cr/Cu及Ti/Cu之結構。一經將電觸點27敷著於電子模組上，可使用同一Mo掩模20在電觸點上形成焊料塊29。已形成焊料塊29後，電子

（請先閱讀背面之注意事項再
本頁）

裝

訂

線

五、發明說明 (15)

模組便準備焊接至外部電路(未示)，或晶片互相連接金屬化(以下所說明)。

請察知達成上述以焊料塊形成BLM墊片之方法，無需任何照相平版印刷(或其他平版印刷)步驟。較之用以達成功能相似結構之照相平版印刷法(諸如使用照相平版印刷步驟在電子模組之表面製造T形連接片)，該方法較快，較容易，而且較不昂貴。

此法之一種能處理與疊層中之特定晶片關連之短路(或其他嚴重電缺陷)之變化方法需要：(1)在電子模組之側面敷著BLM墊片及焊料塊；(2)電測試包含電子模組之晶片；以及(3)除去與連接至(諸)缺陷晶片之BLM墊片關連之焊料塊(圖5A)藉以使(諸)缺陷晶片電隔離。電子模組接合至次一層次之組合件時(例如基片／臨時工件)，在BLM墊片與已除去焊料塊之基片／臨時工作墊片間將無機械式或電互相連接。此技術為一種特別良好之處理選擇，因為無需照相平版印刷步驟。

能處理與疊層中之特定晶片關連之短路(或其他嚴重電缺陷)之另一方法需要：(1)在電子模組之側面沈積著BLM墊片；(2)電測試包含電子模組之晶片；(3)使(諸)缺陷晶片電隔離(在連接至缺陷晶片之BLM墊片上面敷著一絕緣層所完成)；以及(4)重新敷著BLM墊片及焊料塊。如以上所述，BLM及焊料塊敷著可利用Mo掩模法。敷著絕緣層例如聚亞醯胺，將需要人們所熟知，並且目前在微電子業界所實施之塗敷，形成圖案，及固化技術。而且，重新敷著BLM

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

墊片保證電隔離晶片上之焊料塊完全粘附至表面，並於接合至次一層次之組件時，作用如機械式支承焊料塊。

圖5B例示在此過程後所產生之結構，其中絕緣層27A用以使轉移金屬15A所連接之晶片13A隔離。絕緣層27A厚度予以選擇為(例如1-3 μ m)致使電連接與未連接焊料塊間之高度變化不顯著，並且在接合至次一層次之組件時容易適應。

此法也可能有利用相同創新概念之種種變化方法。一種替代性方法需要對電子模組所將結合之基片觸點片執行此選擇性隔離法。

此外，圖5C中示另一用以使(諸)缺陷晶片電隔離之變化方法。雖然與關於使用絕緣層(27A)使缺陷晶片隔離之圖5B相似，但觸點片係成顯著不同大小。底觸點片27'成大小為大於配置於其上面之BLM 27。此種大小差異可用於測試模組內之晶片。特別是，在沈積著BLM墊片(27)前，使用與觸點片27'作成接觸之探針。此等探針可能對觸點片之表面造成損壞。因此，提供墊片大於在其上面所沈積著之BLM，藉以在將行沈積著BLM處外面之部位，對底觸點片之區域進行測試。因此，沈積著BLM之區域不受測試探針所干擾。可使用一種不可潤濕材料，諸如鉻，作為墊片27'之頂層，俾於焊料回流時消除焊料潤濕之墊片27'。

相據電子模組之晶片間間隔容差獲得關於較大底觸點片之另一好處。如果晶片層壓過程產生晶片間間隔之大變化，則將需要較大之觸點片，俾"抓取"，亦即電接觸所有

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

五、發明說明 (17)

提供至模組側面之轉移金屬引線15。於是不管晶片間間隔之變化，均可在較大之墊片上面敷著較小之BLM墊片。

如果需使觸點電隔離(亦即有缺陷之晶片)，可使用一種與圖5B中所示實施例相似之絕緣層。在觸點片與配置在其上面之BLM墊片間也敷著一絕緣層(圖5C，27A)。在此特定實施例，絕緣層必須大於先前諸實施例(圖5B)，俾計及較大之底觸點片。

圖6示根據本發明之單獨側面互相連接／主動電路結構，概括標示薄膜結構41之一種實施例。一臨時支座57(例如由矽所構成)對於在製造時存在其上之結構41提供一種強固支承，以及該結構附著至電子模組。支撐結構57宜使諸層能製成及附著至電子模組，此諸層和結構41一樣，為顯著較薄及機械式較弱於習知之半導體結構。因此，可將"薄膜"結構，諸如薄膜結構41附著至電子模組，而不將其直接製成在電子模組上。

可使用標準晶圓處理技術製造薄膜結構諸如薄膜結構41。開始製成一包含具有深導電溝道(亦即通路)之IC晶片之晶圓(例如請見1993年4月13日所授予，並經參考併入本案之美國專利5,202,754號，"Three-Dimensional Multi Chip Packages and Method of Fabrication")。然後使用臨時粘合劑(晶圓之面向臨時工件之主動面)將晶圓安裝至臨時工件。然後使用機械及(或)化學技術使所安裝之晶圓變薄，使導電溝道露出。然後在晶圓上構成諸薄膜層，連接至露出之導電溝道。此諸層可由金屬化及絕緣之適當阻合構成。然

五、發明說明 (18)

後將晶圓／臨時工件組合切成小片，形成"變薄之雙面晶片"附著至臨時工件。

在此種製造時必需臨時工件提供機械式支承。例如，無臨時工件，將不可能絕緣薄膜之高產量敷著於薄晶圓上。晶圓太過脆弱，經不起例如"旋敷"絕緣體時所產生之力。

根據本發明，結構41一經由焊料塊29電及機械式連接至電子模組，便除去臨時支座57。將臨時粘合劑層59插置於結構41與臨時支座57之間，便可能做到如此。在此項技藝上已知很多用於半導體製造處理之臨時粘合劑，E.I. DuPont De Nemours and Co., 所製之Ditac便為一實例。另一種臨時粘合劑為 General Electric Corp. 所製之Ultem。臨時支座57，粘合劑59及結構41之組合包含一將結構41轉移至電子模組之"臨時工件"。此係因為除去臨時支座時，薄膜結構41實體保留並經由焊料塊電附著至電子模組。

圖7示沿臨時粘合劑層除去臨時支座57後，所產生之電子模組。結構41之層51包含一已形成在基片49之金屬化層。此金屬化層有二項功能。首先，如以下所述，提供觸點與電子模組者匹配。第二，金屬化51使電子模組內之至少有些多重晶片13互相連接(亦即，至少有些晶片電連接至至少有些其他晶片)。金屬化層51可包含先前直接形成在電子模組側面之任何標準布線1金屬化線路設計。

在金屬化層51形成電觸點53，以方便金屬化層經由焊料塊29附著至BLM片27。可藉熟知之掩蔽／蒸鍍技術，例如藉BLM片之蒸鍍而形成電觸點53。請察知在BLM片27所

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明 (19)

形成之焊料塊29可代之為形成在薄膜結構41之電觸點53上，或形成在墊片27及觸點53上。不論何一實施例，焊料將會回流至二組電觸點(或BLM片)，提供結構41之適當電／機械式連接至電子模組之側面。

明確而言，可使電子模組實體定位，以便BLM片27與電觸點53對準，而藉以達成附著。一經適當定位。施加熱直到焊料塊29熔化。然後允許焊料塊冷卻，藉以建立良好之機械式及電連接。較佳為將一種聚合材料55(例如填滿氧化矽或氧化鋁之高溫環氧樹脂)加在薄膜結構41與電子模組之間，以增強機械式連接。

繼續說明薄膜結構，將一主動電路層45配置在基片49之與金屬化層51相反之平面表面。仍依主動電路層45所連接之晶片而定，該層可執行各種功能之任何一種。例如，如果晶片13包含記憶體晶片，則主動電路層45可例如提供記憶體控制器功能。

在一種實施例，使用1993年12月14日所授予，並經參考併入本案，名稱為"ThreeDimensional Multichip Package and Methods of Fabrication"之共同讓渡美國專利5,270,261號中所述之薄膜技術形成基片49。簡要而言，此專利闡示層疊晶片結構之形成，包括穿過變薄基片之"溝道"互相連接。使用此技術，可形成導電溝道47(亦即通路)通過基片49，俾在其二主要平面表面之間伸延，並且如果希望，使金屬化層51及主動電路層45電互相連接。溝道47顯著簡化結構41之諸層間之電連接，減少需要外部互相連接布線，並進

(請先閱讀背面之注意事項再
訂本頁)

裝

訂

線

五、發明說明(20)

而增加所產生之電子模組之互相連接密度。

也可使用一第二臨時粘合劑及一第二臨時支座，將薄膜結構41倒裝，以便主動電路層連接為靠近電子模組。這就信號傳播而言具有優點。

繼續說明目前之實施例，提供薄膜結構41及對其所加接之電子模組之連接至外部電路。就此點而言，將電觸點43敷著在結構41之主動電路層45之露出表面。觸點43可在主動電路層45粘附至臨時支座57前予以敷著。觸點43也可在薄膜結構41已轉移至電子模組後予以敷著。可使用習知技術敷著此等電觸點。觸點43可電連接至電子模組上之個別半導體晶片，連接至主動電路層45，或連接至兩者。在此項技藝上已知很多不同方法，可用以連接至電觸點43，例如包括焊料塊，帶自動接合(Tape Automated Bonding，簡稱TAB)或引線接合技術。

由以上討論，精於此項技藝者將會察知，人們曾已提供一種高度先進之電子模組，具有側面互相連接，主動控制電路，及觸點備供電附著至外部裝置。但請察知所提出之結構僅包含本案所闡示創新概念之一種實施例，意在作為實例，其次介紹對基本創新概念之種種變化。

作為一種變化，如果配合諸如以上所介紹之薄膜結構使用，則可免除將半導體晶片層壓在一起成為電子模組(一"疊層"之積體電路晶片)之過程步驟。在此種實施例，可在半導體晶片間採用隔片代替永久粘合劑層19。如圖8中所示，隔片65可在電子模組內提供均勻之晶片間隔，並在製

(請先閱讀背面之注意事項再
本頁)

裝

訂

線

五、發明說明 (21)

造處理時，保護電子模組之主動面。較佳為選擇諸個別隔片65之寬度，補償包含該電子模組之諸半導體晶片之寬度變化，而藉以在電子模組內保持均勻之晶片間間隔。隔片65較之在晶片間使用粘合劑層提供對晶片間間隔之較大控制，從而減少掩模之對準問題，並允許製造更多晶片數之疊層。另外，如果希望，可在電子模組接合至金屬化層後除去隔片，俾利於改進之熱管理(例如允許空氣或液體在晶片間流動，而藉以自電子模組散熱)。

用以在未膠合半導體晶片疊層上形成電觸點27之方法，不同於以上所介紹之方法。此係因為必須使未膠合之晶片疊層對準，然後例如使用以上所討論之技術在薄膜結構上形成電觸點27時，必須保持對準。保持疊層對準之一項途徑為使用一種彈簧加載之夾具(未示)。

被隔片65分開之晶片13已焊接至薄膜結構後(諸如圖7之結構)，可能需要另一供晶片之機械式支座。此係因為疊層未藉粘合劑固持在一起，並且諸個別晶片僅例如藉BLM片在晶片之邊緣予以機械式支撐。因此，晶片可能會傾斜，將應力加於電子模組及薄膜結構上之電觸點。

如圖8中所示，製成在每一晶片邊緣之'平衡'片63可用以將晶片13機械片支撐在薄膜結構41上。此等片提供支承，因為每一晶片13可倚靠於其邊緣，而不將過度之應力加於"主動"BLM片27。可配合習知之蒸鍍技術，使用Mo掩模製成平衡片63，而有孔對應於希望之平衡墊位置。可使用含

(請先閱讀背面之注意事項再
本頁)

裝

訂

線

五、發明說明 (22)

兩組掩模孔之Mo掩模形成"主動"及"平衡"墊片。平衡墊片63之厚度於是將為諸如適當支承關連之晶片。

作為另一種變化，薄膜結構可包含一被動薄膜。請參照圖9及10，被動薄膜71(例如一種型式稱作'撓曲電路')予以電及機械式接合至電子模組。在圖9及10中所示之特定實施例，電子模組有一預先存在之側面金屬化層79，其可藉此項技藝上所習知之技術形成(可任選將層79省略)。和薄膜結構41相似(圖6-8)，被動薄膜包含一第一金屬化層71，配置在一接合至電子模組之主要平面表面。被動薄膜之相反平面表面包含一第二金屬化層75，而非圖6-8之主動電路層45。不過，與被動薄膜關連之其餘結構為與以上所介紹實施例之薄膜結構者相似。電觸點配置於被動薄膜之二表面，分別用以將第一金屬化層連接至電子模組，及將第二金屬化層連接至外部電路。導電通路77使二金屬化層互相連接，藉以允許信號在電子模組(連接至第一金屬化層)間傳至外部電路(連接至第二金屬化層)。

現有很多材料用以形成被動薄膜，包括供撓曲電路及各種陶瓷基片之聚亞醯胺帶。可在臨時工件57上之數層(圖9)，以一種與形成先前所述薄膜結構相似之方式構成被動薄膜。工件係在製造被動薄膜及隨後接合電子模組時使用。但在此特定實施例，製造不以基礎晶片開始。而是在臨時支座／臨時粘合劑層上面構成金屬化及絕緣之諸薄膜層。適當開闢通路，使薄膜內之各薄膜層互相連接。在已接合後，沿臨時粘合劑59除去臨時工件(圖10)，而被動薄

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明 (23)

膜仍保持接合至電子模組。

被動薄膜可具有很多與其關連之功能。例如，其可用以 (a) 在電子模組之諸晶片間提供電"匯流排"連接；(b) 提供以模組中之備用晶片電替代電子模組中之(諸)缺陷晶片；以及(c) 提供電子模組中諸晶片之與外部電路所提供信號關連之複雜互相連接。

根據本發明，使用包含金屬化互相連接之被動薄膜，提供很多優於習知側面金屬化之優點。被動薄膜(1)可與電子模組分開製造、(2)可在薄膜之二表面包含個人化金屬化圖案；及(3)較之習知側面金屬化低廉。此項技藝上已知供被動薄膜製造之個人化方法包括(a)線去除法(例如雷射燒蝕)；(b)線增加法(例如雷射化學蒸敷或U形釘接合)；及(C)預製薄膜。

作為又一實施例，圖11中所示之主動電路層81(例如處理機電路)可形成於電子模組之第一側面。此實施例因此在疊層之二側面利用側面處理(例如敷著BLM墊片)，其可如先前本案供一側面所述進行。將薄膜結構41(或被動薄膜71)接合至第一側面，同時使用上述之臨時工件及薄膜技術，或使用已變薄之標準處理器晶片，在第二側面形成及敷著主動電路層81。

宜在電子模組之第二側面提供一主動電路層，藉以可不再必需第一表面主動電路層45及關連之導電溝道47(圖7)(電子模組之每一晶片上之金相圖案變為較複雜，因為其必須連接至二邊緣(包含該二側面)，以及每一晶片表面上

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明(24)

之I/O墊片)。因此，形成一有一薄膜結構接合至第一側面及一主動電路層接合至第二側面之電子模組。再者，此等技術可予擴充為在電子模組之超過二側面提供薄或習知結構之各種組合。一種有一附著之結構諸如單獨形成之側面金屬化之電子模組，被視為一種"增強型"電子模組。

作為本發明之又一種變化，可藉許多不同方法在電子模組上形成電觸點。此等方法為此項技藝上所已知，並可無需平版印刷步驟而完成，因而免除與其關連之時間，複雜，及費用。例如，可使用電鍍法沈積著BLM墊片。可代之為使用無電極敷鍍法。特別是，可將晶片之疊層浸入一系列之槽內，各敷著一種個別金屬。諸金屬優先敷著於露出之導體，因而轉移金屬15將會與諸觸點自動對準。不過，此法有一限制。轉移金屬導體一般僅寬 $1-3\mu m$ ，故無電敷鍍BLM墊片將會很窄。

作為另一種變化，可使用焊接外之其他技術，將電子模組上之電觸點附著至薄膜結構，基片或其他電子模組上之觸點。替代性技術例如包括使用導電聚合物，聚合物一金屬複合軟膏或各向異性導電聚合物。

另外，依電子模組而定，主動電路層45之功能可有所變化。作為一種實施例，晶片13可包含記憶體晶片，在此情形，電路可作用如監視記憶體分配及利用之記憶體緩衝器及記憶體控制器。而且，如果一特定晶片13失效並需以電子模組11中之另一晶片13替代，或予捨棄，此功能可能特別重要(請見待決專利申請案，名稱為"Integrated Multichip

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

Memory, Module Structure and Fabrication" 之 08/120,876 號及名稱爲 "Integrated Memory Cube, Structure and Fabrication" 之 08,120,993 號)。

主動電路層 45 可代之爲提供一種裝置，以替代電子模組之一個或多個半導體晶片內之失效位元 (請見名稱爲 "Semiconductor Stack Structures and Fabrication/Sparing Methods Utilizing Programmable Spare Circuit" 之待決專利申請案 08/220,086 號)。在另一實施例，主動電路可提供客戶專用功能諸如誤差校正，記憶體信號交換，或自行測試 (例如請見待決專利申請案，名稱爲 "Integrated Multichip Memory, Module Structure and Fabrication" 之 08/120,876 號，及名稱爲 "Integrated Memory Cube, Structure and Fabrication" 之 08,120,993 號)。因此，主動電路層 45 可提供各種各樣功能，支援積體電路晶片 13 之疊層。

本發明之概念及技術可用以製造各種高密度電子封裝。如人們所知，較高密度封裝有利在諸組件間造成較短之互相連接，產生一種速度較高，表現較佳之電子封裝。

作爲一種實施例，圖 12 示一種密封之電子封裝。該封裝中包括可使用本案先前所述技術所形成之電子模組 11。然後將電子模組接合可使用習知基片製造技術，由一種諸如陶瓷之材料所形成之插入器 95。插入器爲電子封裝提供各種功能。首先，在插入器所形成之導電通路 85 將電子模組連接至一主動電路層，諸如邏輯／控制晶片 93。

插入器內之布線可予設計爲方便具有預定觸點圖案之"現

(請先閱讀背面之注意事項再
為本頁)

裝

訂

() 線

五、發明說明(26)

有"晶片(諸如處理器晶片)連接至電子模組。在插入器內另提供布線97,通過電觸點89及引線框架連接87,將電子封裝連接至外部電路。插入器可任選包含用以使電子模組內之各晶片互相連接之布線(未示)。

在某些具環境應力之環境,必須一種氣密密封封裝。使用"厚"插入器使電子封裝能予以氣密密封。使用氣密蓋帽83及91配合氣密密封99獲致穿越插入器之氣密性。僅包封封裝之一元件,諸如晶片(11)之疊層,可藉以氣密密封封裝之一部份。例如使用聚合物密封99,例如一種高溫環氧樹脂之非氣密密封,可任選用以保護封裝以防外界環境影響。

圖13中示氣密密封電子封裝之另一實施例。除了先前所述之結構外,在插入器與邏輯/控制晶片103之間形成薄膜布線/互相連接層101。可使用本案所述之臨時工件技術,進行層101之製造。可在一基片,可伸縮線,或在半導體晶片上形成層101。薄膜布線/互相連接層所提供之功能包括重新分配及匯接電子模組與邏輯/控制晶片間之信號,以及提供邏輯/控制晶片與外部電路間之簡化互相連接。層101允許配合電子模組使用"現有"處理機或邏輯控制晶片。層101確使晶片103之適當墊片連接至電子模組之墊片。如果晶片夠大,可包括層101作為晶片103本身上之另一布線層次。因此,層101可將標準現有微處理機轉變為與電子模組之墊片界接。

另一布線/互相連接層使能因為所需之邏輯/控制晶片

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (27)

互相連接功能簡化，而使用較小之邏輯／控制晶片。如圖所示，在此實施例，邏輯／控制晶片之實體面積小於電子模組之側面。

使用氣密密封時，重要的是將薄膜布線／互相連接層(101)包含在氣密帽蓋區域以內，因為穿越與薄膜層關連之聚合鈍化無法達成氣密性。如圖所示，薄膜布線／互相連接層及邏輯／控制晶片均包容在氣密帽蓋91之區域以內。因此可在插入器基片95之兩側達成氣密性，保護電子模組及邏輯／控制晶片。也請予察知，插入器之伸延超過氣密帽蓋之部份未予密封。例如使用聚合物密封99之非氣密密封可任選用以保護封裝以防外界環境影響。

圖14及15中示氣密(或非氣密)密封電子封裝之另外實施例。此等實施例各包括用以將電子封裝連接至外部電路之替代性裝置。在圖14中所示之實施例，雙面引線框架105用以連接至外部電路。如圖15中所示，另一實施例包括用以連接至外部電路之I/O墊片107及鄰接之I/O接腳109。因之，其提供至外部電路之簡單，標準連接性。

可能有高密度電子封裝之其他實施例。例如，電子封裝可包含一疊層之記憶體晶片。一邏輯／控制晶片，處理器晶片，或與封裝之功能相關之任何主動積體電路，可與其相關連。作為一種實例，記憶體可主要為快速緩衝記憶體。與封裝處理機及關連快速緩衝記憶體之目前方法比較，本發明提供重要優點，包括：

1. 本案所述電子封裝技術之超高密度能力，允許提供大

五、發明說明 (28)

很多之快速緩衝記憶體。

2. 不僅由於電子模組之較高密度，也由於電子模組與處理機間之近密互相連接，故有重要之性能優點。無中間層次之封裝，以及所有其關連之延遲及系統性能影響。

(c) 因為快速緩衝記憶體現在與處理機近密接觸，故現在可想像層次一("L1")快速緩衝記憶體自電子模組之處理器晶片移動至接近間開之記憶體晶片。這實際減低處理器晶片之大小及成本，有簡化其設計及製造。請察知，L1快速緩衝記憶體一般為最快緩衝記憶體，並且通常位於處理器晶片上。

4. 現在能以高出很多之每晶圓生產量製造此種匹配其縮減大小之簡化處理機。

5. 具有晶片上L1快速緩衝記憶體，並有較大及較慢層次二("L2")快速緩衝記憶體在單獨模組外面之標準處理機，其一種替代為直接連接在一起之處理機及電子模組，該電子模組有L1及L2記憶體均在一封裝中。藉減低之布線延遲，改進之存取時間，較高之命中比，以及接近聯接之電子模組中記憶體之較大大小，L1及L2快速緩衝記憶體可結合為一體。

6. 也可將甚至較L2快速緩衝記憶體更大及更慢之主記憶體包括於聯接至處理器晶片之電子模組。而且，記憶體及處理機之緊密結合增加系統之速度及總體密度。

7. 所有此等優點累積直接轉化為較低之產品成本及較高之系統性能，從而較之對最終用戶提供此種功能之目前方

五、發明說明 (29)

法能有較高之邊際利潤。

高速處理機產生大量必須予以除去之熱。儘管接近結合之電子模組，本發明提供若干除去該熱之封裝實施例。本發明也提供若干用以使處理機，電子模組，封裝及外部電路板互相連接之實施例。以下就圖16-26詳細說明此等電子封裝之實施例。

作為一件實施例，圖16例示一種處理機／快速緩衝記憶體封裝。處理器晶片113予以模片接合至基片115A，以供熱管理及機械式支承。將處理機連接至基片引線接合片123之引線接合(111)，在處理機與基片(115A)之間提供電連接性。在基片內，信號被互相連接，然後在外部排定路線通過輸入／輸出(I/O)接腳109。處理器晶片113也藉焊料塊(29)接合予以電連接至電子模組11。在I/O接腳109進入電子封裝之信號通過包容於基片115A及引線接合111內之導電布線(未示)至處理器晶片113及電子模組110。

在結構上，電子模組11及處理機113完全凹入腔基片115A上之腔110A內。安裝至例如印刷電路板時，腔基片115A之頂面117覆蓋並保護內部組件。可藉例如基片115A之固有熱輻射能力，或在基片115A之頂面(117)另加冷卻片(未示)自封裝除去熱。儘管接近結合之電子模組，該封裝設計能自處理機除去熱。

圖17中示另一種電子封裝。邏輯／控制晶片93(一項可能用途為記憶體管理)予以接合至除熱並提供機械式支承之腔基片115B。引線接合111將邏輯控制晶片93附著至引線

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明 (30)

接合墊片123。使用模片附著材料119將電子模組11在一端面接合至邏輯／控制晶片。另外之引線接合111將電子模組相反端面上之熱片電連接至邏輯／控制晶片及基片(115B)。基片115B內之布線使I/O接腳109，電子模組11，及邏輯／控制晶片93互相連接，以形成積體記憶體控制器／記憶體封裝。

引線接合之獨特組織使均包含在腔基片115B之腔110B內之電子模組11，邏輯／控制晶片93及基片115B互相連接。如圖所示，引線接合墊片123位於基片腔內之不同位置，以利諸結構間之簡化引線接合。例如，第一引線接合墊片層次112最接近邏輯／控制晶片，而第二引線接合墊片層次114最接近電子模組。諸引線接合予以安排路線為沿一結構與對應引線接合墊片層次間之最有效率路徑。

在製造完成後，可附著罩蓋121，將腔覆蓋並保護裡面之諸元件。作為一種加強，可使用一種導熱化合物(例如請見圖23)將罩蓋及電子模組接合。另外，罩蓋可用以氣密或非氣密式密封電子封裝。另一種增強需要冷卻片(例如請見圖23)附著在基片之頂面，產生對電子模組之熱管理之進一步改進。

圖18示本發明之一種全部使用焊料塊連接之實施例。一"薄餅"格式電子模組11端面予以齊平安裝於腔基片115C之腔110C內，並將所產生之平面表面焊料塊接合至處理器晶片113。或則，將電子模組11焊料塊接合至晶片113，然後將晶片113焊料塊接合至有電子模組11在腔110C內之基片

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明 (31)

115C。基片包容內部布線(未示)，其將處理機連接至基片底面上之焊料塊連接，以供連接外部電路。通過藉熱油脂或熱接合結合至晶片113之頂蓋除去熱。

圖19及20中例示本發明之又一實施例。在此實施例，動態隨機存取記憶體(DRAM)晶片125及靜態隨機存取記憶體(SRAM)晶片127均包容在電子模組11內(圖20)。處理器晶片予以齊平安裝在腔基片(115D)內，以便SRAM可例如作用如快速緩衝記憶體，並予直接焊料塊(129)接合至處理機113，同時DRAM可例如作用如主記憶體，以及焊料塊(131)接合至基片(請察知，雖然焊料塊連接129及131在頂視圖中為不可見，但其示於圖20之頂視示意圖，以求明晰)。處理器晶片及基片藉處理機通至引線接合墊片123之引線接合111予以電連接。此實施例合宜將一處理機及多重記憶體層次均結合於單一超高密度電子封裝。

電子模組，邏輯／控制晶片，及(或)基片布線網間之引線接合互相連接使一種成本經濟之技術能使電子封裝之功能適合個別客戶規格。電子封裝，邏輯／控制晶片，及基片間之多重引線接合墊片及引線接合互相連接圖案，亦即"引線接合規劃"可用以改變電子封裝之功能。在組裝封裝上，此種引線接合規劃提供很大之變通性，因為其可在機械式聯接電子模組，邏輯／控制晶片，及基片前或在其後完成。

附著至電子模組之邏輯／控制晶片可提供各種記憶體管理功能及能力。如先前所討論，其可例如包括誤差校正，

五、發明說明 (32)

記憶體信號交換，疊層內之自動晶片捨棄，及(或)緩衝(請見名稱爲"Semiconductor Stack Structures and Fabrication/Sparing Methods Utilizing Programmable Spare Circuit"之待決專利申請案 08/220,086號)。圖21-23中示此等安排之實例。

圖21例示本發明之一種實施例，其中邏輯／控制晶片93予以齊平安裝於腔基片115E之腔110E內。這使電子模組11能同時焊料塊接合(29)至邏輯／控制晶片及基片。任選將一薄膜布線／互相連接層(未示)敷著於電子模組11與邏輯／控制晶片93及基片115E之間。此層在電子模組，主動積體電路晶片及基片之間提供電互相連接。在形成此層時，可採用本案先前所述之臨時工件技術，或習知之側面金屬化方法。

請予概括察知，可能有平齊安裝之半導體結構(例如晶片及(或)電子模組)接合至各種其他半導體結構之其他種種組合。

圖22之實施例包括具有腔110F及開口133之腔基片115F。此開口使(1)增強之熱管理；(2)更寬之電子模組構造選擇範圍；及(3)獨立之次組件去除及更換成爲可能。除了開口所提供之固有傳熱外，其可用以增加低成本熱管理技術。熱管理爲控制裝置之溫度。其可包括提供或除去熱。圖23中示一種如此之技術。使用熱化合物135(諸如熱油脂)將一散熱片137附著至邏輯／控制晶片93之背面。開口也允許運用各種替代性構造選擇。例如，可將各種使用者可選擇之邏輯／控制晶片，或其他型式晶片(例如處理機)選

(請先閱讀背面之注意事項再爲本頁)

裝

訂

線

五、發明說明 (33)

擇性附著至標準電子模組。另外，開口容許將邏輯／控制晶片移除，供以簡化方式修理及(或)更換。以一種與圖22之實施例相似之方法，一薄膜布線／互相連接層(未示)可用以使基片115F，電子模組11及邏輯／控制晶片93互相連接。

圖24及25之二圖中示又一包括有進步熱管理之實施例。在基片上製成冷卻通道139，繞電子模組提供直接之氣體或流體冷卻劑流動路徑。在基片增加另外之冷卻劑流動通道及(或)傳熱片附著至電子模組，可藉以提供補助熱管理。

圖26中示本發明之一種包括有散熱片之氣密氣封實施例。氣密密封99配置在散熱片143與腔基片115H之間，及氣密帽蓋83與基片115之間。附著至邏輯控制晶片93之散熱片143(藉熱化合物141)，以及通過氣密帽蓋83之傳熱，提供電子模組之熱管理。在另一實施例，可將冷卻片附著至氣密帽蓋，或可將一種熱化合物施加於電子模組與氣密帽蓋之間(均未示)。在又一實施例，如果不需要氣密帽蓋，而僅需諸組件之機械式保護，可由例如利用高溫環氧樹脂之非氣密密封替代氣密密封。

包含記憶體晶片之(諸)電子模組與記憶體晶片之密集結合，允許各種不同之記憶體組織及結構。特別是，L1快速緩衝記憶體，L2快速緩衝記憶體及主("L3")記憶體可予選擇性配置在一電及機械式聯接至處理器晶片之電子模組(或多個電子模組)內。可將其他與處理機關連之晶片加至處理機及(諸)電子記憶體模組之組合，提供另外種種功能(例如

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明 (34)

匯流排控制器，介面晶片，或圖形控制器)。因之，在一封裝形成一完整之"電腦單元"。以下就圖27-32詳細說明此等電腦單元之實施例。

作為一種實施例，圖27例示一包含多層次快速緩衝記憶體及一主記憶體之電腦單元。處理機150A包含快速緩衝記憶體控制器152及L1快速緩衝記憶體(未示)。快速緩衝記憶體控制器管理L1(晶片上)及L2(離晶片)快速緩衝記憶體。L2快速緩衝記憶體由包括許多記憶體晶片之電子模組154所提供。電子模組與處理機之間藉焊料塊(29)提供互相連接。

一包括主記憶體晶片(例如DRAM)之第二電子模組(156)藉焊料塊予以電及機械式聯接至電子模組154。焊料塊(29)電及機械式接合至配置在每一電子模組之實際平面表面上之觸點。可使用形成T形連接之標準技術，或通過如本案所述之敷著BLM墊片，藉以形成此等電觸點。

一插入器基片(158)予以電及機械式接合(使用焊料塊)至主記憶體電子模組156之頂面。另外，主記憶體控制器晶片160予以焊料塊接合至插入器158之頂面。

本案提供一種在圖27中所示之電腦單元內，在諸元件間電互相連接之新穎方法。將匯流晶片162配置在二電子模組內。此等晶片提供直接之電連接，自處理機150A通過兩組電子模組一直到並且通過插入器基片158，至記憶體控制器160。記憶體控制器於是通過設於插入器基片158上之電互相連接與包含主記憶體模組156之晶片電連通。所產生之電

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (35)

腦單元因此包括二一有一整體L1快速緩衝記憶體及L1/L2快速緩衝記憶體控制器之處理器晶片；一設於一電子模組上之L2快速緩衝記憶體；一設於另一電子模組上之主記憶體；一主記憶體控制器晶片；以及匯流晶片及使整個電腦單元緊密互相連接及結合之組合。

請予察知，二電子模組間之大多數焊料塊連接僅提供機械式支承。只有配置於其上提供電觸點之諸焊料塊為附著至匯流晶片162者。

在圖28中所示之另一實施例，已提供處理機150B，有無晶片上L1快速緩衝記憶體。因之已提供包含L1及L2快速緩衝記憶體之電子模組166。請予察知，此包含單獨之L1及L2快速緩衝記憶體電路或一記憶體供作極大型L1快速緩衝記憶體，免除需要L2快速緩衝記憶體。此係因為記憶體模組166密集結合至處理器晶片150B而為可能。

晶片上快速緩衝記憶體之優點之一，為在處理機與記憶體之間可有大量互相連接，而允許寬字。本發明在處理器晶片與積體L1/L2快速緩衝記憶體模組之間提供可相比較大總數之互相連接。本案提供高密度輸入／輸出("I/O")互相連接164使L1/L2電子模組與處理器晶片互相連接(請見1993年4月13日所授予，先前經予參考併入本案之美國專利5,202,754號，"Three-Dimensional Multi Chip Packages and Method of Fabrication")。積體L1/L2快速緩衝記憶體166由設於處理器晶片上之快速緩衝記憶體控制器予以控制。

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明 (36)

圖28中所示電腦單元之其餘部份為與圖27中所示者相似。明確而言，提供一L3主記憶體模組(156)並予焊料塊接合至整個L1/L2快速緩衝記憶體模組。另外，並提供插入器基片158及主記憶體晶片控制器160，藉配置於二電子模組內之匯流晶片連接至處理機。

圖29中所示本發明之實施例，代表一種電腦單元，包含一有三層次(L1，L2及L3)記憶體之單一電子模組157。特別是，諸主記憶體晶片156(例如DRAM)予以組合在電子模組之"相反"兩端。快速緩衝記憶體晶片166(例高速SRAM)在主記憶體晶片"裡面"組合在一起。和在先前諸實施例一樣，匯流晶片162配置在包含電子模組157之晶片疊層中央。電子模組內也可能有各種型式晶片之其他組織。而且，和在先前諸實施例一樣，插入器基片158及記憶體控制晶片160為包括於電腦單元內。

高輸入／輸出("I/O")互相連接164提供處理機150C與合併L1/L2記憶體間之互相連接。如圖所示，無直接連接存在於主記憶體晶片(156)與處理器晶片150C之間。電腦單元以此方式組成，因為至主記憶體晶片156之所有連接均通過高I/O互相連接164，匯流晶片162，主記憶體控制器160及插入器基片158。

圖30示圖29之電腦單元之一種加強型，不過圖示之諸特色可包括於本案所述之其他諸實施例。周邊組件互相連接(Peripheral Component Interconnect，簡稱"PCI"匯流排控制器172已使用焊料塊接合予以機械式及電聯接至插

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明 (37)

入器基片158。插入器基片內之布線將PCI匯流排控制器172連接至適當之元件，諸如電子模組159之處理機150D及記憶體晶片。例如，如圖所示，匯流排晶片170已加至電子模組，以將PCI匯流排控制器172(通過插入器基片158所連接)連接至處理器晶片150D。請予察知，如圖所示，高I/O互相連接(164)已予擴充，以適應處理機連接至匯流排晶片170。

一介面電纜(180)予以機械式及電連接至插入器基片(158)。此電纜自PCI匯流排控制器172提供連接至PCI匯流排(未示，在電腦單元外面)。插入器基片在PCI匯流排控制器與介面電纜之間提供適當之連接。同樣，可使用其他型式之介面晶片。例如，一種圖形控制器可替代PCI匯流排控制器，將圖形功能結合於電腦單元內。介面電纜於是提供外部連接至圖形控制器。可代之為將圖形控制器及PCI匯流排控制器均附著至插入器基片，在電腦單元內提甚至更多功能，事實上，使用本案所述之結構及方法，可完成可配合電腦單元使用之任何積體電路晶片，或積體電路晶片之組合。

圖示第二介面電纜182附著至電子模組11之一端面。該介面電纜可直接電附著至電子模組內之晶片之一，或附著至一端側或側面金屬化圖案(未示)。可使用慣常技術或本案所述者敷著金屬化。

第二介面電纜182可為電腦單元提供另外之I/O功能，或可用作另一電源及接地。此可能為減輕需要分配大量功率

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明 (38)

通過處理器晶片至與其附著之各組件所必要。直接供電至電子模組，處理器晶片150D便可有減少之布線，並需要較少之散熱。

圖31A-C中示各種型式之匯流晶片。不拘匯流晶片之特定型式，匯流晶片位於電子模組內，致使邊緣表面與電子模組之側面平行。匯流晶片162上之布線176使電子模組之第一側面上諸點連接至電子模組之第二側面上之諸點。

作為第一實例，圖31A示匯流晶片162包含布線176連接至晶片之二相反邊緣。此種型式之晶片可用於本發明之至此所示之諸實施例。如圖所示，布線176無需為直線。因此，布線可連接至未配置為彼此相對之諸點。

圖31B示配置於匯流晶片162A上之布線之一種較複雜組合。圖示"水平"及"垂直"布線連接匯流晶片162之相對邊緣。另外，圖示"弧"形匯流連接匯流晶片之垂直邊緣上之諸點。在此特定實施例，請予察知，各種布線位於不同層次，以便彼此電絕緣。例如，最簡單為，所有"水平"布線在一層次，所有"垂直"布線在另一層次，而所有"弧形"布線在第三層次。或則，使用通路可藉以適應所有三種布線，並在二布線層次保持絕緣。

圖31C之匯流晶片178代表一種自電子模組之一表面提供匯流至另一表面之替代性技術。圖示一種具有轉移布線之代表性IC晶片。不過，在轉移布線層內包括另一"垂直"轉移布線176，以提供匯流連接。因此，一單一晶片便可在包含該晶片之電子模組表面間提供主動功能及匯流排互相連

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明 (39)

接。因此，可用具有匯流布線之主動晶片替代先前諸實施例之專用匯流晶片。

本發明之技術可應用於電腦單元之微處理機執行。如圖32中所示，一電子模組(188)接合至二記憶體(150E)。該電子模組包含所有層次(L1/L2快速緩衝及L3主)記憶體。此記憶體藉高I/O互相連接(164)予以互相連接至諸處理機。處理機及電子模組之組合予焊料塊接合至基片190。基片內之布線方便電子模組內各晶片之互相連接，以及通過例如接腳(未示)之外部電接觸。

通過匯流晶片162A達成自每一處理機至基片之連接。因為基片190垂直於每一處理器晶片，故使用如圖31B中所示之"弧"型布線。作為一項概括意見，每一處理機可在電子模組內有其自己之專用記憶體晶，或諸處理機可共用(所有層次之)共同記憶體。通過設於匯流晶片上之連接，或通過在疊層內容納於個別積體電路晶片之匯流(例如，如圖31C中所示)，或配合基片上之布線所使用之匯流方法可藉以達成諸處理機間種種活動之協調。

雖然本發明業經就其某些較佳實施例予以詳細說明，但精於此項技藝者可在其中完成很多修改及變化。因之，後附之申請專利範圍意為包括所有在本發明之真正精神之範圍以內之修改及變化。

四、中文發明摘要(發明之名稱：用以連接一薄層至一單片電子模組表面的工件)

一種臨時工件，用以附著至一半導體結構之實際平面表面，該臨時工件包含：

一臨時支座；

一臨時粘合劑層配置在臨時支座之一表面上；以及

一薄膜層，藉臨時粘合劑層聯接至臨時支座，其中將薄膜層接合至半導體結構之實際平面表面，並使臨時支座沿臨時粘合劑層與薄膜層分離，可藉以將薄膜層轉移至該實際平面表面。

英文發明摘要(發明之名稱："WORKPIECE FOR CONNECTING A THIN LAYER TO A MONOLITHIC ELECTRONIC MODULE'S SURFACE")

A temporary workpiece for attaching to a substantially planar surface of a semiconductor structure, said temporary workpiece comprising:

a temporary support;

a temporary adhesive layer disposed on a surface of said temporary support; and

a thin-film layer coupled to said temporary support by said temporary adhesive layer, wherein said thin-film layer can be transferred to said substantially planar surface of the semiconductor structure by bonding said thin-film layer to said substantially planar surface and decoupling said temporary support from said thin-film layer along said temporary adhesive layer.

六、申請專利範圍

1. 一種臨時工件，用以附著至一半導體結構之實際平面表面，該臨時工件包含：
 - 一臨時支座；
 - 一臨時粘合劑層配置在臨時支座之一表面上；以及
 - 一薄膜層，藉臨時粘合劑層連接至臨時支座，其中將薄膜層接合至半導體結構之實際平面表面，並使臨時支座沿臨時粘合劑層與薄膜層分離，可藉以將薄膜層轉移至該實際平面表面。
2. 如申請專利範圍第1項之臨時工件，其中該薄膜層包含一金屬化層，並且其中該金屬化層予以構形為在接合至半導體結構之實際平面表面時，電連接至半導體結構。
3. 如申請專利範圍第1項之臨時工件，另包含許多電觸點配置在薄膜層上，供在薄膜層接合至半導體結構時，建立至半導體結構之電接觸。
4. 如申請專利範圍第1項之臨時工件，另包含一基片配置在薄膜層與臨時粘合劑層之間，該基片在臨時支座沿臨時粘合劑層與薄膜層分離時，為薄膜層提供機械式支承。
5. 如申請專利範圍第4項之臨時工件，另包含一主動電路層配置在基片與臨時粘合劑層之間，該主動電路層於臨時工作與其電及機械式附著時，與半導體結構聯合作用。
6. 如申請專利範圍第5項之臨時工件，其中該基片包括許多導電通路在薄膜層與主動電路層之間伸延，該許多導電通路在薄膜層與主動電路層之間提供電接觸。
7. 如申請專利範圍第5項之臨時工件，另包含許多電觸點配

六、申請專利範圍

- 置在主動電路層上，以供方便其電聯接至半導體結構外面之電路。
- 8.如申請專利範圍第1項之臨時工件，另包含一被動薄膜層配置在薄膜層與臨時粘合劑層之間，該被動薄膜於臨時支座沿臨時粘合劑層與薄膜層分離後，為薄膜層提供機械式支承。
 - 9.如申請專利範圍第8項之臨時工件，另包含一金屬化層配置在被動薄膜與臨時粘合劑層之間，該金屬化層於臨時工件與其電及機械式附著時，電連接至半導體結構。
 - 10.如申請專利範圍第9項之臨時工件，其中該被動薄膜包括許多導電通路在薄膜層與金屬化層之間伸延，該許多導電通路在薄膜層與金屬化層之間提供電接觸。
 - 11.如申請專利範圍第9項之臨時工件，另包含許多電觸點配置在金屬化層上，以供其電接觸至半導體結構外面之電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

() 線

88100706
 (由84107335分割)

40513kw

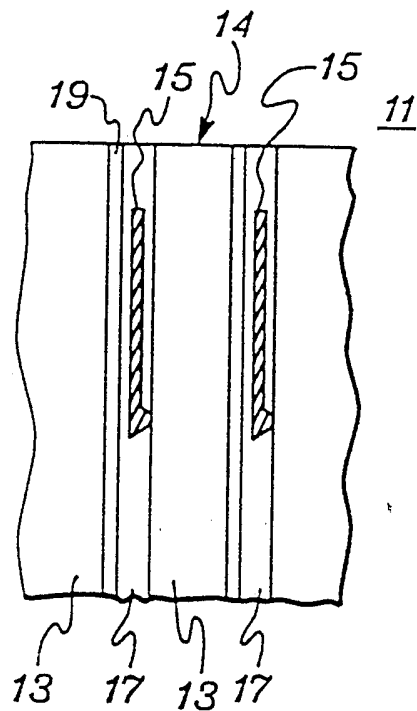


圖 1

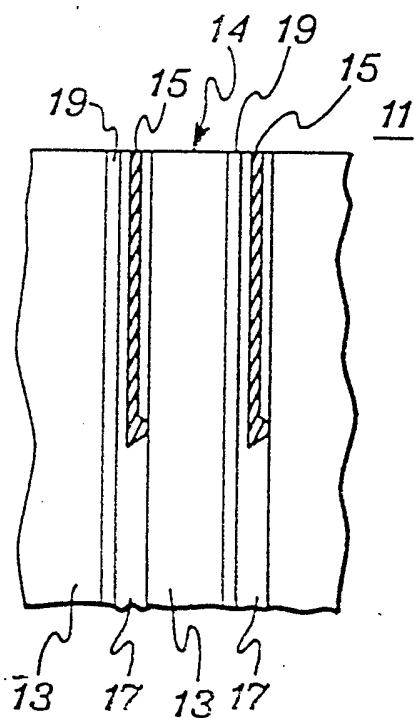


圖 2A

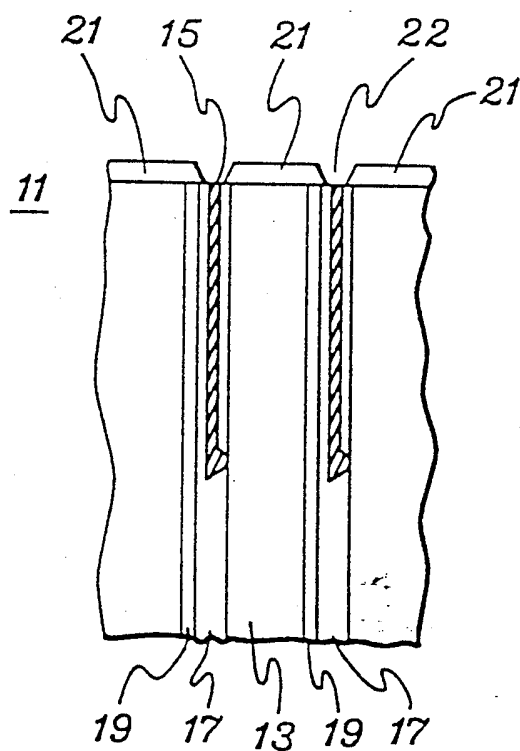


圖 2B

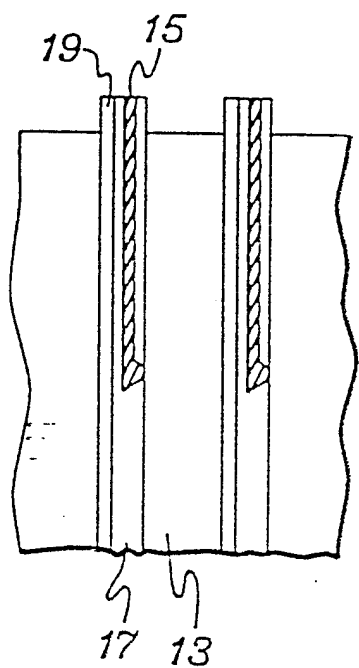


圖 3A

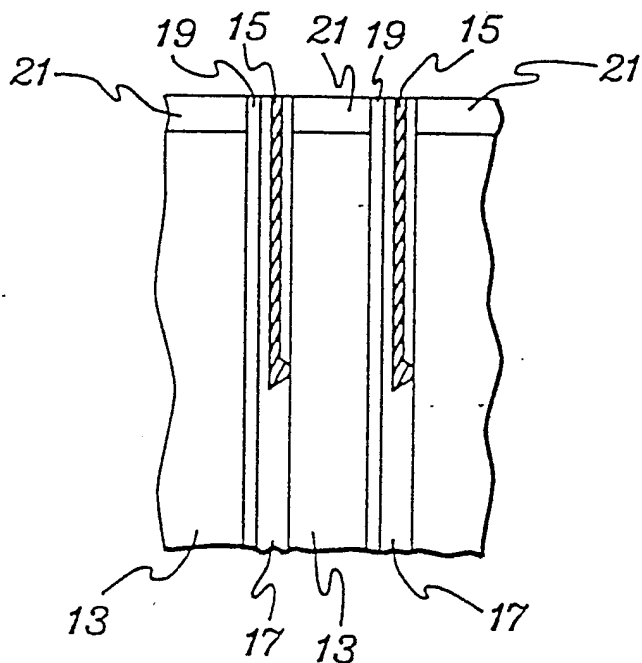


圖 3B

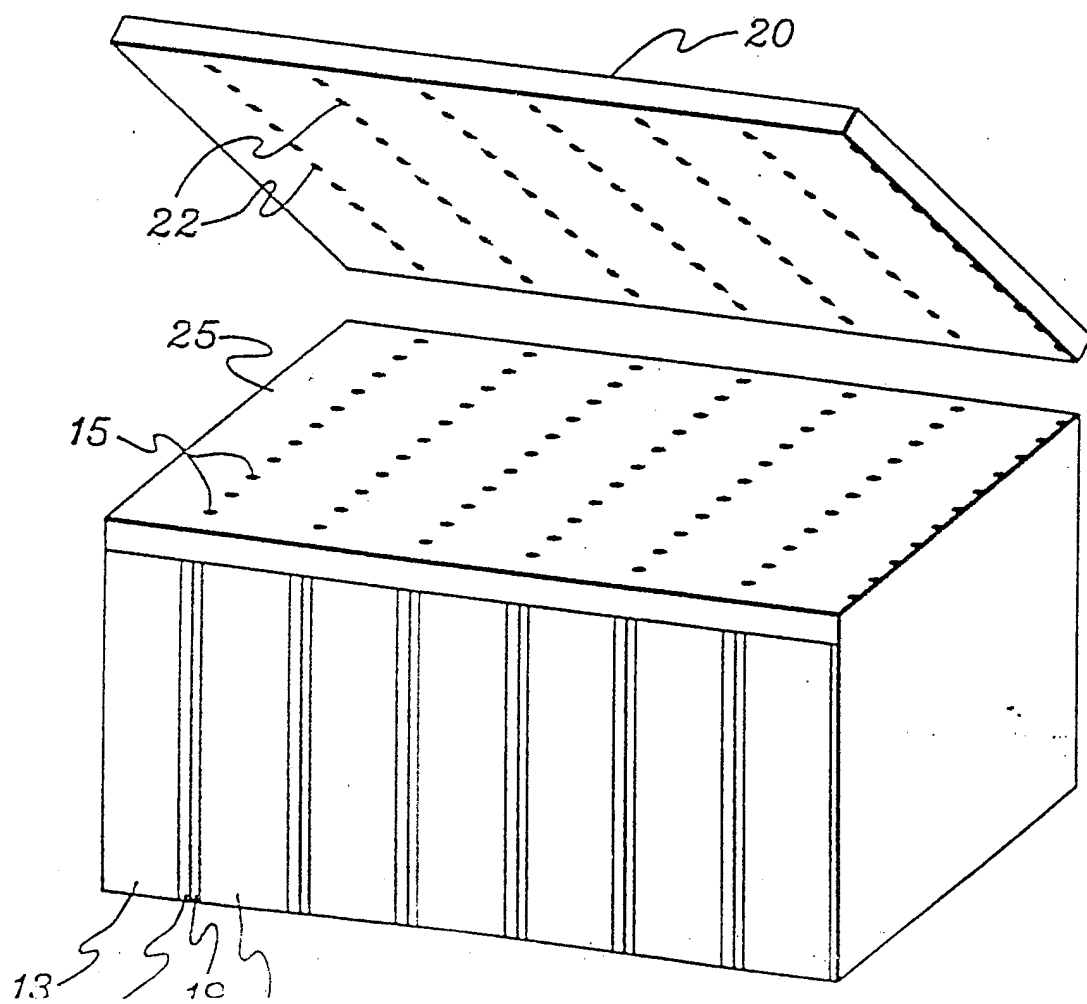


圖 4

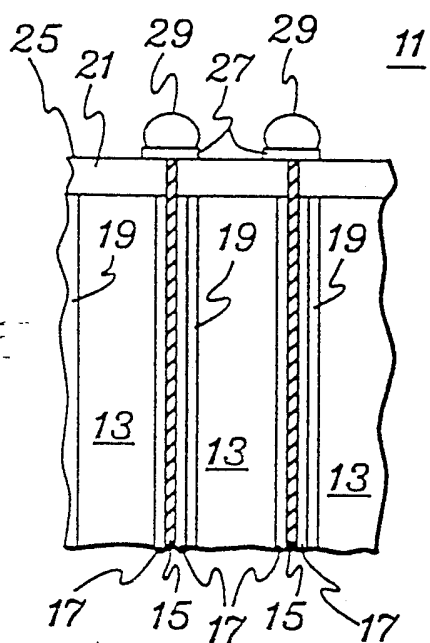


圖 5

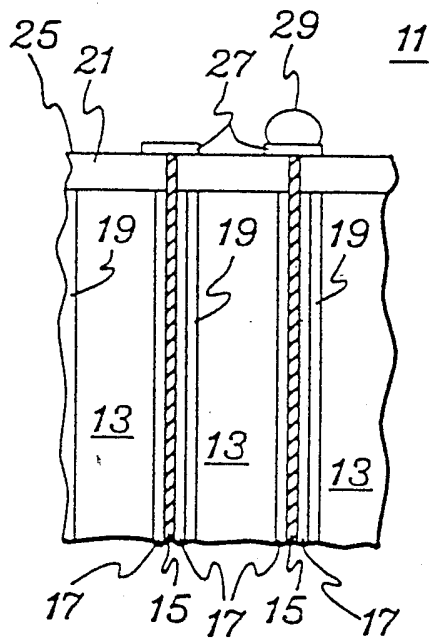


圖 5A

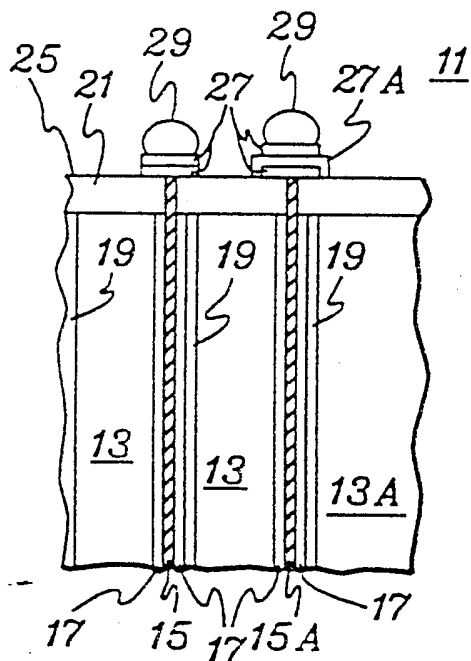


圖 5B

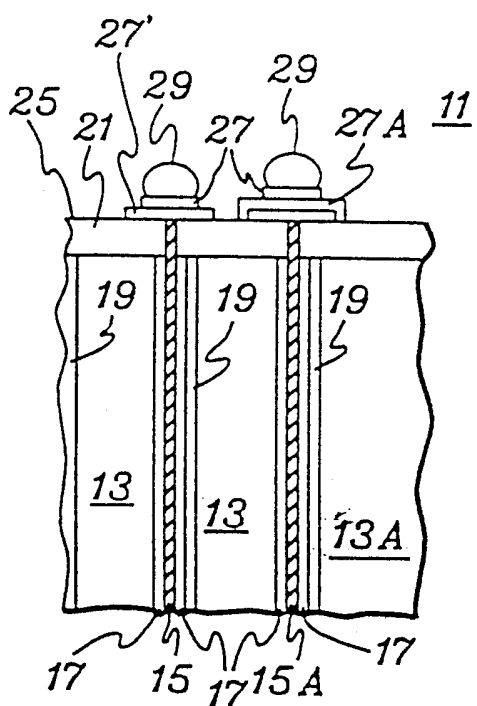
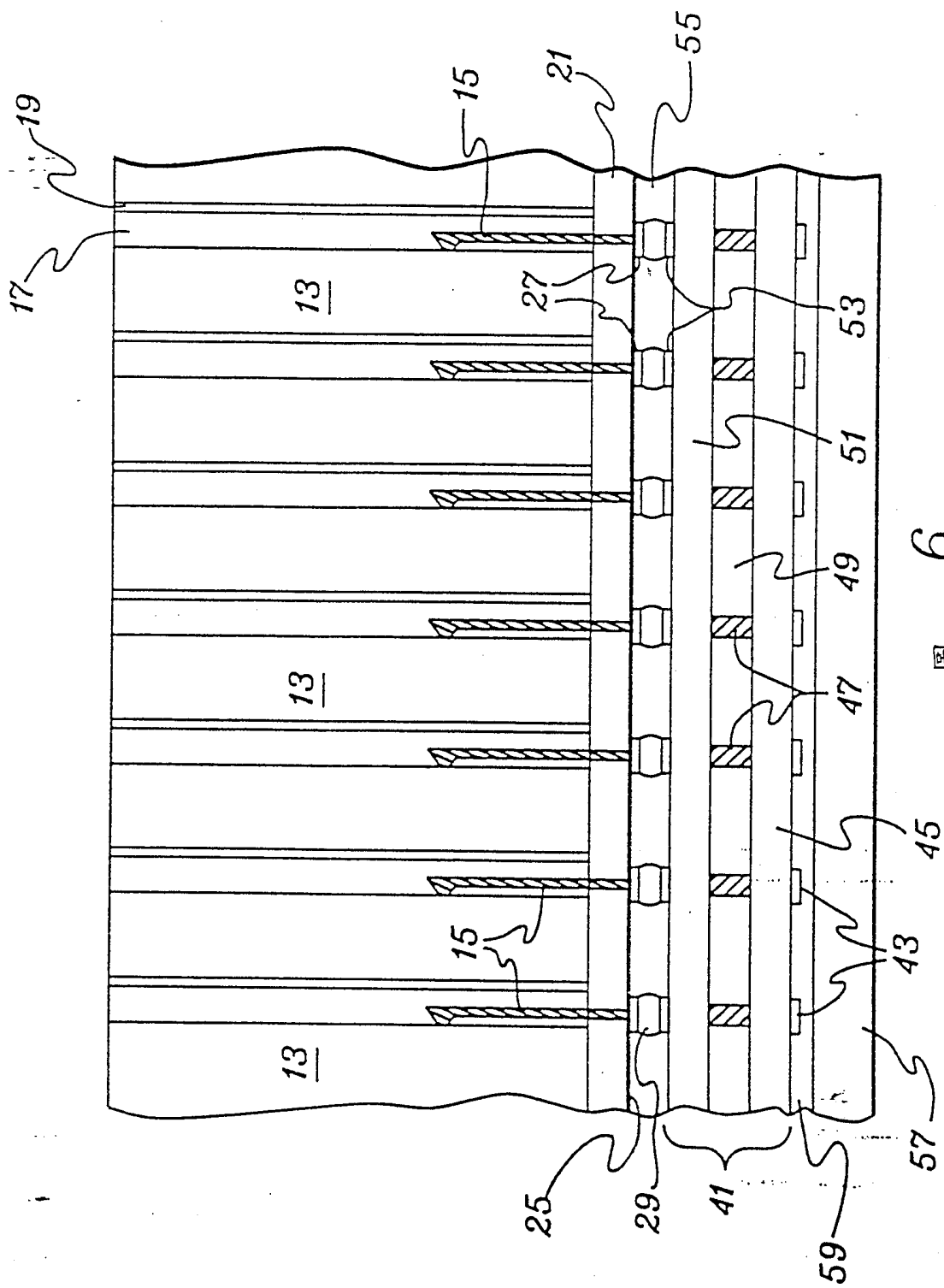


圖 5C



圖

6

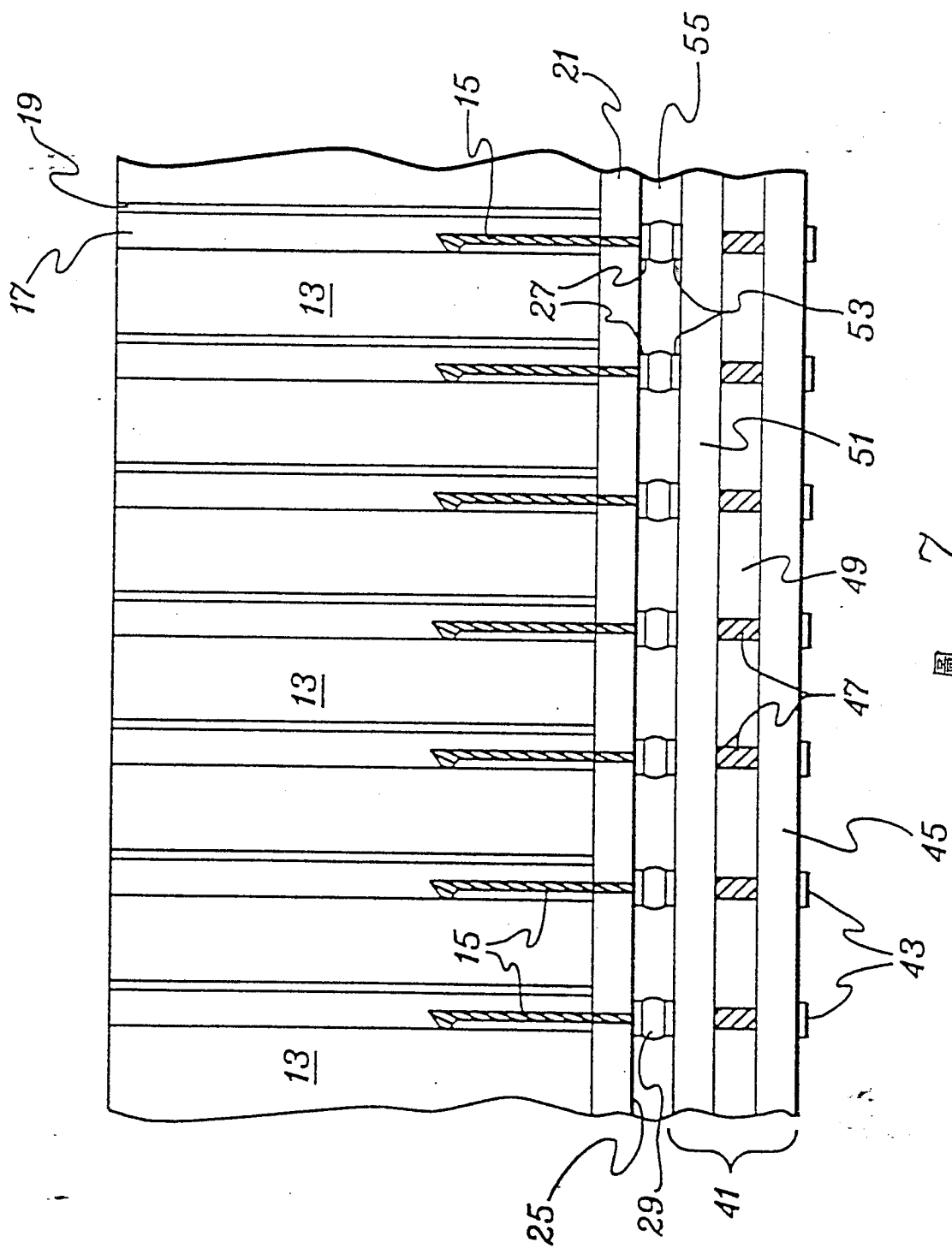


圖 7

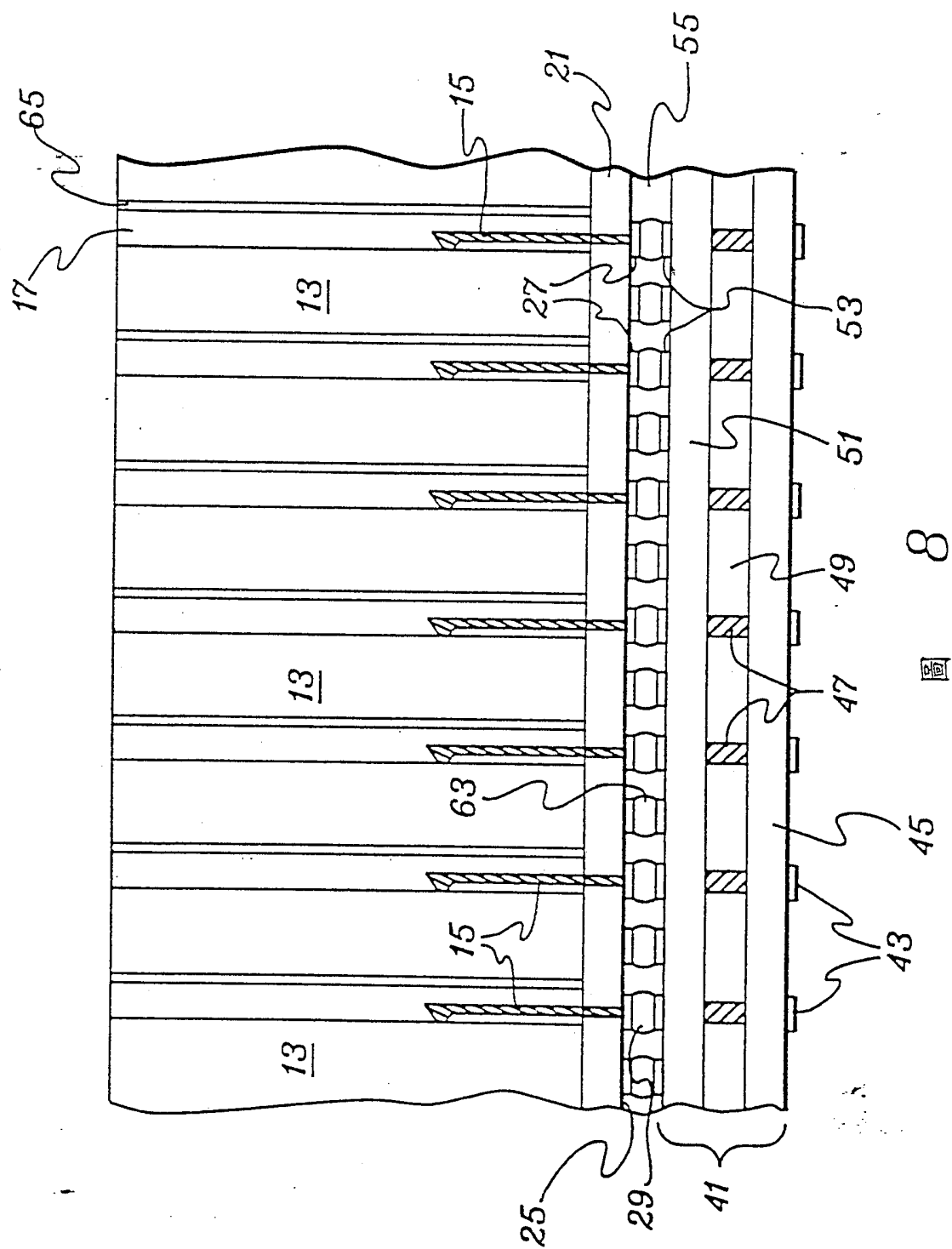


圖 8

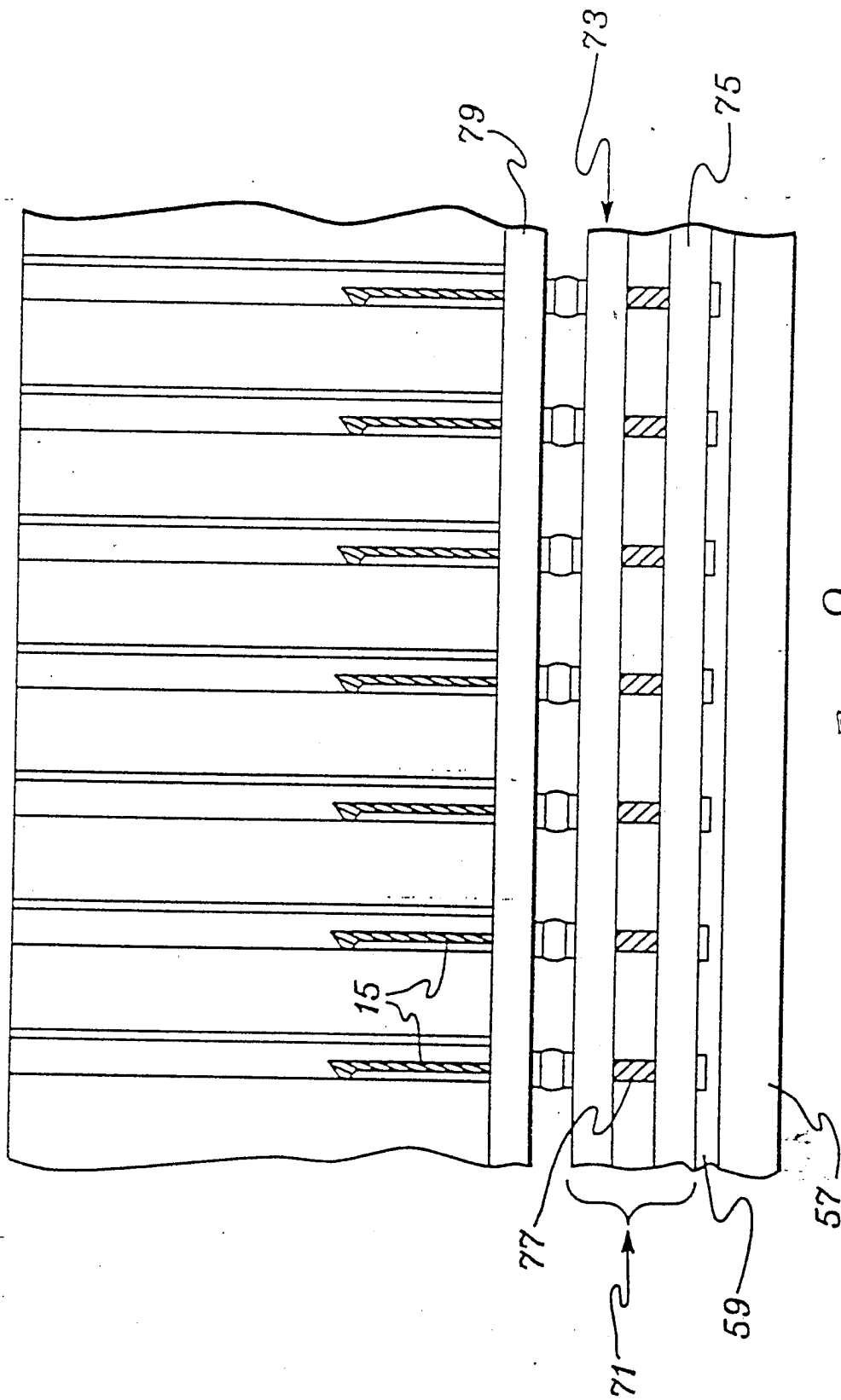
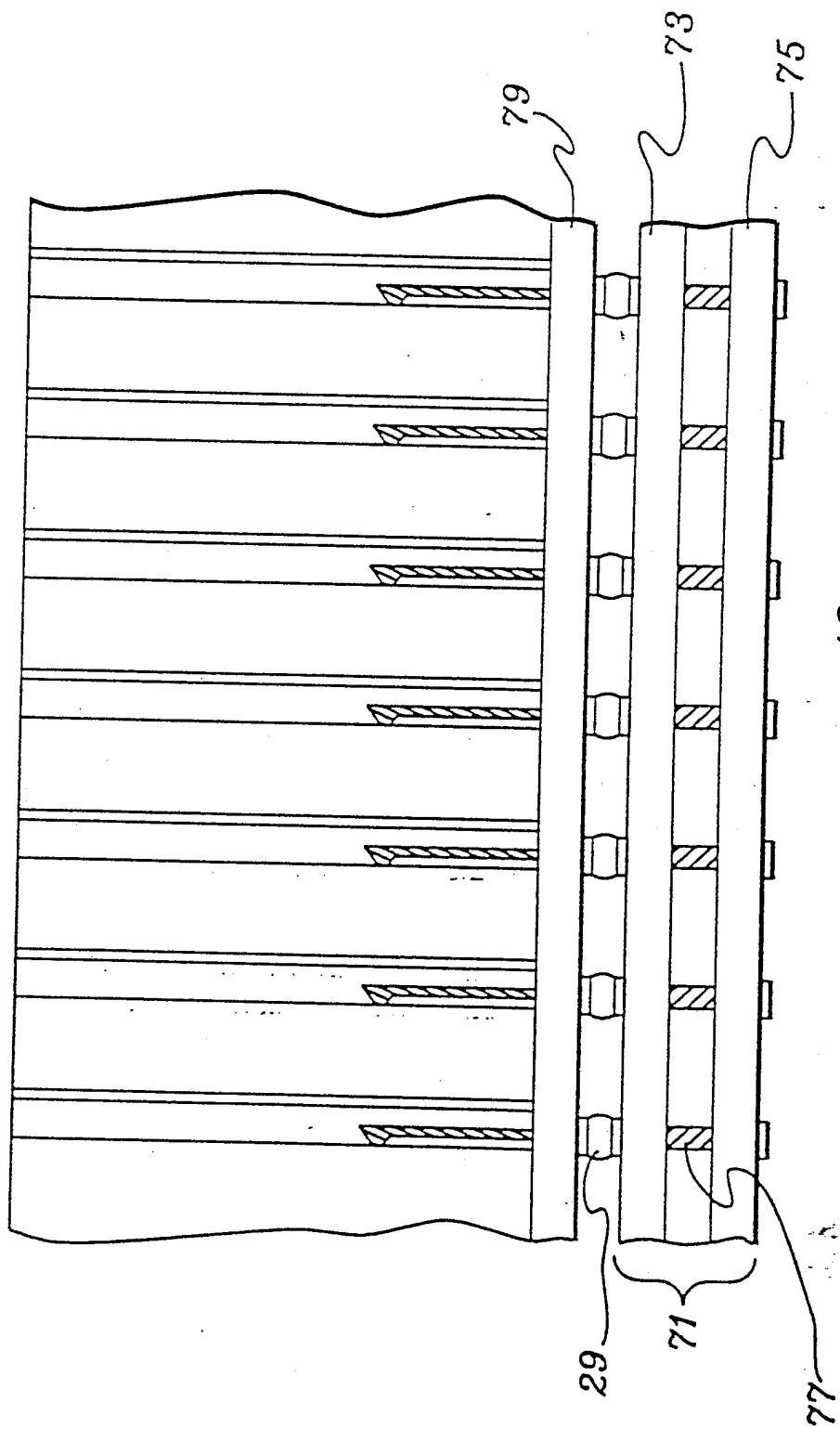
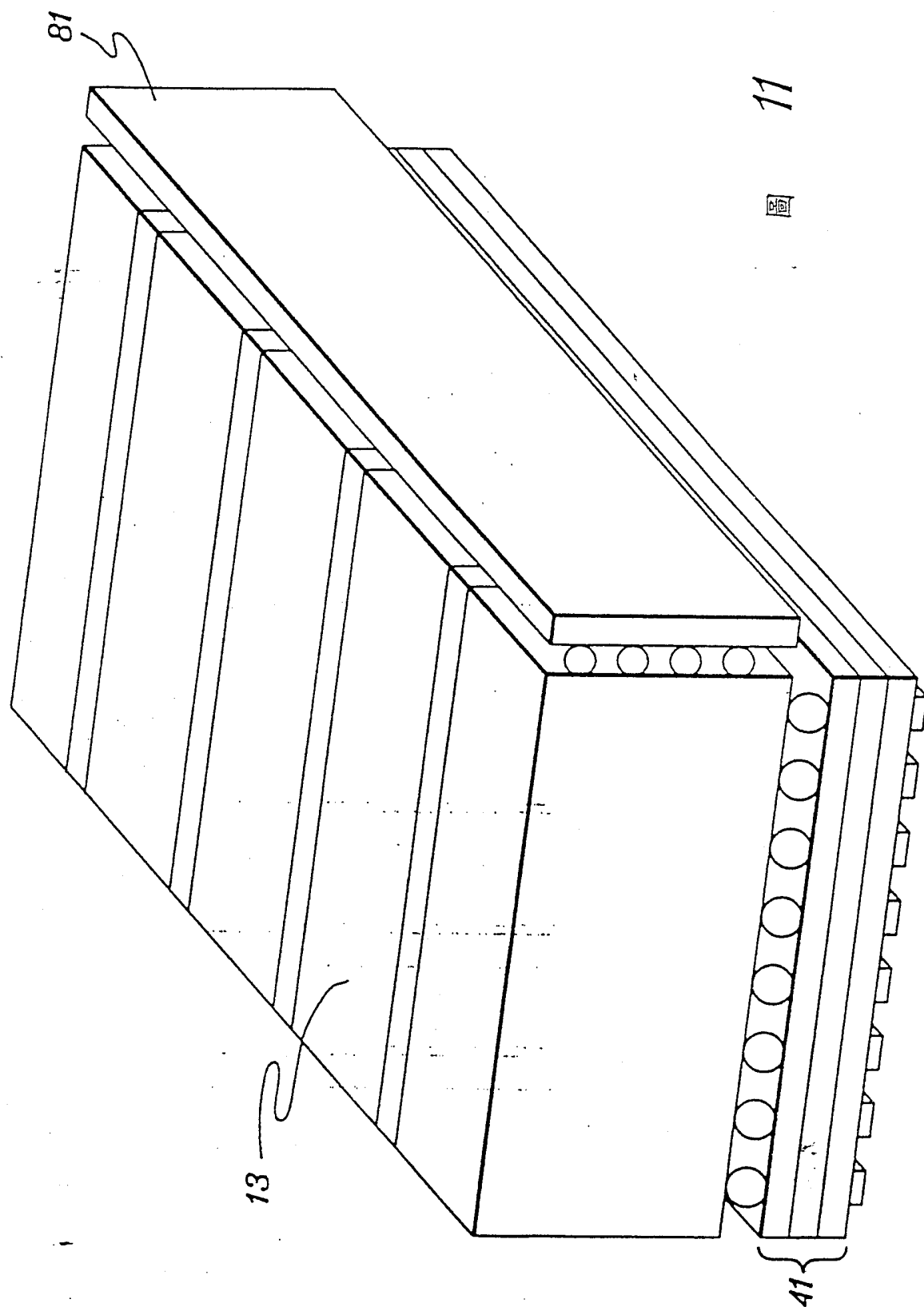


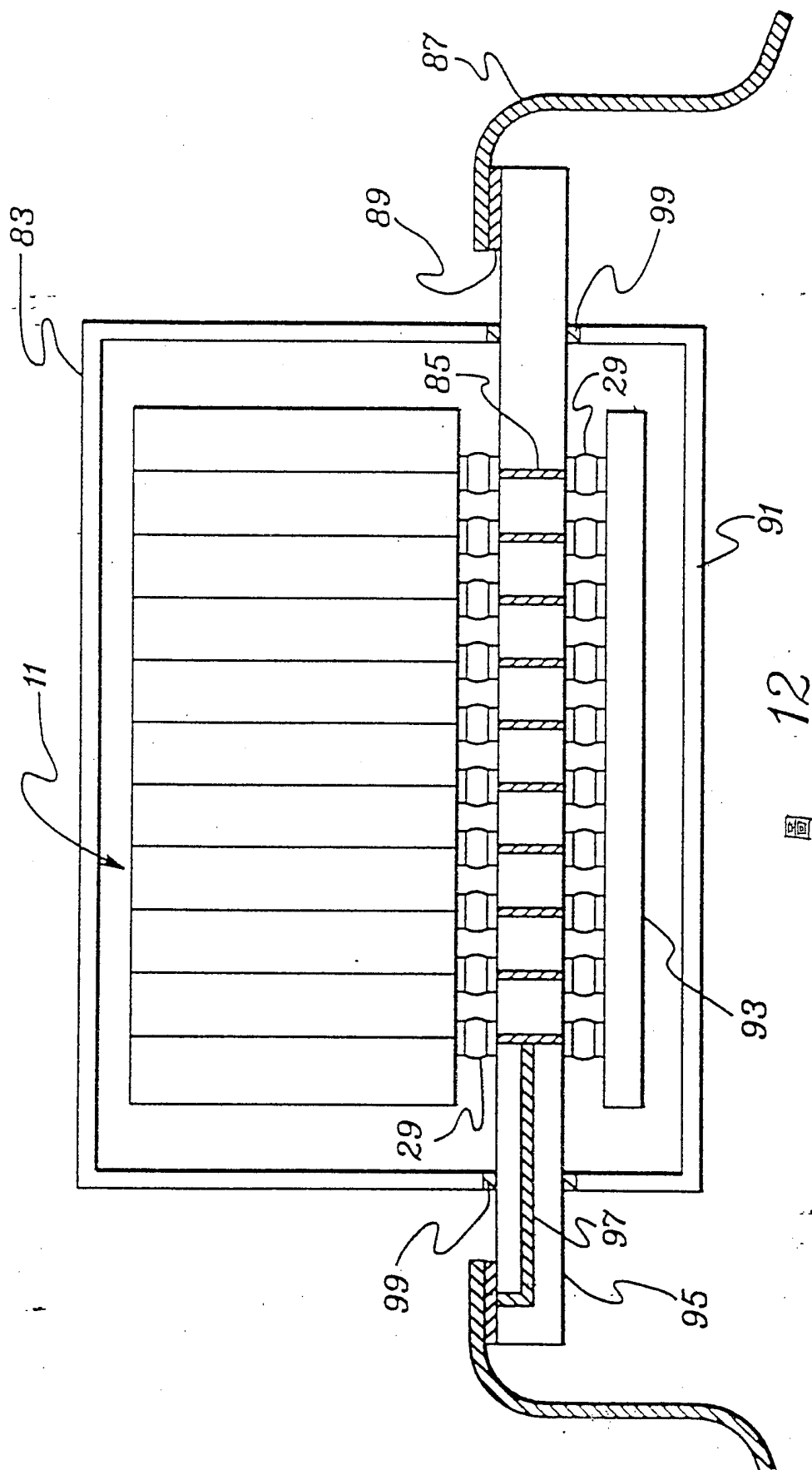
圖 9

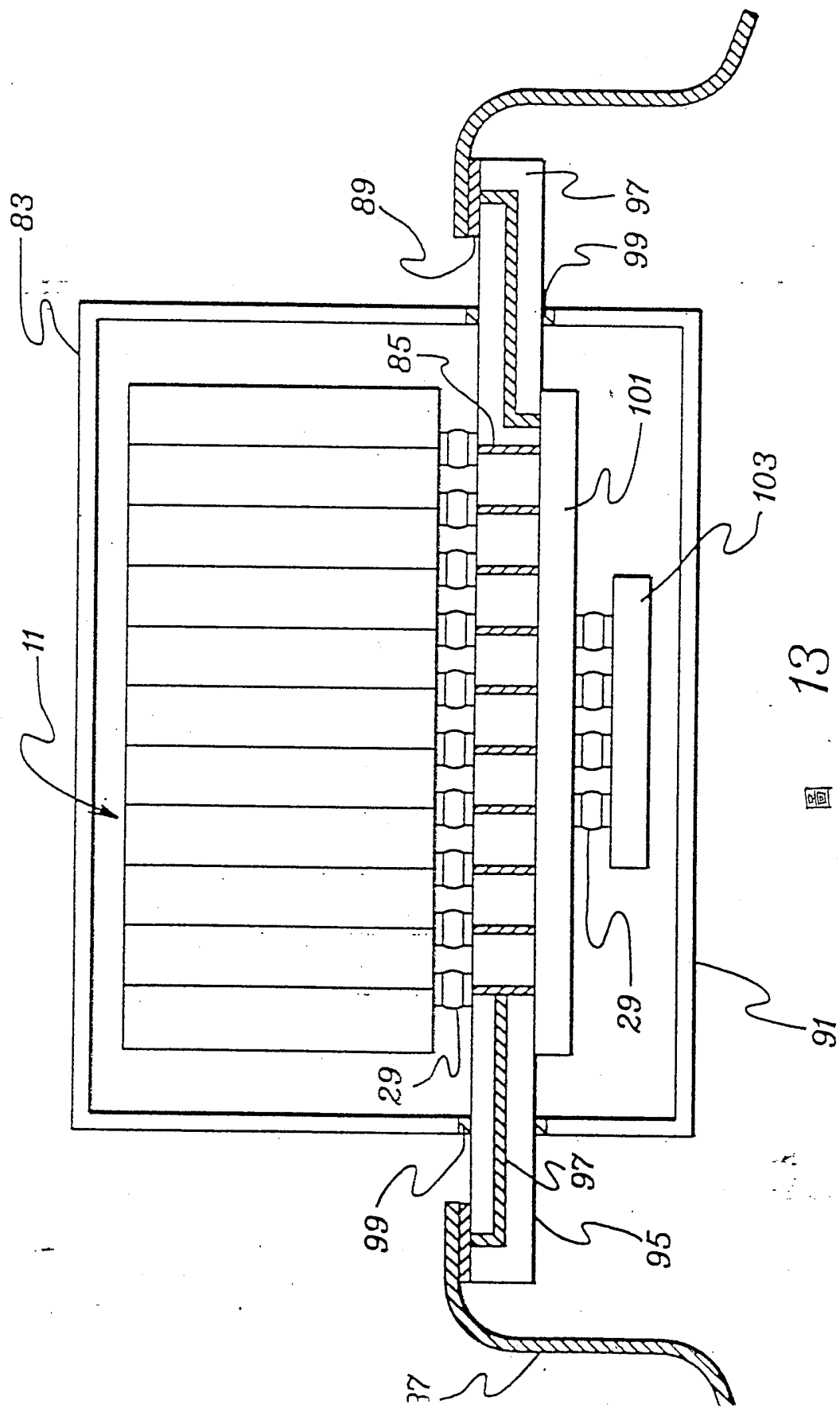


10



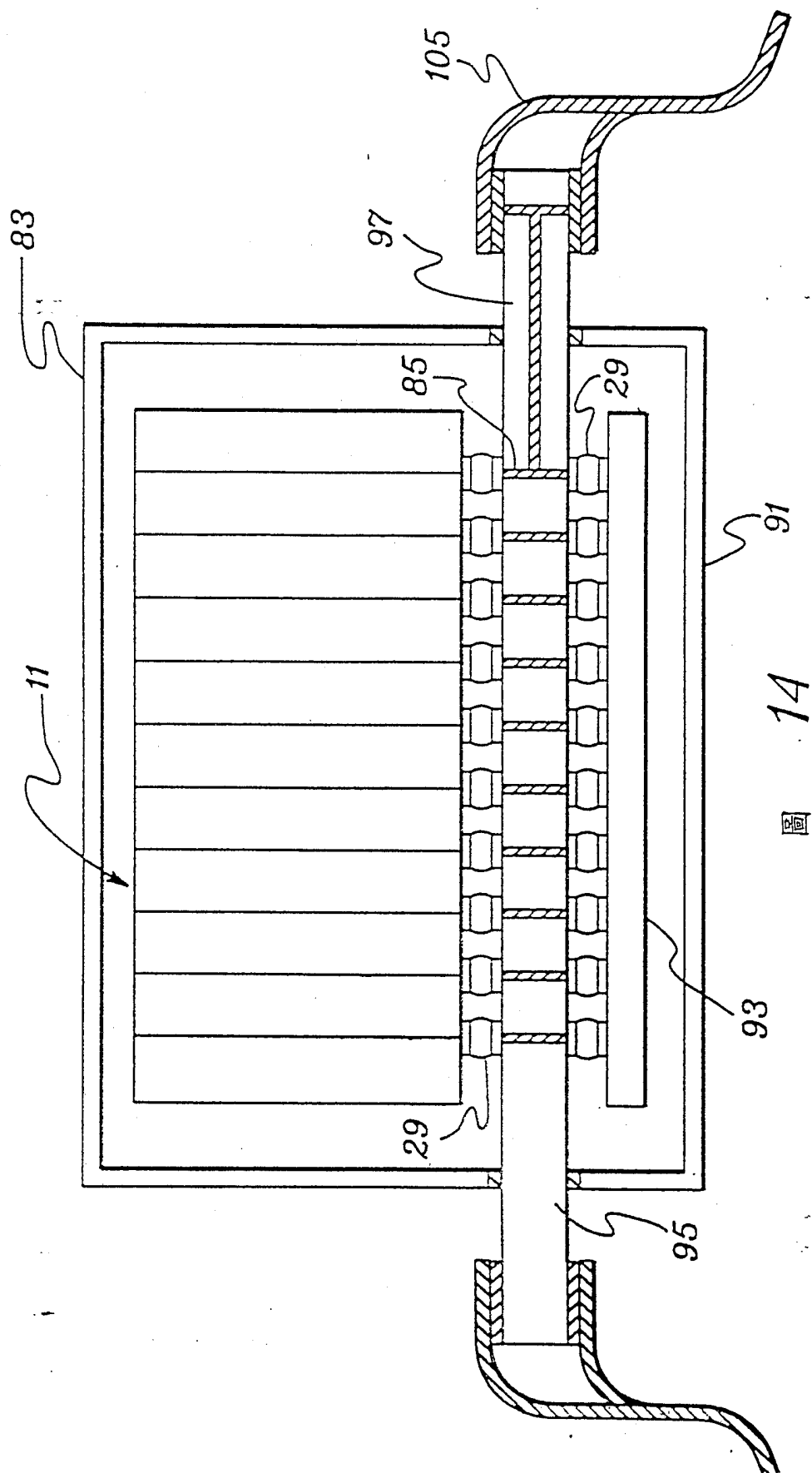






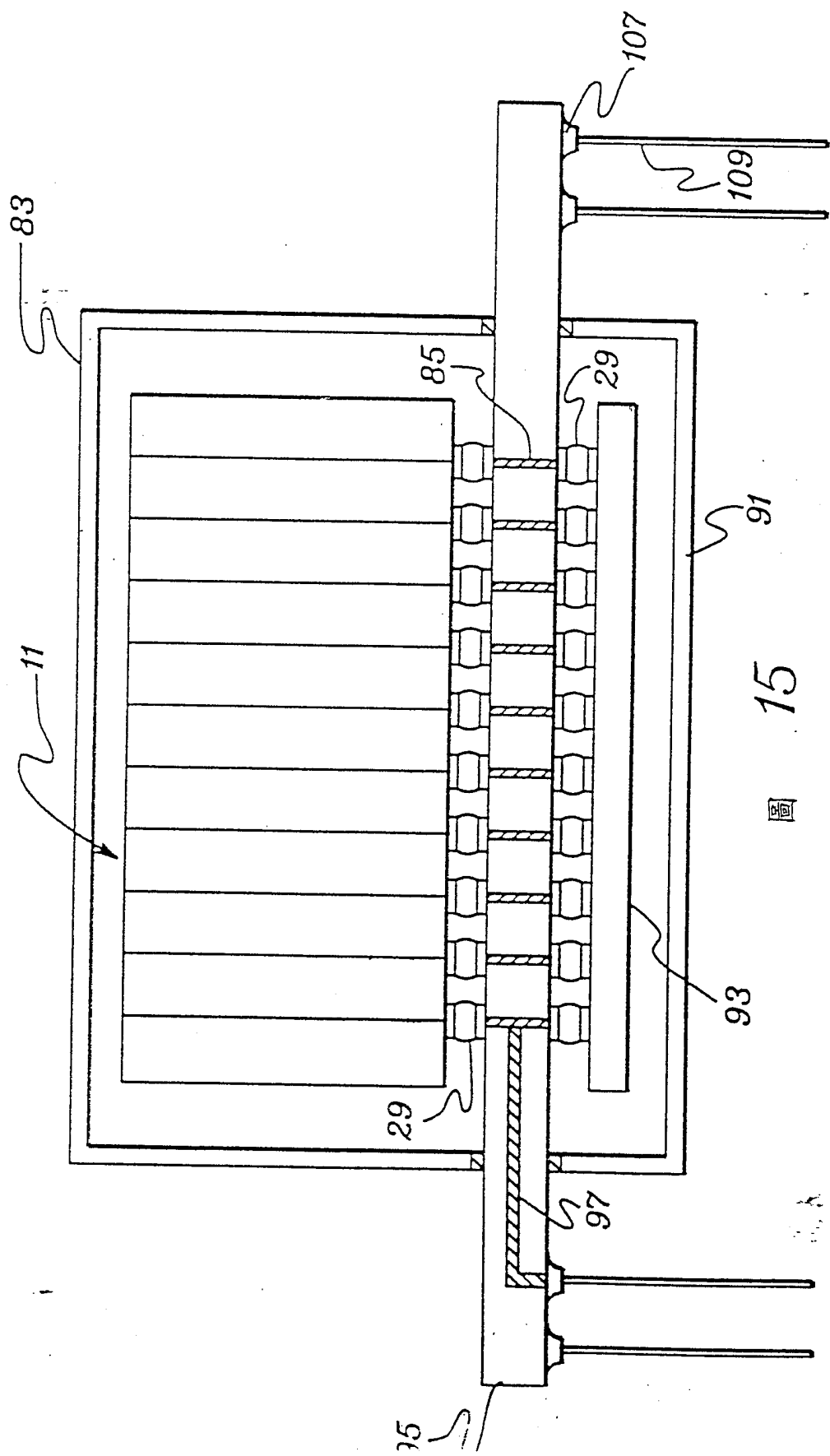
圖

13



圖

14



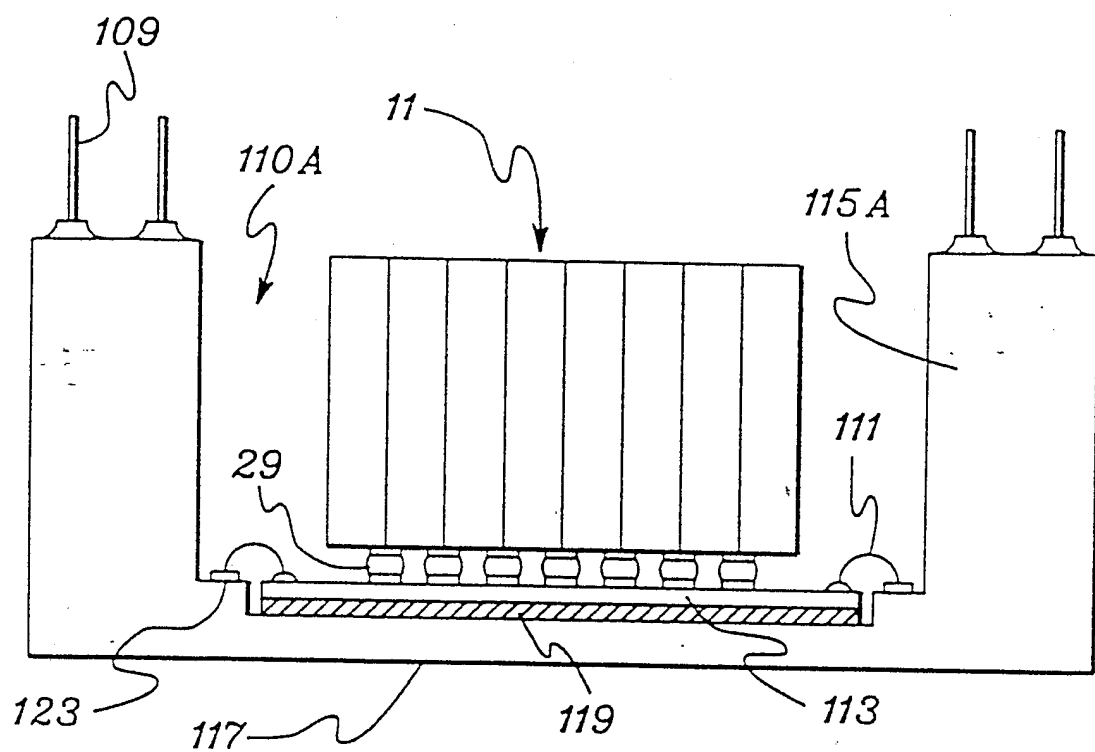


圖 16 .

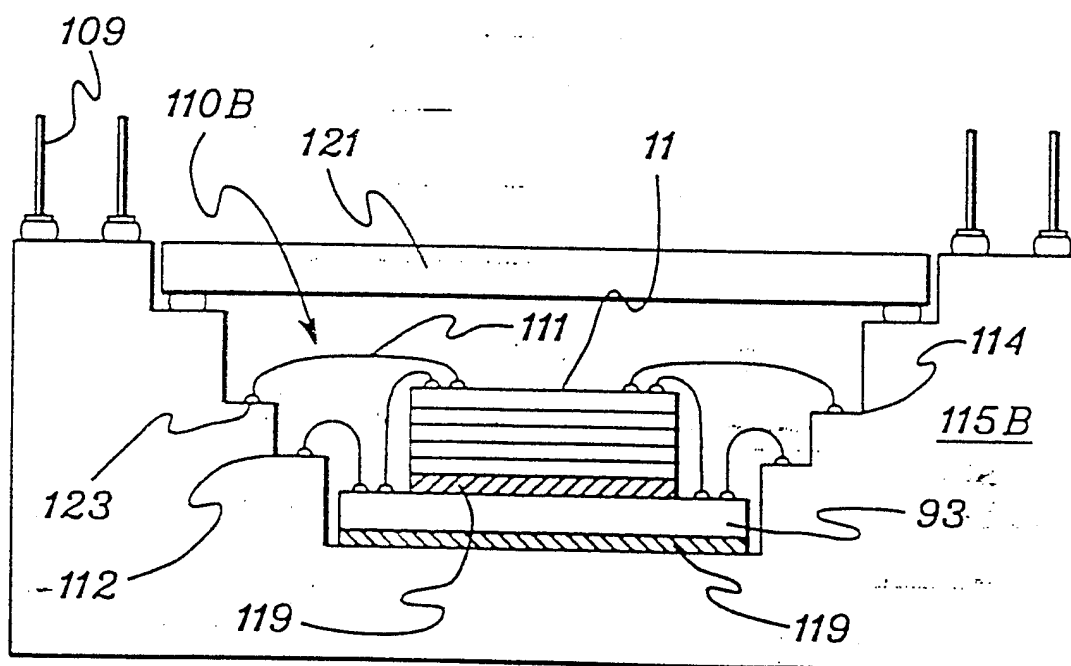


圖 17

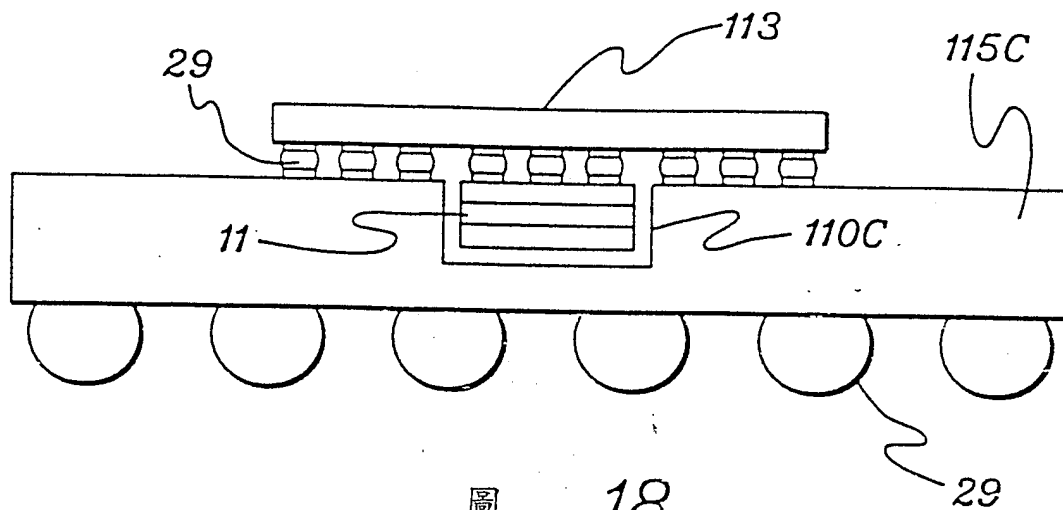


圖 18

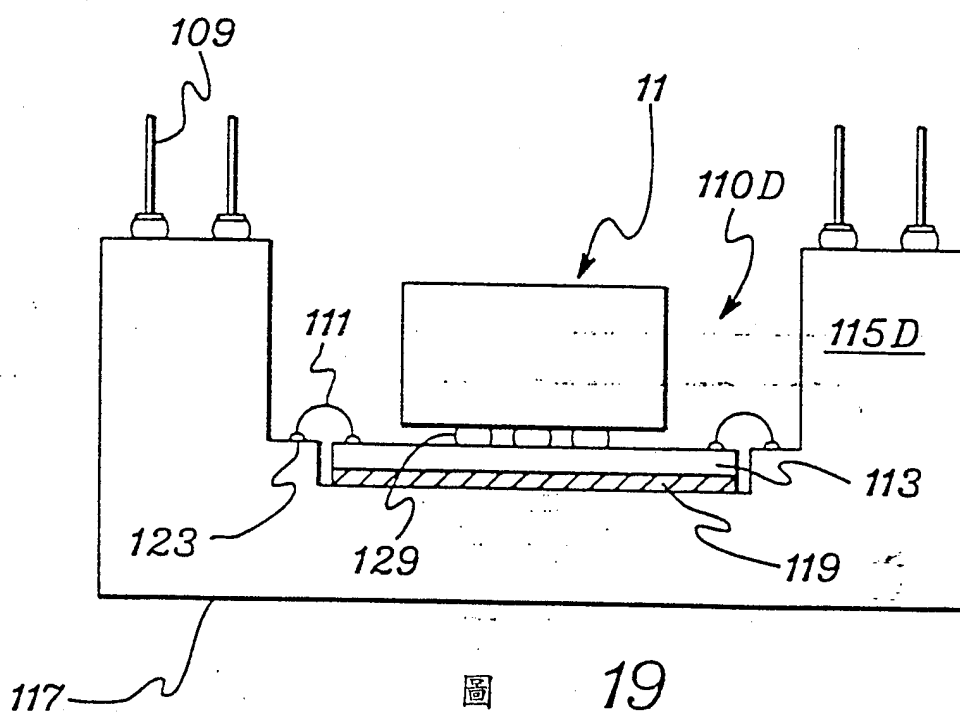
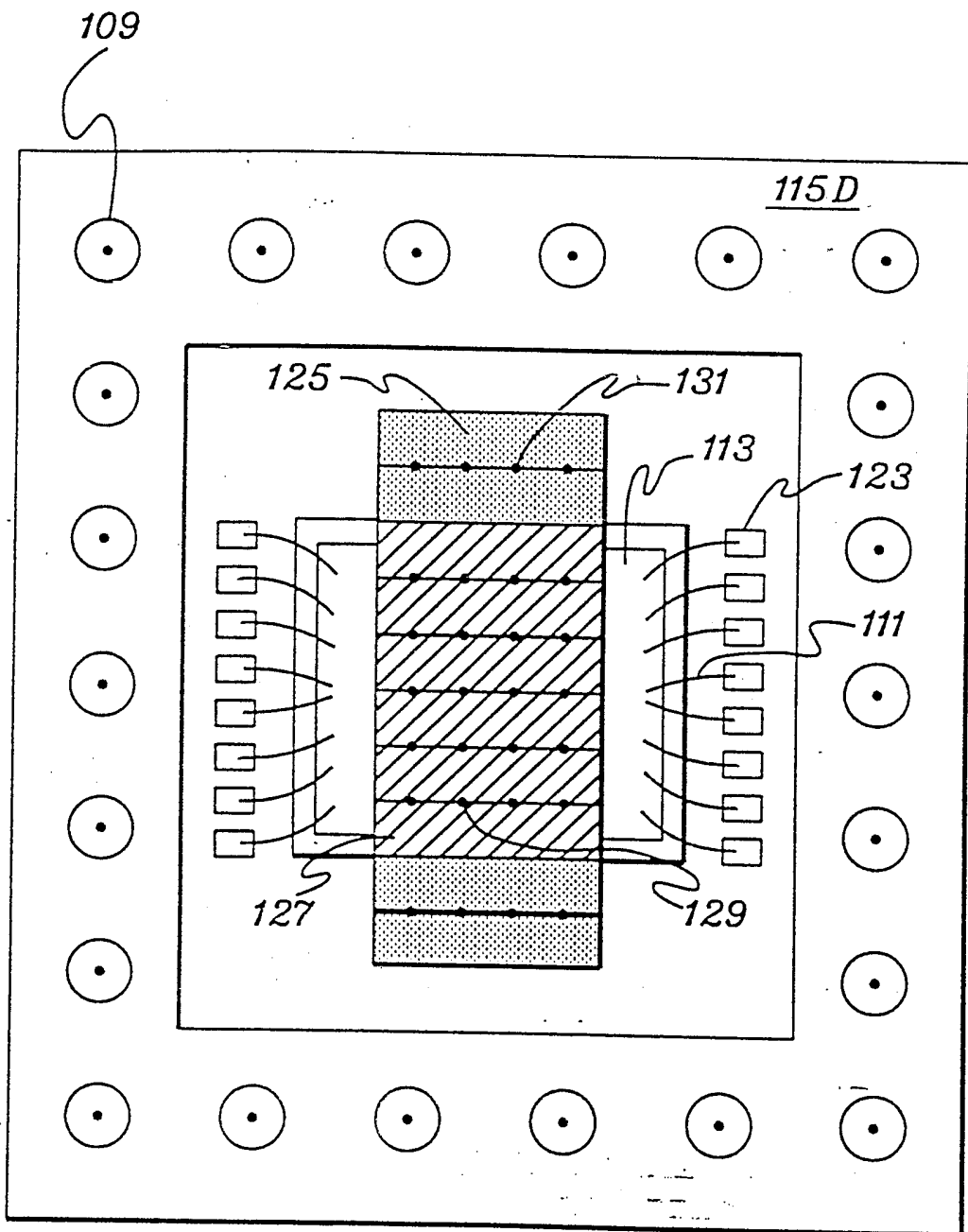


圖 19



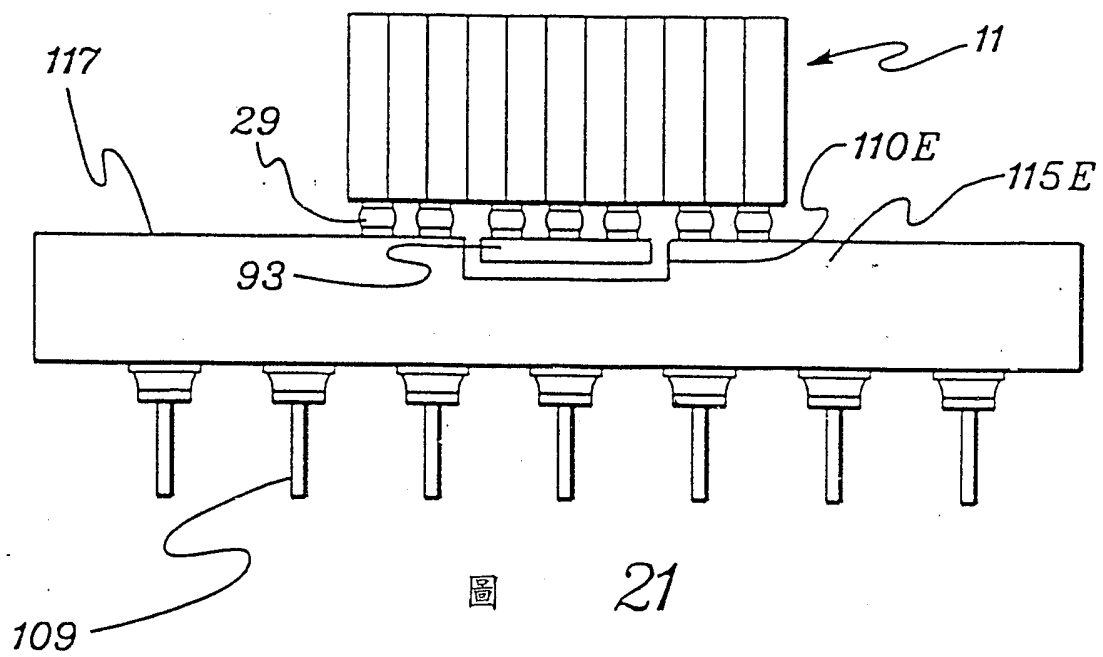


圖 21

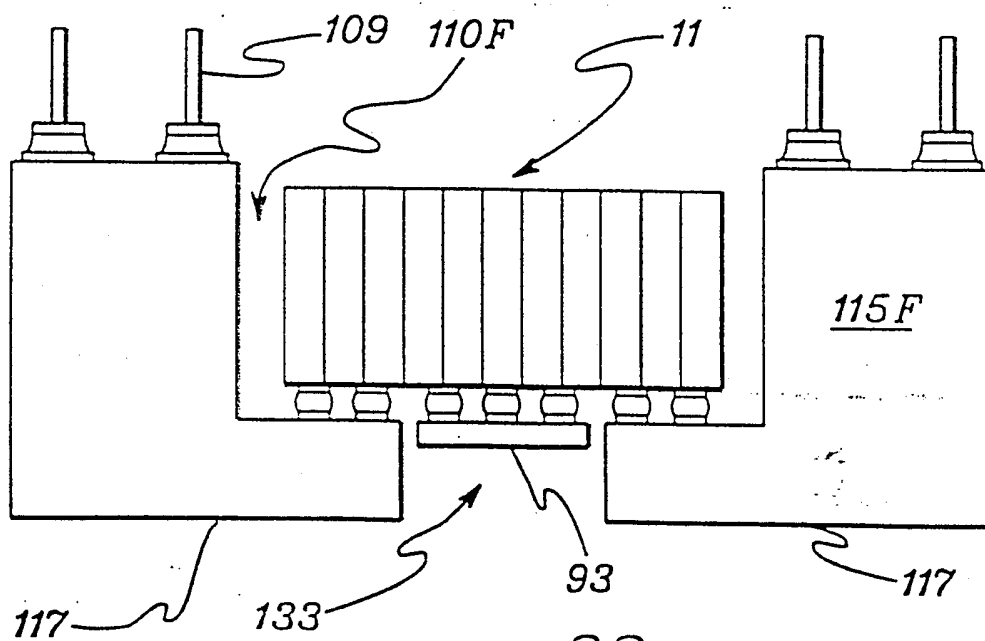
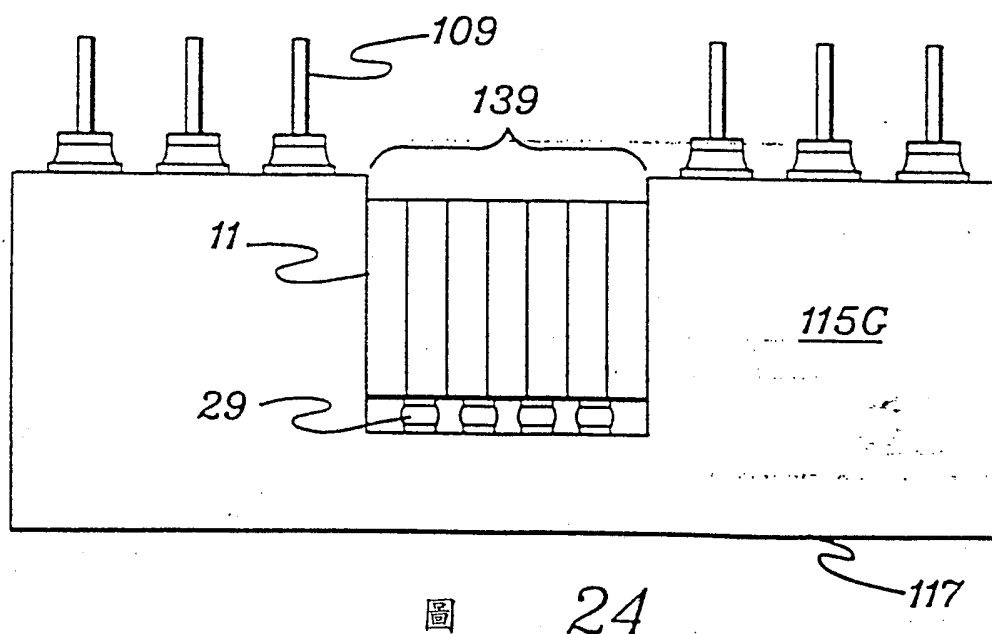
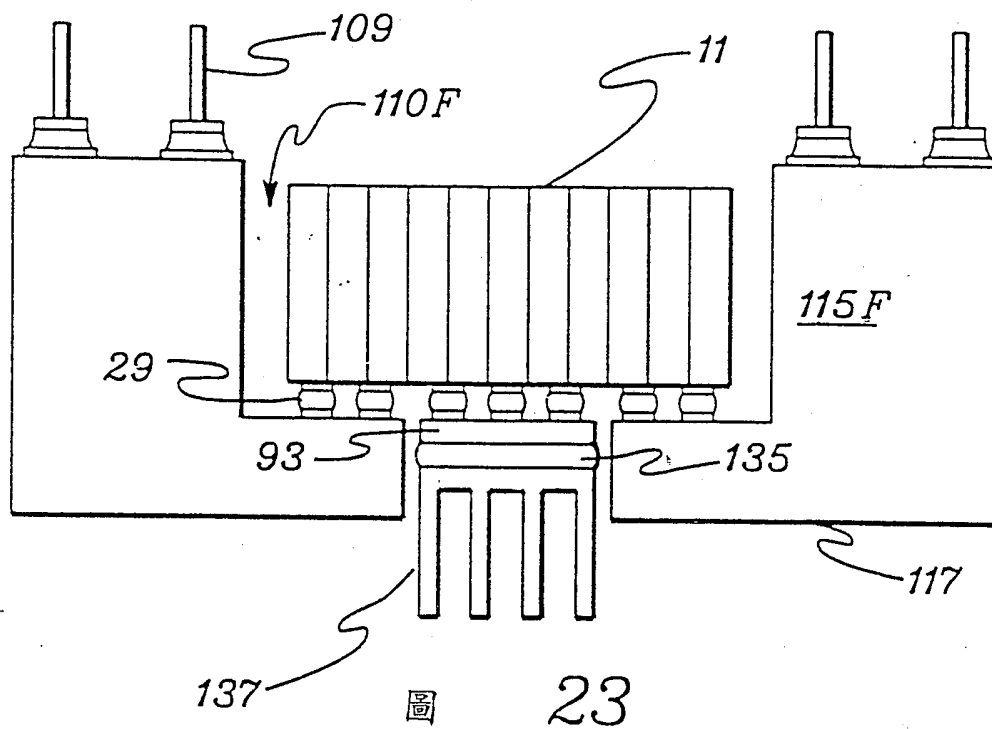
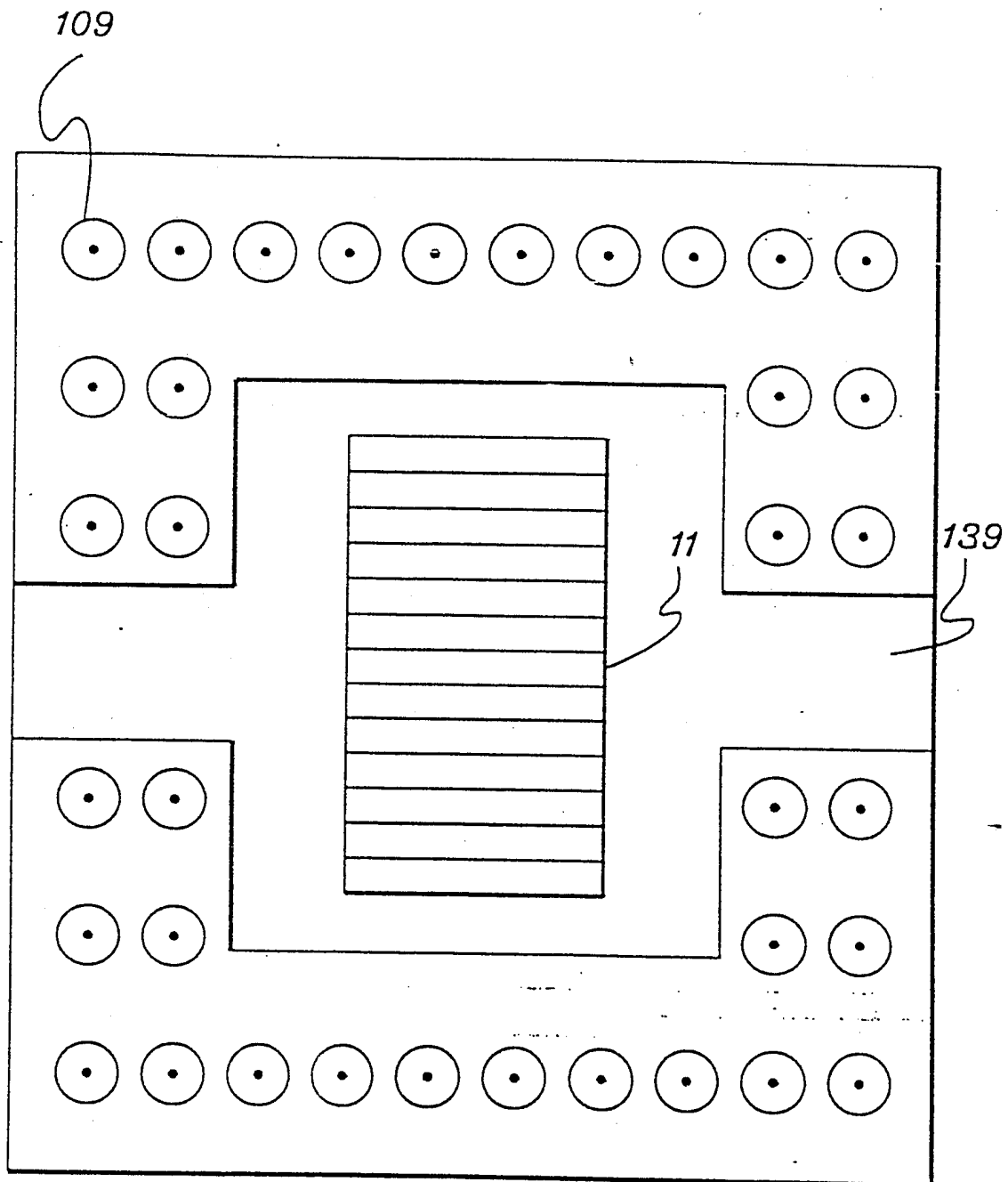
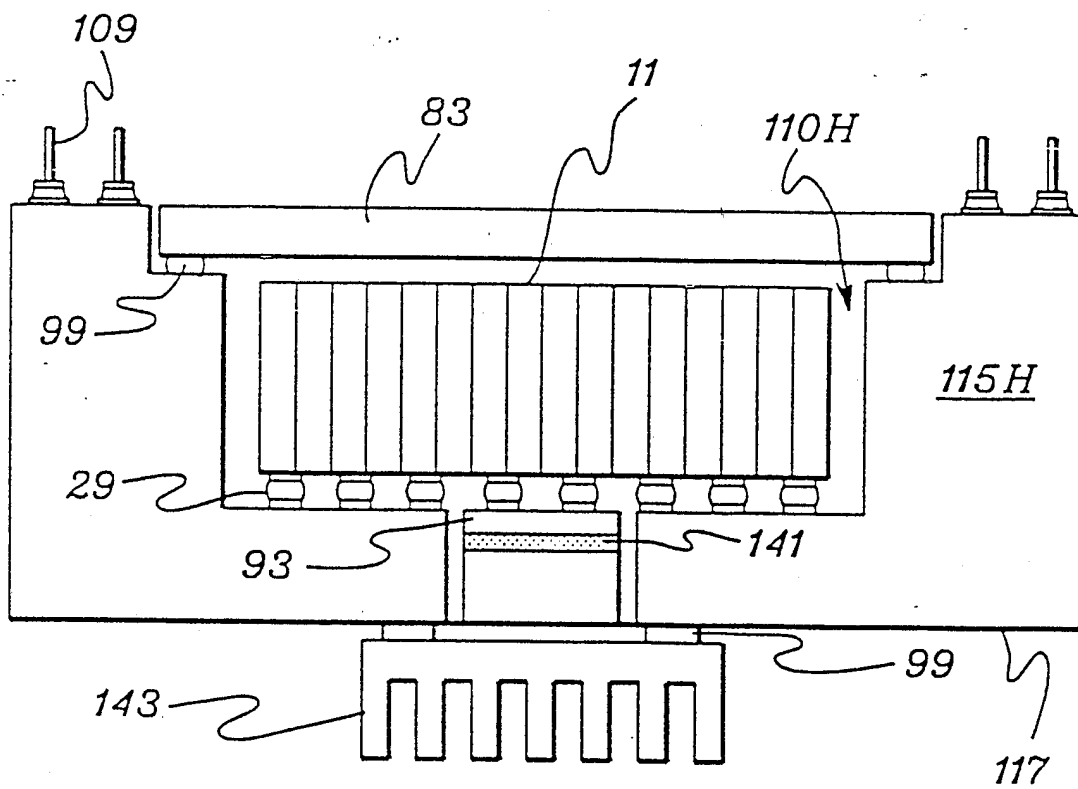


圖 22

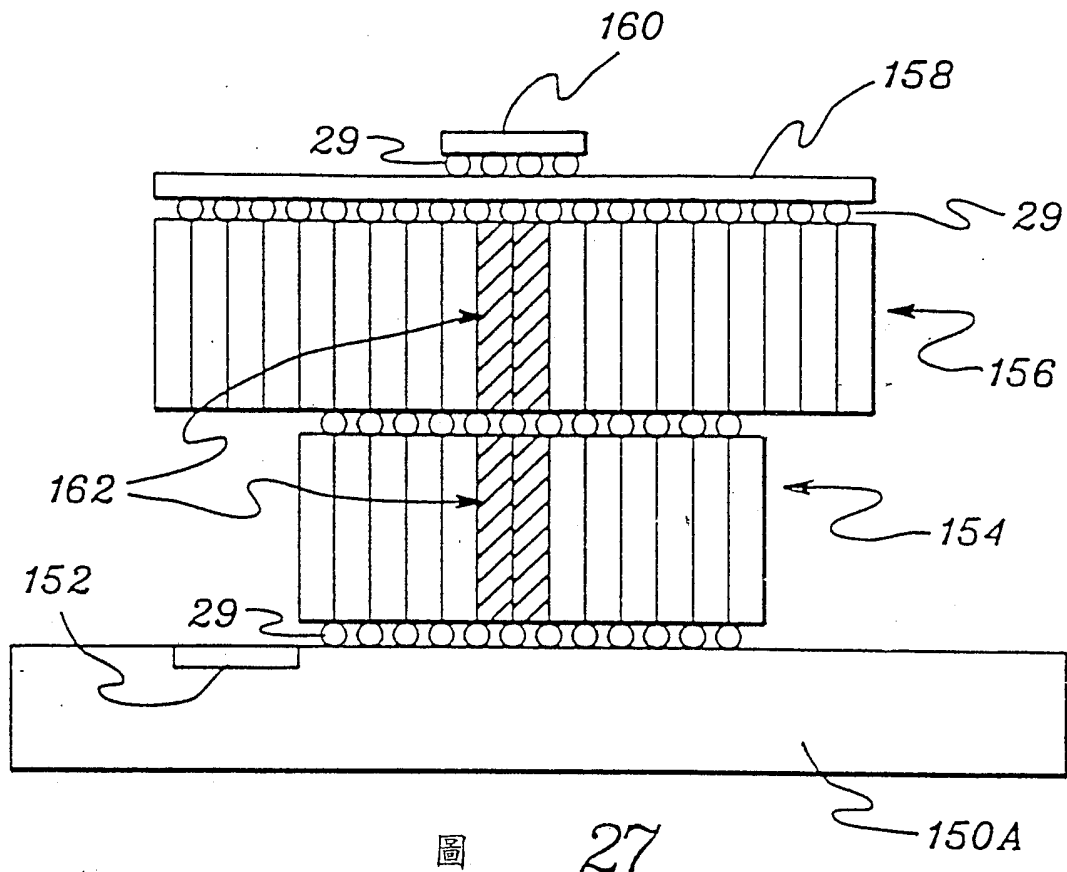




400630

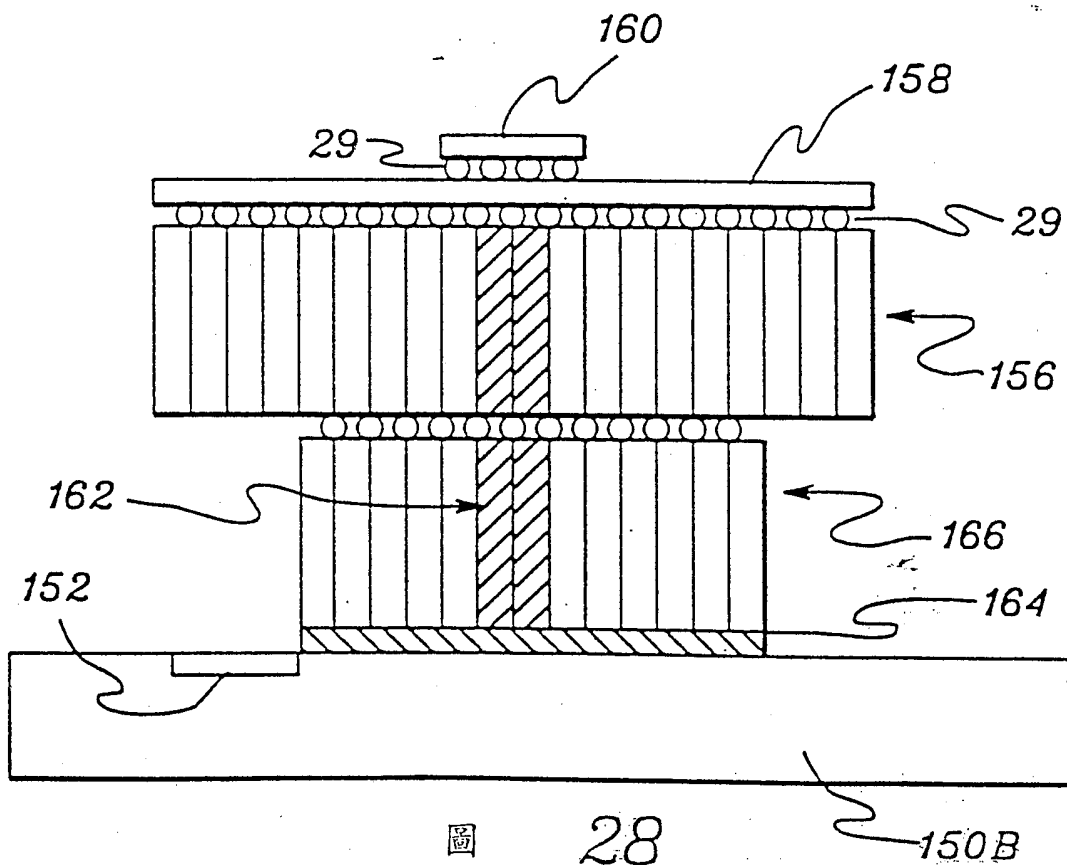


26



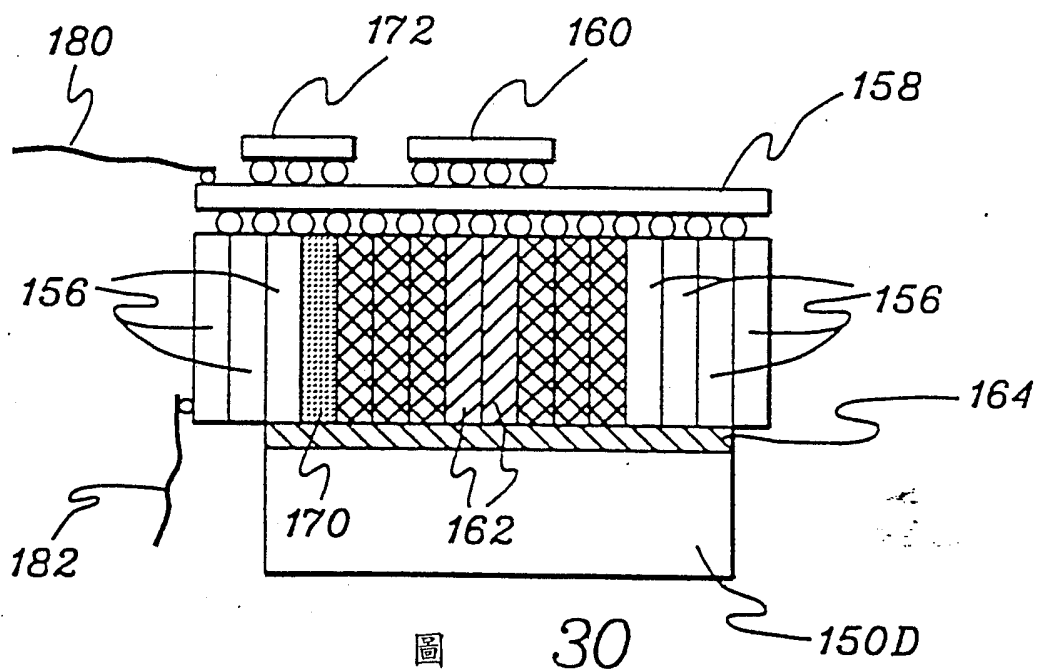
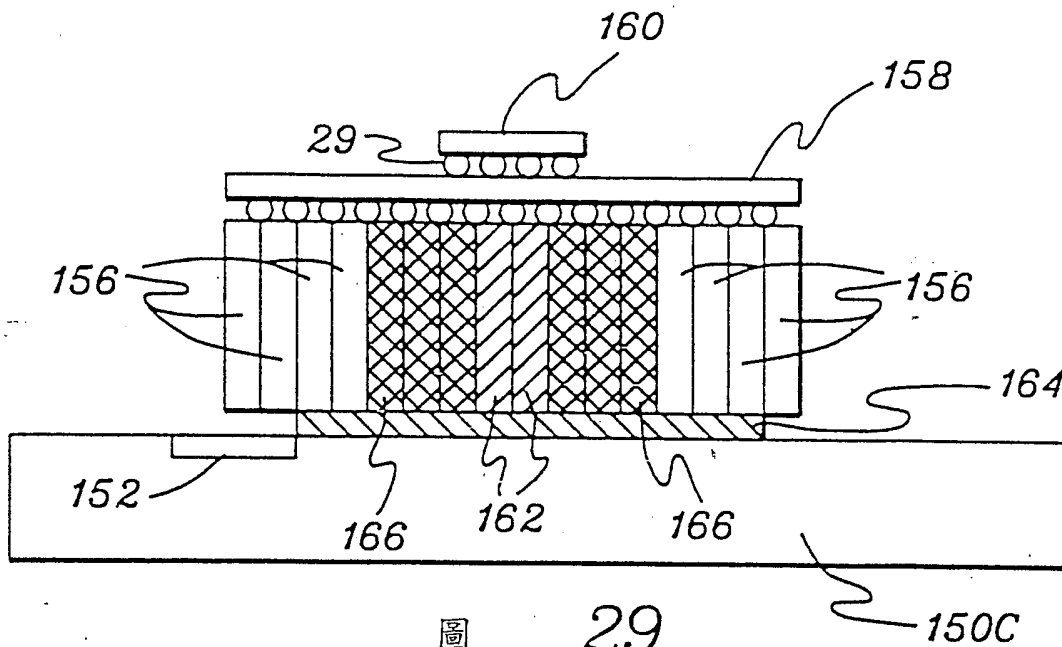
圖

27



圖

28



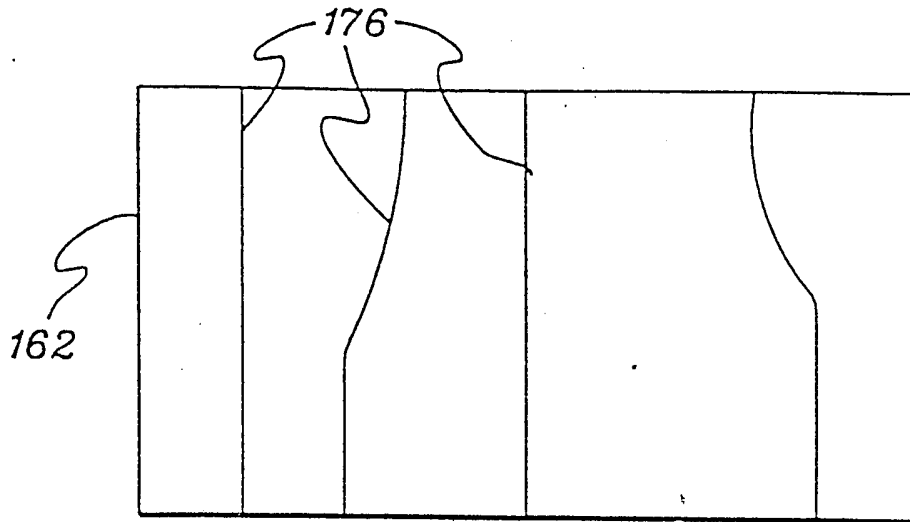


圖 31A

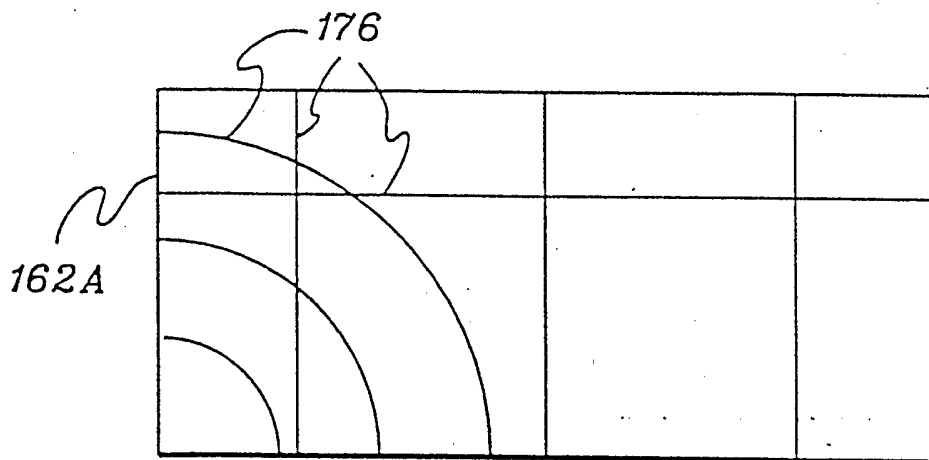


圖 31B

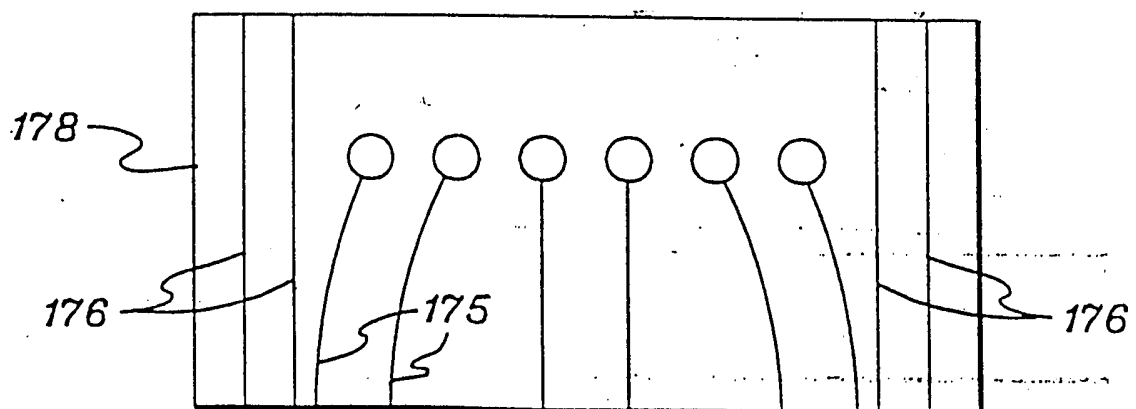
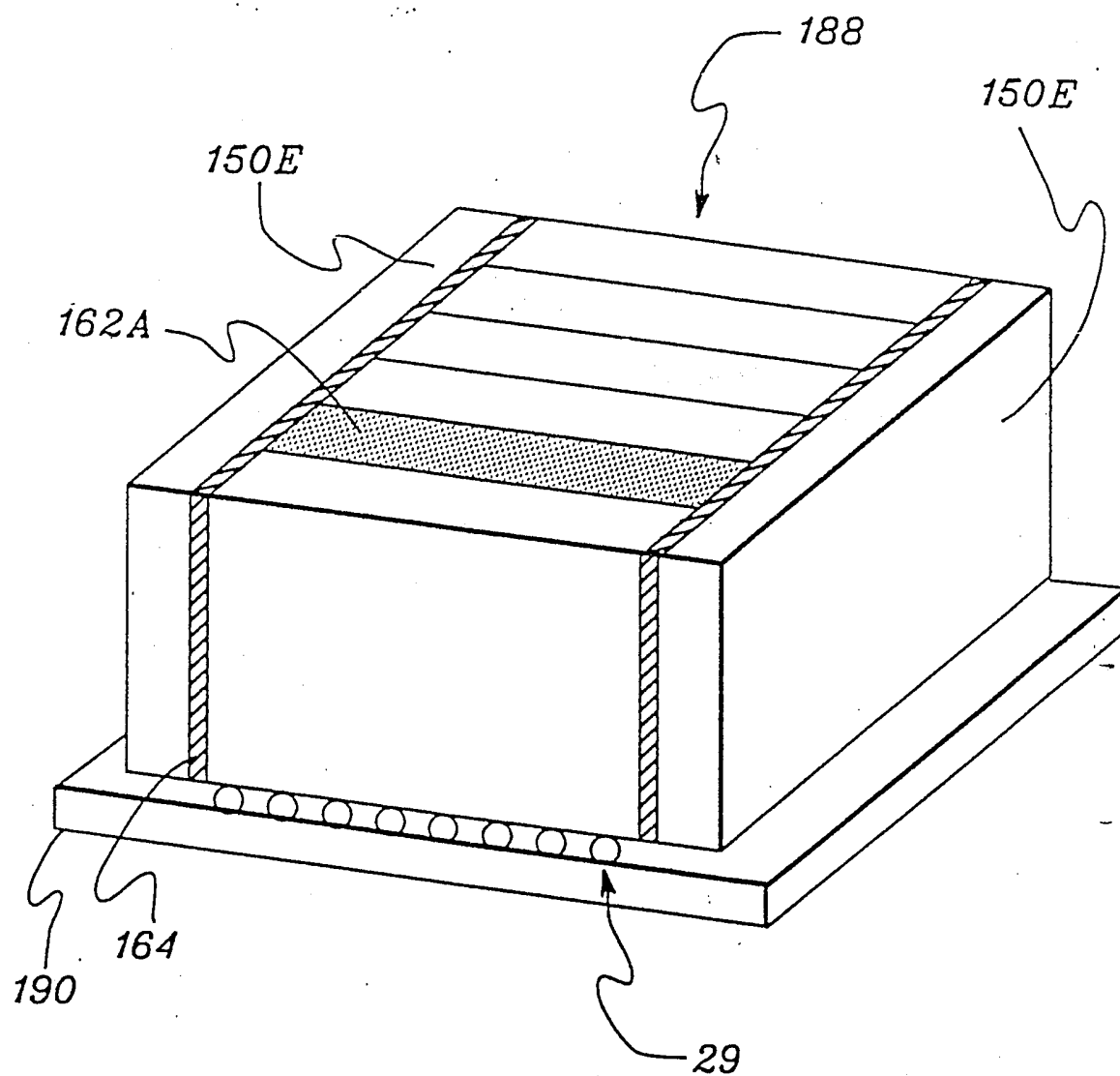


圖 31C

400630



圖

32