

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-95799

(P2004-95799A)

(43) 公開日 平成16年3月25日(2004.3.25)

(51) Int. Cl.<sup>7</sup>

H 0 1 L 25/085

H 0 1 L 25/07

H 0 1 L 25/18

F I

H 0 1 L 25/08

Z

テーマコード (参考)

審査請求 有 請求項の数 23 O L (全 24 頁)

(21) 出願番号 特願2002-254128 (P2002-254128)

(22) 出願日 平成14年8月30日 (2002.8.30)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(74) 代理人 100058479

弁理士 鈴江 武彦

(74) 代理人 100084618

弁理士 村松 貞男

(74) 代理人 100068814

弁理士 坪井 淳

(74) 代理人 100092196

弁理士 橋本 良郎

(74) 代理人 100091351

弁理士 河野 哲

(74) 代理人 100088683

弁理士 中村 誠

最終頁に続く

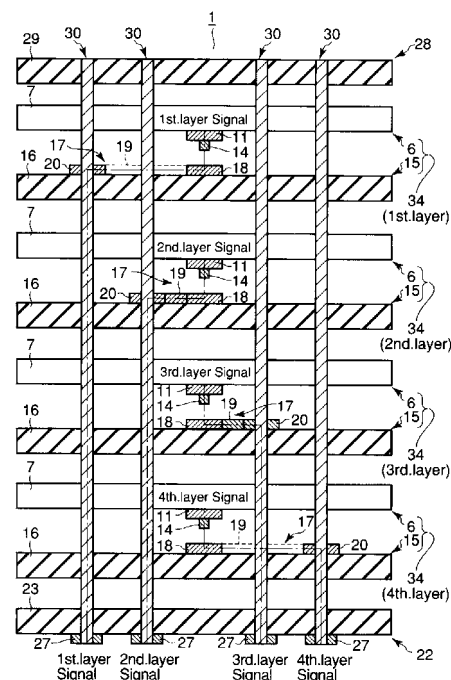
(54) 【発明の名称】 半導体装置およびその製造方法

## (57) 【要約】

【課題】複数個の半導体チップが積層されていても、配線構造の改善により歩留まりや生産効率の向上、製造コストの低減が図られた半導体装置を提供する。

【解決手段】複数本の端子5を有する複数個の半導体チップ2が、各端子5に電氣的に接続される複数本のチップ接続配線8が実質的に同一パターンに形成されており、かつ、厚さ方向に沿って2層に積層される2枚のチップ搭載基材6に少なくとも1個ずつ搭載されている。各接続配線8に電氣的に接続される複数本の間配線17が各接続配線8とは異なるパターンに形成されている1枚の配線基材15が、各搭載基材6の間に配置されている。各搭載基材6および配線基材15をそれらの積層方向に沿って一括して貫通して設けられた複数の貫通孔の内部に、各接続配線8および各中間配線17を各基材6、15の積層方向において電氣的に接続する複数本の層間接続配線30が形成されている。

【選択図】 図9



## 【特許請求の範囲】

## 【請求項 1】

複数本の端子を有する複数個の半導体チップと、  
これらの半導体チップが少なくとも 1 個搭載されるとともに、搭載された前記各半導体チップの前記各端子に電氣的に接続される複数本のチップ接続配線が実質的に同一パターンに形成されており、かつ、厚さ方向に沿って 2 層に積層される 2 枚のチップ搭載基材と、これら 2 枚のチップ搭載基材の間に配置されるとともに、前記各チップ接続配線に電氣的に接続される複数本の間接配線が前記各チップ接続配線とは異なるパターンに形成されている 1 枚の配線基材と、  
前記各チップ搭載基材および前記配線基材をそれらの積層方向に沿って一括して貫通して設けられた複数の貫通孔の内部に形成され、前記各チップ接続配線および前記各中間配線を前記各基材の積層方向において電氣的に接続する複数本の層間接続配線と、  
を具備することを特徴とする半導体装置。

## 【請求項 2】

前記各チップ接続配線および前記各中間配線は、前記 2 枚のチップ搭載基材のうちの少なくとも一方のチップ搭載基材および前記配線基材の、それぞれの互いに対向し合う主面に形成されていることを特徴とする請求項 1 に記載の半導体装置。

## 【請求項 3】

複数本の端子を有する複数個の半導体チップと、  
これらの半導体チップが少なくとも 1 個搭載されるとともに、搭載された前記各半導体チップの前記各端子に電氣的に接続される複数本のチップ接続配線が実質的に同一パターンに形成されており、かつ、厚さ方向に沿って 2 層に積層される 2 枚のチップ搭載基材と、これら 2 枚のチップ搭載基材の間に配置されるとともに、前記各チップ接続配線に電氣的に接続される複数本の間接配線が前記各チップ接続配線とは異なるパターンで形成されている第 1 の配線基材と、  
この第 1 の配線基材と併せて前記各チップ搭載基材と交互に配置されるとともに、前記各チップ接続配線に電氣的に接続される複数本の間接配線が、前記各チップ接続配線および前記第 1 の配線基材に形成されている前記各中間配線とは異なるパターンに形成されている第 2 の配線基材と、  
前記各チップ搭載基材、前記第 1 の配線基材、および前記第 2 の配線基材を、それらの積層方向に沿って一括して貫通して設けられた複数の貫通孔の内部に形成され、前記各チップ接続配線および前記各中間配線を前記各基材の積層方向において電氣的に接続する複数本の層間接続配線と、  
を具備することを特徴とする半導体装置。

## 【請求項 4】

前記各チップ接続配線および前記各中間配線は、前記 2 枚のチップ搭載基材のうちの少なくとも 1 枚の前記チップ搭載基材と、このチップ搭載基材に隣接する前記第 1 の配線基材もしくは前記第 2 の配線基材との対について、前記各基材のそれぞれの互いに対向し合う主面に形成されていることを特徴とする請求項 3 に記載の半導体装置。

## 【請求項 5】

前記各チップ接続配線および前記各中間配線は、前記 2 枚のチップ搭載基材のうちの一方の前記チップ搭載基材と前記第 1 の配線基材、および他方の前記チップ搭載基材と前記第 2 の配線基材とのそれぞれの対について、前記各基材のそれぞれの互いに対向し合う主面に形成されていることを特徴とする請求項 3 に記載の半導体装置。

## 【請求項 6】

複数本の端子を有する複数個の半導体チップと、  
これらの半導体チップが少なくとも 1 個搭載されるとともに、厚さ方向に沿って複数層に積層される複数枚のチップ搭載基材と、  
これらのチップ搭載基材に実質的に同一パターンに形成され、前記各チップ搭載基材に搭載された前記各半導体チップの前記各端子に電氣的に接続される複数本のチップ接続配線

と、

前記各チップ搭載基材の積層方向に沿って前記各チップ搭載基材と交互に配置される複数枚の配線基材と、

これらの配線基材ごとに所定のパターンで、かつ、前記各チップ接続配線とは異なるパターンに形成され、前記各チップ接続配線に電氣的に接続される複数本の間配線と、

前記各チップ搭載基材および前記各配線基材を、それらの積層方向に沿って一括して貫通して設けられた複数の貫通孔の内部に形成され、前記各チップ接続配線および前記各中間配線を前記各基材の積層方向において電氣的に接続する複数本の層間接続配線と、を具備することを特徴とする半導体装置。

【請求項 7】

前記各チップ接続配線および前記各中間配線は、前記各チップ搭載基材のうちの少なくとも所定の 1 層の前記チップ搭載基材と、このチップ搭載基材に隣接する少なくとも 1 枚の前記配線基材との対について、前記各基材のそれぞれの互いに対向し合う主面に形成されていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

前記各配線基材が前記各チップ搭載基材と同じ枚数配置されているとともに、前記各チップ接続配線および前記各中間配線は、前記各チップ搭載基材とこれら各チップ搭載基材に隣接する前記各配線基材との全ての対について、前記各基材のそれぞれの互いに対向し合う主面に形成されていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 9】

前記各貫通孔は、前記各チップ接続配線および前記各中間配線がそれぞれ有する貫通用端子を貫通して設けられていることを特徴とする請求項 1 ~ 8 のうちのいずれかに記載の半導体装置。

【請求項 10】

前記各中間配線は、前記各端子からの通電経路を、前記各端子ごとに、かつ、前記各層ごとに独立して設定可能なパターンに形成されていることを特徴とする請求項 1 ~ 9 のうちのいずれかに記載の半導体装置。

【請求項 11】

前記各中間配線は、前記各半導体チップを外部に電氣的に接続する複数個の外部端子と前記各端子との通電経路を、前記各端子ごとに前記各層間で切り替え可能なパターンに形成されていることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】

半導体チップが有する複数本の端子に電氣的に接続される複数本のチップ接続配線が実質的に同一パターンに形成されており、これら各チップ接続配線に前記各端子を電氣的に接続されて前記半導体チップが少なくとも 1 個搭載された 2 枚のチップ搭載基材を、それらの厚さ方向に沿って 2 層に積層して配置する工程と、

前記各チップ接続配線に電氣的に接続される複数本の間配線が前記各チップ接続配線とは異なるパターンに形成されている 1 枚の配線基材を前記各チップ搭載基材の間に配置する工程と、

前記各チップ搭載基材および前記配線基材をそれらの積層方向に沿って一括して貫通して複数の貫通孔を設け、これら各貫通孔の内部に前記各チップ接続配線および前記各中間配線を前記各基材の積層方向において電氣的に接続する複数本の層間接続配線を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 13】

前記 2 枚のチップ搭載基材のうちの少なくとも一方のチップ搭載基材および前記配線基材について、前記チップ搭載基材の前記各チップ接続配線が形成されている主面と、前記配線基材の前記各中間配線が形成されている主面とを互いに対向させて配置することを特徴とする請求項 12 に記載の半導体装置の製造方法。

【請求項 14】

前記各貫通孔を、前記各チップ搭載基材および前記配線基材を一体化させた後に設けることを特徴とする請求項 12 または 13 に記載の半導体装置の製造方法。

【請求項 15】

半導体チップが有する複数本の端子に電氣的に接続される複数本のチップ接続配線が実質的に同一パターンに形成されており、これら各チップ接続配線に前記各端子を電氣的に接続されて前記半導体チップが少なくとも 1 個搭載された 2 枚のチップ搭載基材を、それらの厚さ方向に沿って 2 層に積層して配置する工程と、

前記各チップ接続配線に電氣的に接続される複数本の間接配線が前記各チップ接続配線とは異なるパターンに形成されている第 1 の配線基材を前記各チップ搭載基材の間に配置する工程と、

前記各チップ接続配線に電氣的に接続される複数本の間接配線が、前記各チップ接続配線および前記第 1 の配線基材に形成されている前記各中間配線とは異なるパターンに形成されている第 2 の配線基材を、前記第 1 の配線基材と併せて前記各チップ搭載基材と交互に配置する工程と、

前記各チップ搭載基材、前記第 1 の配線基材、および前記第 2 の配線基材をそれらの積層方向に沿って一括して貫通して複数の貫通孔を設け、これら各貫通孔の内部に前記各チップ接続配線および前記各中間配線を前記各基材の積層方向において電氣的に接続する複数本の層間接続配線を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 16】

前記 2 枚のチップ搭載基材のうちの少なくとも 1 枚の前記チップ搭載基材と、このチップ搭載基材に隣接する前記第 1 の配線基材もしくは前記第 2 の配線基材との対について、前記チップ搭載基材の前記各チップ接続配線が形成されている主面と、前記第 1 の配線基材もしくは前記第 2 の配線基材の前記各中間配線が形成されている主面とを互いに対向させて配置することを特徴とする請求項 15 に記載の半導体装置の製造方法。

【請求項 17】

前記 2 枚のチップ搭載基材のうちの一方の前記チップ搭載基材と前記第 1 の配線基材、および他方の前記チップ搭載基材と前記第 2 の配線基材とのそれぞれの対について、前記各チップ搭載基材の前記各チップ接続配線が形成されている主面と、前記第 1 の配線基材および前記第 2 の配線基材のそれぞれの前記各中間配線が形成されている主面とを互いに対向させて配置することを特徴とする請求項 15 に記載の半導体装置の製造方法。

【請求項 18】

前記各貫通孔を、前記各チップ搭載基材、前記第 1 の配線基材、および前記第 2 の配線基材を一体化させた後に設けることを特徴とする請求項 15 ~ 17 のうちのいずれかに記載の半導体装置の製造方法。

【請求項 19】

半導体チップが有する複数本の端子に電氣的に接続される複数本のチップ接続配線が実質的に同一パターンに形成されており、これら各チップ接続配線に前記各端子を電氣的に接続されて前記半導体チップが少なくとも 1 個搭載された複数枚のチップ搭載基材を、それらの厚さ方向に沿って複数層に積層して配置する工程と、

前記各チップ接続配線に電氣的に接続される複数本の間接配線がそれぞれ所定のパターンで、かつ、前記各チップ接続配線とは異なるパターンに形成されている複数枚の配線基材を前記各チップ搭載基材の積層方向に沿って前記各チップ搭載基材と交互に配置する工程と、

前記各チップ搭載基材および前記各配線基材をそれらの積層方向に沿って一括して貫通して複数の貫通孔を設け、これら各貫通孔の内部に前記各チップ接続配線および前記各中間配線を前記各基材の積層方向において電氣的に接続する複数本の層間接続配線を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 20】

前記各チップ搭載基材のうちの少なくとも所定の1層の前記チップ搭載基材と、このチップ搭載基材に隣接する少なくとも1枚の前記配線基材との対について、前記チップ搭載基材の前記各チップ接続配線が形成されている主面と、前記配線基材の前記各中間配線が形成されている主面とを互いに対向させて配置することを特徴とする請求項19に記載の半導体装置の製造方法。

【請求項21】

前記各配線基材を前記各チップ搭載基材と同じ枚数配置するとともに、前記各チップ搭載基材とこれら各チップ搭載基材に隣接する前記各配線基材との全ての対について、前記各チップ搭載基材の前記各チップ接続配線が形成されている主面と、前記各配線基材の前記各中間配線が形成されている主面とを互いに対向させて配置することを特徴とする請求項19に記載の半導体装置の製造方法。 10

【請求項22】

前記各貫通孔を、前記各チップ搭載基材および前記各配線基材を一体化させた後に設けることを特徴とする請求項19～21のうちのいずれかに記載の半導体装置の製造方法。

【請求項23】

前記各貫通孔を、前記各チップ接続配線および前記各中間配線がそれぞれ有する貫通用端子を貫通して設けることを特徴とする請求項12～22のうちのいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

20

【発明の属する技術分野】

本発明は、半導体チップ周辺の配線技術に係り、特に複数個の半導体チップが複数層に積層された多層構造の半導体装置である、積層半導体パッケージの配線デザイン、および多層構造の半導体装置の製造方法に関する。

【0002】

【従来の技術】

近年、半導体装置の高集積化が著しく進んでいる。高集積化された半導体装置の中には、例えば、1個の半導体装置の内部に半導体チップを複数個備えた、いわゆるマルチ・チップ・パッケージがある。また、マルチ・チップ・パッケージの中には、複数個の半導体チップを複数層に積層した構造からなる、いわゆる積層半導体パッケージがある。ここで、一般にシステムブロックモジュール(SBM: System Block Module)と呼ばれる積層半導体パッケージの製造工程を、一例を挙げて簡潔に説明する。 30

【0003】

先ず、複数枚のチップ搭載基板に、半導体チップを1個ないしは複数個搭載する。各チップ搭載基板には、各半導体チップが有する複数本の端子に電氣的に接続される複数本のチップ接続配線が形成されている。各半導体チップは、各端子を各チップ接続配線に接続されて各チップ搭載基板に搭載される。次に、所定数の半導体チップが搭載された各チップ搭載基板を配線基板に一体化させる。通常、配線基板は、1枚の配線基板上に複数枚のチップ搭載基板をまとめて搭載できる大きさに形成されている。また、配線基板には、各チップ搭載基板に形成されている各チップ接続配線を介して、各半導体チップの各端子に電氣的に接続される複数本の中間配線が形成されている。ここでは、各チップ搭載基板の各チップ接続配線が配線基板の各中間配線に電氣的に接続されるように、例えばフリップチップ法により、それぞれ所定数の半導体チップが搭載された複数枚のチップ搭載基板を配線基板上の所定の各位置に搭載する。 40

【0004】

次に、それぞれ所定数のチップ搭載基板が搭載された複数枚の配線基板を、それらの厚さ方向に沿って所定数積層する。この際、各チップ搭載基板と各配線基板とが積層方向に沿って交互に配置されるように各配線基板を積層する。それとともに、積層方向において互いに隣接する各チップ搭載基板の各チップ接続配線と各配線基板の各中間配線とが電氣的に接続されるように各配線基板を積層する。この後、積層された各配線基板を、例えば熱 50

圧着により一体化する。続けて、一体化された各配線基板をその積層方向の両外側から挟み込むように、外部端子基板および絶縁カバーを設ける。この際、外部端子基板を配線基板に接触する側に設けるとともに、絶縁カバーを各チップ搭載基板に接触側に設ける。外部端子基板および絶縁カバーは、例えば熱圧着により一体化された各配線基板と一体化される。

#### 【0005】

外部端子基板には、これに隣接する配線基板の各中間配線に電氣的に接続される複数本の外部端子接続配線が形成されている。各外部端子接続配線には、積層半導体パッケージの内部の通電経路をパッケージの外部の通電経路に電氣的に接続するための外部端子が形成されている。外部端子基板は、各外部端子接続配線が隣接する配線基板に形成されている各中間配線に電氣的に接続されるように設けられる。これにより、各半導体チップは、各チップ接続配線、各中間配線、および各外部端子接続配線を介して、所定の経路でパッケージの外部の配線などに電氣的に接続される。また、パッケージの内部の各半導体チップ、各チップ接続配線、および各中間配線などは、絶縁カバーおよび外部端子基板により外部から保護される。

10

#### 【0006】

最後に、外部端子基板および絶縁カバーと一体化された各配線基板を、各層ごとに所定数の半導体チップを備える複数個のブロックごとに切り分ける。これにより、所望の半導体システムとして機能するシステムブロックモジュール(SBM)を得る。

#### 【0007】

20

#### 【発明が解決しようとする課題】

前述した工程により形成されるSBMに搭載する各半導体チップを、例えばメモリチップとする。メモリチップは、一般に、端子としてのデータピンを複数本有している。各データピンは、通常、各層の各半導体チップの各データピンごとに独立してモジュールの外部配線などに電氣的に接続される必要がある。ここで、例えば各中間配線を各層においてすべて同一パターンに形成するとともに、各チップ接続配線を各層ごとに異なるパターンに形成することにより、各データピンの通電経路をそれぞれ電氣的に独立させるとする。この場合、所定の層に配置されるべきチップ搭載基板が、他の層に配置されるべきチップ搭載基板と入れ代わらないように管理する必要がある。モジュール内の任意の2層において、たとえ1枚ずつでもチップ搭載基板が入れ代わるとSBM全体が不良品になってしまう。ひいては、SBMの歩留まりが低下し、SBMの製造工程に支障をきたすおそれがある。

30

#### 【0008】

したがって、各データピンの通電経路を各チップ搭載基板の各チップ接続配線によってそれぞれ独立に設定する場合、複数枚のチップ搭載基板を極めて慎重に管理する必要がある。これにより、SBMの製造工程が極めて煩雑なものとなる。ひいては、SBMを大量生産する際に、生産効率の低下や、製造コストの上昇を招く原因となる。

#### 【0009】

本発明は、以上説明したような課題を解決するためになされたものであり、その目的とするところは、複数個の半導体チップを複数層に積層した積層半導体パッケージにおいても、配線構造の改善により歩留まりや生産効率の向上、および製造コストの低減が図られた半導体装置を提供することにある。それとともに、そのような半導体装置を容易に製造できる半導体装置の製造方法を提供することにある。

40

#### 【0010】

#### 【課題を解決するための手段】

前記課題を解決するために、本発明に係る半導体装置は、複数本の端子を有する複数個の半導体チップと、これらの半導体チップが少なくとも1個搭載されるとともに、搭載された前記各半導体チップの前記各端子に電氣的に接続される複数本のチップ接続配線が実質的に同一パターンに形成されており、かつ、厚さ方向に沿って2層に積層される2枚のチップ搭載基材と、これら2枚のチップ搭載基材の間に配置されるとともに、前記各チップ

50

接続配線に電氣的に接続される複数本の間配線が前記各チップ接続配線とは異なるパターンに形成されている１枚の配線基材と、前記各チップ搭載基材および前記配線基材をこれらの積層方向に沿って一括して貫通して設けられた複数の貫通孔の内部に形成され、前記各チップ接続配線および前記各中間配線を前記各基材の積層方向において電氣的に接続する複数本の層間接続配線と、を具備することを特徴とするものである。

【００１１】

この半導体装置においては、２枚のチップ搭載基材に搭載された１個ないしは複数個の半導体チップの各端子に電氣的に接続される各チップ接続配線が、各層の各チップ搭載基材に実質的に同一パターンに形成されている。また、各層の各チップ接続配線に電氣的に接続される各中間配線が、各チップ接続配線とは異なるパターンに形成されている。さらに、各チップ接続配線および各中間配線を各基材の積層方向において電氣的に接続する各層間接続配線が、各基材をこれらの積層方向に沿って一括して貫通して設けられた複数の貫通孔の内部に形成されている。したがって、この半導体装置は、各層の各半導体チップの各端子の通電経路を各層間で切り替えて、すべての層において電氣的に独立させることができるとともに、そのような通電経路を高い精度で効率よく、かつ、容易に形成可能な配線構造を備えている。

10

【００１２】

また、前記課題を解決するために、本発明に係る半導体装置は、複数本の端子を有する複数個の半導体チップと、これらの半導体チップが少なくとも１個搭載されるとともに、搭載された前記各半導体チップの前記各端子に電氣的に接続される複数本のチップ接続配線が実質的に同一パターンに形成されており、かつ、厚さ方向に沿って２層に積層される２枚のチップ搭載基材と、これら２枚のチップ搭載基材の間に配置されるとともに、前記各チップ接続配線に電氣的に接続される複数本の間配線が前記各チップ接続配線とは異なるパターンで形成されている第１の配線基材と、この第１の配線基材と併せて前記各チップ搭載基材と交互に配置されるとともに、前記各チップ接続配線に電氣的に接続される複数本の間配線が、前記各チップ接続配線および前記第１の配線基材に形成されている前記各中間配線とは異なるパターンに形成されている第２の配線基材と、前記各チップ搭載基材、前記第１の配線基材、および前記第２の配線基材を、これらの積層方向に沿って一括して貫通して設けられた複数の貫通孔の内部に形成され、前記各チップ接続配線および前記各中間配線を前記各基材の積層方向において電氣的に接続する複数本の層間接続配線と、を具備することを特徴とするものである。

20

30

【００１３】

この半導体装置においては、２枚のチップ搭載基材に搭載された１個ないしは複数個の半導体チップの各端子に電氣的に接続される各チップ接続配線が、各層の各チップ搭載基材に実質的に同一パターンに形成されている。また、各層の各チップ接続配線に電氣的に接続される各中間配線が、第１および第２の各配線基材ごとに異なるパターンで、かつ、各チップ接続配線とは異なるパターンに形成されている。さらに、各チップ接続配線および各中間配線を各基材の積層方向において電氣的に接続する各層間接続配線が、各基材をこれらの積層方向に沿って一括して貫通して設けられた複数の貫通孔の内部に形成されている。したがって、この半導体装置は、各層の各半導体チップの各端子の通電経路を各層間で切り替えて、すべての層において電氣的に独立させることができるとともに、そのような通電経路を高い精度で効率よく、かつ、容易に形成可能な配線構造を備えている。

40

【００１４】

また、前記課題を解決するために、本発明に係る半導体装置は、複数本の端子を有する複数個の半導体チップと、これらの半導体チップが少なくとも１個搭載されるとともに、厚さ方向に沿って複数層に積層される複数枚のチップ搭載基材と、これらのチップ搭載基材に実質的に同一パターンに形成され、前記各チップ搭載基材に搭載された前記各半導体チップの前記各端子に電氣的に接続される複数本のチップ接続配線と、前記各チップ搭載基材の積層方向に沿って前記各チップ搭載基材と交互に配置される複数枚の配線基材と、これらの配線基材ごとに所定のパターンで、かつ、前記各チップ接続配線とは異なるパター

50

ンに形成され、前記各チップ接続配線に電氣的に接続される複数本の間配線と、前記各チップ搭載基材および前記各配線基材を、それらの積層方向に沿って一括して貫通して設けられた複数の貫通孔の内部に形成され、前記各チップ接続配線および前記各中間配線を前記各基材の積層方向において電氣的に接続する複数本の層間接続配線と、を具備することを特徴とするものである。

【0015】

この半導体装置においては、各チップ搭載基材に搭載された1個ないしは複数個の半導体チップの各端子に電氣的に接続される各チップ接続配線が、各層の各チップ搭載基材に実質的に同一パターンに形成されている。また、各チップ接続配線に電氣的に接続される各中間配線が、各層の各配線基材ごとに所定のパターンで、かつ、各チップ接続配線とは異なるパターンに形成されている。さらに、各チップ接続配線および各中間配線を各基材の積層方向において電氣的に接続する各層間接続配線が、各基材をそれらの積層方向に沿って一括して貫通して設けられた複数の貫通孔の内部に形成されている。したがって、この半導体装置は、各層の各半導体チップの各端子の通電経路を各層間で切り替えて、すべての層において電氣的に独立させることができるとともに、そのような通電経路を高い精度で効率よく、かつ、容易に形成可能な配線構造を備えている。

10

【0016】

また、前記課題を解決するために、本発明に係る半導体装置の製造方法は、半導体チップが有する複数本の端子に電氣的に接続される複数本のチップ接続配線が実質的に同一パターンに形成されており、これら各チップ接続配線に前記各端子を電氣的に接続されて前記半導体チップが少なくとも1個搭載された2枚のチップ搭載基材を、それらの厚さ方向に沿って2層に積層して配置する工程と、前記各チップ接続配線に電氣的に接続される複数本の間配線が前記各チップ接続配線とは異なるパターンに形成されている1枚の配線基材を前記各チップ搭載基材の間に配置する工程と、前記各チップ搭載基材および前記配線基材をそれらの積層方向に沿って一括して貫通して複数の貫通孔を設け、これら各貫通孔の内部に前記各チップ接続配線および前記各中間配線を前記各基材の積層方向において電氣的に接続する複数本の層間接続配線を形成する工程と、を含むことを特徴とするものである。

20

【0017】

この半導体装置の製造方法においては、半導体チップが少なくとも1個搭載され、これらの半導体チップの各端子に電氣的に接続される複数本のチップ接続配線が実質的に同一パターンに形成された2枚のチップ搭載基材を、それらの厚さ方向に沿って2層に積層して配置する。続けて、各チップ接続配線に電氣的に接続される複数本の間配線が各チップ接続配線とは異なるパターンに形成されている1枚の配線基材を、各チップ搭載基材の間に配置する。そして、各チップ搭載基材および配線基材をそれらの積層方向に沿って一括して貫通して複数の貫通孔を設け、これら各貫通孔の内部に各チップ接続配線および各中間配線を各基材の積層方向において電氣的に接続する複数本の層間接続配線を形成する。したがって、この半導体装置の製造方法は、各層の各半導体チップの各端子の通電経路を各層間で切り替えて、すべての層において電氣的に独立させることができる配線構造を高い精度で効率よく、かつ、容易に形成可能である。

30

40

【0018】

また、前記課題を解決するために、本発明に係る半導体装置の製造方法は、半導体チップが有する複数本の端子に電氣的に接続される複数本のチップ接続配線が実質的に同一パターンに形成されており、これら各チップ接続配線に前記各端子を電氣的に接続されて前記半導体チップが少なくとも1個搭載された2枚のチップ搭載基材を、それらの厚さ方向に沿って2層に積層して配置する工程と、前記各チップ接続配線に電氣的に接続される複数本の間配線が前記各チップ接続配線とは異なるパターンに形成されている第1の配線基材を前記各チップ搭載基材の間に配置する工程と、前記各チップ接続配線に電氣的に接続される複数本の間配線が、前記各チップ接続配線および前記第1の配線基材に形成されている前記各中間配線とは異なるパターンに形成されている第2の配線基材を、前記第1

50



の配線基材と併せて前記各チップ搭載基材と交互に配置する工程と、前記各チップ搭載基材、前記第1の配線基材、および前記第2の配線基材をそれらの積層方向に沿って一括して貫通して複数の貫通孔を設け、これら各貫通孔の内部に前記各チップ接続配線および前記各中間配線を前記各基材の積層方向において電氣的に接続する複数本の層間接続配線を形成する工程と、を含むことを特徴とするものである。

#### 【0019】

この半導体装置の製造方法においては、半導体チップが少なくとも1個搭載され、これらの半導体チップの各端子に電氣的に接続される複数本のチップ接続配線が実質的に同一パターンに形成された2枚のチップ搭載基材を、それらの厚さ方向に沿って2層に積層して配置する。続けて、各チップ接続配線に電氣的に接続される複数本の中間配線が各チップ接続配線とは異なるパターンに形成されている第1の配線基材を、各チップ搭載基材の間に配置する。続けて、各チップ接続配線に電氣的に接続される複数本の中間配線が、各チップ接続配線および第1の配線基材に形成されている各中間配線とは異なるパターンに形成されている第2の配線基材を、第1の配線基材と併せて各チップ搭載基材と交互に配置する。そして、各チップ搭載基材、第1の配線基材、および第2の配線基材をそれらの積層方向に沿って一括して貫通して複数の貫通孔を設け、これら各貫通孔の内部に各チップ接続配線および各中間配線を各基材の積層方向において電氣的に接続する複数本の層間接続配線を形成する。したがって、この半導体装置の製造方法は、各層の各半導体チップの各端子の通電経路を各層間で切り替えて、すべての層において電氣的に独立させることができる配線構造を高い精度で効率よく、かつ、容易に形成可能である。

10

20

#### 【0020】

また、前記課題を解決するために、本発明に係る半導体装置の製造方法は、半導体チップが有する複数本の端子に電氣的に接続される複数本のチップ接続配線が実質的に同一パターンに形成されており、これら各チップ接続配線に前記各端子を電氣的に接続されて前記半導体チップが少なくとも1個搭載された複数枚のチップ搭載基材を、それらの厚さ方向に沿って複数層に積層して配置する工程と、前記各チップ接続配線に電氣的に接続される複数本の中間配線がそれぞれ所定のパターンで、かつ、前記各チップ接続配線とは異なるパターンに形成されている複数枚の配線基材を前記各チップ搭載基材の積層方向に沿って前記各チップ搭載基材と交互に配置する工程と、前記各チップ搭載基材および前記各配線基材をそれらの積層方向に沿って一括して貫通して複数の貫通孔を設け、これら各貫通孔の内部に前記各チップ接続配線および前記各中間配線を前記各基材の積層方向において電氣的に接続する複数本の層間接続配線を形成する工程と、を含むことを特徴とするものである。

30

#### 【0021】

この半導体装置の製造方法においては、半導体チップが少なくとも1個搭載され、これらの半導体チップの各端子に電氣的に接続される複数本のチップ接続配線が実質的に同一パターンに形成された複数枚のチップ搭載基材を、それらの厚さ方向に沿って複数層に積層して配置する。続けて、各チップ接続配線に電氣的に接続される複数本の中間配線がそれぞれ所定のパターンで、かつ、各チップ接続配線とは異なるパターンに形成されている複数枚の配線基材を、各チップ搭載基材の積層方向に沿って各チップ搭載基材と交互に配置する。そして、各チップ搭載基材および各配線基材をそれらの積層方向に沿って一括して貫通して複数の貫通孔を設け、これら各貫通孔の内部に各チップ接続配線および各中間配線を各基材の積層方向において電氣的に接続する複数本の層間接続配線を形成する。したがって、この半導体装置の製造方法は、各層の各半導体チップの各端子の通電経路を各層間で切り替えて、すべての層において電氣的に独立させることができる配線構造を高い精度で効率よく、かつ、容易に形成可能である。

40

#### 【0022】

##### 【発明の実施の形態】

先ず、本発明を説明するのに先立って、前述した従来技術の課題を解決するために本発明者らが試みた技術について説明する。

50

## 【0023】

本発明者らは、従来技術の課題を解決するために、各データピンの通電経路を各配線基板の各中間配線によってそれぞれ独立に設定する半導体装置を既に提案している（特願2001-167185号）。この半導体装置は、具体的には、各チップ接続配線を各層においてすべて同一パターンに形成するとともに、各中間配線を各層ごとに異なるパターンに形成することにより、各データピンの通電経路をそれぞれ電氣的に独立させるSBMである。以下、そのような配線構造を有するSBMの一例を、図11を参照しつつ簡潔に説明する。なお、図面を見易くするために、図11において各チップ搭載基板に搭載された各メモリチップ全体の図示を省略するとともに、各メモリチップのデータピンを各チップ搭載基板ごとに1本ずつ示す。同様に、図面を見易くするために、図11において各チップ搭載基板、各配線基板、外部端子基板、および絶縁カバーをそれぞれ離間させて示す。

10

## 【0024】

図11に示すSBM（積層半導体パッケージ）101においては、チップ搭載基板102および配線基板103がそれぞれ4枚ずつ交互に配置されて積層されている。各チップ搭載基板102には、図示しないメモリチップがそれぞれ1個ずつ搭載されている。また、4層に積層された各チップ搭載基板102および各配線基板103を、それらの積層方向の両外側から挟み込むように、外部端子基板104および絶縁カバー105が設けられている。図11において、各チップ搭載基板102および各配線基板103の層を、上側から順番にそれぞれ第1層、第2層、第3層、そして第4層とする。また、絶縁カバー105を第0層、外部端子基板104を第5層とする。

20

## 【0025】

4個のメモリチップは、図11において、各チップ搭載基板102の下側の主面上に搭載されている。各メモリチップのデータピン106は、ランド106aおよびバンプ106bなどから構成されている。また、各チップ接続配線107は、4層の各チップ搭載基板102についてすべて同一パターンで形成されている。各チップ接続配線107は、それぞれヴィアプラグ107a、ランド107b、およびバンプ107cなどから構成されている。各ヴィアプラグ107aは、各チップ搭載基板102をそれらの厚さ方向に貫通して形成されている。各ランド107bおよび各バンプ107cは、各チップ搭載基板102の下側の主面上に形成されている。また、各中間配線108は、4層の各配線基板103についてすべて異なるパターンで形成されている。各中間配線108は、それぞれヴィアプラグ108aおよびランド108bなどから構成されている。各ヴィアプラグ108aは、各配線基板103をそれらの厚さ方向に貫通して形成されている。各ランド108bは、各配線基板103の下側の主面上に形成されている。

30

## 【0026】

さらに、外部端子基板104には、各外部端子接続配線109が互いに電氣的に独立して形成されている。各外部端子接続配線109は、それぞれヴィアプラグ109aおよびランド109bなどから構成されている。各ヴィアプラグ109aは、各外部端子基板104をそれらの厚さ方向に貫通して形成されている。各ランド109bは、各外部端子基板104の下側の主面上に形成されている。すなわち、各ランド109bはSBM101の外側に露出して形成されており、外部端子として機能する。

40

## 【0027】

図11に示すように、第1～第4の各層のデータピン106は、すべて積層方向に沿って同じ位置において、それらの下側の各中間配線108のヴィアプラグ108aに電氣的に接続されている。また、各層の各チップ接続配線107のヴィアプラグ107a、ランド107b、およびバンプ107cも、すべて積層方向に沿って同じ位置に形成されている。つまり、各チップ接続配線107は、各層においてすべて同一パターンに形成されている。ところが、各層の各中間配線108は、各層のデータピン106の通電経路を各層間で切り替えるように、各層ごとに異なるパターンに形成されている。これにより、図11中一点鎖線で示すように、各層のデータピン106を、第1～第4のすべての層においてそれぞれ電氣的に独立した通電経路でSBM101の外部配線などに電氣的に接続するこ

50

とができる。

【0028】

このような配線構造を有するSBM101の場合、所定の層に配置されるべき配線基板103が、他の層に配置されるべき配線基板103と入れ代わらないように管理すればよい。4枚のチップ搭載基板102を各層ごとに分類して管理する必要はない。前述したように、実際のSBM101の製造工程においては、1枚の配線基板103上には複数枚のチップ搭載基板102が搭載される。したがって、積層半導体パッケージの内部配線構造をSBM101のように設定することにより、1枚の配線基板103上に搭載されるチップ搭載基板102の枚数が増えるのに反比例して、チップ搭載基板102および配線基板103の管理に要する負担を低減できる。それとともに、チップ搭載基板102および配線基板103の積層数が増えるのに反比例して、チップ搭載基板102および配線基板103の管理に要する負担を低減できる。これにより、歩留まりや生産効率の向上、および製造コストの低減が図られた半導体装置を提供できる。したがって、SBM101では、基板管理などに起因する従来技術の各種問題は十分に解決されている。

10

【0029】

ところが、各層間の通電経路を確保するためには、各チップ搭載基板102、各配線基板103、および外部端子基板104ごとに個別に、各ヴィアプラグ107a、108a、109aを形成しなければならない。しかも、図11に示すように、各ヴィアプラグ107a、108a、109aは、積層方向に沿って互いに位置を合わされて形成されなければならない。このように、SBM101では、ヴィアプラグを有する半導体装置の内部構造に起因する製造作業の煩雑さや、その製造作業に費やされる労力などを低減しようとする試みはなされていない。

20

【0030】

本発明は、従来技術の課題を解決できるのはもちろんのこと、前述したヴィアプラグに起因する各種問題を解決して、積層半導体パッケージを大量生産する際の歩留まりや生産効率の向上、および製造コストの低減を図るためになされたものである。

【0031】

以下、本発明の詳細を図示の実施形態によって説明する。

【0032】

図1は、本発明の一実施形態に係る半導体装置が備える半導体チップを示す断面図および平面図である。図2は、半導体装置が備えるチップ接続基材を示す断面図および平面図である。図3は、半導体装置が備える配線基材を示す断面図および平面図である。図4は、半導体装置が備える外部端子基材を示す断面図および平面図である。図5は、本実施形態に係る半導体装置の製造方法を示す工程断面図および平面図である。図6～図8は、それぞれ半導体装置の製造方法を示す工程断面図である。図9は、半導体装置の内部の配線構造を簡略化して示す断面図である。図10は、半導体装置のチップ接続配線および中間配線の配線パターンを各層ごとに簡略化して示す断面図である。

30

【0033】

先ず、一実施形態に係る半導体装置を、図1～図4および図8～図10を参照しつつ説明する。

40

【0034】

図8(a)に示すように、本実施形態の半導体装置1は、その内部に半導体チップ2を4個備えた、いわゆるマルチ・チップ・パッケージとして形成されている。また、半導体装置1は、4個の半導体チップ2をそれぞれ4層に分けて積層した構造からなる、いわゆる積層半導体パッケージとして構成されている。以下の説明においては、半導体装置1を、特にシステムブロックモジュール(SBM: System Block Module)と称される積層半導体パッケージとして説明する。

【0035】

本実施形態のSBM1においては、図8(a)に示すように、4枚のチップ搭載基材6に半導体チップ2が1個ずつ搭載されている。半導体チップ2が搭載された各チップ搭載基材

50

6 は、それらの厚さ方向に沿って 4 層に積層されている。また、各チップ搭載基材 6 と対をなすように、4 枚の配線基材 15 が、各チップ搭載基材 6 の積層方向に沿って各チップ搭載基材 6 と交互に配置されて積層されている。これら 4 層に積層された各チップ搭載基材 6 と各配線基材 15 との対を、それらの積層方向の両外側から挟み込むように外部端子基材 22 および絶縁カバー 28 が 1 枚ずつ設けられている。外部端子基材 22 は配線基材 15 と隣接して設けられている。絶縁カバー 28 はチップ搭載基材 6 と隣接して設けられている。各層の半導体チップ 2 は、SBM1 をその厚さ方向に貫通して設けられた層間接続配線 30 や各層の配線などによって、SBM1 の外部の図示しない配線などと電氣的に接続される。

#### 【0036】

なお、図 8 ~ 図 10 において、各チップ搭載基材 6 および各配線基材 15 の層を、上側から順番にそれぞれ第 1 層、第 2 層、第 3 層、そして第 4 層とする。また、絶縁カバー 28 を第 0 層、外部端子基材 22 を第 5 層とする。この場合、例えば第 1 層に配置される配線基材 15 を第 1 の配線基材 15、第 2 層に配置される配線基材 15 を第 2 の配線基材 15、第 3 層に配置される配線基材 15 を第 3 の配線基材 15、そして第 4 層に配置される配線基材 15 を第 4 の配線基材 15 とそれぞれ称しても構わない。

#### 【0037】

以下、SBM1 の構成について、主要な構成要素ごとに図面を参照しつつ詳細に説明する。

#### 【0038】

図 1 (a) に示すように、SBM1 が備える 4 個の半導体チップ 2 は、それぞれのチップ本体 3 の厚さが約 50  $\mu\text{m}$  の薄肉形状に形成されている。各チップ本体 3 の一主面上には、図 1 (b) に示すように、電極パッド 4 が 7 箇所形成されている。これら各パッド 4 上に、端子としてのスタッドバンプ 5 が 1 本ずつ形成されている。各スタッドバンプ 5 は、それぞれ直径が約 70  $\mu\text{m}$ 、高さが約 80  $\mu\text{m}$  の凸形状に形成されている。また、各スタッドバンプ 5 は、例えば金 (Au) により形成されている。

#### 【0039】

図 2 (a) に示すように、半導体チップ 2 が少なくとも 1 個搭載されるチップ搭載基材 6 は、その基材本体 7 の厚さが約 50  $\mu\text{m}$  の薄肉形状に形成されている。基材本体 7 は、例えば絶縁材料の一種であるガラスエポキシにより形成されており、絶縁ベースとも称される。基材本体 7 の一主面上には、図 2 (b) に示すように、半導体チップ 2 の各スタッドバンプ 5 に個別に電氣的に接続されるチップ接続配線 8 が複数本形成されている。本実施形態の SBM1 においては、1 枚のチップ搭載基材 6 に 1 個の半導体チップ 2 を搭載する。前述したように、半導体チップ 2 は 7 本のスタッドバンプ 5 を備えている。したがって、1 枚のチップ搭載基材 6 には、7 本のチップ接続配線 8 が形成されている。また、本実施形態の SBM1 においては、4 枚のチップ搭載基材 6 を用いる。そして、これら 4 枚のチップ搭載基材 6 について、それぞれの基材本体 7 の一主面上にチップ接続配線 8 が実質的に同一パターンに形成されている。

#### 【0040】

各チップ接続配線 8 は、図 2 (a) および (b) に示すように、インナーリード 9、中継線 10、および層間接続ランド 11 またはスルーホールランド 12 から構成されている。インナーリード 9 は、半導体チップ 2 のスタッドバンプ 5 に電氣的に接続される部分である。層間接続ランド 11 は、後述する配線基材 15 に形成されている中間配線 17 に電氣的に接続される部分である。スルーホールランド 12 は、後述する層間接続配線 30 が貫通して電氣的に接続される部分、すなわち貫通用端子である。そして、中継線 10 は、インナーリード 9 と層間接続ランド 11 またはスルーホールランド 12 とを電氣的に接続する部分である。各チップ接続配線 8 は、各チップ搭載基材 6 の基材本体 7 の一主面上からの高さが約 15  $\mu\text{m}$  に形成されている。また、各チップ接続配線 8 は、例えば銅 (Cu) を用いてエッチング法により形成されている。

#### 【0041】

各インナーリード9上には、半導体チップ2の各スタッドバンプ5と当接し合うチップ接続バンプ13が形成されている。また、各層間接続ランド11上には、配線基材15に形成されている中間配線17が有する層間接続ランド18と当接し合う層間接続バンプ14が形成されている。各チップ接続バンプ13および各層間接続バンプ14は、それらの高さが約10 $\mu$ mに形成されている。また、各チップ接続バンプ13および各層間接続バンプ14は、例えば錫および銀からなる合金(Sn-Ag)を用いて電解めっき法により形成されている。各半導体チップ2は、例えばフリップチップ法により各チップ搭載基材6に搭載される。

#### 【0042】

図3(a)に示すように、前述したチップ搭載基材6と対をなす配線基材15は、その基材本体16の厚さが約130 $\mu$ mの薄肉形状に形成されている。基材本体16は、例えば絶縁材料の一種であるガラスエポキシにより形成されており、絶縁ベースとも称される。基材本体16の一主面上には、図3(b)に示すように、隣接するチップ搭載基材6の各チップ接続配線8と個別に電氣的に接続される中間配線17が複数本形成されている。

#### 【0043】

本実施形態のSBM1においては、4枚のチップ搭載基材6の積層方向に沿って、各チップ搭載基材6に対して4枚の配線基材15を交互に配置して積層する。また、本実施形態のSBM1においては、各層の各半導体チップ2の各スタッドバンプ5からの通電経路を、各スタッドバンプ5ごとに独立に設定する。この際、各配線基材15の各中間配線17を用いて、各スタッドバンプ5からの通電経路を各スタッドバンプ5ごとに各層間で切り替える。したがって、各配線基材15の各中間配線17は、各配線基材15ごとに異なる配線パターンに形成されている。当然、各配線基材15の各中間配線17は、前述した各チップ搭載基材6の各チップ接続配線8とも異なる配線パターンに形成されている。また、各配線基材15の各中間配線17の本数は、各配線基材15ごとに異なっても構わない。4枚の配線基材15のうち、1枚の配線基材15に形成されている中間配線17の配線パターンを図3(b)に示す。

#### 【0044】

各中間配線17は、図3(b)に示すように、層間接続ランド18、中継線19、およびスルーホールランド20から構成されている。層間接続ランド18は、隣接するチップ搭載基材6に形成されているチップ接続配線8が有する層間接続ランド11の層間接続バンプ14と当接し合う部分である。各チップ接続配線8の各層間接続バンプ14を介して、各中間配線17の各層間接続ランド18が各チップ接続配線8の各層間接続ランド11と接触することにより、各中間配線17と各チップ接続配線8とが電氣的に接続される。スルーホールランド20は、後述する層間接続配線30が貫通して電氣的に接続される部分、すなわち貫通用端子である。そして、中継線19は、層間接続ランド18とスルーホールランド20とを電氣的に接続する部分である。各中間配線17は、各配線基材15の基材本体16の一主面上からの高さが約10 $\mu$ mに形成されている。また、各中間配線17は、例えば銅(Cu)を用いてエッチング法により形成されている。

#### 【0045】

また、各配線基材15には、図3(a)および(b)に示すように、それらの基材本体16の中央部を厚さ方向に貫通して、キャビティ部(空穴部)21が設けられている。これらのキャビティ部21は、半導体チップ2が搭載されたチップ搭載基材6と配線基材15とを一体化する際に、半導体チップ2と配線基材15とが干渉し合うのを回避するために設けられている。したがって、各キャビティ部21は、それらの内部に各チップ搭載基材6に搭載された各半導体チップ2が収まる大きさおよび形状に形成されている。図3(a)は、図3(b)において層間接続ランド18およびキャビティ部21を横切って示す断面図である。

#### 【0046】

図4(a)に示すように、配線基材15に隣接して設けられる外部端子基材22は、その基材本体23の厚さが約130 $\mu$ mの薄肉形状に形成されている。基材本体23は、例え

10

20

30

40

50

ば絶縁材料の一種であるガラスエポキシにより形成されており、絶縁ベースとも称される。基材本体 23 の一主面上には、図 4 (b) に示すように、後述する層間接続配線 30 により各層の各半導体チップ 2 の各スタッドバンプ 5 と電氣的に接続される外部端子接続配線 24 が複数本形成されている。

#### 【0047】

各外部端子接続配線 24 は、図 4 (b) に示すように、外部端子 25、中継線 26、およびスルーホールランド 27 から構成されている。外部端子 25 は、SBM1 が備える 4 個の半導体チップ 2 の各スタッドバンプ 5 と、SBM1 の外部の図示しない配線などとの電氣的な接続を得る部分である。スルーホールランド 27 は、後述する層間接続配線 30 が貫通して電氣的に接続される部分、すなわち貫通用端子である。そして、中継線 26 は、外部端子 25 とスルーホールランド 27 とを電氣的に接続する部分である。ただし、各外部端子接続配線 24 は、それらのすべてが外部端子 25、中継線 26、およびスルーホールランド 27 から構成されている必要はない。SBM1 が備える 4 個の半導体チップ 2 の各スタッドバンプ 5 間における電氣的な接続状態や、あるいは各スタッドバンプ 5 の外部配線との接続状態などに応じた適正な構成を有していればよい。例えば、外部端子 25 のみから構成される外部端子接続配線 24 が存在しても構わない。各外部端子接続配線 24 は、外部端子基材 22 の基材本体 23 の一主面上からの高さが約  $10\text{ }\mu\text{m}$  に形成されている。また、各チップ接続配線 8 は、例えば銅 (Cu) を用いてエッチング法により形成されている。

#### 【0048】

図 8 (a) に示すように、チップ搭載基材 6 に隣接して設けられる絶縁カバー 28 は、その基材本体 29 の厚さが約  $130\text{ }\mu\text{m}$  の薄肉形状に形成されている。基材本体 29 は、例えば絶縁材料の一種であるガラスエポキシにより形成されている。

#### 【0049】

また、図 8 (a) に示すように、SBM1 には、これを厚さ方向に沿って貫通して、層間接続配線 30 が形成されている。層間接続配線 30 は、実際には複数本形成されるが、図面を見易くするために、図 8 (a) においては 1 本だけ図示する。各層間接続配線 30 は、前述した各層の各チップ接続配線 8、各中間配線 17、および各外部端子接続配線 24 のそれぞれが有している各スルーホールランド 12、20、27 を貫通して形成されている。これにより、各層の各チップ接続配線 8、各中間配線 17、および各外部端子接続配線 24 は電氣的に接続される。すなわち、各層の各半導体チップ 2 は、それらの各スタッドバンプ 5 ごとに所定の経路で外部配線と電氣的に接続される。ただし、すべてのスルーホールランド 12、20、27 が層間接続配線 30 によって貫通されるとは限らない。各半導体チップ 2 の各スタッドバンプ 5 間における電氣的な接続状態や、あるいは各スタッドバンプ 5 の外部配線との接続状態などに応じた適正な通電経路を構成できるように、所定のスルーホールランド 12、20、27 が層間接続配線 30 によって貫通されていればよい。

#### 【0050】

各層間接続配線 30 は、図 8 (b) に示すように、SBM1 を厚さ方向に沿って一括して貫通して設けられた図示しない複数の貫通孔の内部に形成される。本実施形態においては、各層間接続配線 30 は、外側から順番に銅 (Cu) 配線 30a、ニッケル (Ni) 配線 30b、および金 (Au) 配線 30c の 3 層構造に形成されている。Cu 配線 30a は、その厚さを約  $15\text{ }\mu\text{m}$  に形成されている。Ni 配線 30b は、その厚さを約  $3\sim 5\text{ }\mu\text{m}$  に形成されている。また、Au 配線 30c は、その厚さを約  $0.05\text{ }\mu\text{m}$  に形成されている。そして、Cu 配線 30a は、例えば電解めっき法により形成される。また、Ni 配線 30b および Au 配線 30c は、例えば無電解めっき法により形成される。さらに、各層間接続配線 30 の両端には、酸化防止などの所定の保護処理が施されることが好ましい。外部端子基材 22 の各スルーホールランド 27 および各外部端子 25 についても同様である。

#### 【0051】

また、各半導体チップ 2 と各チップ搭載基材 6 との間には、図 8 ( a ) に示すように、例えば厚さが約  $50\text{ }\mu\text{m}$  のシート状のチップ用接着剤 3 1 が設けられている。同様に、各配線基材 1 5 の各中間配線 1 7 が形成されていない側の主面上には、例えば厚さが約  $20\text{ }\mu\text{m}$  の層間接続用接着剤 3 2 が塗布されている。なお、この層間接続用接着剤 3 2 は、各配線基材 1 5 の各中間配線 1 7 が形成されている側の主面上にも塗布されている。さらに、絶縁カバー 2 8 のチップ搭載基材 6 と対向する側の主面上には、例えば厚さが約  $20\text{ }\mu\text{m}$  のカバー用接着剤 3 3 が塗布されている。

#### 【 0 0 5 2 】

ここで、S B M 1 の内部の配線構造について、図 9 および図 1 0 に示されている具体例を参照しつつ詳細に説明する。図 9 および図 1 0 に示されている S B M 1 の内部の配線構造は、様々な配線パターンのうちの一例を示すものである。具体的には、図 9 および図 1 0 は、S B M 1 の内部に形成されている多数の配線のうち、各チップ接続配線 8 の各層間接続ランド 1 1 および各中間配線 1 7 の各層間接続ランド 1 8 の付近の配線構造を簡略化して示すものである。特に、図 9 および図 1 0 では、第 1 ~ 第 4 の各層の各層間接続ランド 1 1 および各層間接続ランド 1 8 のうち、積層方向に沿って同じ箇所形成されている各層間接続ランド 1 1 および各層間接続ランド 1 8 に着目して、各ランド 1 1 , 1 8 付近の配線構造を示すものである。

10

#### 【 0 0 5 3 】

前述したように、第 1 ~ 第 4 の各層の各チップ接続配線 8 は、4 枚のチップ搭載基材 6 の一主面上に実質的に同一パターンに形成されている。具体的には、図 1 0 に示すように、各層の各チップ接続配線 8 には、積層方向に沿って同じ箇所に各層間接続ランド 1 1 および各層間接続パンプ 1 4 が形成されている。また、それら各層間接続ランド 1 1 から同じ方向に各中継線 1 0 が延出されている。各層の各層間接続ランド 1 1 は、各層の各チップ搭載基材 6 に搭載されている各半導体チップ 2 の各スタッドパンプ 5 に各中継線 1 0 などを介して電氣的に接続されている。ところが、前述したように、第 1 ~ 第 4 の各層の各中間配線 1 7 は、4 枚の配線基材 1 5 の一主面上にそれぞれ異なるパターンで、かつ、各チップ接続配線 8 と異なる配線パターンに形成されている。なお、図 1 0 において、各層間接続配線 3 0 およびそれらの形成位置を、一点鎖線および白抜き矢印を用いて示す。また、第 1 ~ 第 4 の各層を 2 点鎖線で区切って示す。

20

#### 【 0 0 5 4 】

図 1 0 に示すように、各層の各中間配線 1 7 には、積層方向に沿って同じ箇所に各層間接続ランド 1 8 が形成されている。これら各層間接続ランド 1 8 は、同じ層の各チップ接続配線 8 の各層間接続ランド 1 1 と対向する位置に形成されている。したがって、各チップ搭載基材 6 と各配線基材 1 5 とが一体化されると、各チップ接続配線 8 と各中間配線 1 7 とは、図 1 0 中破線で示すように、それぞれの各層間接続ランド 1 1 , 1 8 を介して、各層ごとに電氣的に接続される。しかし、各スルーホールランド 2 0 については、積層方向に沿って互いに重ならないように、各層ごとに異なる位置に形成されている。そして、各層の各層間接続ランド 1 8 と各スルーホールランド 2 0 とを電氣的に接続するように各中継線 1 0 が形成されている。ただし、各中継線 1 0 は、各スルーホールランド 2 0 を積層方向に沿って一括して貫通して形成されている各層間接続配線 3 0 に電氣的に接触しない位置に形成されている。

30

40

#### 【 0 0 5 5 】

そして、外部端子基材 2 2 に形成されている各外部端子接続配線 2 4 については、各層の各スルーホールランド 2 0 と積層方向に沿って互いに重なる位置に各スルーホールランド 2 7 が形成されている。すなわち、各スルーホールランド 2 7 は、各層間接続配線 3 0 によって各層の各スルーホールランド 2 0 と電氣的に接続される位置に形成されている。

#### 【 0 0 5 6 】

このようなパターンで形成された配線構造によれば、図 9 中一点鎖線で示すように、積層方向に沿って同じ位置に形成されている第 1 ~ 第 4 の各層の層間接続ランド 1 1 からの通電経路を、それらが互いに短絡し合わないよう各層間で切り替えることができる。す

50

なわち、各層の各半導体チップ 2 の各スタッドバンプ 5 を、各中間配線 17 および各層間接続配線 30 などを介して第 1 ~ 第 4 のすべての層においてそれぞれ電氣的に独立した通電経路で S B M 1 の外部配線などに電氣的に接続することができる。

【 0 0 5 7 】

例えば、4 個の半導体チップ 2 をすべてメモリチップで構成するとする。この場合、S B M 1 全体が記憶できる情報量を増大させるためには、各メモリチップの各データピンを個別に外部端子まで引き出す必要がある。このような配線構造は、本実施形態を適用することにより、容易に実現できる。また、4 個のメモリチップのうち、例えば所定の 2 個のメモリチップについて信号の入出力を同期させる場合には、それら両メモリチップの各クロックピンが電氣的に接続されていればよい。この場合、それら両メモリチップが搭載されている所定の 2 層の各中間配線 17 について、両メモリチップの各クロックピンが電氣的に接続される各スルーホールランド 20 のみを積層方向に沿って互いに重なる位置に形成すればよい。このような配線構造も、本実施形態を適用することにより、容易に実現できる。

10

【 0 0 5 8 】

次に、一実施形態に係る半導体装置の製造方法を、図 5 ~ 図 9 を参照しつつ説明する。

【 0 0 5 9 】

まず、図 5 に示すように、例えばフリップチップ法を用いて、半導体チップ 2 をチップ搭載基材 6 に搭載する。この際、予め定められている接続ルールに従って半導体チップ 2 と各チップ接続配線 8 とが電氣的に接続されるように、互いに対応する半導体チップ 2 の各スタッドバンプ 5 と、チップ搭載基材 6 に形成されている各チップ接続配線 8 の各インナーリード 9 とを対向させる。そして、半導体チップ 2 の各スタッドバンプ 5 と、各チップ接続配線 8 の各インナーリード 9 とを、各インナーリード 9 上に形成されている各チップ接続バンプ 13 を介して電氣的に接続する。また、半導体チップ 2 のチップ本体 3 とチップ搭載基材 6 の基材本体 7 との間に、例えば厚さが約 50  $\mu\text{m}$  のシート状のチップ用接着材 31 を予め設けておく。そして、この接着材 31 を介して半導体チップ 2 をチップ本体 3 に固定する。この後、半導体チップ 2 の裏面にも、例えば厚さが約 50  $\mu\text{m}$  のシート状のチップ用接着材 31 を設ける。

20

【 0 0 6 0 】

次に、図 6 に示すように、半導体チップ 2 が搭載されたチップ搭載基材 6 と配線基材 15 とを一体化させる。通常、配線基材 15 は、1 枚の配線基材 15 の上に複数枚のチップ搭載基材 6 をまとめて搭載できる大きさに形成されている。例えば、1 枚の配線基材 15 上に、半導体チップ 2 が搭載されたチップ搭載基材 6 が 200 枚搭載される。ただし、図 6 ~ 図 8 においては、図面を見易くするために、チップ搭載基材 6 と配線基材 15 とを、略同じ大きさに描いている。

30

【 0 0 6 1 】

図 6 ( a ) に示すように、複数枚のチップ搭載基材 6 の各チップ接続配線 8 が形成されている主面と、配線基材 15 の各中間配線 17 が形成されている主面とが互いに直面するように、各チップ搭載基材 6 と配線基材 15 とを対向させて配置する。この際、予め定められている接続ルールに従って各チップ接続配線 8 と各中間配線 17 とが電氣的に接続されるように、互いに対応する各チップ接続配線 8 の各層間接続ランド 11 と各中間配線 17 の各層間接続ランド 18 とを位置合わせして対向させる。また、配線基材 15 の各チップ搭載基材 6 と対向する側の主面上に、例えば厚さが約 20  $\mu\text{m}$  の層間接続用接着剤 32 を塗布しておく。続けて、各チップ搭載基材 6 および配線基材 15 を、それらの両外側から加圧または熱圧着する。これにより、層間接続用接着剤 32 を介して、各チップ搭載基材 6 と配線基材 15 とを仮接着する。

40

【 0 0 6 2 】

このような工程により、各チップ搭載基材 6 は、予め定められている配線基材 15 上の所定の各位置にそれぞれ搭載される。この際、各チップ接続配線 8 の各層間接続ランド 11 と、各中間配線 17 の各層間接続ランド 18 とは、各層間接続ランド 11 上に形成されて

50



いる各層間接続 bumps 14 を介して電氣的に接続される。これにより、図 6 ( b ) に示すように、複数個の半導体チップ 2、複数枚のチップ搭載基材 6、および 1 枚の配線基材 15 などからなる単層体 34 を作製する。続けて、前述した工程を繰り返して、単層体 34 を 4 層分作製する。この際、各配線基材 15 の各中間配線 17 が形成されていない側の主面上にも、例えば厚さが約 20  $\mu\text{m}$  の層間接続用接着剤 32 を塗布しておく。

#### 【0063】

また、各チップ接続配線 8 および各中間配線 17 を、前述したように、各層の各半導体チップ 2 の各スタッド bumps 5 からの通電経路を、各スタッド bumps 5 ごとに個別に設定できるパターン形状に形成する。すなわち、各チップ接続配線 8 を、4 枚のチップ搭載基材 6 のすべてについて同一パターンに形成する。そして、各中間配線 17 を、4 枚の配線基材 15 ごとに異なるパターンに、かつ、各チップ接続配線 8 とは異なるパターンで形成する。これにより、各スタッド bumps 5 からの通電経路を各層間で切り替えて、外部端子 25 まで個別に引き出す配線構造を実現する。

10

#### 【0064】

次に、4 個の単層体 34 を、図 7 に示すように、それらの厚さ方向に沿って 4 層に積層する。この際、全ての層の各チップ搭載基材 6 および各配線基材 15 が各半導体チップ 2 に対してそれぞれ同じ側に位置するように、各単層体 34 の姿勢を整えて配置する。また、互いに対応する各チップ接続配線 8 のスルーホールランド 12 と各中間配線 17 のスルーホールランド 20 とが、全ての層において積層方向に沿って互いに重なるように、各単層体 34 を位置合わせする。

20

#### 【0065】

続けて、外部端子基材 22 を、第 4 層の単層体 34 の配線基材 15 に隣接して配置する。この際、外部端子基材 22 を、その外部端子 25 が形成されている側の主面が各単層体 34 と反対側を向くように配置する。また、互いに対応する外部端子基材 22 に形成されている各外部端子接続配線 24 の各スルーホールランド 27 と、各チップ接続配線 8 の各スルーホールランド 12 および各中間配線 17 の各スルーホールランド 20 とが、積層方向に沿って互いに重なるように、外部端子基材 22 を位置合わせする。併せて、絶縁カバー 28 を、第 1 層の単層体 34 の各チップ搭載基材 6 に隣接して配置する。この際、絶縁カバー 28 の各チップ搭載基材 6 と対向する側の主面上に、厚さが約 20  $\mu\text{m}$  のカバー用接着剤 33 を塗布しておく。

30

#### 【0066】

次に、絶縁カバー 28、4 個の単層体 34、および外部端子基材 22 を、それらの積層方向の両外側から一括して加圧 ( プレス ) または熱圧着する。これにより、層間接続用接着剤 32 およびカバー用接着剤 33 などを通して、第 0 層の絶縁カバー 28、第 1 ~ 第 4 層の各単層体 34、および第 5 層の外部端子基材 22 を一体化する。

#### 【0067】

次に、各層の各チップ接続配線 8 の各スルーホールランド 12、各中間配線 17 の各スルーホールランド 20、および各外部端子接続配線 24 の各スルーホールランド 27 を積層方向に沿って一括して貫通するように、一体化された絶縁カバー 28、各単層体 34、および外部端子基材 22 に図示しない貫通孔を複数本形成する。各貫通孔は、各スルーホールランド 12、20、27 のうち、予め定められている接続ルールに従う各スルーホールランド 12、20、27 を貫通するように形成される。各貫通孔は、具体的には、一体化された絶縁カバー 28、各単層体 34、および外部端子基材 22 にドリルなどを用いて一括して穴をあけることにより形成される。

40

#### 【0068】

次に、各貫通孔の内部に、図 8 ( b ) に示すように、層間接続配線 30 を形成する。詳しく説明すると、まず各貫通孔の内壁を覆うように、例えば厚さが約 15  $\mu\text{m}$  の銅 ( Cu ) 配線 30a を形成する。この Cu 配線 30a は、例えば電解めっき法により形成される。続けて、Cu 配線 30a の内側に、例えば厚さが約 3 ~ 5  $\mu\text{m}$  のニッケル ( Ni ) 配線 30b を形成する。この Ni 配線 30b は、例えば無電解めっき法により形成される。最後

50

に、Ni配線30bの内側に、例えば厚さが約0.05 $\mu$ mの金(Au)配線30cを形成する。このAu配線30cは、例えば無電解めっき法により形成される。

【0069】

このような工程により形成された配線構造によれば、図9中破線で示すように、積層方向に沿って同じ位置に形成されている第1～第4の各層の各スタッドパンプ5の通電経路を、それらが短絡し合わないよう各層間で切り替えることができる。したがって、各層の各スタッドパンプ5を、第1～第4のすべての層においてそれぞれ電氣的に独立した通電経路で外部配線などに電氣的に接続することができる。この後、各層間接続配線30の両端、ならびに外部端子基材22の各スルーホールランド27および各外部端子25に酸化防止などの所定の保護処理を施す。

10

【0070】

最後に、所望の層間接続配線30が形成された絶縁カバー28、各単層体34、および外部端子基材22を、各層ごとに所定数の半導体チップ2を備える複数個のブロックごとに切り分ける。これらのブロックは、それぞれ単独で所望の半導体システムとして機能するように、予め設計されている。本実施形態のブロックは、半導体チップ2が第1～第4の各層にそれぞれ1個ずつ備えられているものとする。

【0071】

以上説明した工程により、所望の半導体システムとして機能するシステムブロックモジュール(SBM: System Block Module)1を得る。

【0072】

以上説明したように、本実施形態によれば、配置される層に応じて各チップ接続基材6に異なるパターンのチップ接続配線8を形成する必要がない。チップ接続基材6に比べて枚数が大幅に少ない各配線基材15に、各層ごとに異なるパターンの中間配線17を形成すればよい。これにより、1枚の配線基材15上に搭載されるチップ搭載基材6の枚数が増えるのに反比例して、各チップ搭載基材6および配線基材15の管理に要する負担を低減できる。それとともに、チップ搭載基材6および配線基材15の積層数が増えるのに反比例して、各チップ搭載基材6および配線基材15の管理に要する負担を低減できる。すなわち、本実施形態では、基板管理などに起因する従来技術の課題が十分に解決されている。

20

【0073】

また、各チップ接続基板6および各配線基板15に個別にヴィアプラグを形成する必要がない。各層の各チップ接続基板6および各配線基板15を一括して貫通して層間接続配線30を形成すればよい。これにより、半導体装置1の製造作業自体を極めて簡潔化できる。また、半導体装置1の内部の配線構造を高い精度で効率よく形成できる。すなわち、本実施形態では、ヴィアプラグに起因する課題が飛躍的に改善されている。

30

【0074】

このように、本実施形態によれば、複数個の半導体チップを複数層に積層した積層半導体パッケージを大量生産する生産現場において、歩留まりや生産効率の飛躍的な向上、あるいは製造コストの飛躍的な低減を図ることができる。したがって、本実施形態の半導体装置1は、品質が高く大量生産が可能で安価である。また、本実施形態の半導体装置の製造方法は、品質が高く大量生産が可能で安価な半導体装置1を容易に製造できる。

40

【0075】

なお、本発明に係る半導体装置および半導体装置の製造方法は、前述した一実施形態には制約されない。本発明の趣旨を逸脱しない範囲で、それらの構成、あるいは工程などの一部を種々様々な設定に変更したり、あるいは各種設定を適宜、適当に組み合わせて用いたりして実施することができる。

【0076】

例えば、各チップ接続パンプ13を各チップ接続配線8の各インナーリード9上に形成したが、各チップ接続パンプ13を形成しなくても構わない。各インナーリード9の表面に、例えば錫および銀からなる合金(Sn-Ag)を用いて、厚さが約1 $\mu$ mの金属薄膜を

50

無電解めっき法により形成する。そして、この金属薄膜を介して、各半導体チップ２の各スタッドバンプ５と、各インナーリード９との電氣的な接続をとるようにしても構わない。

#### 【００７７】

また、各チップ接続配線８の形成領域は、各チップ接続基材６の一主面上には限られない。各チップ接続配線８を各チップ接続基材６の両主面上に形成しても構わない。同様に、各中間配線１７の形成領域は、各配線基材１５の一主面上には限られない。各中間配線１７を各配線基材１５の両主面上に形成しても構わない。さらには、各半導体チップ２の搭載位置は、各チップ接続基材６の一主面上には限られない。各半導体チップ２を各チップ接続基材６の両主面上に搭載しても構わない。各層の各半導体チップ２の各スタッドバンプ５の通電経路が、各層間で互いに短絡し合わなければよい。また、各層の各半導体チップ２の各スタッドバンプ５ごとの通電経路を、所望する経路で確保できればよい。そして、各層の各半導体チップ２が、隣接する層の各半導体チップ２、各チップ接続基材６、および各配線基材１５と干渉し合わなければよい。

10

#### 【００７８】

また、半導体装置１に搭載される各半導体チップ２の個数、積層数、種類、大きさ、形状、あるいは機能などは、所望する半導体装置１の機能に応じて任意の半導体チップ２を用いればよい。例えば、ＣＰＵ、画像処理用エンジン、およびメモリチップなどを混載して、半導体装置１を混載ＬＳＩとして製造しても構わない。同様に、チップ接続基材６や、配線基材１５の個数、積層数、大きさ、形状、あるいは材質なども、所望する半導体装置１の機能や、あるいは半導体装置１が備える半導体チップ２の個数、積層数、大きさ、あるいは形状などに応じて適宜、適正な基材を用いればよい。

20

#### 【００７９】

また、層間接続配線３０および層間接続配線３０が形成される貫通孔は、絶縁カバー２８、チップ接続基材６、配線基材１５、および外部端子基材２２一体化した後に形成するとは限らない。半導体装置１の内部の各配線間を電氣的に適正な状態で接続でき、かつ、半導体装置１の歩留まりや生産効率、あるいは品質の向上を妨げない限り、適宜、適正な時期に層間接続配線３０および貫通孔を形成すればよい。また、層間接続配線３０は、前述したＣｕ、Ｎｉ、Ａｕの３種類の金属の積層体から形成されるとは限らない。半導体装置１の内部の各配線間を電氣的に適正な状態で接続できる材料であれば、他の金属を用いて層間接続配線３０を形成しても構わない。この際、層間接続配線３０を、複数種類の金属を用いて形成しても構わないし、あるいは１種類の金属だけから形成しても構わない。

30

#### 【００８０】

さらに、半導体装置１は、複数個分の絶縁カバー２８、チップ接続基材６、配線基材１５、および外部端子基材２２を一体化した後に、単体ごとに切り分けて製造するとは限らない。半導体装置１の歩留まりや生産効率、あるいは品質の向上を妨げない限り、半導体装置１の製造工程の始めから単体ごとに製造しても構わない。

#### 【００８１】

##### 【発明の効果】

本発明に係る半導体装置によれば、これが備える配線構造は、各層の各半導体チップの各端子の通電経路を各層間で切り替えて、すべての層において電氣的に独立させることができるとともに、そのような通電経路を高い精度で効率よく、かつ、容易に形成可能である。したがって、本発明の半導体装置は、複数個の半導体チップを複数層に積層した積層半導体パッケージにおいても、配線構造が改善されたことにより歩留まりや生産効率の向上、および製造コストの低減が図られている。

40

#### 【００８２】

また、本発明に係る半導体装置の製造方法によれば、各層の各半導体チップの各端子の通電経路を各層間で切り替えて、すべての層において電氣的に独立させることができる配線構造を高い精度で効率よく、かつ、容易に形成可能である。したがって、本発明の半導体装置の製造方法は、複数個の半導体チップを複数層に積層した積層半導体パッケージにお

50

いても、半導体装置の配線構造を改善して歩留まりや生産効率の向上、および製造コストの低減を図ることができる。これにより、半導体装置を低コストで容易に、かつ、効率よく製造できる。

【図面の簡単な説明】

【図 1】一実施形態に係る半導体装置が備える半導体チップを示す断面図および平面図。

【図 2】一実施形態に係る半導体装置が備えるチップ接続基材を示す断面図および平面図。

【図 3】一実施形態に係る半導体装置が備える配線基材を示す断面図および平面図。

【図 4】一実施形態に係る半導体装置が備える外部端子基材を示す断面図および平面図。

【図 5】一実施形態に係る半導体装置の製造方法を示す工程断面図および平面図。

10

【図 6】一実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 7】一実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 8】一実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 9】一実施形態に係る半導体装置の内部の配線構造を簡略化して示す断面図。

【図 10】一実施形態に係る半導体装置のチップ接続配線および中間配線の配線パターンを各層ごとに簡略化して示す断面図。

【図 11】図 9 の半導体装置の層間接続配線をヴィアプラグを用いて構成した配線構造を簡略化して示す断面図。

【符号の説明】

1 ... S B M ( 積層半導体パッケージ、半導体装置 )

20

5 ... スタッドバンプ ( 端子 )

6 ... チップ搭載基材

7 ... 基材本体

8 ... チップ接続配線

9 ... インナーリード ( チップ接続配線 )

10 ... 中継線 ( チップ接続配線 )

11 ... 層間接続ランド ( チップ接続配線 )

12 スルーホールランド ( チップ接続配線 )

15 ... 配線基材

17 ... 中間配線

30

18 ... 層間接続ランド ( チップ接続配線 )

19 ... 中継線 ( チップ接続配線 )

20 スルーホールランド ( チップ接続配線 )

25 ... 外部端子

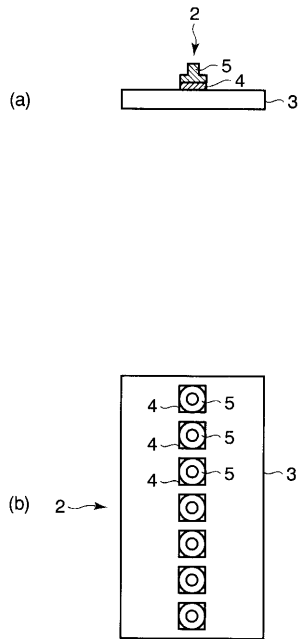
30 ... 層間接続配線

30 a ... C u 配線 ( 層間接続配線 )

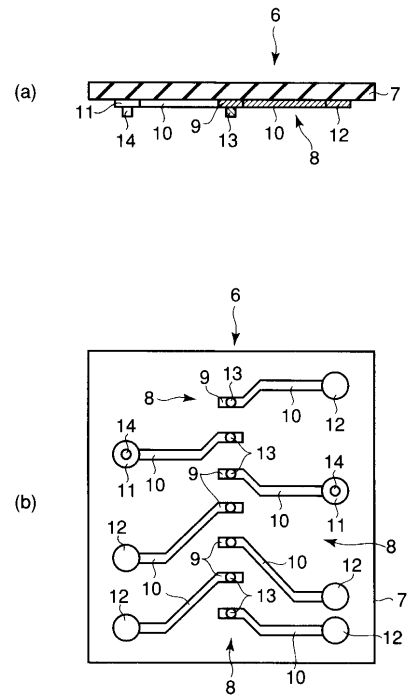
30 b ... N i 配線 ( 層間接続配線 )

30 c ... A u 配線 ( 層間接続配線 )

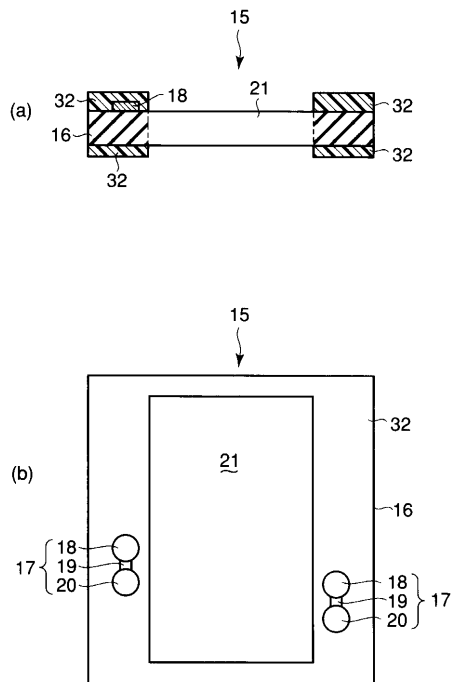
【 図 1 】



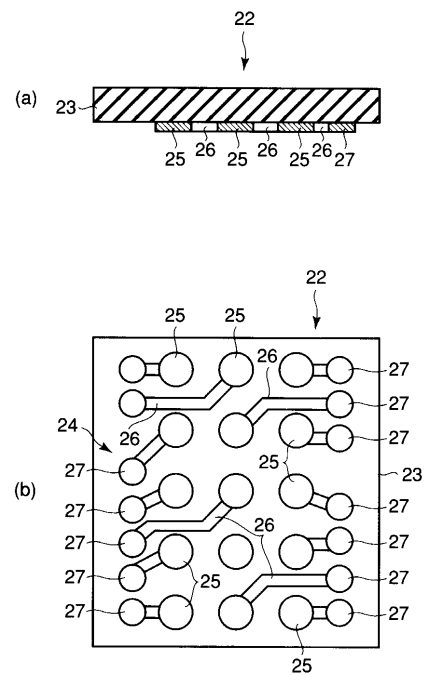
【 図 2 】



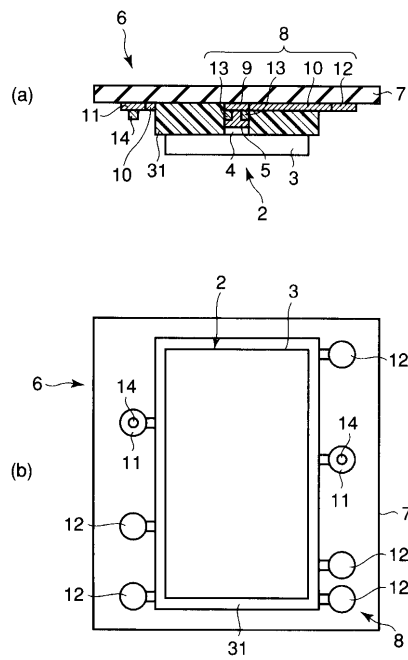
【 図 3 】



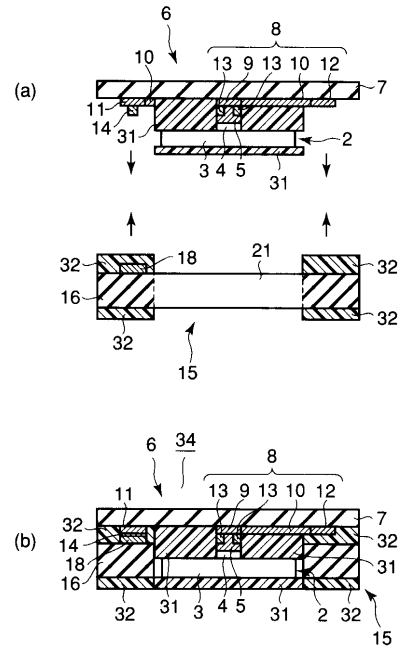
【 図 4 】



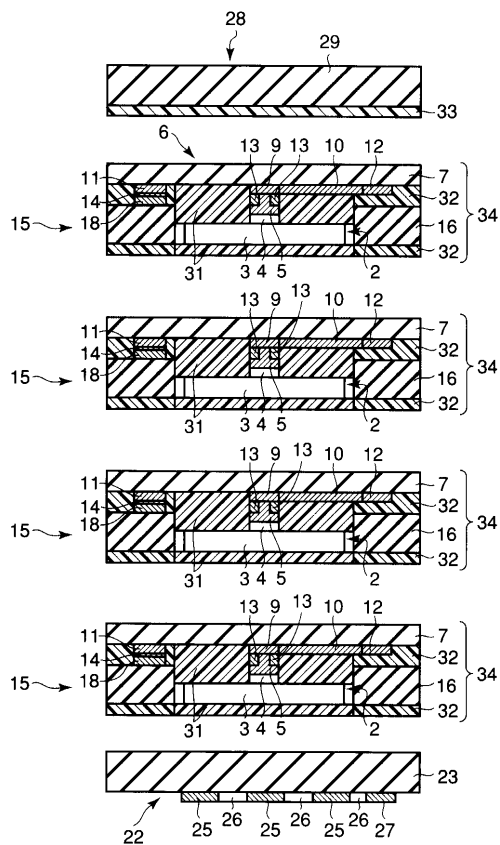
【 図 5 】



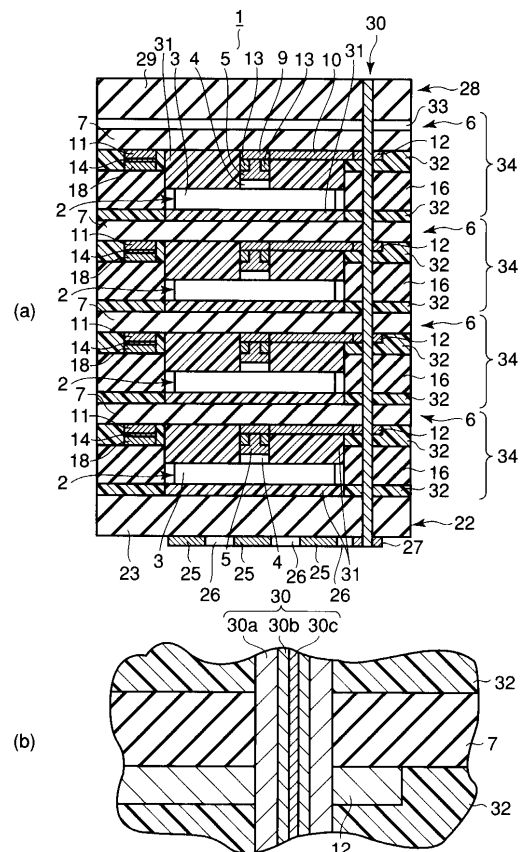
【 図 6 】



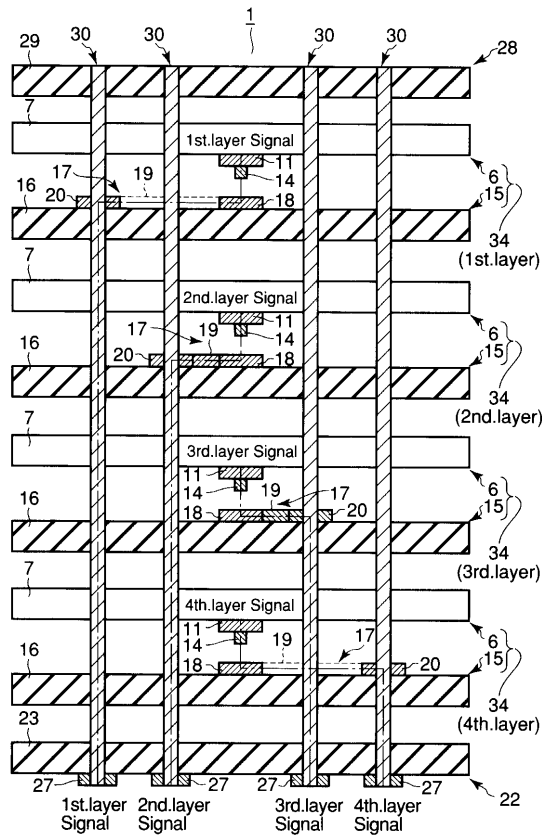
【圖 7】



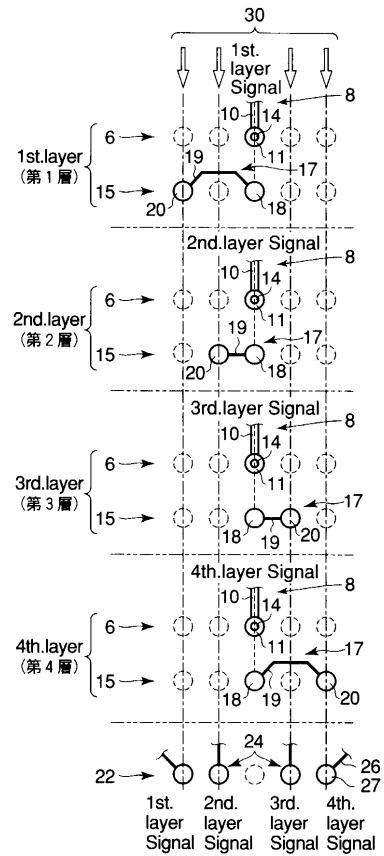
【 図 8 】



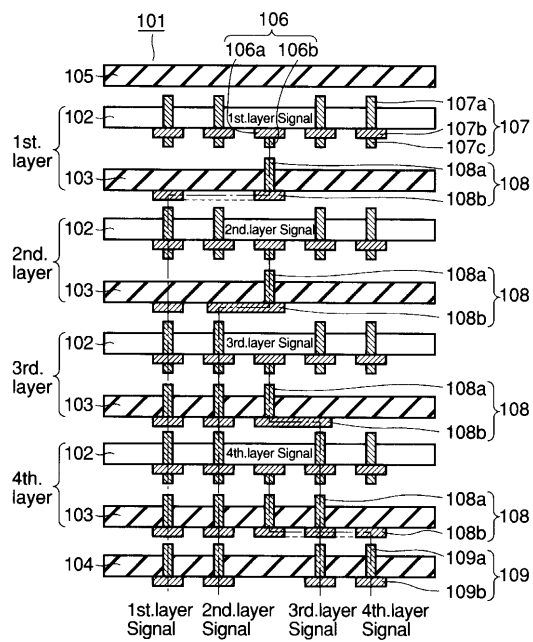
【 図 9 】



【 ㄨ 1 0 】



【 図 1 1 】



---

フロントページの続き

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 尾山 勝彦

神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内