

發明專利說明書

200529409

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P41000P

※申請日期：P4.1.3

※IPC 分類：

H01L²⁵/10

一、發明名稱：(中文/英文)

H02M 7/48

半導體裝置及其生產方法

SEMICONDUCTOR APPARATUS AND A PRODUCTION METHOD

THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

豐田自動織機股份有限公司(株式会社豐田自動織機)

KABUSHIKI KAISHA TOYOTA JIDOSHOKKI

代表人：(中文/英文)

石川忠司/ISHIKAWA, TADASHI

住居所或營業所地址：(中文/英文)

日本國愛知縣刈谷市豐田町 2 丁目 1 番地

2-1, Toyoda-cho, Kariya-shi, Aichi-ken, Japan

國籍：(中文/英文)

日本/Japan

三、發明人：(共 4 人)

姓名：(中文/英文)

1.大西宏幸/ONISHI, HIROYUKI

2.長瀬俊昭/NAGASE, TOSHIAKI

3.石川純/ISHIKAWA, JUN

4.赤川宏一/AKAGAWA, KOICHI

國 籍：(中文/英文)

1.~4.日本/Japan

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1.日本 2004.01.08 特願 2004-003174

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置及其製造方法。尤其是關於一種適用於功率電子元件之半導體裝置及其製造方法。

【先前技術】

示於第 1 圖和第 2 圖之半導體模組係為傳統習知的半導體模組。第 1 圖圖示一種半導體模組 100(所謂的 2 合 1 模組)，其中 2 個 MOSFET(金氧半場效應電晶體)101 係被放置在一個絕緣基板上。第 2 圖圖示一種半導體模組 200(所謂的 6 合 1 模組)，其中 6 個 MOSFET 201 係被放置在一個絕緣基板上。這些半導體模組 100 和 200 構成用以驅動馬達之反相器裝置的橋臂。半導體模組 100 建構的方式係將 2 個 MOSFET 101 串接。此外，半導體模組 200 建構的方式係將串接 MOSFET 201 所得到的 3 個電路並接。

在提供類似上述傳統 MOSFET 的半導體構件(半導體開關構件)之半導體模組中，只可以使用提供橋臂組態之產品，使得此產品的應用受到限制。此外，在並接使用上述半導體模組的情形下，可允許電流出力的額定值減少應該會增加，因此會產生許多浪費。

再者，藉由經過射極端外連接部分、集極端外連接部分和閘極端外連接部分，連接許多 IGBT(絕緣閘極雙極電晶體)半導體構件所得到的 IGBT 半導體模組已廣為人知。此外，使用此 IGBT 半導體模組之反相器裝置也已廣為人

知。在此反相器裝置中，這 2 個 IGBT 半導體模組係串接的。在此串接方式中，使用匯流條接線等方式接線連接。此 IGBT 半導體模組係藉由在其內部並接許多，即至少 2 個或 2 個以上的 IGBT 半導體構件所得到的（例如，參考專利文獻 1）。

因此，即使在製造具有小電流出力之半導體模組的情形下，也需要製造數個 IGBT 半導體構件。於是，會有具有小電流出力之半導體模組的製造成本會相當昂貴的問題發生。此外，當產品的尺寸縮小時，也會發生問題。

[專利文獻 1] 日本專利公開公報第 10-84077 號

【發明內容】

在本發明中，藉由並接和/或串接半導體模組中之半導體構件，增加半導體模組的應用。

當使用在其上放置許多半導體構件之半導體模組製造半導體裝置時，在半導體模組中之半導體構件可以並接和/或串接，其為本發明之主要特色。

本發明期望提供一種半導體裝置，其中包含具有許多半導體構件之半導體模組，及用以外部連接半導體模組中之半導體構件電極的外部連接終端。再者，此半導體裝置中的每一個半導體模組，其半導體構件係經由外部連接終端並接和/或串接。

外部連接終端包含：第一外部連接終端，用以外部連接半導體構件的第一電極，及第二外部連接終端，用以外部連接半導體構件的第二電極。

外部連接終端包含：第三外部連接終端，用以外部連接半導體構件的第一電極和另一個半導體構件的第二電極。

本發明之特徵為經由外部連接終端，外部連接 2 個或 2 個以上半導體模組之半導體構件的電極，半導體裝置係以半導體模組之半導體構件係並接和/或串接的方式製造。

本發明之特徵為半導體構件的第一電極係經由第一外部連接終端作外部連接，而半導體構件的第二電極係經由第二外部連接終端作外部連接。

第一外部連接終端係被放置在半導體模組的表面上，絕緣部分係放置在第一外部連接終端上，而第二外部連接終端係被放置在絕緣部分的上部和半導體模組的表面上。

半導體構件的第一電極和另一個半導體構件的第二電極係經由第三外部連接終端連接。

根據本發明之半導體裝置的製造方法，可以製造具有上述操作和效果之本發明的半導體裝置。

本發明提供一種半導體裝置，其中包含：至少各自具有一個半導體構件之第一和第二半導體模組；用以存放第一和第二半導體模組之容器；及許多終端導體，用以將各半導體模組的主要電極引導到容器外面，使得第一半導體模組和第二半導體模組的終端導體，可以經由外部連接終端並接和/或串接。

外部連接終端包含：第一外部連接終端，用以外部連接各半導體模組之第一電極的終端導體，及第二外部連接

終端，用以外部連接各半導體模組之第二電極的終端導體。

外部連接終端包含：第三外部連接終端，用以外部連接第一半導體模組之第一電極的終端導體和第二半導體模組之第二電極的終端導體。

因此，本發明可以提供一種電路，其中模組係經由實行半導體構件並接和串接之各種不同的外部連接終端連接，成爲一個半導體裝置封裝體。此外，在半導體構件係並接之類的電路中，電氣特性，如可允許電流出力的額定值減少，可以藉由匹配個別半導體模組中之半導體構件的電氣特性而降低。再者，因爲只有選擇數量的半導體構件才可以經由外部連接終端並接，所以一個許多種產品的封裝體可以被提供成爲一個半導體裝置封裝體。因此，藉由量產效益，可以降低那些產品的製造成本。

根據本發明，半導體模組中之半導體構件的建構係經由外部連接終端(輸出到馬達)作外部連接，使得半導體構件可以外部連接成 2 合 1 模組。因此，如此連接的模組可被用以當作一個 MOS 模組。

根據本發明，各自至少具有一個半導體構件之半導體模組係經由外部連接終端並接和/或串接，以提供成爲一個產品封裝體。因此，可以提供多樣性的產品成爲半導體裝置封裝體。此外，在各產品中的組件(半導體模組)可以標準化，使得各產品的製造成本可以藉由量產效益降低。再者，在許多半導體模組之半導體構件係經由外部連接構件

並接的產品中，與個別的半導體封裝產品係並接的傳統產品相較，可允許電流之類的電氣特性額定值減少可以降低。此外，具有不同最大可允許電流之尺寸縮減產品的封裝體可以大量製造，使得豐富的產品陣容可以提供給使用者。

【實施方式】

下面將參照圖式詳細說明本發明之較佳實施例。

第 3 圖為本發明較佳實施例之半導體裝置在外部連接之前的較佳實施例。示於第 3 圖之半導體裝置，為了方便起見，稱為半導體裝置基板 10。

容器 11 被提供有 MOS 模組部分 12(第一 MOS 模組部分)和 MOS 模組部分 14(第二 MOS 模組部分)。

第 4(a)圖和第 4(b)圖分別為 MOS 模組部分 12 和 MOS 模組部分 14 的電路圖。如第 4(a)圖和第 4(b)圖所示，MOS 模組部分 12 和 14 都在容器 11 中各自提供 n 通道增強型 MOSFET(以下簡稱 n-MOSFET)13(第一半導體模組)和 15(第二半導體模組)。

如第 3 圖和第 4 圖所示，MOS 模組部分 12 提供要連接到 n-MOSFET 13 的汲極電極(D)之終端導體 16，和要連接到源極電極(S)之終端導體 17-1 和 17-2。MOS 模組部分 14 提供要連接到 n-MOSFET 15 的汲極電極(D)之終端導體 18-1 和 18-2，和要連接到源極電極(S)之終端導體 19。終端導體 16、17-1、17-2、18-1、18-2 和 19 延伸到容器 11 的外面，而且它們在容器 11 的外面被垂直彎曲。MOS 模

組部分 12 和 14 都各自提供閘極電極 (G)，其在第 3 圖並未圖示，但是在第 4(a)圖和第 4(b)圖有圖示。

此時，示於第 3 圖之半導體裝置基板 10 只是範例。因此，在本發明中，並未限制連接到半導體裝置基板上之汲極電極的終端導體，和連接到源極電極的終端導體之配置和數量。此外，各電極和終端導體可以整合建構。

[較佳實施例 1]

第 5 圖為半導體裝置之製造方法，其中 MOS 模組部分 12 和 MOS 模組部分 14 各自的 n-MOSFET 13 和 15，係經由外部連接終端 22、24，藉由外部連接第 3 圖之半導體裝置基板 10 的 MOS 模組部分 12 和 MOS 模組部分 14 並接。

在示於第 5 圖之半導體裝置 20 中，連接到 MOS 模組部分 12 之汲極電極的終端導體 16，經由正電極外部連接終端 22，外部連接到連接 MOS 模組部分 14 之第一和第二汲極電極的終端導體 18-1 和 18-2。同時，連接到 MOS 模組部分 12 之第一和第二源極電極的終端導體 17-1 和 17-2，經由負電極外部連接終端 24，與連接到 MOS 模組部分 14 之源極電極的終端導體 19 相接。

第 6 圖為藉由經由外部連接終端 22 和 24 之外部連接模組部分，所製造之半導體裝置 20 的電路。半導體裝置 20 係一種 n-MOSFET 13 和 15 經由外部連接終端 22、24 並接之電路。

在此方式下，藉由外部連接 MOS 模組部分 12 和 14，可以製造電流出力額定值較 MOS 模組部分 12 和 14 各自的

n-MOSFET 13 和 15 增加 2 倍之半導體裝置 20。

再者，藉由製造大致具有相同電氣特性之 MOS 模組部分 12 和 14 各自的 n-MOSFET 13 和 15，可以降低平常所要求的額定值減少。

[較佳實施例 2]

第 7 圖為根據第 3 圖之半導體裝置基板 10 所製造的另一個半導體裝置。在電路和外部連接組態方面，示於第 7 圖之半導體裝置 30 與較佳實施例 1 之半導體裝置 20 相同。但是，在此裝置 30 中，外部連接終端 32 包含覆蓋終端導體 16、17-1、17-2、18-1、18-2 和 19 之矩形導電平板，而外部連接終端 34 則包含覆蓋終端導體 17-1、17-2 和 19 之六邊形導電平板。藉由在正電極外部連接終端 32 和負電極外部連接終端 34 之間提供絕緣部分(薄片等)，與半導體裝置 20 相較，此裝置 30 的電感可以減少，還可以降低額定值減少。

第 8 圖為沿著示於第 7 圖之半導體裝置 30 的線 A-A'、終端導體 17-2 之周邊部分的局部橫截面圖。

如第 8 圖所示，負電極外部連接終端 34 係提供在 MOS 模組部分 12 和 14(未示於第 8 圖)的表面上，就像第 7 圖的上視圖所示之形狀，而且還有提供片狀絕緣部分 36，以覆蓋整個負電極外部連接終端 34。此外，正電極外部連接終端 32 係提供在絕緣部分 36 之上。正電極外部連接終端 32 提供之形狀如第 7 圖的上視圖所示。因此，部分的正電極外部連接終端 32 會提供在 MOS 模組部分 12 和 14 的表面

上。此時，提供絕緣部分 36，使正電極外部連接終端 32 和負電極外部連接終端 34 不會彼此相互接觸。

上述較佳實施例 1 和 2 的各個半導體裝置 20 和 30，都具有 2 個半導體構件並接之電路組態。本發明之半導體裝置的電路組態並未侷限於此種組態，而且並接之半導體構件的數量可以是任意選擇的。

[較佳實施例 3]

第 9 圖為根據本發明第 3 圖之半導體裝置基板 10 所製造的再另一個半導體裝置。

半導體裝置 40 之建構方式為：除了正電極外部連接終端 42 和負電極外部連接終端 44 之外，MOS 模組部分 12 和 14 還經由中間外部連接終端 48 作外部連接。第 10 圖為半導體裝置 40 的電路圖。

在半導體裝置 40 中，連接到 MOS 模組部分 12 的 n-MOSFET 13 之第一源極電極的終端導體 17-1，經由中間外部連接終端 48，外部連接到終端導體 18-1，其中終端導體 18-1 係連接到 MOS 模組部分 14 的 n-MOSFET 15 之汲極電極。另一方面，用於終端導體 16 之正電極外部連接終端 42，和用於終端導體 19 之負電極外部連接終端 44，例如，係被用以串接在模組部分之間，其中終端導體 16 係連接到 MOS 模組部分 12 的 n-MOSFET 13 之汲極電極，而終端導體 19 係連接到 MOS 模組部分 14 的 n-MOSFET 15 之源極電極。

藉由外部連接半導體裝置基板 10、MOS 模組部分 12

的 n-MOSFET 13 和 MOS 模組部分 14 的 n-MOSFET 15 可以串接在一起。然後，藉由經由外部終端之外部連接模組，可以製造橋臂組態之半導體裝置 40。在此半導體裝置 40 中，2 個 n-MOSFET 13 和 15 係串接的。但是，在本發明中，串接之 n-MOSFET 的數量係沒有限制的，而且數量可以任意選擇。

在本發明中，不僅 n-MOSFET 並接之電路可以像較佳實施例 1 和 2 的半導體裝置 20 和 30 一樣建構，n-MOSFET 串接之電路也可以像較佳實施例 3 的半導體裝置 40 一樣建構。此外，還有可能可以將半導體裝置 20 或半導體裝置 30 和半導體裝置 40 製造成一個半導體裝置封裝體。因此，在本發明中，可能可以將 n-MOSFET 並接和串接之電路製造成一個半導體裝置封裝體。

同時，各較佳實施例的半導體裝置，係使用提供 n-MOSFET 當作半導體構件之半導體模組。本發明所使用之半導體模組可以提供 n-MOSFET 以外之半導體構件。例如，本發明之半導體構件可包含 FET、IGBT、SIT(靜態感應電晶體)，如 P-MOSFET、CMOS-FET(互補式金氧半 FET) 等，電晶體，如雙極電晶體，和閘流體等，如 GTO(閘極關閉閘流體)。

另一方面，放置在半導體模組上之半導體構件的數量並不限定一個，而是可以採用任意數量。再者，放置在所有半導體模組上之各個半導體構件的數量並不需要相同，所以放置在各個半導體模組上之半導體構件的數量可以是

不同的。此外，放在各個半導體模組上之半導體構件的型式也可以不同。

【圖式簡單說明】

第 1 圖為傳統 MOS 模組的電路圖；

第 2 圖為另一個傳統 MOS 模組的電路圖；

第 3 圖為半導體裝置基板的上視圖；

第 4(a)圖為 MOS 模組部分 12 的電路圖，而第 4(b)圖為 MOS 模組部分 14 的電路圖；

第 5 圖為藉由外部連接在半導體裝置基板上的 2 個 MOS 模組部分，所製造之半導體裝置的上視圖；

第 6 圖為較佳實施例 1 之半導體裝置的電路圖；

第 7 圖為根據半導體裝置基板所製造之半導體裝置的上視圖，其中絕緣部分係提供在正電極外部連接終端和負電極外部連接終端之間(較佳實施例 2)；

第 8 圖為沿著第 7 圖的線 A-A'，較佳實施例 2 之半導體裝置的橫截面圖；

第 9 圖為藉由外部連接在半導體裝置基板上的 2 個 MOS 模組部分，所製造之另一個半導體裝置的上視圖(較佳實施例 3)；及

第 10 圖為較佳實施例 3 之半導體裝置的電路圖。

【主要元件符號說明】

10	半導體裝置基板
11	容器
12	第一 MOS 模組部分

13	n 通道金氧半場效電晶體
14	第二 MOS 模組部分
15	n 通道金氧半場效電晶體
16,17-1,17-2,18-1,18-2,19	終端導體
20	半導體裝置
22,32,42	正電極外部連接終端
24,34,44	負電極外部連接終端
30	半導體裝置
36	絕緣部分
40	半導體裝置
48	中間外部連接終端
100	半導體模組
101	金氧半場效電晶體
200	半導體模組
201	金氧半場效電晶體

五、中文發明摘要：

一種半導體裝置，包含：具有許多半導體構件之半導體模組；及外部連接終端，用以外部連接半導體模組之半導體構件的電極，其中在各半導體模組中之半導體構件係經由外部連接終端並接和/或串接。

六、英文發明摘要：

A semiconductor apparatus is characterized in that it comprises a semiconductor module having a plurality of semiconductor elements and an external connection terminal for externally connecting electrodes of the semiconductor elements in the semiconductor module, wherein the semiconductor elements in each semiconductor module are connected in parallel and/or in series via the external connection terminal.

十、申請專利範圍：

1. 一種半導體裝置，包含：

半導體模組，具有許多半導體構件；及

外部連接終端，用以外部連接半導體模組之半導體構件的電極，其中在各半導體模組中之半導體構件係經由外部連接終端並接和/或串接。

2. 如申請專利範圍第 1 項之半導體裝置，其中

外部連接終端包含一第一外部連接終端，用以外部連接半導體構件的第一電極，及第二外部連接終端，用以外部連接半導體構件的第二電極。

3. 如申請專利範圍第 1 項之半導體裝置，其中：

外部連接終端包含一第三外部連接終端，用以外部連接半導體構件的一第一電極和另一個半導體構件的一第二電極。

4. 一種半導體裝置的製造方法，包含：

藉由經由一外部連接終端外部連接在 2 個或 2 個以上半導體模組之半導體構件的電極，而製造半導體裝置，在半導體模組之半導體構件係並接的和/或串接的。

5. 如申請專利範圍第 4 項之半導體裝置的製造方法，其中包含：

經由一第一外部連接終端，外部連接半導體構件的第一電極；及

經由一第二外部連接終端，外部連接半導體構件的第二電極。

6. 如申請專利範圍第 5 項之半導體裝置的製造方法，其中包含：

安裝該第一外部連接終端在半導體模組的表面上；

安裝一絕緣部分在第一外部連接終端上；及

安裝第二外部連接終端在絕緣部分的上面部分和在半導體模組的表面上。

7. 如申請專利範圍第 4 項之半導體裝置的製造方法，其中包含：

經由一第三外部連接終端，外部連接半導體構件的一第一電極和另一個半導體構件的一第二電極。

8. 一種半導體裝置，包含：

第一和第二半導體模組，每一者至少具有一個半導體構件；

容器，用以存放第一和第二半導體模組；及

許多終端導體，用以將各半導體模組的一主要電極引導到容器外面，其中第一半導體模組和第二半導體模組的終端導體，可以藉由外部連接終端並接和/或串接。

9. 如申請專利範圍第 8 項之半導體裝置，其中

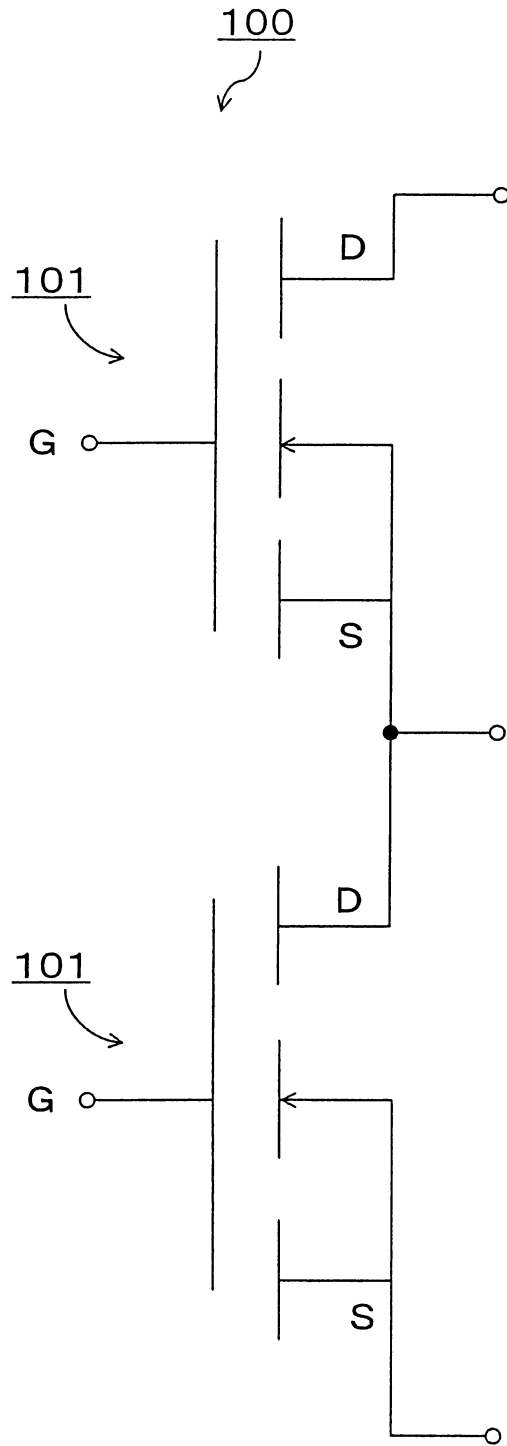
外部連接終端包含一第一電極外部連接終端，用以外部連接各半導體模組之第一電極的終端導體，及一第二電極外部連接終端，用以外部連接各半導體模組之第二電極的終端導體。

10. 如申請專利範圍第 8 項之半導體裝置，其中

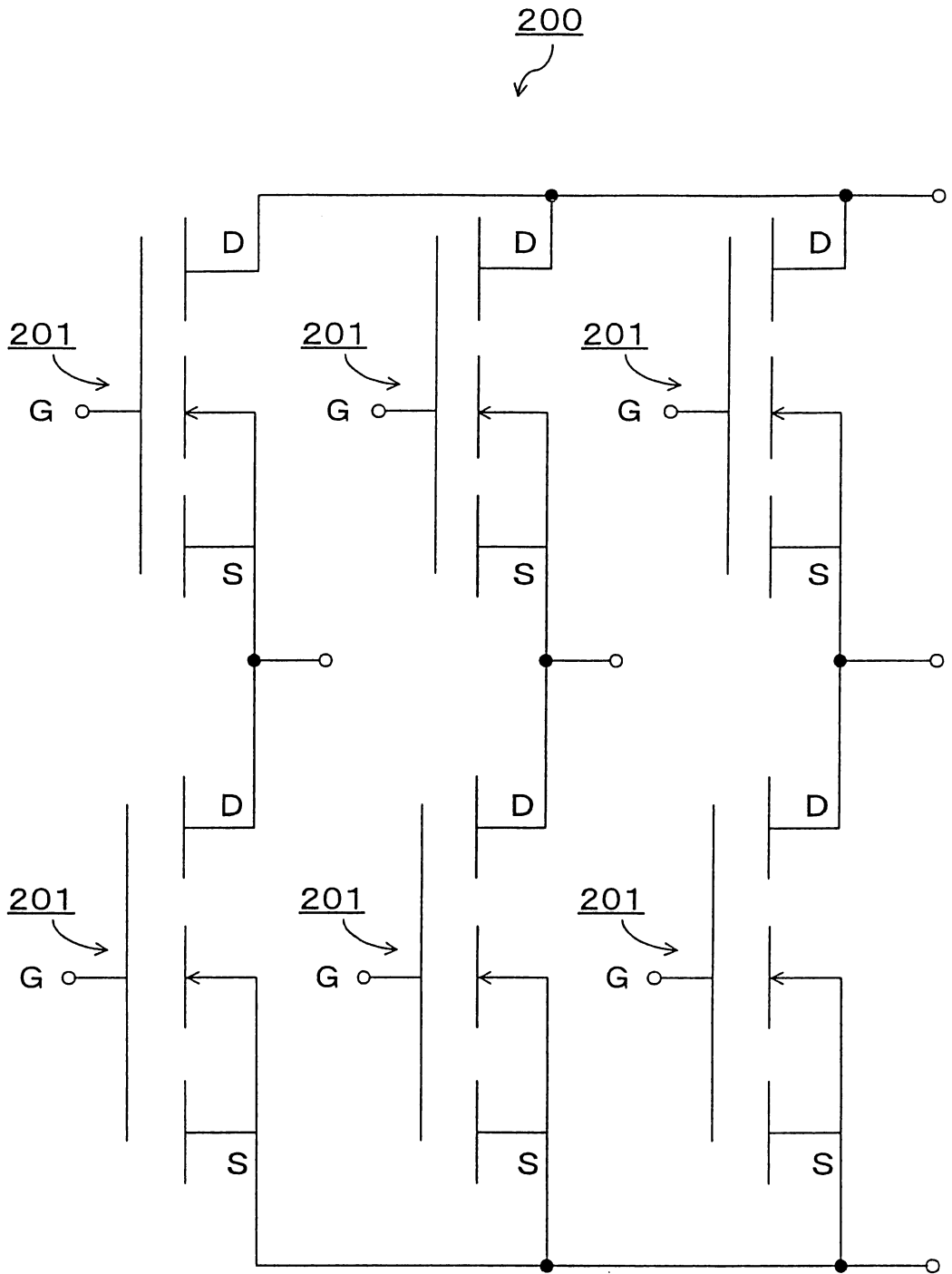
外部連接終端包含一第三外部連接終端，用以外部

連接第一半導體模組之一第一電極的一終端導體和第二
半導體模組之一第二電極的一終端導體。

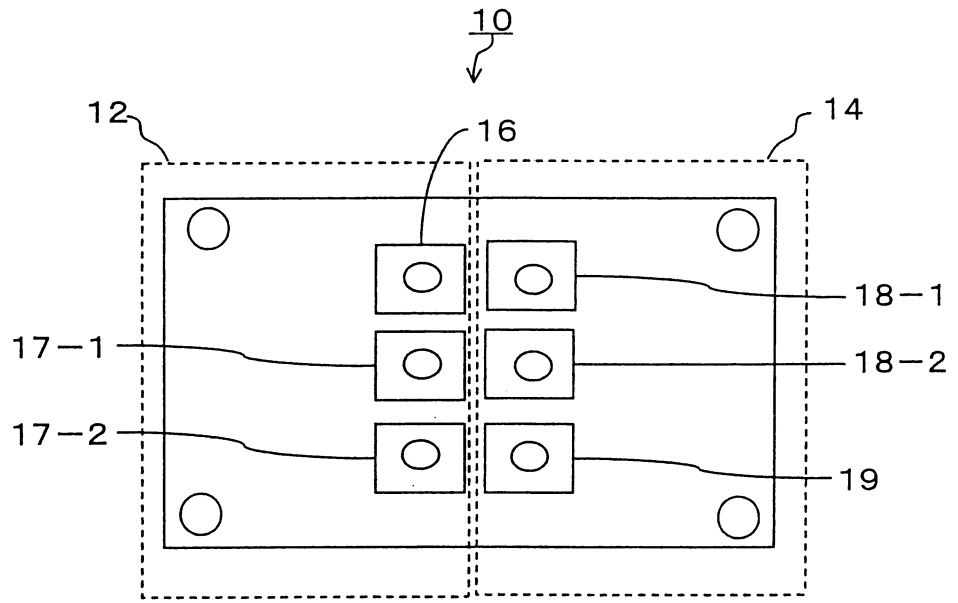
十一、圖式：



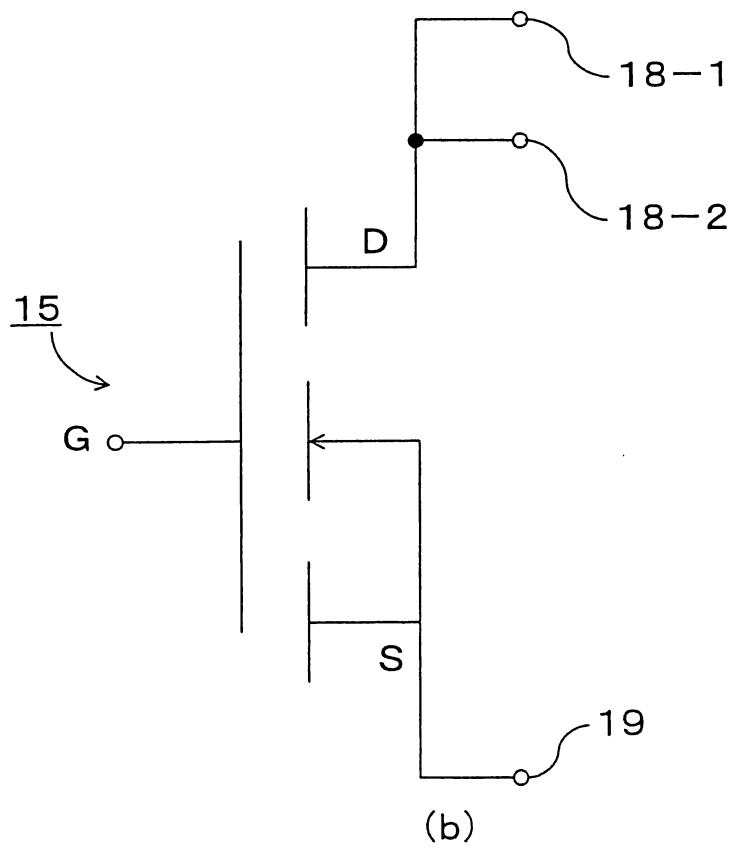
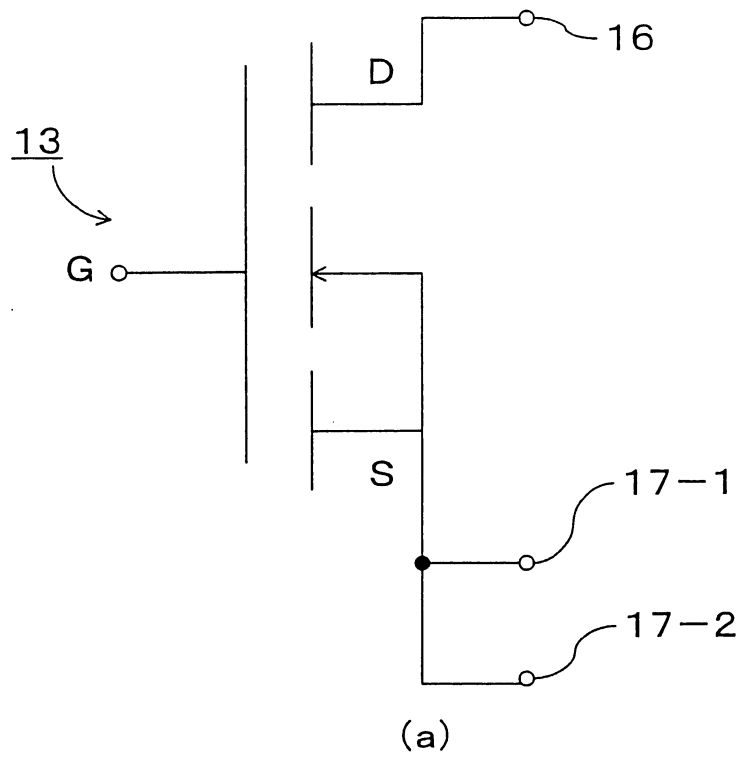
第 1 圖



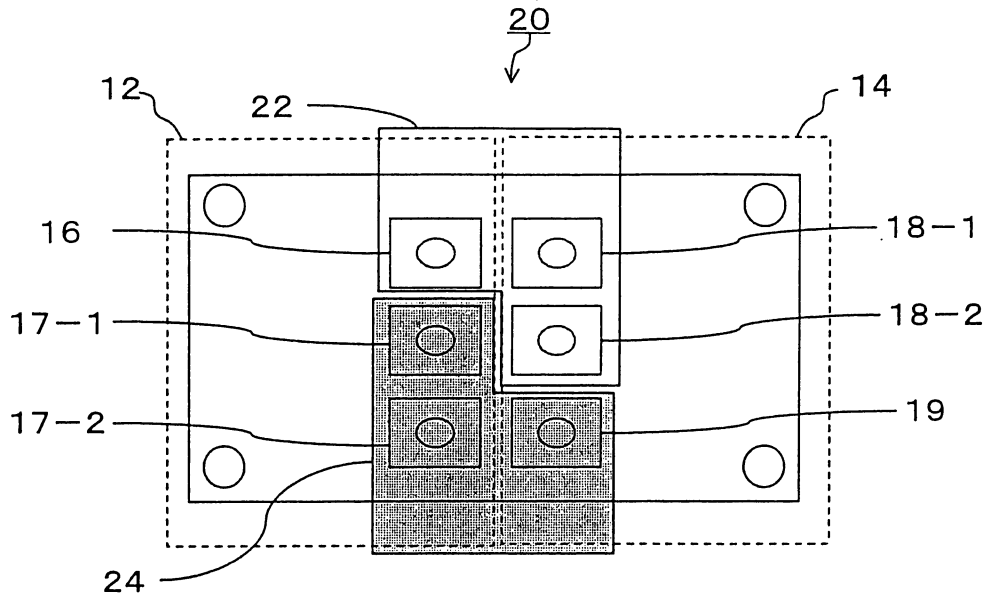
第 2 圖



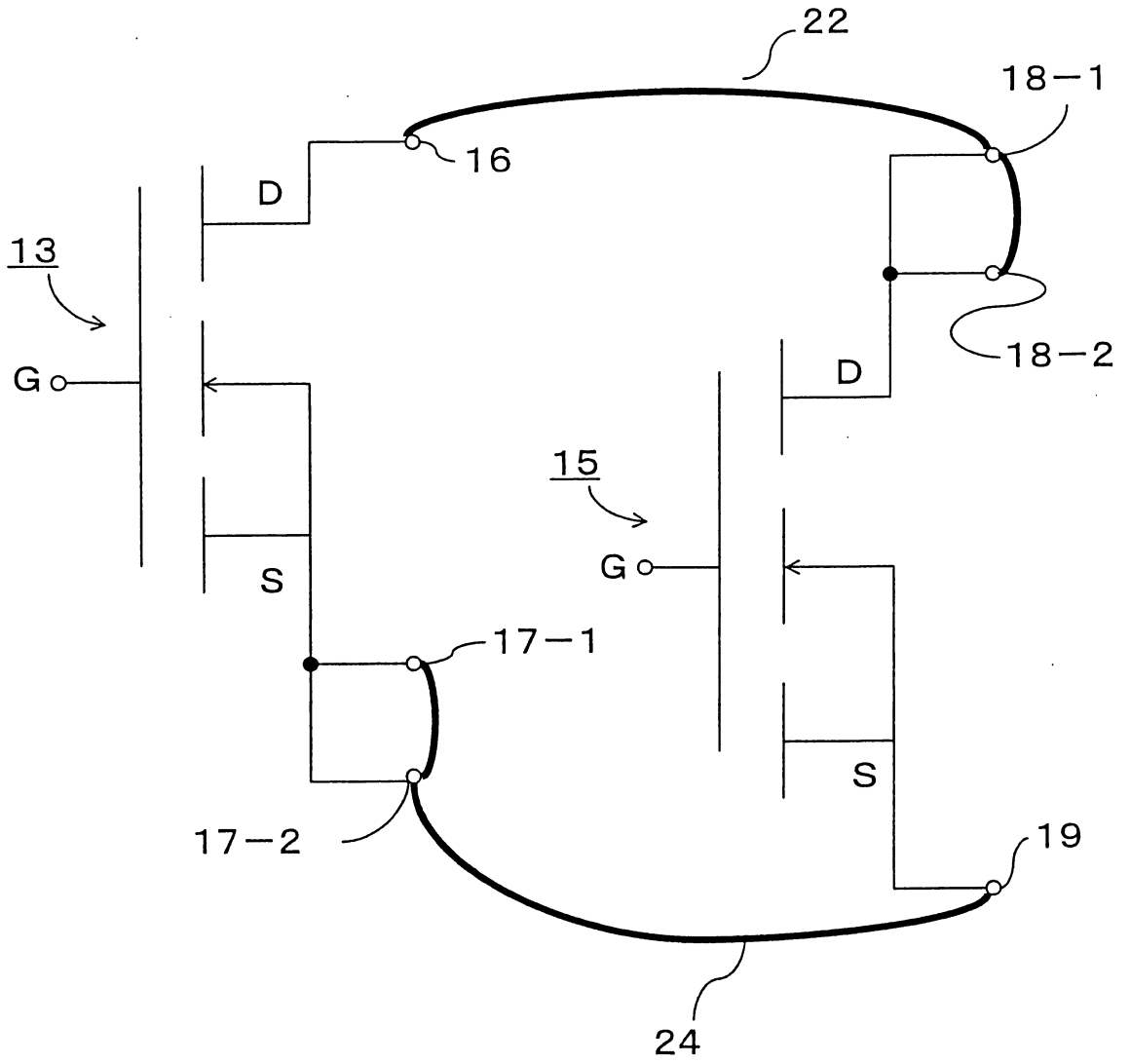
第 3 圖



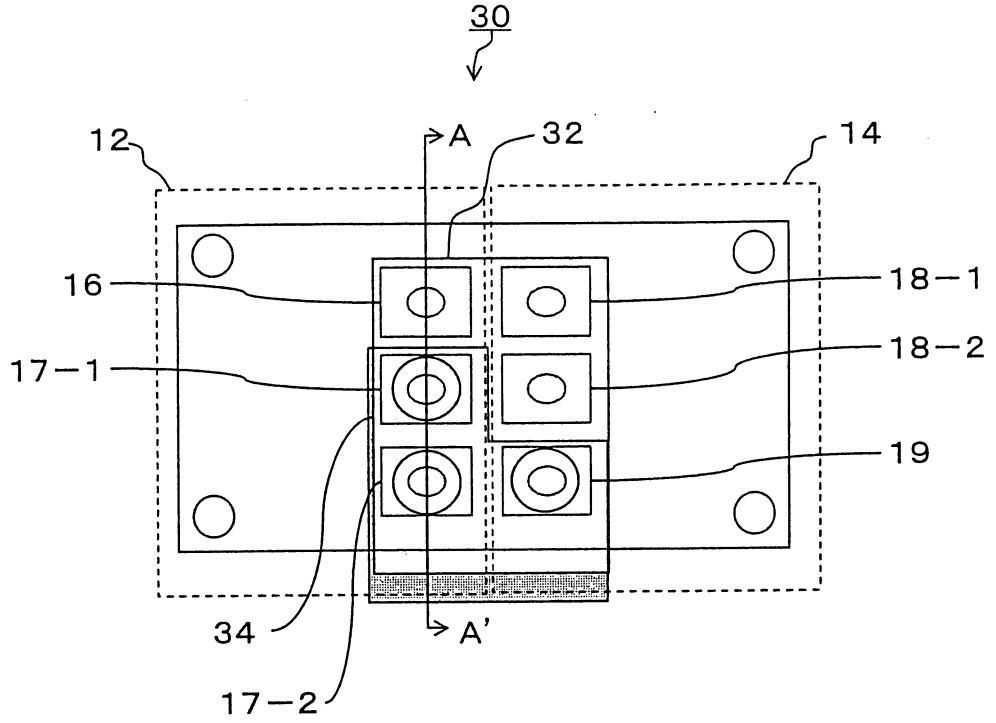
第 4 圖



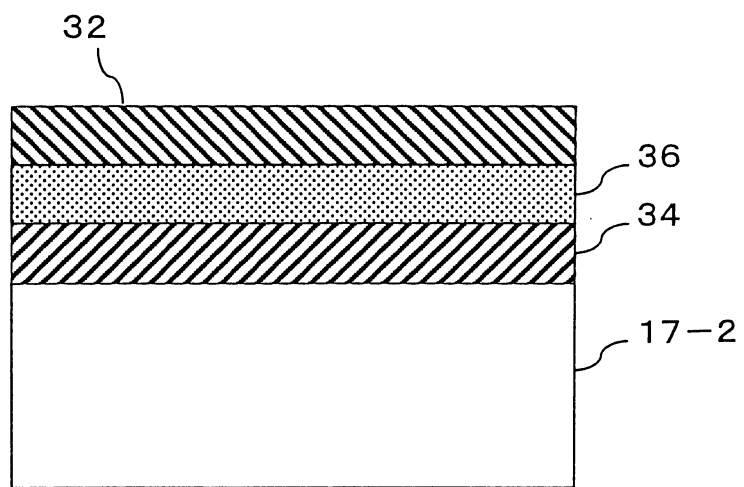
第 5 圖



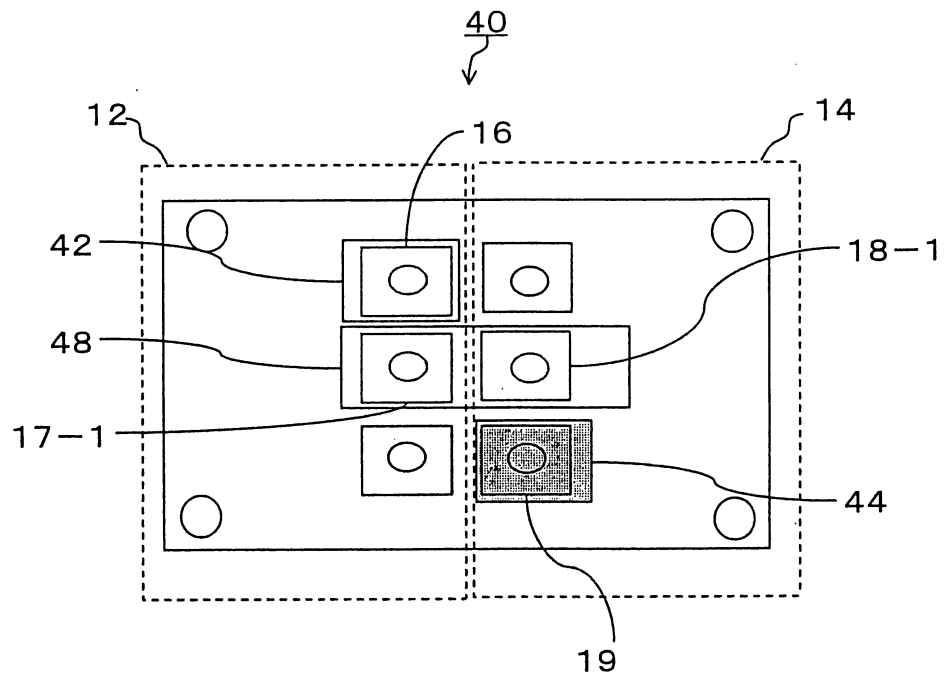
第6圖



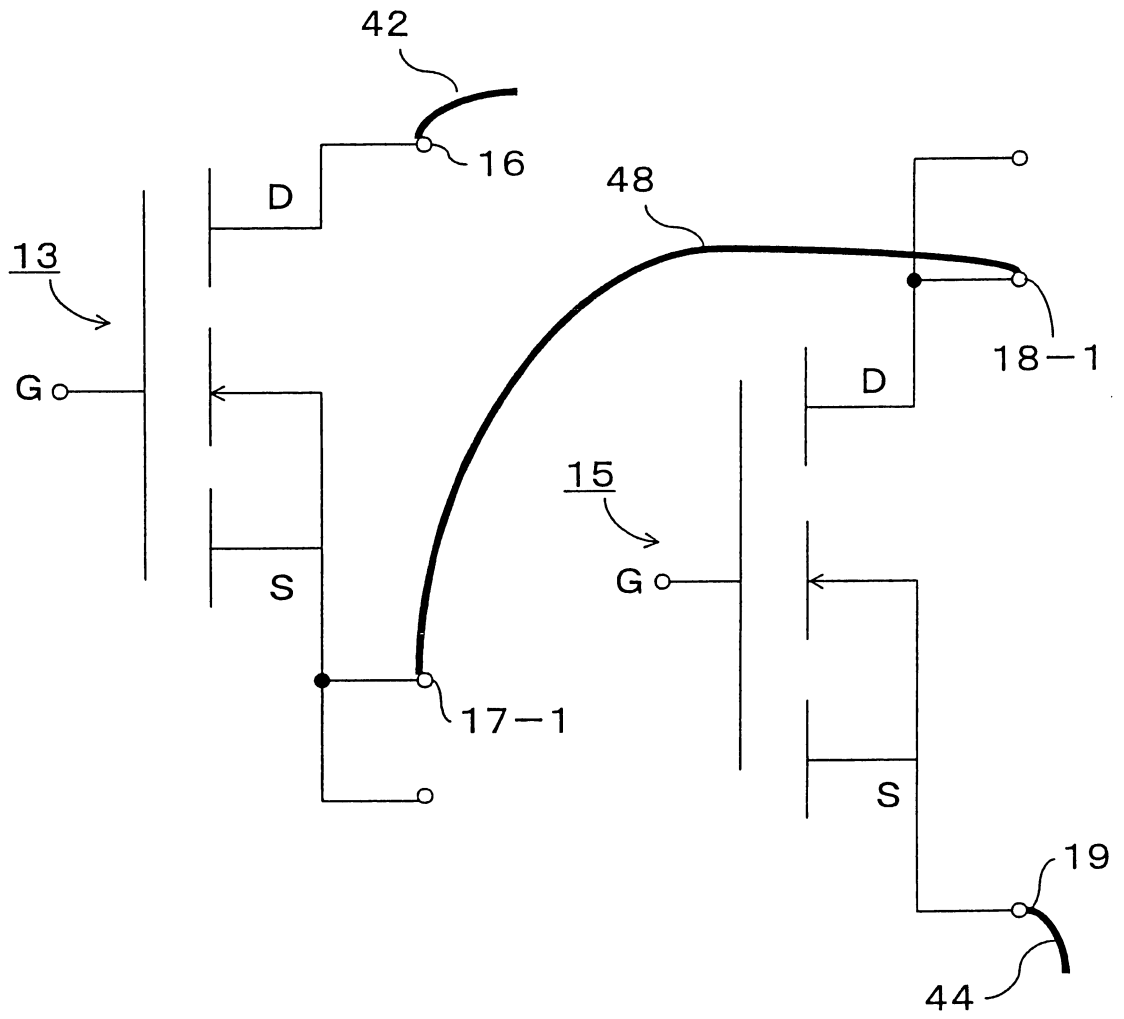
第7圖



第 8 圖



第 9 圖



第 10 圖

