

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4083686号
(P4083686)

(45) 発行日 平成20年4月30日(2008. 4. 30)

(24) 登録日 平成20年2月22日(2008. 2. 22)

(51) Int.Cl.

F I

H O 2 M 3/155 (2006. 01)

H O 2 M 3/155

F

H O 2 M 7/12 (2006. 01)

H O 2 M 7/12

Q

請求項の数 9 (全 11 頁)

(21) 出願番号 特願2003-566968 (P2003-566968)
(86) (22) 出願日 平成14年7月29日(2002. 7. 29)
(65) 公表番号 特表2005-517377 (P2005-517377A)
(43) 公表日 平成17年6月9日(2005. 6. 9)
(86) 国際出願番号 PCT/DE2002/002563
(87) 国際公開番号 W02003/067743
(87) 国際公開日 平成15年8月14日(2003. 8. 14)
審査請求日 平成17年3月31日(2005. 3. 31)
(31) 優先権主張番号 102 05 516.5
(32) 優先日 平成14年2月8日(2002. 2. 8)
(33) 優先権主張国 ドイツ(DE)

(73) 特許権者 390009472
パテントートロイハントーゲゼルシャフト
フュール エレクトリツシエ グリユー
ラムペン ミット ベシユレンクテル ハ
フツング
Patent-Treuhand-Ges
ellschaft fuer elek
trische Gluehlampen
mbH
ドイツ連邦共和国 ミュンヘン ヘラブル
ンネル ストラーセ 1
Hellabrunner Strass
e 1, Muenchen, Germ
any

最終頁に続く

(54) 【発明の名称】 力率改善回路

(57) 【特許請求の範囲】

【請求項 1】

力率改善回路において、

入力電圧 (u_g) を供給可能な入力側が設けられており、該入力側は第 1 および第 2 の
接続端子を有しており、

制御電極と基準電極と動作電極を備えた第 1 のスイッチング素子 (Q_1) が設けられて
おり、前記制御電極は電流源と接続され前記基準電極は基準電位におかれており、

前記電流源は第 1 のスイッチング素子 (Q_1) の制御電極と接続されており、該電流源
は第 2 のオーム抵抗 (R_1) により形成されており、該第 2 のオーム抵抗 (R_1) は前記
入力側の第 1 の接続端子と接続されており、

前記第 1 のスイッチング素子 (Q_1) の動作電極と前記入力側の第 1 の接続端子との間
にインダクタンス (L_1) が接続されており、

出力電圧 (u_z) を供給可能な出力側が設けられており、該出力側は第 1 および第 2 の
接続端子を有しており、

前記第 1 のスイッチング素子 (Q_1) の動作電極と前記出力側の第 1 の出力端子との間
に第 1 のダイオード (D_1) が接続されており、

制御電極と基準電極と動作電極とを備えた第 2 のスイッチング素子 (Q_2) が設けられ
ており、前記基準電極は基準電位におかれ前記動作電極は第 1 のスイッチング素子 (Q_1)
の制御電極と接続されており、

前記第 2 のスイッチング素子 (Q_2) の制御電極と前記第 1 のスイッチング素子 (Q_1

10

20

）の動作電極との間に第 1 のコンデンサ（ C_1 ）が接続されており、

前記出力側の第 1 の接続端子と前記第 2 のスイッチング素子（ Q_2 ）の制御電極との間に第 1 のオーム抵抗（ R_2 ）が接続されていることを特徴とする、

力率改善回路。

【請求項 2】

前記第 1 のオーム抵抗（ R_2 ）に第 1 のツェナダイオード（ D_4 ）が並列に接続されており、該ツェナダイオード（ D_4 ）により出力電圧（ u_z ）を制限可能である、請求項 1 記載の回路。

【請求項 3】

前記第 1 のスイッチング素子（ Q_1 ）は NMOS トランジスタを有し、および / または前記第 2 のスイッチング素子（ Q_2 ）は npn トランジスタを有する、請求項 1 または 2 記載の回路。

【請求項 4】

前記第 1 のスイッチング素子（ Q_1 ）は PMOS トランジスタを有し、および / または前記第 2 のスイッチング素子（ Q_2 ）は pnp トランジスタを有する、請求項 1 から 3 のいずれか 1 項記載の回路。

【請求項 5】

インダクタンス（ L_1 ）を流れる電流（ i_1 ）のゼロ点通過時に前記第 1 のスイッチング素子（ Q_1 ）が開放される、請求項 1 から 4 のいずれか 1 項記載の回路。

【請求項 6】

前記第 2 のスイッチング素子（ Q_2 ）の制御電極と前記入力側の接続端子との間に第 3 のオーム抵抗（ R_3 ）が接続されている、請求項 1 から 5 のいずれか 1 項記載の回路。

【請求項 7】

前記第 2 のスイッチング素子（ Q_2 ）の制御電極と基準電極との間に、第 2 のダイオード（ D_{2a} ）と第 2 のツェナダイオード（ D_{2b} ）とから成る直列回路が接続されており、該第 2 のツェナダイオード（ D_{2b} ）により、第 2 のスイッチング素子（ Q_2 ）の制御電極と基準電極との間の電圧が阻止方向で制限され、前記第 2 のダイオード（ D_{2a} ）により、第 2 のスイッチング素子（ Q_2 ）の制御電極が第 2 のツェナダイオード（ D_{2b} ）を介して該第 2 のスイッチング素子（ Q_2 ）の基準電極に対し短絡するのが阻止される、請求項 1 から 6 のいずれか 1 項記載の回路。

【請求項 8】

前記第 1 のスイッチング素子（ Q_1 ）の制御電極と前記第 2 のスイッチング素子（ Q_2 ）の動作電極は、第 3 のツェナダイオード（ D_3 ）を介して基準電位と接続されており、該第 3 のツェナダイオード（ D_3 ）は、該ツェナダイオード（ D_3 ）により前記第 1 のスイッチング素子（ Q_1 ）の制御電極を過電圧から保護できるように配置されている、請求項 1 から 7 のいずれか 1 項記載の回路。

【請求項 9】

前記第 2 のスイッチング素子（ Q_2 ）の制御電極と該第 2 のスイッチング素子（ Q_2 ）の基準電極との間に第 2 のコンデンサ（ C_2 ）が接続されており、該第 2 のコンデンサの値は、前記第 1 のスイッチング素子（ Q_1 ）のスイッチオン時間（ T_1 ）に実質的に作用を及ぼすことができる大きさである、請求項 1 から 8 のいずれか 1 項記載の回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は力率改善回路に関する。力率改善は、回路の入力電流の高調波成分を抑圧する役割を果たす。この種の回路の消費電力に応じてそのために特定の要求が適用される。たとえば規格 EN61000-3-2、パート A 14 には、電力消費が 25 W よりも大きい安定器ないしはバラストに対する要求が規定されている。

【0002】

従来の技術

10

20

30

40

50

DE 199 23 238.5には、従来技術において知られている力率改善回路について記載されている。従来技術により知られている別の公知の力率改善回路は、集積回路を備えたブーストコンバータの駆動制御、個別部品を用いた間欠動作におけるブーストコンバータの一定周波数制御、あるいは力率改善のために前置接続されるコンバータを使用せず後置接続されたコンバータの共振回路において電荷ポンピングを使用するために用いられる。

【 0 0 0 3 】

従来技術により知られている共振回路における電荷ポンプを用いた力率改善回路の欠点は、殊に比較的高い出力をもつ前置回路としての電子安定器において負荷回路中に大きい無効電流が生じてしまうことである。従来技術により知られている間欠動作における固定周波数制御による装置の欠点は、EN 55015 によれば不所望な妨害スペクトルが生じるこ

10

【 0 0 0 4 】

したがって本発明の課題は、上述の欠点をもたずしかも好適なコストで実現可能な力率改善回路を提供することにある。

【 0 0 0 5 】

本発明の説明

本発明によればこの課題は、請求項 1 の特徴部分に記載の特徴を備えた力率改善回路によって解決される。

【 0 0 0 6 】

本発明の基礎とする認識は、非間欠動作において自励式ブーストコンバータを構成することによって上述の課題を解決できるというものである。力率改善は、遷移モードにおける動作時に主となるスイッチング素子のスイッチオン時間を一定にすることによって実現される。一定のスイッチオン時間ならびに遷移モードにおける動作に必要なインダクタンスを流れる電流のゼロ点通過識別が、構成素子に関して最小のコストで実現される。つまり第 1 のスイッチング素子の動作電極と第 2 のスイッチング素子の制御電極との間に接続された第 1 のコンデンサによって、一定のスイッチオン時間も実現されるし、インダクタンスにおける電流のゼロ点通過時に第 1 のスイッチング素子を遮断することも実現される。これと同時に第 1 のコンデンサによってスイッチングフェーズにおける正のフィードバックが行われ、それにより急峻なスイッチング側縁によりスイッチング損失が低減される。

20

30

【 0 0 0 7 】

本発明による解決手段によってさらに得られる利点とは、非間欠動作ならびに入力電圧により結果として生じる周波数変調に基づき、前置接続された E M C フィルタも含めて構成素子に関する要求が最低限に抑えられることである。本発明による回路をたとえばコールドスタート電子安定器と共働させてランプの駆動に用いる場合、本発明による回路ではグローフェーズ中の高いランプインピーダンスによっても中間回路電圧が著しく高まることはないが、従来技術から知られているポンプ回路ではそのようになってしまう。

【 0 0 0 8 】

有利なことに、第 1 のスイッチング素子の制御電極と接続されている電流源は、入力側の第 1 の接続端子と接続された第 2 のオーム抵抗すなわち非リアクタンス性の抵抗によって実現される。

40

【 0 0 0 9 】

さらに有利なことに、第 1 のオーム抵抗すなわち非リアクタンス性の抵抗および / または第 2 のスイッチング素子に並列にたとえば第 1 のツェナダイオードにより実現される制限器回路が接続され、これによって出力電圧を制限することができる。この措置によれば、本発明による回路において負荷が脱落したときに、たとえば点弧フェーズあるいは接続されていたランプが動作中に取り外されたときに、出力電圧が負荷に逆比例して上昇するという状況が考慮される。第 1 のオーム抵抗に対する第 1 のツェナダイオードの並列接続によってこのことが回避され、それによれば入力電圧がこの第 1 のツェナダイオードのツェナ電圧に到達したときに、回路の出力電圧がツェナ電圧を超えることがないよう低減調

50

整される。これに対する代案として、第2のスイッチング素子に並列に接続された制限器回路によって出力電圧が低減調整されるかまたは、出力閾値電圧に達したときに振動が完全に阻止される。

【0010】

第1のスイッチング素子がNMOSトランジスタを有するように構成できるし、および/または第2のスイッチング素子がnpnトランジスタを有するように構成できる。これに対する代案として、第1のスイッチング素子はPMOSトランジスタを有するように構成できるし、および/または第2のスイッチング素子はpnpトランジスタを有するように構成できる。

【0011】

有利であるのは、インダクタンスを流れる電流のゼロ点通過時に第1のスイッチング素子が開かれるよう本発明による回路を設計することである。この措置によって、振動を開始させるための簡単な条件が設定される。この場合、入力電圧が供給されるとインダクタンスおよび第1のダイオードを介して負荷回路に流れる充電電流のゼロ点通過によって、すでに回路が振動し始めるようになる。

【0012】

第2のスイッチング素子の制御電極と入力側の第1の接続端子との間に第3のオーム抵抗すなわち非リアクタンス性の抵抗を接続するのが有利である。このように付加的な経路を設けることによって入力電圧のゼロ点通過領域においてスイッチオン時間が長くされ、このことは入力電流の高調波成分に対し好影響を及ぼす。

【0013】

さらに有利なことに、第2のスイッチング素子の制御電極と基準電極との間に、第2のダイオードと第2のツェナダイオードから成る直列回路を接続することもでき、これによれば第2のツェナダイオードによって第2のスイッチング素子の制御電極と基準電極との間の電圧が阻止方向で制限される。さらに第2のダイオードによって第2のツェナダイオードの順方向電流が阻止される。ツェナダイオードの阻止電圧により、第1のスイッチング素子のスイッチオン時間ひいては所定の負荷において出力電圧のレベルが決定的に規定される。これら両方のダイオードを設けなければ阻止電圧は、第2のスイッチング素子の制御電極と基準電極との間の接合部における負のブレイクダウン電圧によって規定される。

【0014】

さらに有利であるのは、第1のスイッチング素子の制御電極と第2のスイッチング素子の動作電極を第3のツェナダイオードを介して基準電位におくことである。この場合、第3のツェナダイオードは、第1のスイッチング素子の制御電極を過電圧から保護できるように配置される。

【0015】

従属請求項にはその他の有利な実施形態が示されている。

【0016】

図面の簡単な説明

次に、添付の図面を参照しながら本発明の実施例について詳しく説明する。

図1は、本発明による回路の第1の実施形態を示す基本回路図である。

図2は、本発明による回路の第2の実施形態を示す基本回路図である。

図3は、図1および図2による種々の信号の時間経過特性を示す図である。

図4は、実現された実施例における3つの信号の測定された時間経過特性を示す図である。

図5は、図4に属する入力電流 i_i の時間経過特性を示す図である。

図6は、本発明による第3の実施形態を示す基本回路図である。

【0017】

以下では種々の実施例における同じ素子または同様のはたらきをする素子については、一貫して同じ参照符号を適用する。

10

20

30

40

50

【 0 0 1 8 】

本発明の有利な実施形態

はじめに図 1 に示した本発明による回路を参照する。本発明による回路の適用事例を制約するものではないが、以下ではこの回路をランプ用の電子安定器の制御の一例として説明する。図 3 には、この回路に対応する基本信号経過特性が示されている。

【 0 0 1 9 】

電圧源たとえば商用電圧源から本発明による回路 1 2 の電圧 u_e を取り出すことができる。この電圧源ははじめに電流 i_e を整流回路 1 0 へ供給し、これには 4 つのダイオード $D 1 1$, $D 1 2$, $D 1 3$, $D 1 4$ が含まれている。整流回路 1 0 の出力側で得られる電圧 u_g はコンデンサ C_e により安定化され、本発明による力率改善回路 1 2 へ供給される。

10

【 0 0 2 0 】

コンデンサ $C 1$ は時点 t_0 において、トランジスタ $Q 2$ の負のベース - エミッタブレークダウン電圧まで充電されているものとする。このためトランジスタ $Q 2$ は阻止状態となり、トランジスタ $Q 1$ はプルアップ抵抗 $R 1$ を介して導通状態となり、つまりトランジスタ $Q 1$ のドレイン端子における電圧 u_1 は時点 t_0 ではゼロである。インダクタンス $L 1$ を流れる電流も時点 t_0 ではやはりゼロである。負荷 R_L における出力電圧 u_z は一定であり、これはたとえば十分に大きいバルクコンデンサ C_B が設けられていることによる。

【 0 0 2 1 】

次に期間 $T_1 = t_1 - t_0$ 内で $R 2$ を介してコンデンサ $C 1$ が再充電され、その際に T_1 は、

20

$$d u_{c 1} / T_1 = 1 / C 1 * (u_z / R 2) \quad (1)$$

により得られる。期間 T_1 中、インダクタンス $L 1$ における電流 i_1 が直線的に上昇する。電流ランプ特性の勾配は、

$$i_{1, m a x} / T_1 = 1 / L 1 * u_g \quad (2)$$

により計算され、ここで u_g は本発明による回路の入力電圧である。

【 0 0 2 2 】

時点 t_1 においてトランジスタ $Q 2$ の電圧 $u_{B i a s}$ は導通電圧に達し、トランジスタ $Q 2$ はスイッチオン状態となる。これによりトランジスタ $Q 1$ の電圧 $u_{G a t e}$ はゼロになり、トランジスタ $Q 1$ この実施例では $M O S - F E T$ は阻止状態となる。時点 t_1 において、インダクタンス $L 1$ を流れる電流 i_1 は最初にコンデンサ $C 1$ に向かって転流し、コンデンサ $C 1$ を出力電圧 u_z まで再充電される。次に電流 i_1 は整流ダイオード $D 1$ に向かって転流し、これにより出力回路が給電される。時点 t_2 まで、インダクタンス $L 1$ における電流 i_1 は直線的に減少する。負の電流ランプ特性の勾配は、

30

$$i_{1, m a x} / T_2 = 1 / L 1 * (u_g - u_z) \quad (3)$$

により計算され、ここでトランジスタ $Q 1$ のスイッチオン時間を無視すれば、 $T_2 = t_2 - t_1$ が成り立つ。時点 t_2 において、ダイオード $D 1$ における電流のゼロ点通過が生じ(図 3 b 参照)、ダイオード $D 1$ が阻止状態となる。コンデンサ $C 1$ はインダクタンス $L 1$ を介して放電し、そのようにしてトランジスタ $Q 2$ のベースを空乏化させる。これによりトランジスタ $Q 2$ が阻止状態となり、トランジスタ $Q 1$ のゲートにおける電圧 $u_{G a t e}$ がプルアップ抵抗 $R 1$ を介して引き上げられる。したがってトランジスタ $Q 1$ がスイッチオン状態となり、そのドレインにおける電圧 u_1 がゼロにされる。コンデンサ $C 1$ はトランジスタ $Q 1$ のドレインソース接合部を介して、トランジスタ $Q 2$ の負のベース - エミッタブレークダウン電圧まで放電される。このような正のフィードバックによってトランジスタ $Q 1$ の迅速なスイッチオフが可能となり、それによりスイッチング損失が最低限に抑えられる。これとともに時点 t_0 における状態に到達し、サイクルが最初から始まる。

40

【 0 0 2 3 】

本発明による回路によれば、期間 $T_1 = t_1 - t_0$ は入力電圧 u_g には依存せず、した

50

がって電圧 u_c に左右されることなく一定である。式 (2) を見ればすぐにわかるように、このケースでは $i_{1, max}$ は入力電圧 u_g に比例している。さらに電流 i_1 の実効値は入力電流 i_g の有効分と等しい。非間欠動作では、インダクタンス L_1 における電流 i_1 のピーク値は式

$$i_{1, max} = \sqrt{3} * i_g \quad (4)$$

に従い、入力電流 i_g に比例している。時点 t_2 における電流 i_1 のゼロ点通過時にトランジスタ Q_1 が再び解放されるようにした回路原理によって、非間欠動作が設定されている。力率改善のための条件は

$$u_e \sim i_e \quad (5) \quad 10$$

であり、この条件は式 (3) および (4) によれば $u_g = |u_e|$ および $i_g = |i_e|$ のときに、すなわち本発明による回路によって満たされる。

【0024】

振動を開始させるために：

電圧 u_g の印加後、コンデンサ C_1 はインダクタンス L_1 およびダイオード D_1 を介して充電される。抵抗 R_2 を介して出力電圧 u_z の形成中にトランジスタ Q_2 のベースが駆動制御され、これによってトランジスタ Q_2 が導通状態となる。これとともにトランジスタ Q_1 のゲートにおける電圧 u_{gate} がゼロと等しくなり、このフェーズ中、トランジスタ Q_1 は阻止状態となる。 20

【0025】

入力電圧が第1の電圧ピーク値に達してコンデンサ C_1 が再充電されると、インダクタンス L_1 を流れる電流 i_1 がゼロを通過する。既述のようにこのことによってコンデンサ C_1 が再充電され、図3によるサイクルがスタートする。したがって本発明による回路は、入力電圧が供給されると自動的に振動し始める。

【0026】

次に、図2に示した本発明による回路を参照しながら、本発明による回路の別の実施形態について説明する。この場合、期間 T_2 は出力電圧 u_z が上昇するにつれて逆比例して減少する。これにより入力電力は出力電圧 u_z の上昇とともに引き戻され、このことは回路にとって有利である。ただし抵抗型負荷において出力電圧 u_z を完全に調整するためには、入力電力を出力電圧 u_z の2乗に比例して引き戻す必要がある。つまり出力電圧 u_z は、負荷が脱落したときたとえばランプの点弧フェーズや動作中にランプが取り除かれたとき、それにもかかわらず負荷に逆比例して上昇することになる。このことを回避する目的で、ツェナダイオード D_4 を挿入することができる。このツェナダイオードは非リアクタンス性の抵抗すなわちオーム抵抗 R_2 に並列に接続されて出力電圧 u_z を制限し、これによればツェナダイオード D_4 においてツェナ電圧に達したとき、出力電圧 u_z がツェナダイオード D_4 のツェナ電圧を超えることがないよう、期間 T_1 すなわち入力電力が引き下げられる。 30

【0027】

第2のトランジスタ Q_2 の制御電極と入力側の第1の接続端子との間にオーム抵抗 R_3 が接続されている。この抵抗により入力電流の表面波成分をさらに低減できる。その理由は、コンバータはそうでなければスイッチオン時間が短すぎるときに入力電圧のゼロ点通過領域において電力を伝達できないからである。 40

【0028】

本発明による回路の非間欠動作により、電流 i の電流振幅は $i_{1, max} \sqrt{3} * i_g$ に制限される。これによって構成素子に対する要求たとえばインダクタンス L_1 の飽和に対する要求が低減される。

【0029】

本発明による回路の場合、スイッチング周波数 f は $f = 1 / (T_1 + T_2)$ である。 T_2 は式 (3) に従い入力電圧 u_g に依存するので、電力と結びついた妨害放射のスペクト 50

ルは電源電圧 u_e の動作時に平滑化される。最も低い周波数は高い入力電圧 u_g のときに達せられる。入力電圧が高いときにはインダクタンス L_1 における最大電流 i_1 を遮断しなければならないので、評価特性曲線における跳躍的变化の下でこの周波数が 50 kHz 付近にあるよう回路を設計することができる。

【0030】

式(1)に従い、コンデンサ C_1 はオーム抵抗 R_2 とともに時定数 T_1 を決定する。ただし本発明による回路の場合、コンデンサ C_1 はさらに別の機能も有している。

- コンデンサ C_1 によって、スイッチングフェーズにおける正のフィードバックにより時点 t_2 においてトランジスタ Q_2 のベースの迅速な空乏化が実現される。

- これとは逆にコンデンサ C_1 によって、やはり正のフィードバックにより時点 t_1 においてトランジスタ Q_2 のスイッチングが支援され、つまりはトランジスタ Q_1 の「ハードな」遮断が支援される。設計に応じて必要となる可能性のあるのは、トランジスタ Q_2 のベースをこのトランジスタ Q_2 のベース - エミッタ区間に並列に接続されたダイオード D_{2a} , D_{2b} によって(図2参照)、コンデンサ C_1 の再充電時に過電流から保護することである。ツェナダイオード D_{2b} によって、トランジスタ Q_2 の負のベース - エミッタ電圧が制限される。これによって期間 T_1 は、構成素子のばらつきやトランジスタ Q_2 のブレークダウン電圧の温度特性に左右されなくなる。

- コンデンサ C_1 によって、インダクタンス L_1 における電圧の振動極性変化にあたり側縁勾配が制限される。

【0031】

有利な実施形態によれば、トランジスタ Q_2 はトランジスタ Q_1 のゲートを「ハードに」 0 V にクランプする。このことが必要とされるのは、トランジスタ Q_1 のゲート容量を迅速に再充電してトランジスタ Q_1 の迅速な遮断を行わせるためである。さらにこれによって、トランジスタ Q_1 におけるスイッチング損失も僅かに抑えられる。これとは逆に、トランジスタ Q_1 はプルアップ抵抗 R_1 を介してスイッチオンされる。これは「ソフトに」行うことができ、それというのもこの時点ではインダクタンス L_1 における電流 i_1 は、最初は必然的にゼロから出発して形成されていくからである。

【0032】

この回路においてゲートを過電圧から保護する目的で、ツェナダイオード D_3 (図2参照)をトランジスタ Q_1 のためにゲート端子と基準電位との間に接続することができる。

【0033】

本発明の有利な実施形態によれば、プルアップ抵抗 R_1 が内部低電圧供給源と接続されている。このようにすることでツェナダイオード D_3 を省くことができる。さらにこの措置によって、抵抗 R_1 に対する高い電圧要求がなくなる。

【0034】

図4には、本発明による回路を試験的に設計した際の出力電圧 u_z と電流 i_1 とトランジスタ Q_2 のベースの電圧 $u_{B_{ass}} i_s$ の時間経過特性が時間軸上に示されている。電圧 u_z と $u_{B_{ass}} i_s$ の経過特性における電圧ピークはコンデンサ C_1 の再充電電流により生じるものであり、オプションとして挿入すべきダイオード D_{2a} , D_{2b} を介して導出しないかぎり、これによりトランジスタ Q_2 において損失が引き起こされる。

【0035】

図5には、正弦波の電源電圧 u_e を使用して駆動制御したときの入力電流 i_e の時間経過特性が示されている。電源電圧 u_e のゼロ点通過領域では、インダクタンス L_1 における電圧はもはや出力電圧 u_z には到達しない。したがってこの領域ではごく僅かな期間、電力の伝達が不可能である。この電流の歪みに起因して高調波成分が引き起こされ、これは要求に応じて許容できるものである。トランジスタ Q_2 のベースと入力電圧が整流された側との間に第3の抵抗 R_3 を付加的に挿入することにより、この作用を十分に補償することができる。

【0036】

図6には本発明のさらに別の実施例が示されている。図2の実施例とは異なり、ここで

10

20

30

40

50

は第2のスイッチング素子Q2の制御電極と基準電極との間に第2のコンデンサC2が接続されている。さらに第2のスイッチング素子Q2の基準電極は、第4の抵抗R4を介して基準電位と接続されている。第2のコンデンサC2によって、第1のコンデンサC1の多重機能により生じる欠点が解消される。第1のコンデンサC1の値によって第1のスイッチング素子Q1のスイッチオン時間T1が決定される一方、第1のコンデンサC1によって回路全体の発振を維持する正のフィードバックが形成される。実際には、第1のコンデンサC1のところで数100Vの電圧変化が発生する。第1のコンデンサC1の望ましい値とともに望ましくない高い充放電電流が引き起こされ、これによって構成素子に大きい負荷がもたらされることになる。本発明によれば第2のコンデンサによって、第1のコンデンサC1のこのような多重機能が解消される。第2のコンデンサC2の値は、これによって実質的に第1のスイッチング素子Q1のスイッチオン時間T1が定まるように選定される。このようにすれば第1のコンデンサC1の値を、その正のフィードバック機能だけが維持される程度に小さく選定できる。これによって上述の充放電電流を低減することができる。第4の抵抗R4の値によって、第1のコンデンサC1の正のフィードバック機能にも第1のスイッチング素子Q1のスイッチオン時間T1にも作用を及ぼすことができる。これによって微調整が可能となる。ただし第4の抵抗R4の値をゼロとしてもよい。

【0037】

以上要約すれば、本発明による回路によってたとえば以下の利点が得られる：

- 原理に基づき生じるトランジスタの空乏化、これはトランジスタQ₁の遮断時にコンデンサC1による正のフィードバックによって行われるが、これによって大きい電流を僅かな損失でスイッチングできるようになる。
- コンデンサC1もしくはコンデンサC1およびC2は期間T₁の選定に係わるものであり、かつこれによってインダクタンスL1における電流i₁のゼロ点通過時にトランジスタQ1の遮断が行われる。
- コンデンサC1もしくはコンデンサC1およびC2によって、時点t₁における電流の「ソフトな」転流が可能となる。
- 負荷変動に起因する出力電圧u_zの変動は部分的にすなわち2次ではなく1次で直線的に調整される。

【図面の簡単な説明】

【0038】

【図1】本発明による回路の第1の実施形態を示す基本回路図である。

【図2】本発明による回路の第2の実施形態を示す基本回路図である。

【図3】図1および図2による種々の信号の時間経過特性を示す図である。

【図4】実現された実施例における3つの信号の測定された時間経過特性を示す図である。

。

【図5】図4に属する入力電流i_eの時間経過特性を示す図である。

【図6】本発明による第3の実施形態を示す基本回路図である。

10

20

30

【圖 2】



【 図 4 】



フロントページの続き

- (74)代理人 100061815
弁理士 矢野 敏雄
- (74)代理人 100094798
弁理士 山崎 利臣
- (74)代理人 100099483
弁理士 久野 琢也
- (74)代理人 100114890
弁理士 アインゼル・フェリックス＝ラインハルト
- (74)代理人 230100044
弁護士 ラインハルト・アインゼル
- (72)発明者 アルヴェート シュトルム
ドイツ連邦共和国 ダッハウ エー - オレンハウワー - シュトラーセ 17ハー
- (72)発明者 ジークフリート マイアー
ドイツ連邦共和国 モーニング ヘルデーゲンシュトラーセ 4

審査官 安池 一貴

(56)参考文献 国際公開第2004/107545(WO, A1)

(58)調査した分野(Int.Cl., DB名)

H02M 3/155

H02M 7/12