

申請日期：

93.5.18

IPC分類

H03K 9/00 : H04L 27/06

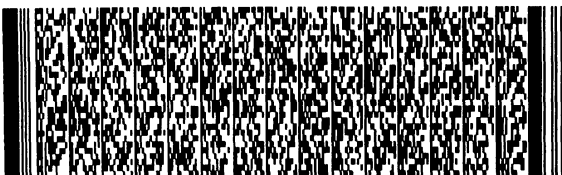
申請案號：

93113893

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	多模時脈接收器
	英文	MULTIPLE MODE CLOCK RECEIVER
二、 發明人 (共1人)	姓名 (中文)	1. 隆柏格 詹姆斯
	姓名 (英文)	1. LUNDBERG, JAMES R.
	國籍 (中英文)	1. 美國 US
	住居所 (中文)	1. 3401 Oakmont Blvd. Austin, TX 78703
	住居所 (英文)	1. 美國德州78703奧斯汀市奧克蒙特街3401號
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 智慧第一公司
	名稱或 姓名 (英文)	1. IP-FIRST, LLC
	國籍 (中英文)	1. 美國 US
	住居所 (營業所) (中文)	1. 美國佛蒙特市教堂巷1045號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 1045 Mission Court, Fremont, CA 95054, U.S.A.
	代表人 (中文)	1. 陳鴻文
	代表人 (英文)	1. CHEN MILLER



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

美國 US

2003/10/28

10/695,221

有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。

五、發明說明 (1)

【與相關申請案之對照】

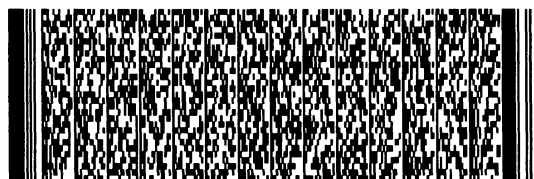
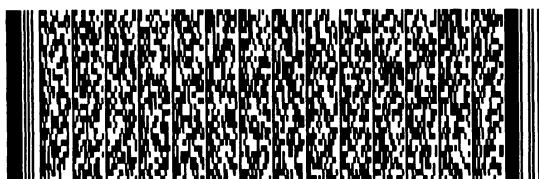
[0001] 本申請案優先權之申請係根據美國專利申請案，案號：10/695221，申請日：10/28/2003。

【發明所屬之技術領域】

[0002] 本發明係有關於時脈信號之對準，特別是有關於一種能將輸出時脈信號與輸入時脈信號對準之多模時脈接收器，該輸入時脈信號係為下列常見型態之一：一單一端點信號、一具有一相對應參考點之單一端點信號以及一差動信號。

【先前技術】

[0003] 圖一A、一B及一C所示為三種不同型態之匯流排時脈信號之方塊圖，其中匯流排時脈信號用以提供時脈至電路或晶片(含微處理器晶片)。圖一A顯示一主機板101，其包含有一時脈產生器103，該時脈產生器103提供一單一端點時脈信號(BCLK)至一微處理器(microprocessor, MP)105。如主機板101架構之範例可為搭配如英特爾公司之PentiumII或是賽揚之類微處理器之主機板，其中信號BCLK為單一之單一端點2.5伏特信號。圖一B顯示另一種主機板111，其包含有一時脈產生器113，該時脈產生器113提供一2.5伏特單一端點時脈信號(BCLK)和一相對應之1.25伏特中點參考信號(REF)至一微處理器115。如主機板111架構之範例可為搭配如英特爾公

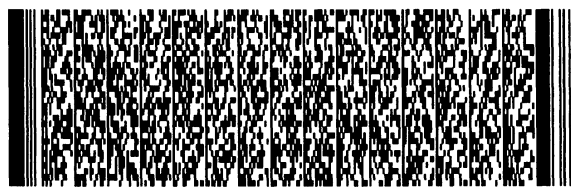


五、發明說明 (2)

司之Pentium III之類微處理器之主機板。圖一C則顯示另一種主機板121，其包含有一時脈產生器123，該時脈產生器123提供一1.25伏特差動匯流排時脈信號BCLK和BCLKB至一微處理器125。如主機板121架構之範例可為搭配英特爾公司之新一代低電壓Pentium III(也稱為Tualatin)之類微處理器之主機板。

[0004] 在一微處理器晶片內之一輸入時脈接收器，其作用為提供一內部匯流排時脈信號，可以準確地與一外部匯流排時脈參考信號對準。以外部提供之匯流排時脈信號對準微處理器內部匯流排時脈信號並不是一件輕而易舉的事，因為這些匯流排時脈信號是以多種不同方式提供，如圖一A-一C中所示。這些不同型態之時脈信號通常具有一個遠較微處理器內部核心為高之電壓準位，同時其上升/下降時間是較微處理器內慢一個數量級(匯流排時脈邊緣是以奈秒(ns)級量測，而微處理器內則是以微微秒(ps)級量測)。先前技術中採用了數種不同之時脈接收器電路，其可分別適用於特定型態匯流排時脈信號之接收與對準。

[0005] 然而，需要不同之時脈接收器電路以適用於每一種不同型態匯流排時脈信號，一則無法將單一晶片設計同時使用於前述的三種範例主機板101、111、121上，或者是當主機板之匯流排時脈信號與微處理器晶片內部之時脈接收器不相容時，需外加一轉換電路在該主機板上，又或者在單一微處理器之設計時，其內部需提供多重的接



五、發明說明 (3)

收器。使用多重接收器之第三種方法另外需要一種切換方式(means)，該方式根據該主機板所提供之特定匯流排時脈形式將必要的接收器打開，不必要的接收器關閉。

【發明內容】

[0006] 本發明實施例揭露一種多模時脈接收器，包括一第一及一第二輸入交流耦合電容器，一第一及一第二分壓器，以及一差動放大器。這些分壓器各自耦接至直流電壓源(例如VDD和接地端)與接地端之間，同時分別有著一第一和第二接面，該第一和第二接面各自耦接至第一及第二輸入交流耦合電容器。該差動放大器有著一差動輸入，其包含一第一輸入端耦接至該第一接面與一第二輸入端耦接至該第二接面，且該差動放大器之差動輸出提供一輸出時脈信號，其與經由至少一輸入交流耦合電容器所提供之一輸入時脈信號對準。

[0007] 該多模時脈接收器為一單一電路，其可將輸出時脈信號與下列任一種多模形式之輸入時脈信號對準，諸如先前所描述使用於現存微處理器主機板中之輸入時脈信號。第一模式為一經由第一輸入交流耦合電容器所提供之單一的單一端點時脈信號。第二模式為分別經由第一及第二輸入交流耦合電容器提供之單一端點時脈信號及一相對應之參考信號。第三模式為一差動時脈信號，其包括分別經由第一及第二輸入交流耦合電容器提供之第一及第二互補信號。



五、發明說明 (4)

[0008] 在一範例之組態中，此多模時脈接收器係利用N通道及P通道元件所構成。輸入交流耦合電容器可利用N通道元件來組成電容器，如將每一個N通道元件其源極和汲極於各自之輸入端耦接在一起。在一個實施例中，這些N通道元件互相匹配。每一個分壓器可利用一對P通道元件來組成，其中每個P通道元件各自組成一電阻器。在一個實施例中，這些P通道元件構成之分壓器互相匹配。差動放大器也可以利用N通道及P通道元件所構成。

[0009] 在一個實施例中，該N通道元件所構成之輸入交流耦合電容器之尺寸夠大使得其電容值能夠克服分壓器中之P通道元件所產生之寄生電容。另外一對相對較弱之N通道元件也可以被包含且耦接至時脈輸入和分壓器接面以在時脈關閉時穩定差動放大器。

[0010] 本發明另一個實施例揭露一種積體電路，包括一第一及一第二輸入接腳，一第一及一第二輸入交流耦合電容器，一第一及一第二分壓器，以及一差動放大器。每一個電容器有著一第一端耦接至一輸入接腳及一第二端耦接至一相對應分壓器之接面。差動放大器有著一差動輸入，其包含一第一輸入端耦接至該第一分壓器之接面與一第二輸入端耦接至該第二分壓器之接面。該差動放大器更有一輸出提供一輸出時脈信號，其與至少一第一及第二輸入接腳所提供之輸入時脈信號對準。

[0011] 在一個積體電路實施例中，其中該第一輸入接腳選擇性地耦接至一單一端點時脈信號或一差動時脈信



五、發明說明 (5)

號之第一極兩者之一，且該第二輸入接腳選擇性地不接出或是耦接至一參考信號或該差動時脈信號之第二極兩者之一。在一個替代實施例中，積體電路可在任一多模模式中操作，其中包含一第一模式為該第一輸入接腳接收到一單一端點時脈信號且該第二輸入接腳為浮動狀態，一第二模式為該第一輸入接腳接收到一單一端點時脈信號且該第二輸入接腳接收到一相對應之參考信號，以及一第三模式為該第一及第二輸入接腳分別接收到一差動時脈信號之第一極及第二極。此積體電路可利用類似如前述般之N通道及P通道元件來構成。

[0012] 本發明另一個實施例揭露一種印刷電路板，包括一時脈產生器及一晶片。該時脈產生器提供一匯流排時脈信號至一或多條信號線上。該晶片包括一第一及一第二時脈輸入接腳耦接至該一或多條信號線及一時脈接收器。該時脈接收器包括一第一及一第二輸入交流耦合電容器，一第一及一第二分壓器，以及一差動放大器其有一差動輸出提供一內部時脈信號，其與該時脈產生器之匯流排時脈信號對準。

[0013] 此位於印刷電路板上之時脈產生器可在任一多模形式中操作。在一種組態中，該時脈產生器提供一單一端點時脈信號至一信號線上以提供至該晶片上之該第一時脈輸入接腳，且該晶片上之該第二時脈輸入接腳為浮動狀態。在第二種組態中，該時脈產生器提供一單一端點時脈信號至一第一條信號線上以提供至該晶片上之該第一時



五、發明說明 (6)

脈輸入接腳，且該時脈產生器在一第二條信號線上提供一參考信號至該晶片上之該第二時脈輸入接腳。在第三種組態中，該時脈產生器提供一差動時脈信號至第一及第二信號線上，分別提供至該晶片上之該第一及第二時脈輸入接腳。

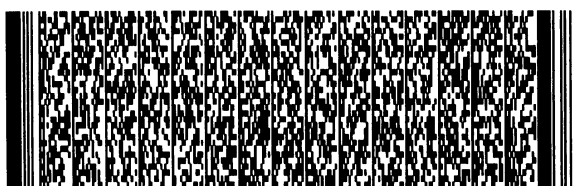
[0014] 本發明之其它特徵及優點，在配合下列說明及所附圖式後，將更能突顯出來。

【實施方式】

[0020] 以下的說明係讓熟知此技藝的人士能明瞭並在所提供的應用範例及條件下使用本發明。然而，對於本發明較佳實施例進行之各種修改，自不能以此限定本發明之權利範圍，因此依本發明申請範圍所做之均等變化或修飾，仍屬本發明所涵蓋之範圍。

[0021] 本案的發明人體認到將內部匯流排時脈信號與外部匯流排時脈信號對準之需求，該外部匯流排時脈信號可為前述範例中之任一形式，大致上都具有較高電壓準位及相對慢之上升/下降時間。本案發明人因此而研發一多模時脈接收器，其為一單一裝置可將現行通用之任一時脈形式與一內部核心時脈信號對準，更進一步的描述請參閱以下的敘述及圖二至圖五。

[0022] 請參閱圖二，其係根據本發明之一實施例繪示之一載有一處理器209之印刷電路板(PCB)201之方塊圖，該處理器209更包括一多模時脈接收器215，其可按本發明

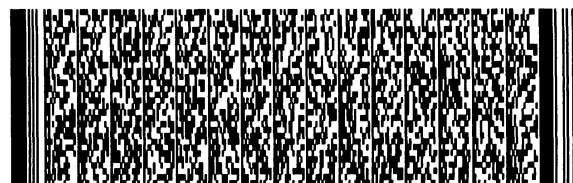


五、發明說明 (7)

之實施例來實施。在一實施例中，印刷電路板(PCB)201是一電腦系統中(未標示於圖中)之主機板，且處理器209為一微處理器晶片。然而，對於熟知此技藝之人士而言，本發明並不限定在主機板及/或是微處理器晶片，而是可用於任一形式之印刷電路板和處理器系統或裝置中。如處理器209可為積體電路或晶片所提供之任何處理功能之型態或是以其他分離元件來實施。對於處理器209是安裝在印刷電路板201上之積體電路或處理器晶片實施例而言，此多模時脈接收器215被建置於此晶片上而使該處理器可與任何多重型態之匯流排時脈相容。

[0023] 一一般信號產生器203也顯示於圖中，其可提供一信號BCLK於一信號線205上至一處理器209上之第一信號輸入接腳207。此信號產生器203也可根據其組態選擇性的提供一第二信號於一第二信號線211上至一處理器209上的第二信號輸入接腳213。該第二信號如果存在的話可為一相對應之單一端點時脈信號之參考信號REF或是差動時脈信號BCLK/BCLKB之一第二極。因此，此時脈產生器203可組態為先前所描述之任一種時脈產生器103、113或123。

[0024] 對於一類似於由時脈產生器103所提供之一單一之單一端點時脈信號，其信號BCLK為單一端點2.5伏特匯流排時脈信號，且無時脈信號REF/BCLKB。於該單一之單一端點時脈信號組態中，其第二信號線211不存在或是不與其他時脈連接。對於一類似於由時脈產生器113所提

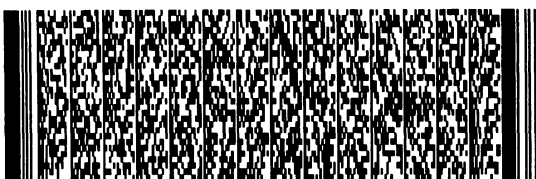


五、發明說明 (8)

供之一具有一相對應參考信號之單一端點時脈信號而言，其信號BCLK為一2.5伏特單一端點匯流排時脈信號，且其時脈信號REF/BCLKB為一對應之1.25伏特中點參考信號。對於一類似於由時脈產生器123所提供之一差動時脈信號而言，其時脈信號BCLK和BCLKB共同組成一1.25伏特差動匯流排時脈信號。

[0025] 此多模時脈接收器215耦接至為了接收BCLK與REF或BCLKB時脈信號(假如有提供的話)的時脈輸入接腳207和213。該多模時脈接收器215根據其輸入匯流排時脈信號來提供一相對應之內部核心時脈信號(INT CLK)。該多模時脈接收器215操作上用來對準此內部核心時脈信號(INT CLK)與任一先前所描述之時脈信號BCLK。更具體而言，該多模時脈接收器215係根據輸入時脈信號之至少三種模式中之任一種來操作，此三種模式包含：一單一之單一端點時脈信號之第一模式、一具有一相對應參考信號之單一端點時脈信號之第二模式以及一差動時脈信號之第三模式。

[0026] 請參閱圖三，其多模時脈接收器300為圖二之多模時脈接收器215實施例之等效簡化示意圖。該多模時脈接收器300包含第一及第二輸入時脈節點CLKA和CLKB，當用作多模時脈接收器215時，該第一及第二輸入時脈節點CLKA和CLKB分別耦接至時脈輸入接腳207和213。第一輸入時脈節點CLKA耦接至一第一輸入交流耦合電容器C1之一端，該電容器之另一端耦接至一節點BASS。第二輸入時脈



五、發明說明 (9)

節點CLKB耦接至一第二輸入交流耦合電容器C2之一端，該電容器之另一端耦接至一節點PIKE。一第一電阻R1耦接在一電壓源VDD與節點BASS之間，且一第二電阻R2耦接在節點BASS與接地端之間。電阻R1與R2構成分壓器301，此分壓器301可根據電壓源VDD之準位來設定節點BASS之偏壓。一第三電阻R3耦接在電壓源VDD與節點PIKE之間，且一第四電阻R4耦接在節點PIKE與接地端之間。電阻R3與R4構成一第二分壓器303，此分壓器303類似於分壓器301之操作方式，可根據電壓源VDD之準位來設定節點PIKE之偏壓。

[0027] 節點BASS耦接至一差動放大器305之一非反向輸入端，且節點PIKE耦接至該差動放大器305的一反向輸入端。差動放大器305則提供信號INT BCLK之輸出。信號BCLK會提供至節點CLKA。當信號BCLK為一無相對應參考信號之單一端點信號時，節點CLKB不會接收到一信號，並其為浮動狀態。當信號BCLK為一具有一相對應參考信號REF之單一端點信號時，則節點CLKB會接收到信號REF。當信號BCLK為一差動信號BCLK/BCLKB之一時，節點CLKB會接收到信號BCLKB。在一個實施例中，輸入交流耦合電容器C1和C2可以有效地互相匹配，此時分壓器301和303也可以有效地互相匹配。

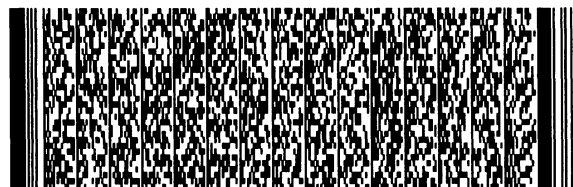
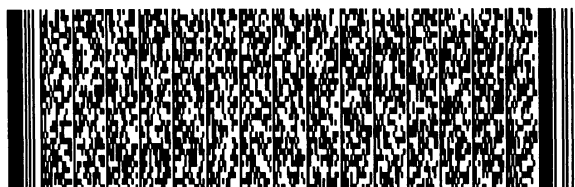
[0028] 在一時脈信號特定為0-2.5伏特範圍(包含1.25伏特之差動電壓)之實施例中，分壓器301和303將節點BASS和節點PIKE皆偏壓至約0.6伏特直流。當一0-2.5伏



五、發明說明 (10)

特單一端點信號BCLK提供至節點CLKA時，輸入交流耦合電容器C1會將信號BCLK之直流成分除去，導致在節點BASS之電壓約為一峰對峰振幅1.4伏特之交流信號。此信號振幅在節點BASS減弱的原因是由於經過輸入交流耦合電容器C1和分壓器301所造成的損失。此分壓器301同時也增加約0.6伏特之交流信號以產生一範圍約在1.3至-0.1伏特之直流偏壓的交流信號。信號BCLK之0-2.5伏特之特定電壓範圍僅是一個實施例，熟知此技藝人士可輕易思及將節點BASS及節點PIKE切換至一大致相當於直流偏壓準位(例如0.6伏特)之振幅，其中該特定電壓之振幅係由該輸入匯流排時脈信號之電壓範圍而定。同時，在一指定組態中之節點BASS及節點PIKE之特定偏壓準位，也是根據由一特定處理器形式之VDD之電壓準位而定。

[0029] 在單一端點模式中，節點CLKB可為浮動狀態，節點PIKE提供一0.6伏特之參考電壓至差動放大器305之反向輸入端。因此，當節點BASS之電壓通過0.6伏特時，信號INT BCLK會進行切換，此處節點BASS之電壓會在信號BCLK中點處通過0.6伏特。在單一端點信號且具有一相對應參考信號模式中，一1.25伏特直流信號REF提供至節點CLKB，操作上幾乎和前一模式相同，因為直流參考部分已被輸入交流耦合電容器C2過濾掉。因此，信號INT BCLK會在信號BCLK中點(1.25伏特)進行切換。在差動信號模式中，節點CLKA/CLKB分別接收時脈信號BCLK/BCLKB，由於輸入交流耦合電容器C1和C2可有效地匹配，同時分壓

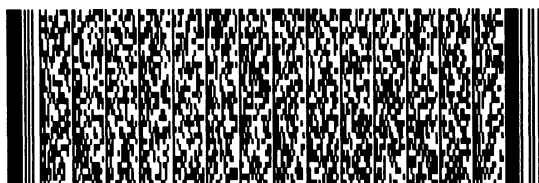


五、發明說明 (11)

器301和303也可有效地匹配，故節點BASS和PIKE會分別跟隨信號BCLK和BCLKB之邊緣，因此可確保信號INT BCLK會在信號BCLK和BCLKB交叉時進行切換。

[0030] 請參閱圖四，其多模時脈接收器400為圖二之多模時脈接收器215實施例之詳細示意圖，如圖所示該多模時脈接收器400使用P通道和N通道元件。該多模時脈接收器400也包含第一和第二輸入時脈節點CLKA和CLKB，當用作多模時脈接收器215時，該第一和第二輸入時脈節點CLKA和CLKB分別耦接至時脈輸入接腳207和213。節點CLKA耦接至一N通道元件N1之汲極和源極，同時該N通道元件N1之閘極也耦接至節點BASS。節點CLKB耦接至一N通道元件N2之汲極和源極，同時該N通道元件N2之閘極也耦接至節點PIKE。這些N通道元件N1及N2被組態為電容器(其各自之源極和汲極連接在一起)，且分別被使用為輸入交流耦合電容器C1及C2。一第三N通道元件N3之源極耦接至節點CLKA，同時該N通道元件N3之閘極和汲極耦接至節點BASS。一第四N通道元件N4之源極耦接至節點CLKB，同時該N通道元件N4之閘極和汲極耦接至節點PIKE。這些N通道元件N3及N4之操作將會進一步詳述如下。

[0031] 一對P通道元件P1及P2被耦接至介於VDD和接地端之間之節點BASS而被當作一個類似於分壓器301之分壓器401。特別是該P通道元件P1之閘極和汲極耦接至節點BASS，同時該P通道元件P1之源極和基板則耦接至VDD。另一P通道元件P2的閘極和源極耦接至接地端，同時該P通道

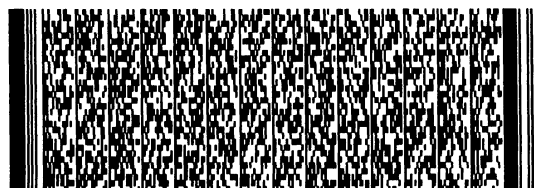


五、發明說明 (12)

元件P2之汲極和基板則耦接至節點BASS。因此，這些P通道元件P1及P2被組態為類似的電阻器R1及R2。在類似的情況下，另一對P通道元件P3及P4被耦接至介於VDD和接地端之間之節點PIKE而被當作一個類似於分壓器303之分壓器403。特別是該P通道元件P3之閘極和汲極耦接至節點PIKE，同時該P通道元件P3之源極和基板則耦接至VDD。另一P通道元件P4之閘極和源極耦接至接地端，同時該P通道元件P4之汲極和基板則耦接至節點PIKE。因此，P通道元件P3及P4被組態為類似的電阻器R3及R4。

[0032] 在一時脈信號特定為0-2.5伏特範圍之實施例中，P通道元件P1和P2提供一約0.6伏特之直流偏壓至節點BASS。在一實施例中，P通道元件P3和P4是分別與P通道元件P1和P2相匹配，因此，相同的0.6伏特直流偏壓也被提供至節點PIKE。再一次強調，這特定偏壓準位係根據VDD之電壓準位。同時，形成一輸入交流耦合電容器之N通道元件N1及N2也互相匹配。在一個實施例中，N通道元件N1及N2之尺寸夠大使得其電容值能夠克服P通道元件P1/P2和P3/P4所分別產生之寄生電容。

[0033] P通道元件P5及P6和N通道元件N5、N6、N7及N8被組態為一相對應差動放大器305之差動放大器405。特別是該P通道元件P5及P6之源極和基板耦接至VDD，同時該P通道元件P5及P6的閘極和P6之汲極則耦接至一中心點CNT。P通道元件P5之汲極耦接至N通道元件N5之汲極，同時該N通道元件N5之閘極耦接至節點BASS，且其源極耦接

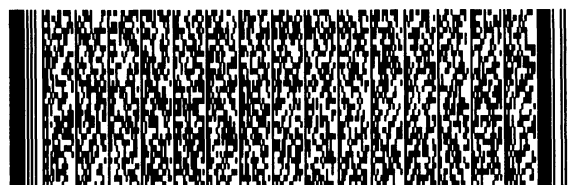


五、發明說明 (13)

至N7之源極。N通道元件N7之汲極耦接至節點CNT，且其閘極耦接至節點PIKE。N通道元件N6之汲極耦接至N通道元件N5之源極，且N通道元件N8之汲極耦接至N通道元件N7之源極。N通道元件N6和N通道元件N8之閘極則一起耦接至節點CNT，同時N通道元件N6和N通道元件N8之源極則一起耦接至接地端。一反向器407之輸入耦接至P通道元件P5之汲極，而該反向器407之輸出為信號INT BCLK。

[0034] 此多模時脈接收器400操作上十分類似於多模時脈接收器300。在一時脈信號特定為0-2.5伏特(包含1.25伏特之差動電壓)範圍之實施例中，分壓器401和403分別提供一約0.6伏特直流偏壓至節點BASS和節點PIKE。在一0-2.5伏特單一端點信號BCLK提供至節點CLKA時，N通道元件N1除去信號BCLK之直流成分，導致在節點BASS之電壓約為一峰對峰振幅1.4伏特之交流信號。此信號振幅在節點BASS減弱的原因是由於經過N通道元件N1和由P通道元件P1及P2所組成之分壓器401所造成的損失。此分壓器401同時提供一約0.6伏特直流偏壓至節點BASS以產生一範圍約在1.3至-0.1伏特之已直流偏壓之交流信號。同樣的，信號BCLK之0-2.5伏特之特定電壓範圍僅是一個實施例，此處特定偏壓之振幅是依據輸入時脈信號之電壓範圍及電壓源準位而改變。

[0035] N通道元件N3及N4是相對較弱的元件，可在外部時脈信號BCLK關閉時防止差動放大器405的不穩定運作。將時脈信號關閉之方式經常使用在低功率及其他特殊

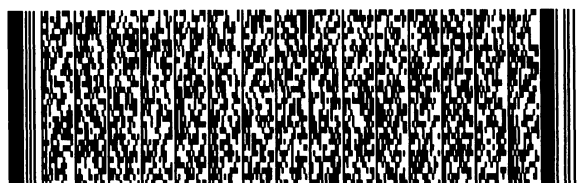


五、發明說明 (14)

功能的微處理器主機板上。在特定微處理器主機板之實施例中，信號BCLK在時脈信號關閉期間為0伏特，且信號BCLKB在差動模式時為1.25伏特。當這些輸入為直流準位時，該多模時脈接收器400會將節點BASS和節點PIKE拉至0.6伏特。當信號BCLK為0伏特時，N通道元件N3會將節點BASS之偏壓點下拉至小於0.6伏特。這是因為當信號BCLK為0伏特時，節點BASS原本是小於0伏特而電壓將會開始上升。N通道元件N3開啟而使節點BASS之電壓準位小於節點PIKE。同樣的，當信號BCLKB關閉至1.25伏特時，N通道元件N4保持關閉。這樣的情況是因為當信號BCLKB為高準位時，N4之匯流排信號端會變成汲極，且其電壓準位會高於節點PIKE（其中N通道元件N4之源極和閘極耦接在一起至節點PIKE）。

[0036] 然而，該差動放大器405在外部時脈信號關閉時並不會震盪。當信號BCLK為0伏特時，節點BASS原本是小於0伏特而電壓將會開始上升。N通道元件N3開啟而使節點BASS的電壓準位小於節點PIKE。在一實施例中，N通道元件N3及N4是相對較弱的元件，所以他們並不會影響到交流耦合或是分壓器401和403的運作。在正常振盪的情況下，當節點CLKA和節點BASS的波形（同時節點CLKB和節點PIKE的波形）是對準時，N通道元件N3和N4不會開啟。

[0037] 本發明實施例中之一多模時脈接收器之一優點為提供一單一電路，其可將一輸出時脈信號與任一種不同型態之外部時脈信號對準。對積體電路或晶片的實施例

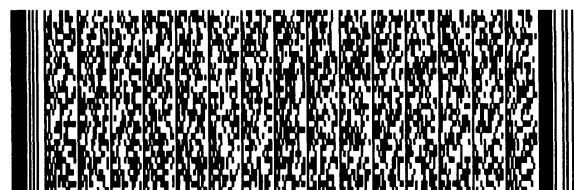
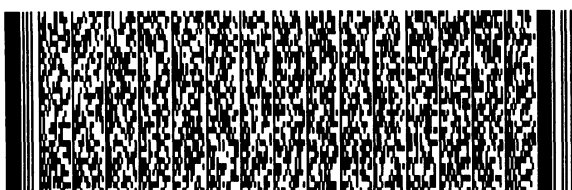


五、發明說明 (15)

而言，多模時脈接收器是被建置在其內部，且可提供一內部時脈信號與任一種不同形式之外部時脈信號對準。這對於對準微處理器晶片之內部核心時脈信號與主機板上之時脈產生器提供之多種不同匯流排時脈信號特別有幫助。另外一個優點為，在本發明中之實施例，使用內部建置多模時脈接收器之晶片並不需要重新修改搭載該晶片之印刷電路板。

[0038] 請參閱圖五，其為一內部核心時脈INT CLK與前述所說之任一匯流排時脈形式對準之簡化時脈示意圖。不同的匯流排時脈形式包括一單一之單一端點時脈信號，如圖中501所示、一具有一相對應參考信號之單一端點時脈信號，如圖中503所示，以及一差動時脈信號，如圖中505所示。任一種模式中，內部核心時脈INT CLK係由一多模時脈接收器300或400產生，如圖中507所示，不論任一種輸入匯流排時脈信號，都會與該內部核心時脈INT CLK對準。該內部核心時脈INT CLK之電壓準位會降低以適用於特定之處理器。同時該內部核心時脈INT CLK之上升和下降時間也會因為差動放大器對輸入時脈信號緩慢變換的快速切換而更快。

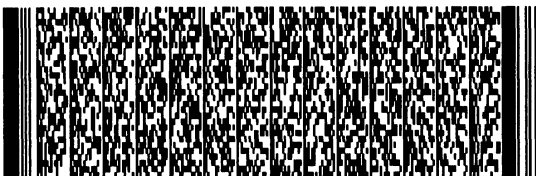
[0039] 雖然本發明及其目的、特徵與優點已詳細敘述，其它實施例亦可包含在本發明之範圍內。例如，雖然本發明多模時脈接收器為積體電路整合之形式，本發明仍可適用於其他之形式，如使用分離元件。此外，雖然本發明已參照一金氧半場效電晶體(MOS)元件之實施例做說



五、發明說明 (16)

明，包含互補式金氧半場效電晶體(CMOS)及其類似元件，諸如NMOS及PMOS，本發明仍可適用於其他不同形式或是類比形式之元件，如雙載子電晶體及其類似元件。

[0040] 總之，以上所述者，僅為本發明之較佳實施例而已，當不能以之限定本發明所實施之範圍。大凡依本發明申請專利範圍所作之均等變化與修飾，皆應仍屬於本發明專利涵蓋之範圍內，謹請 貴審查委員明鑑，並祈惠准，是所至禱。



圖式簡單說明

【圖式簡單說明】

[0015] 圖一A、一B、一C 係根據本發明繪示之用以提供至一電路或晶片包括微處理器晶片之三種不同形式之匯流排時脈信號之方塊圖。

[0016] 圖二係根據本發明實施例所繪示之一載有使用多模時脈接收器之處理器之印刷電路板方塊圖。

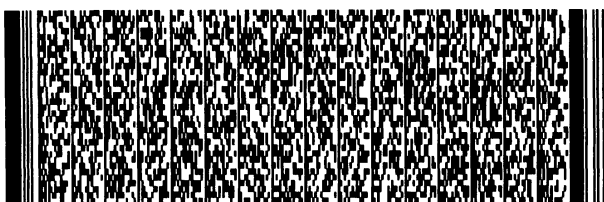
[0017] 圖三為圖二本發明實施例之多模時脈接收器之等效簡化示意圖。

[0018] 圖四為圖二本發明實施例之多模時脈接收器之詳細示意圖，其中該多模時脈接收器使用P通道和N通道元件，以及

[0019] 圖五為一內部核心時脈與前述所說之任一外部提供之匯流排時脈形式對準之簡化時脈示意圖。

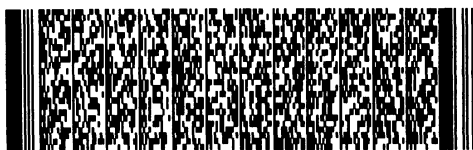
圖號說明：

101：主機板	103：信號產生器
105：微處理器	
111：主機板	113：信號產生器
115：微處理器	
121：主機板	123：信號產生器
125：微處理器	
201：印刷電路板	203：信號產生器
209：處理器	215：多模時脈接收器
205：信號線	211：信號線



圖式簡單說明

- | | |
|----------------------------|--------------|
| 207 : 信號輸入接腳 | 213 : 信號輸入接腳 |
| 300 : 多模時脈接收器 | |
| 301 : 分壓器 | |
| 303 : 分壓器 | |
| 305 : 差動放大器 | |
| 400 : 多模時脈接收器 | 401 : 分壓器 |
| 403 : 分壓器 | 405 : 差動放大器 |
| 407 : 反向器 | |
| 501 : 一單一之單一端點時脈信號 | |
| 503 : 一具有一相對應參考信號之單一端點時脈信號 | |
| 505 : 一差動時脈信號 | |
| 507 : 內部核心時脈 | |



四、中文發明摘要 (發明名稱：多模時脈接收器)

本發明提供一種多模時脈接收器，包括第一及第二輸入交流耦合電容器，第一及第二分壓器，以及一差動放大器。這些分壓器各自有著第一和第二接面，同時分別耦接至第一及第二輸入交流耦合電容器。該差動放大器有著第一及第二輸入端分別耦接至第一及第二接面，且該差動放大器之差動輸出提供一輸出時脈信號，其與經由至少一輸入交流耦合電容器所提供之一輸入時脈信號對準。該多模時脈接收器為一單一電路，其可將輸出時脈信號與下列任一種多模形式之輸入時脈信號對準，其中多模形式之輸入時脈信號包括：一單一之單一端點時脈信號，一具有一相對應參考信號之單一端點時脈信號及一差動時脈信號。

五、英文發明摘要 (發明名稱：MULTIPLE MODE CLOCK RECEIVER)

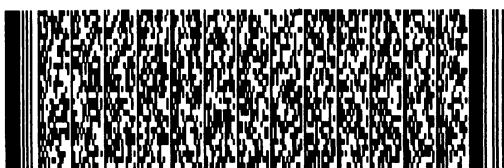
A multiple mode clock receiver including a first and second input AC-coupled capacitors, first and second voltage dividers and a differential amplifier. The voltage dividers each include first and second junctions, respectively, coupled to the first and second AC-coupled capacitors, respectively. The differential amplifier has first and second inputs coupled to



四、中文發明摘要 (發明名稱：多模時脈接收器)

五、英文發明摘要 (發明名稱：MULTIPLE MODE CLOCK RECEIVER)

the first and second junctions, respectively, and an output providing an output clock signal that is aligned with an input clock signal provided through at least one of the input AC-coupled capacitors. The multiple clock receiver is a single circuit that aligns the output clock signal to any one of multiple forms of input clock signals, including a sole single-ended clock



四、中文發明摘要 (發明名稱：多模時脈接收器)

五、英文發明摘要 (發明名稱：MULTIPLE MODE CLOCK RECEIVER)

signal, a single-ended clock signal with a corresponding reference signal, and a differential clock signal.



六、指定代表圖

(一)、本案代表圖為：第圖三圖

(二)、本案代表圖之元件代表符號簡單說明：

300：多模時脈接收器

301：分壓器

303：分壓器

305：差動放大器



六、申請專利範圍

1. 一種多模時脈接收器，包括：

一第一及一第二輸入交流耦合電容器；

一第一分壓器，其耦接至直流電壓源與接地端之間，同時該第一分壓器有著一第一接面耦接至該第一輸入交流耦合電容器；

一第二分壓器，其耦接至直流電壓源與接地端之間，同時該第二分壓器有著一第二接面耦接至該第二輸入交流耦合電容器；以及

一差動放大器，其有著一差動輸入包含一第一輸入端耦接至該第一接面及一第二輸入端耦接至該第二接面，以及一差動輸出；

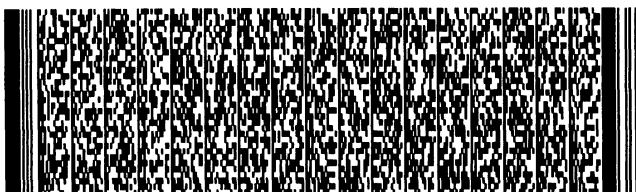
其中該差動放大器之差動輸出提供一輸出時脈信號，其與經由至少一該第一或第二輸入交流耦合電容器所提供之一輸入時脈信號對準。

2. 如申請專利範圍第1項之多模時脈接收器，其中所述第一及第二輸入交流耦合電容器係分別包含一第一及一第二N通道元件，每一個N通道元件皆有一源極和一汲極於各自之輸入端耦接在一起，且一閘極耦接至一相對應之該第一接面與該第二接面之一。

3. 如申請專利範圍第2項之多模時脈接收器，更包括：

一第三N通道元件，其有一源極耦接至該第一N通道元件之源極，且一汲極與一閘極耦接至該第一接面；以及

一第四N通道元件，其有一源極耦接至該第二N通道



六、申請專利範圍

元件之源極，且一汲極與一閘極耦接至該第二接面。

4. 如申請專利範圍第3項之多模時脈接收器，其中該第三及第四N通道元件皆包含相對較弱的元件。

5. 如申請專利範圍第2項之多模時脈接收器，其中所述第一及第二分壓器各自包括：

一第一P通道元件，其有一源極和一基板耦接至一電壓源，且一閘極與一汲極耦接至一相對應之該第一接面和第二接面之一；以及

一第二P通道元件，其有一源極和一閘極耦接至接地端，且一汲極與一基板耦接至一相對應之該第一接面和第二接面之一。

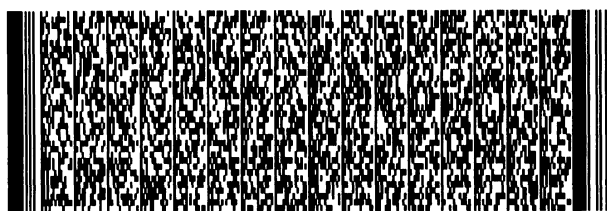
6. 如申請專利範圍第5項之多模時脈接收器，其中該第一及第二N通道元件之尺寸夠大使得其電容值能夠克服該第一及第二P通道元件所產生之寄生電容。

7. 如申請專利範圍第5項之多模時脈接收器，其中該第一分壓器之該第一P通道元件與該第二分壓器之該第一P通道元件相匹配，且其中該第一分壓器之該第二P通道元件與該第二分壓器之該第二P通道元件相匹配。

8. 如申請專利範圍第5項之多模時脈接收器，其中所述差動放大器包括：

一第五P通道元件，其有一源極和一基板耦接至一電壓源，其一閘極耦接至一中心節點與一汲極；

一第六P通道元件，其有一源極和一基板耦接至該電壓源，其一閘極與一汲極一起耦接至該中心節點；



六、申請專利範圍

一 第五N通道元件，其有一源極，一閘極耦接至該第一接面，且一汲極耦接至該第五P通道元件之該汲極；

一 第六N通道元件，其有一汲極耦接至該第五N通道元件之該源極，且一閘極耦接至該中心節點，以及一源極耦接至接地端；

一 第七N通道元件，其有一源極耦接至該第五N通道元件之該源極，且一閘極耦接至該第二接面，以及一汲極耦接至該第六P通道元件之該汲極；以及

一 第八N通道元件，其有一汲極耦接至該第七N通道元件之該源極，且一閘極耦接至該中心節點，以及一源極耦接至接地端。

9. 如申請專利範圍第8項之多模時脈接收器，更包括一反向器有著一輸入端耦接至該第五P通道元件之該汲極，有一輸出端提供一輸出時脈信號。

10. 一種積體電路，包括：

一 第一及一第二輸入接腳；

一 第一電容器有一第一端和一第二端，該第一端耦接至該第一輸入接腳；

一 第二電容器有一第一端和一第二端，該第一端耦接至該第二輸入接腳；

一 第一分壓器，其耦接至直流電壓源與接地端之間，同時與該第一電容器有著一第一接面耦接至該第一電容器之該第二端；



六、申請專利範圍

一第二分壓器，其耦接至直流電壓源與接地端之間，同時與該第二電容器有著一第二接面耦接至該第二電容器之該第二端；以及

一差動放大器，有著一差動輸入包含一第一輸入端耦接至該第一接面與一第二輸入端耦接至該第二接面，且有一差動輸出提供一輸出時脈信號，其與至少一該第一或第二輸入接腳所提供之一輸入時脈信號對準。

11. 如申請專利範圍第10項之積體電路，其中該第一輸入接腳選擇性地耦接至一單一端點時脈信號或一差動時脈信號之第一極兩者之一，且該第二輸入接腳選擇性地不接出或是耦接至一參考信號或該差動時脈信號之第二極兩者之一。
12. 如申請專利範圍第10項之積體電路，更包括在任一多模模式中操作，該多模模式包含一第一模式為該第一輸入接腳接收到一單一端點時脈信號且該第二輸入接腳為浮動狀態，一第二模式為該第一輸入接腳接收到一單一端點時脈信號且該第二輸入接腳接收到一相對應之參考信號，以及一第三模式為該第一及第二輸入接腳分別接收到一差動時脈信號之第一極及第二極。
13. 如申請專利範圍第10項之積體電路，其中所述之第一及第二輸入交流耦合電容器係分別包含一第一及一第二N通道元件，每一個N通道元件皆有一源極和一汲極一起耦接於該第一端，且一閘極形成該第二端。



六、申請專利範圍

14. 如申請專利範圍第13項之積體電路，更包括：

一 第三N通道元件，其有一源極耦接至該第一N通道元件之源極，且一汲極與一閘極耦接至該第一接面；以及

一 第四N通道元件，其有一源極耦接至該第二N通道元件之源極，且一汲極與一閘極耦接至該第二接面。

15. 如申請專利範圍第14項之積體電路，其中所述之第一及第二分壓器各自包括：

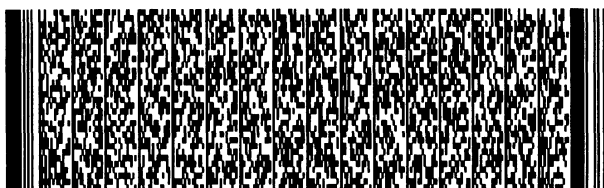
一 第一P通道元件，其有一源極和一基板耦接至一電壓源，且一閘極與一汲極耦接至一相對應之該第一接面和第二接面之一；以及

一 第二P通道元件，其有一源極和一閘極耦接至接地端，且一汲極與一基板耦接至一相對應之該第一接面和第二接面之一。

16. 如申請專利範圍第15項之積體電路，其中該第一及第二N通道元件之尺寸夠大使得其電容值能夠克服該第一及第二分壓器中之該第一及第二P通道元件所產生之寄生電容，且該第三及第四N通道元件皆為相對較弱的元件。

17. 如申請專利範圍第15項之積體電路，其中所述之差動放大器包括：

一 第五P通道元件，其有一源極和一基板耦接至一電壓源，且一閘極耦接至一中心節點與一汲極；



六、申請專利範圍

一 第六P通道元件，其有一源極和一基板耦接至該電壓源，且一閘極與一汲極一起耦接至該中心節點；

一 第五N通道元件，其有一源極，一閘極耦接至該第一接面，且一汲極耦接至該第五P通道元件之該汲極；

一 第六N通道元件，其有一汲極耦接至該第五N通道元件之該源極，且一閘極耦接至該中心節點，以及一源極耦接至接地端；

一 第七N通道元件，其有一源極耦接至該第五N通道元件之該源極，且一閘極耦接至該第二接面，以及一汲極耦接至該第六P通道元件之該汲極；以及

一 第八N通道元件，其有一汲極耦接至該第七N通道元件之該源極，且一閘極耦接至該中心節點，以及一源極耦接至接地端。

18. 如申請專利範圍第17項之積體電路，更包括一反向器有著一輸入端耦接至該第五P通道元件之該汲極，以及一輸出端提供一輸出時脈信號。

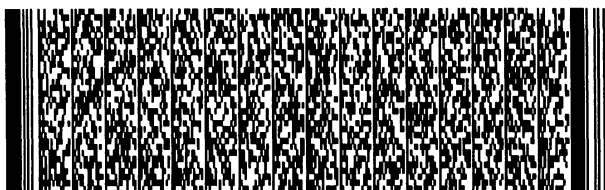
19. 一種印刷電路板，包括：

一時脈產生器提供一匯流排時脈信號到至少一條信號線上；以及

一晶片，包括：

一 第一及一第二時脈輸入接腳耦接至該至少一條

信號線；以及



六、申請專利範圍

一時脈接收器，包括：

- 一第一及一第二輸入交流耦合電容器分別耦接至該第一及第二時脈輸入接腳；
- 一第一及一第二分壓器，分別耦接至該第一及第二輸入交流耦合電容器；以及
- 一差動放大器，其有一第一及一第二輸入端分別耦接至該第一與第二分壓器，且有一差動輸出提供一內部時脈信號，其與該時脈產生器之該匯流排時脈信號對準。

20. 如申請專利範圍第19項之印刷電路板，其中該時脈產生器提供一單一端點時脈信號至一信號線上以提供至該晶片上之該第一時脈輸入接腳，且該晶片上之該第二時脈輸入接腳為浮動狀態。
21. 如申請專利範圍第19項之印刷電路板，其中該時脈產生器提供一單一端點時脈信號至一第一條信號線上以提供至該晶片上之該第一時脈輸入接腳，且該時脈產生器在一第二條信號線上提供一參考信號至該晶片上之該第二時脈輸入接腳。
22. 如申請專利範圍第19項之印刷電路板，其中該時脈產生器提供一差動時脈信號至第一及第二信號線上，分別提供至該晶片上之該第一及第二時脈輸入接腳。



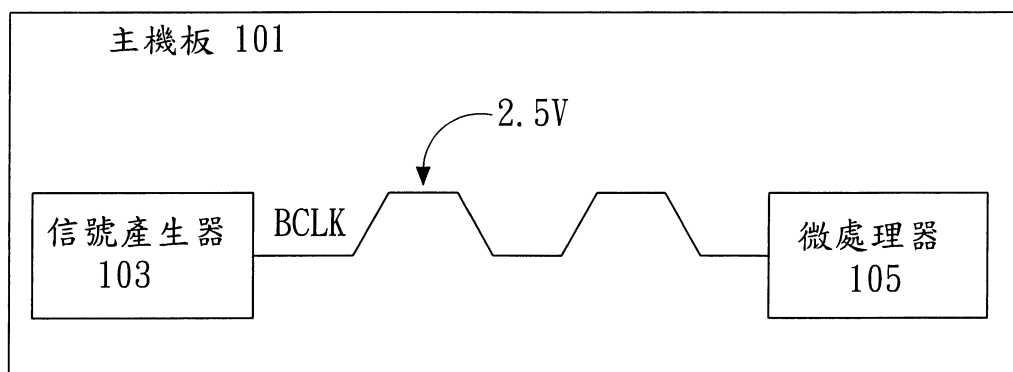


圖 一 A

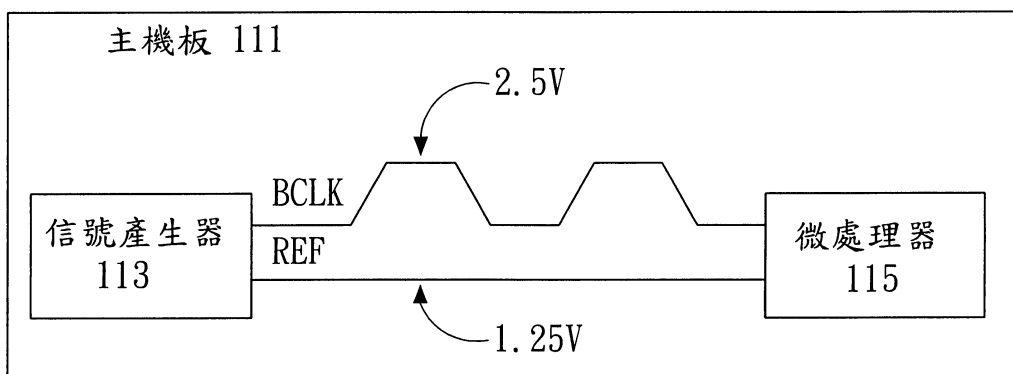


圖 一 B

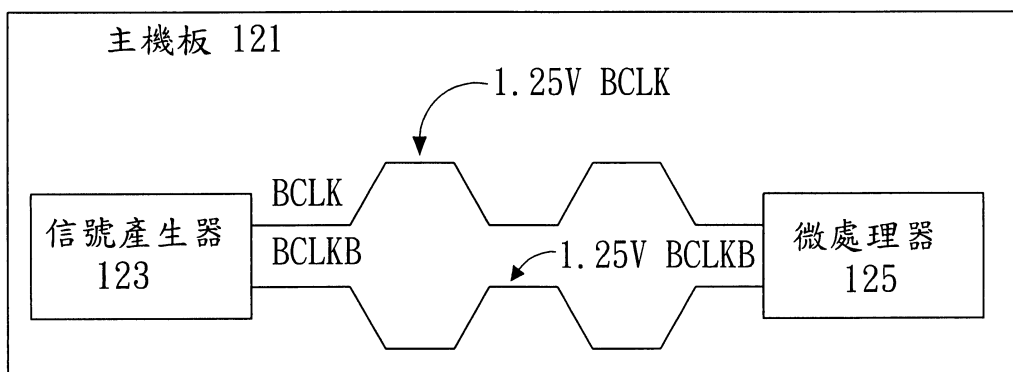
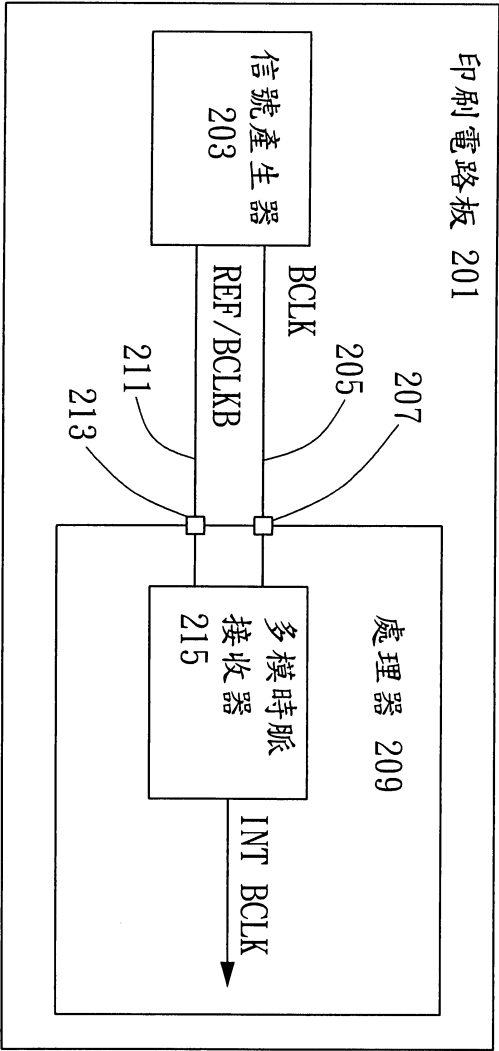
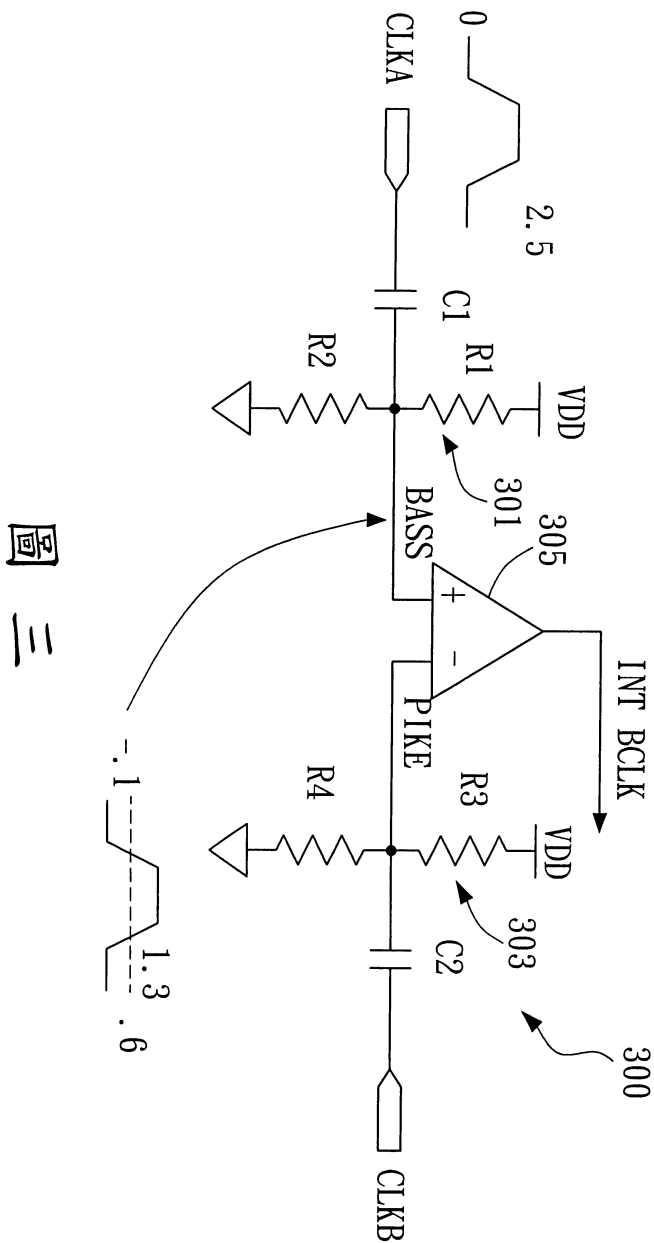


圖 一 C



圖二



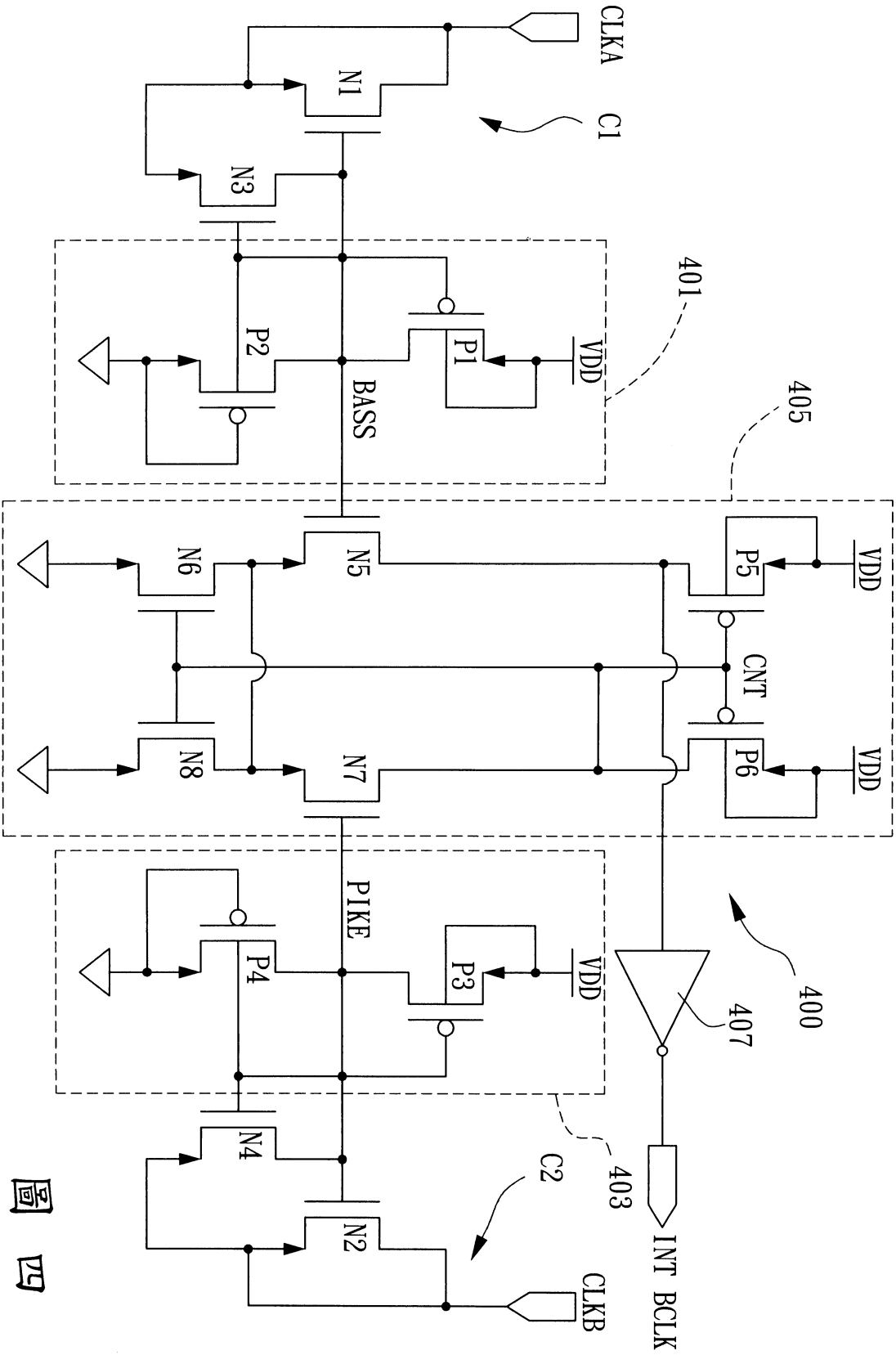


圖 四

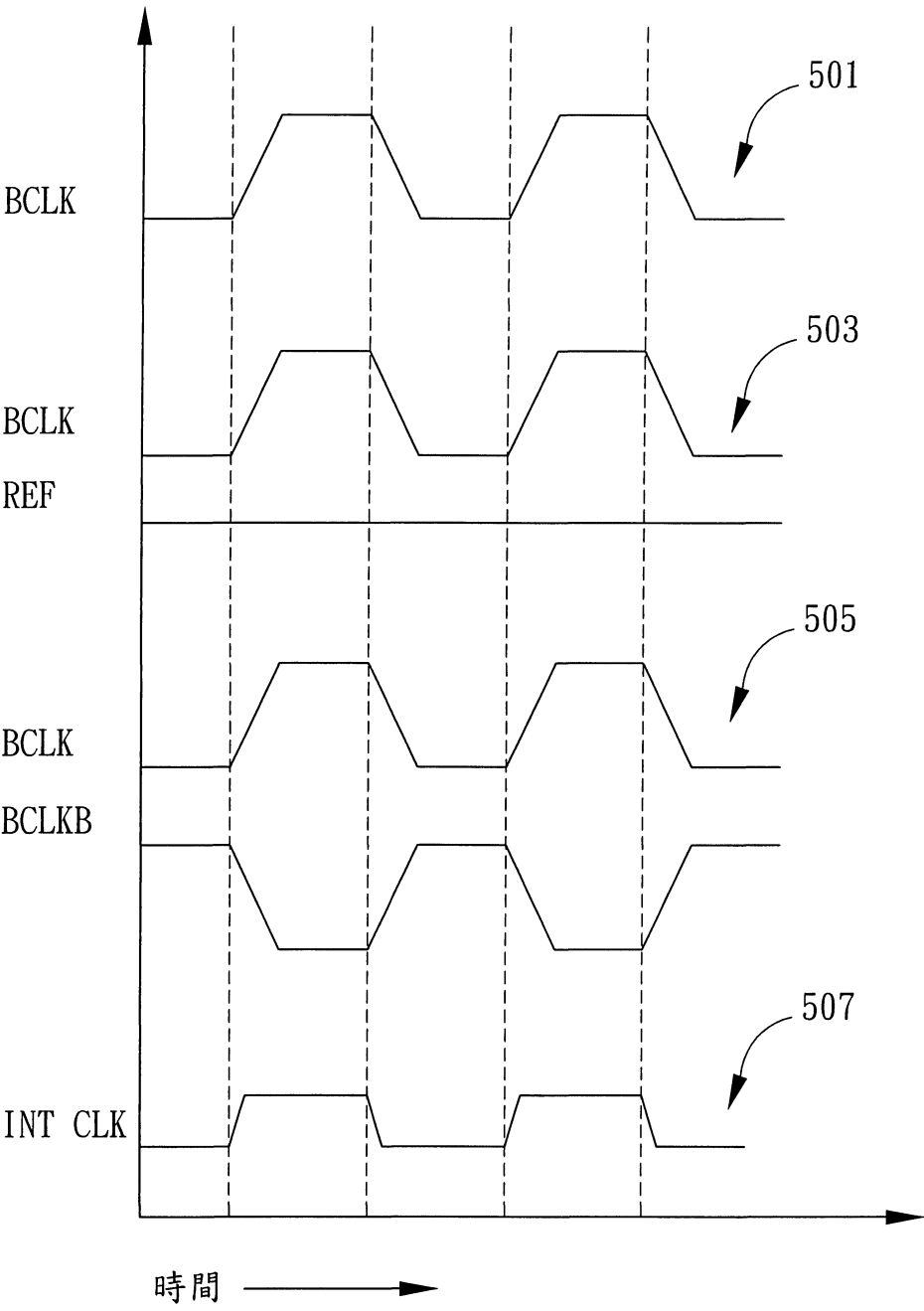


圖 五