

HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP,
KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG,
SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

明 細 書

発明の名称： 方向性結合器、高周波回路および通信装置

技術分野

[0001] 本発明は、方向性結合器、高周波回路および通信装置に関する。

背景技術

[0002] 高周波通信装置では、方向性結合器などを用いて、通信信号の状態を検出し、それに基づいて通信信号や通信経路の制御を行う。通信信号の状態は負荷インピーダンスの影響を受けるため、負荷インピーダンスの検出精度の向上が求められている。

[0003] 非特許文献 1 では、容量分割器を用いて電界結合させ、電界結合信号を検出し、また、主線路と副線路とを磁界結合させ、副線路の両端の電圧を差動信号とすることにより、磁界結合信号を検出している。

先行技術文献

非特許文献

[0004] 非特許文献 1：“An Impedance Sensor for MEMS Adaptive Antenna Matching”，Armin Tavakol et al., in 2015 IEEE Radio Frequency Integrated Circuits Symposium

発明の概要

発明が解決しようとする課題

[0005] しかしながら、非特許文献 1 では、電磁界結合信号を検出せず、電界結合信号と磁界結合信号とを検出するので、負荷インピーダンスの検出精度が低下する。

[0006] そこで、本発明は、電磁界結合信号を検出可能にし、負荷インピーダンスの検出精度の向上を図ることができる方向性結合器、高周波回路および通信装置を提供する。

課題を解決するための手段

[0007] 本発明の一態様に係る方向性結合器は、入力端子と、出力端子と、第 1 検

出端子と、前記入力端子および前記出力端子に接続された主線路と、第1副線路と、第1容量素子と、を備え、前記第1副線路と前記主線路とは、磁界結合可能および電界結合可能に配置され、前記第1副線路は、前記第1容量素子の一方端および前記第1検出端子に接続され、前記第1容量素子の他方端は、グラウンドに接続されている。

[0008] また、本発明の一態様に係る方向性結合器は、入力端子と、出力端子と、第1検出端子と、入力端子と出力端子に接続された主線路と、第1副線路と、第1容量素子と、を備え、第1副線路と主線路とは、少なくとも一部で隣接配置され、第1副線路は、第1容量素子の一方端および第1検出端子に接続され、第1容量素子の他方端は、グラウンドに接続されている。

[0009] また、本発明の一態様に係る方向性結合器は、入力端子と、出力端子と、第1検出端子と、入力端子と出力端子に接続された主線路と、第1副線路と、第1容量素子と、を備え、第1副線路と主線路との間には配線が無く、第1副線路は、第1容量素子の一方端および第1検出端子に接続され、第1容量素子の他方端は、グラウンドに接続されている。

[0010] また、本発明の一態様に係る高周波回路は、高周波入力端子および高周波出力端子と、上記方向性結合器と、第1検出端子に接続された第1演算回路と、第2検出端子に接続された第2演算回路と、第3検出端子に接続された第3演算回路と、第1演算回路、第2演算回路、および第3演算回路に接続された加算回路と、高周波入力端子と方向性結合器とを結ぶ経路、または、高周波出力端子と方向性結合器とを結ぶ経路に配置され、加算回路の出力端子に接続された高周波回路部品と、を備える。

発明の効果

[0011] 本発明の一態様に係る方向性結合器によれば、電磁界結合信号を検出可能にし、負荷インピーダンスの検出精度の向上を図ることができる。

図面の簡単な説明

[0012] [図1]図1は、実施の形態に係る方向性結合器、高周波回路および通信装置の回路構成図である。

[図2A]図2 Aは、実施の形態に係る方向性結合器の平面図である。

[図2B]図2 Bは、実施の形態に係る方向性結合器を構成する第1層の平面図である。

[図2C]図2 Cは、実施の形態に係る方向性結合器を構成する第2層の平面図である。

[図2D]図2 Dは、実施の形態に係る方向性結合器を構成する第3層の平面図である。

[図2E]図2 Eは、実施の形態に係る方向性結合器の断面図である。

[図3]図3は、変形例1に係る高周波回路の回路構成図である。

[図4]図4は、変形例2に係る高周波回路の回路構成図である。

[図5]図5は、変形例3に係る高周波回路の回路構成図である。

[図6]図6は、変形例4に係る高周波回路の回路構成図である。

発明を実施するための形態

[0013] 以下、本発明の実施の形態およびその変形例について、図面を用いて詳細に説明する。なお、以下で説明する実施の形態およびその変形例は、いずれも包括的または具体的な例を示すものである。以下の実施の形態およびその変形例で示される数値、形状、材料、構成要素、構成要素の配置および接続形態などは、一例であり、本発明を限定する主旨ではない。

[0014] なお、各図は、本発明を示すために適宜強調、省略、または比率の調整を行った模式図であり、必ずしも厳密に図示されたものではなく、実際の形状、位置関係、および比率とは異なる場合がある。各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略または簡素化される場合がある。

[0015] 以下の各図において、 x 軸および y 軸は、基板の主面と平行な平面上で互いに直交する軸である。また、 z 軸は、基板の主面に垂直な軸であり、その正方向は上方向を示し、その負方向は下方向を示す。

[0016] また、本発明における用語の意味は以下のとおりである。

[0017] 「接続される」とは、接続端子および／または配線導体で直接接続される

場合だけでなく、他の回路素子を介して電氣的に接続される場合も含む。また、「AおよびBの間に接続される」とは、AおよびBの間でAおよびBの両方に接続されることを意味し、AおよびBを結ぶ経路に直列接続されることに加えて、当該経路とグランドとの間に並列接続（シャント接続）されることを含む。

[0018] 「直接接続される」とは、他の回路素子を介さずに接続端子および／または配線導体で直接接続されることを意味する。

[0019] 「平行」および「垂直」などの要素間の関係性を示す用語、および、「矩形」などの要素の形状を示す用語、並びに、数値範囲は、厳格な意味のみを表すのではなく、実質的に同等な範囲、例えば数%程度の差異をも含むことを意味する。

[0020] 「部品Aが経路Bに直列配置される」とは、部品Aの信号入力端および信号出力端の双方が、経路Bを構成する配線、電極、または端子に接続されていることを意味する。

[0021] 「平面視」とは、z軸正側からx-y平面に物体を正投影して見ることを意味する。

[0022] 「基板の平面視において、AとBとが重なる」とは、当該基板を平面視した場合に投影されるAの領域とBの領域とが重なることを意味する。

[0023] （実施の形態）

[1 方向性結合器1、高周波回路2および通信装置5の回路構成]

本実施の形態に係る方向性結合器1、高周波回路2および通信装置5の回路構成について説明する。図1は、実施の形態に係る方向性結合器1、高周波回路2および通信装置5の回路構成図である。

[0024] [1.1 通信装置5の回路構成]

まず、通信装置5の回路構成について、図1を参照しながら具体的に説明する。図1に示すように、通信装置5は、高周波回路2と、RFIC3と、アンテナ4と、を備える。

[0025] 高周波回路2は、アンテナ4とRFIC3との間で高周波信号を伝送する

。高周波回路 2 の詳細な回路構成については後述する。

[0026] アンテナ 4 は、高周波回路 2 の高周波出力端子 1 2 0 に接続され、高周波回路 2 から出力された高周波信号を放射し、また、外部からの高周波信号を受信して高周波回路 2 へ出力する。

[0027] R F I C 3 は、アンテナ 4 で送受信される高周波信号を処理する信号処理回路の一例である。具体的には、R F I C 3 は、高周波回路 2 の受信信号経路を介して入力された高周波受信信号を、ダウンコンバート等により信号処理し、当該信号処理して生成された受信信号をベースバンド信号処理回路（B B I C：図示せず）へ出力する。また、R F I C 3 は、B B I C から入力された送信信号をアップコンバート等により信号処理し、当該信号処理して生成された高周波送信信号を、高周波回路 2 の送信信号経路に出力する。

[0028] また、R F I C 3 は、高周波回路 2 の電力増幅器 1 0 の利得等を調整するための制御信号を高周波回路 2 に伝達する。

[0029] なお、本実施の形態に係る通信装置 5 は、アンテナ 4 を備えなくてもよい。つまり、アンテナ 4 は、本発明に係る通信装置に必須の構成要素ではない。

[0030] [1 . 2 高周波回路 2 の回路構成]

次に、高周波回路 2 の回路構成について、図 1 を参照しながら具体的に説明する。図 1 に示すように、高周波回路 2 は、方向性結合器 1 と、電力増幅器 1 0 と、整合回路 1 1 および 1 2 と、補正回路 1 5 と、対数変換回路 5 1、5 2 および 5 3 と、検波回路 5 4、5 5 および 5 6 と、利得変換回路 5 7、5 8 および 5 9 と、加算回路 6 0 と、高周波入力端子 1 1 0 と、高周波出力端子 1 2 0 と、を備える。

[0031] 方向性結合器 1 は、入力端子 4 0 と、出力端子 4 4 と、検出端子 4 1、4 2 および 4 3 と、主線路 2 0 と、副線路 2 1 および 2 2 と、キャパシタ 3 1、3 2、3 3 および 3 4 と、を備える。

[0032] 主線路 2 0 は、一端が入力端子 4 0 に接続され、他端が出力端子 4 4 に接続され、電力増幅器 1 0 から出力された高周波信号を伝送する線路である。

- [0033] 副線路 2 1 は、第 1 副線路の一例であり、主線路と磁界結合可能および電界結合可能に配置されている。主線路 2 0 と副線路 2 1 とは、空間または誘電体部材を介して隣接配置されている。副線路 2 1 は、一端がキャパシタ 3 1 の一方端に接続され、他端が検出端子 4 1 に接続されている。
- [0034] 副線路 2 2 は、第 2 副線路の一例であり、主線路と磁界結合可能および電界結合可能に配置されている。主線路 2 0 と副線路 2 2 とは、空間または誘電体部材を介して隣接配置されている。副線路 2 2 は、一端がキャパシタ 3 1 の一方端に接続され、他端が検出端子 4 2 に接続されている。
- [0035] キャパシタ 3 1 は、第 1 容量素子の一例であり、一方端が副線路 2 1 および 2 2 に接続され、他方端がグラウンドに接続されている。
- [0036] キャパシタ 3 2 は、第 2 容量素子の一例であり、主線路 2 0 とグラウンドとを結ぶ第 1 経路に直列配置されている。
- [0037] キャパシタ 3 3 は、第 3 容量素子の一例であり、上記第 1 経路であってキャパシタ 3 2 と主線路 2 0 との間の経路に直列配置されている。
- [0038] キャパシタ 3 4 は、主線路 2 0 とグラウンドとを結ぶ第 2 経路であってキャパシタ 3 1 と主線路 2 0 との間の経路に直列配置されている。
- [0039] 検出端子 4 1 は、第 1 検出端子の一例であり、副線路 2 1 と検波回路 5 4 とを結ぶ経路上に配置されている。検出端子 4 2 は、第 2 検出端子の一例であり、副線路 2 2 と検波回路 5 5 とを結ぶ経路上に配置されている。検出端子 4 3 は、第 3 検出端子の一例であり、上記第 1 経路上のキャパシタ 3 2 および 3 3 の接続点と検波回路 5 6 とを結ぶ経路上に配置されている。
- [0040] なお、本実施の形態に係る方向性結合器 1 は、主線路 2 0、副線路 2 1、キャパシタ 3 1、入力端子 4 0、出力端子 4 4、および検出端子 4 1 を備えていればよく、検出端子 4 2 および 4 3、副線路 2 2、キャパシタ 3 2、3 3 および 3 4 は、なくてもよい。
- [0041] 従来の方向性結合器では、副線路をキャパシタ 3 1 ではなく抵抗で終端しているため、当該副線路で生成される信号は実数成分のみを有するものとなる。これに対して、本実施の形態に係る方向性結合器 1 では、主線路 2 0 と

副線路 2 1 とが磁界結合可能および電界結合可能に配置され、かつ、キャパシタ 3 1 を配置することにより、磁界結合により生成された信号成分と電界結合により生成された信号成分とが位相をずらして重ね合わせられた、電磁界結合による信号を副線路 2 1 にて生成することができる。また、この電磁界結合による信号を検出端子 4 1 から出力することができる。これによれば、方向性結合器 1 は、電磁界結合による信号を検出でき、これを負荷インピーダンスの検出精度の向上に用いることが可能となる。

[0042] また、方向性結合器 1 の上記構成によれば、主線路 2 0 と副線路 2 1 および 2 2 とが磁界結合可能および電界結合可能に配置され、かつ、キャパシタ 3 1 を配置することにより、主線路 2 0 を伝送する高周波信号に対応する信号を、副線路 2 1 および 2 2 の検出端子 4 1 および 4 2 にて検出することが可能となる。

[0043] なお、主線路 2 0 と副線路 2 1 および 2 2 とが磁界結合可能および電界結合可能に配置されとは、具体的には、主線路 2 0 の少なくとも一部と副線路 2 1 および 2 2 の少なくとも一部とが隣接配置していることを示す。「主線路と副線路とが隣接配置する」とは、「主線路と副線路との間に R F 信号が通過する配線がない」ことである。また、上述した通り、主線路 2 0 と副線路 2 1 および 2 2 とは、少なくとも一部で長尺方向が揃うように隣接配置されているため、主線路 2 0 と副線路 2 1 および 2 2 とは、磁界結合可能および電界結合可能となっている。

[0044] また、隣接配置とは、主線路と副線路とを同一層上に配置する場合だけではなく、主線路と副線路とを異なる層上に配置する場合であってもよい。主線路と副線路とを異なる層上に配置する場合には、基板の平面視において、主線路と副線路とが重なる場合も、本実施の形態における隣接配置に相当する。

[0045] なお、方向性結合器 1 の実装構成については後述する。

[0046] 電力増幅器 1 0（図 1 には増幅器と記載）は、高周波回路部品の一例であり、R F I C 3 から高周波入力端子 1 1 0 を経由して入力された高周波信号

を増幅する。電力増幅器 10 は、増幅器の一例であり、高周波入力端子 110 と方向性結合器 1 とを結ぶ経路に配置され、加算回路 60 から出力された信号に基づいて利得が可変する。

[0047] なお、電力増幅器 10 は、複数の電界効果型トランジスタが多段接続された構成を有していてもよい。また、電力増幅器 10 を構成するトランジスタは、ベース、エミッタおよびコレクタを有するバイポーラ型のトランジスタであってもよい。また、電力増幅器 10 を構成するトランジスタは、例えば、SOI (Silicon On Insulator) プロセスにより形成された CMOS (Complementary Metal Oxide Semiconductor) トランジスタであってもよく、また、GaAs または SiGe からなるトランジスタであってもよい。

[0048] なお、高周波回路 2 は、電力増幅器 10 に代わって、高周波入力端子 110 と方向性結合器 1 との間に接続された低雑音増幅器を備えてもよい。

[0049] 整合回路 11 は、高周波回路部品の一例であり、電力増幅器 10 の出力端子と入力端子 40 との間に接続され、電力増幅器 10 と主線路 20 とのインピーダンス整合をとるインピーダンス整合回路である。整合回路 12 は、高周波回路部品の一例であり、出力端子 44 と高周波出力端子 120 との間に接続され、主線路 20 とアンテナ 4 とのインピーダンス整合をとるインピーダンス整合回路である。整合回路 11 および 12 のそれぞれは、インダクタおよびキャパシタの少なくとも一方を含む。

[0050] 検波回路 54 (図 1 には検波と記載) は、第 1 検波回路の一例であり、検出端子 41 と対数変換回路 51 との間に接続され、副線路 21 で検出された第 1 交流信号を検波して第 1 直流信号に変換する。検波回路 55 (図 1 には検波と記載) は、第 2 検波回路の一例であり、検出端子 42 と対数変換回路 52 との間に接続され、副線路 22 で検出された第 2 交流信号を検波して第 2 直流信号に変換する。検波回路 56 (図 1 には検波と記載) は、第 3 検波回路の一例であり、検出端子 43 と対数変換回路 53 との間に接続され、キャパシタ 32 および 33 の接続点で検出された第 3 交流信号を検波して第 3 直流信号に変換する。つまり、検波回路 54 ~ 56 は、第 1 交流信号 ~ 第 3

交流信号の振幅を検出している。検波回路 5 4 ～ 5 6 により、交流信号を直流信号に変換するので、検波回路 5 4 ～ 5 6 より後段の回路では、直流信号の演算のみで電力成分、負荷インピーダンス抵抗成分およびリアクタンス成分を抽出できる。

[0051] 対数変換回路 5 1（図 1 には Log と記載）は、第 1 演算回路の一例であり、検波回路 5 4 を介して検出端子 4 1 に接続され、検波回路 5 4 から出力された第 1 直流信号を対数変換して第 1 対数信号を出力する。対数変換回路 5 2（図 1 には Log と記載）は、第 2 演算回路の一例であり、検波回路 5 5 を介して検出端子 4 2 に接続され、検波回路 5 5 から出力された第 2 直流信号を対数変換して第 2 対数信号を出力する。対数変換回路 5 3（図 1 には Log と記載）は、第 3 演算回路の一例であり、検波回路 5 6 を介して検出端子 4 3 に接続され、検波回路 5 6 から出力された第 3 直流信号を対数変換して第 3 対数信号を出力する。

[0052] 方向性結合器 1 から取り出された第 1 交流信号～第 3 交流信号の振幅成分である第 1 直流信号～第 3 直流信号は、入力端子 4 0 から主線路 2 0 に入力される高周波信号の入力電力（電力成分）と出力端子 4 4 に接続される負荷の反射係数（実数成分（負荷インピーダンス抵抗成分）および虚数成分（負荷インピーダンスリアクタンス成分））とが乗算されたものに対応している。第 1 直流信号～第 3 直流信号を用いて、後段の利得変換回路 5 7 ～ 5 9 および加算回路 6 0 にて、電力成分、負荷インピーダンス抵抗成分およびリアクタンス成分を精度よく分離抽出するため、対数変換回路 5 1 ～ 5 3 では、電力と反射係数との乗算に対応した第 1 直流信号～第 3 直流信号を、電力と反射係数との加減算に対応したものへと変換している。

[0053] なお、対数変換回路 5 1 ～ 5 3 のそれぞれは、第 1 直流信号～第 3 直流信号を対数変換するためのダイオードまたはバイポーラトランジスタを含んでもよい。ダイオードおよびバイポーラトランジスタは、電圧－電流特性が指数関数となるため、電流を入力、電圧を出力とすることにより対数関数の入出力特性を実現できる。

- [0054] 利得変換回路 57 は、第 1 利得変換回路の一例であり、対数変換回路 51 と加算回路 60 との間に接続され、対数変換回路 51 から出力された第 1 対数信号を第 1 利得で利得変換して第 1 利得信号を出力する。利得変換回路 58 は、第 2 利得変換回路の一例であり、対数変換回路 52 と加算回路 60 との間に接続され、対数変換回路 52 から出力された第 2 対数信号を第 2 利得で利得変換して第 2 利得信号を出力する。利得変換回路 59 は、第 3 利得変換回路の一例であり、対数変換回路 53 と加算回路 60 との間に接続され、対数変換回路 53 から出力された第 3 対数信号を第 3 利得で利得変換して第 3 利得信号を出力する。
- [0055] 利得変換回路 57 ～ 59 は、加算回路 60 で第 1 利得信号、第 2 利得信号および第 3 利得信号を加算する際の重みを制御する。
- [0056] ここで、抽出したい 3 つのパラメータである電力成分、負荷インピーダンス抵抗成分およびリアクタンス成分に対して、異なる 3 つの利得で変換された 3 つの利得信号が得られるので、電力成分、負荷インピーダンス抵抗成分およびリアクタンス成分を抽出することが可能となる。
- [0057] 加算回路 60 は、利得変換回路 57、58 および 59 を介して、対数変換回路 51、52 および 53 に接続され、利得変換回路 57、58 および 59 から出力された第 1 利得信号、第 2 利得信号および第 3 利得信号を加算する。なお、加算回路 60 は、利得変換回路 57、58 および 59 から出力された第 1 利得信号～第 3 利得信号の少なくとも 1 つを減算する機能を含む。加算回路 60 で加算された加算信号は、補正回路 15 に出力される。
- [0058] ここで、利得変換回路 57 ～ 59 において、第 1 利得、第 2 利得および第 3 利得の比率が調整されることで、加算回路 60 から、主線路 20 の電力成分に対応した信号、負荷インピーダンス抵抗成分に対応した信号、および負荷インピーダンスリアクタンス成分に対応した信号を、高精度に出力することが可能となる。言い換えると、利得変換回路 57 ～ 59 の利得の組み合わせにより、電力成分、負荷インピーダンス抵抗成分およびリアクタンス成分のいずれを抽出するかを決定できる。なお、利得変換回路 57 ～ 59 の利得

は、可変でなくてもよく、固定値であってもよい。

[0059] 検波回路 54～56、対数変換回路 51～53、利得変換回路 57～59、および加算回路 60によれば、方向性結合器 1 から出力された第 1 交流信号～第 3 交流信号を直流信号に変換し、対数変換し、利得変換するので、簡易的な演算処理で高精度に電力成分、負荷インピーダンス抵抗成分およびリアクタンス成分を抽出できる。

[0060] 補正回路 15 は、制御回路の一例であり、加算回路 60 の出力端子と電力増幅器 10 との間に接続され、加算回路 60 から出力された加算信号に対応した補正信号を生成し、当該補正信号を電力増幅器 10 に出力する。この補正信号により、例えば、電力増幅器 10 に供給される電源電圧 (V_{cc}) またはバイアス電圧（または電流）が最適化される。なお、上記補正信号の出力先は、電力増幅器 10 のほか、整合回路 11 または 12 であってもよい。

[0061] なお、本実施の形態に係る高周波回路 2 は、方向性結合器 1、電力増幅器 10、対数変換回路 51～53、および加算回路 60 を備えていればよく、整合回路 11 および 12、補正回路 15、検波回路 54～56、ならびに利得変換回路 57～59 は、なくてもよい。高周波回路 2 が補正回路 15 を備えない場合には、加算回路 60 の出力端子が電力増幅器 10 に接続され、加算回路 60 からの出力信号を電力増幅器 10 に直接供給してもよい。また、補正回路 15 は、RFIC3 に含まれていてもよい。

[0062] 従来の高周波回路では、電力検出器にて電界結合と磁界結合とを用いて副線路にて信号を検出しているため、位相情報（実数成分＋虚数成分）を容易に取り出すことが困難であった。位相情報（実数成分＋虚数成分）を取り出すには、位相比較器など複雑な回路を用いる、または、取り出し可能であっても複雑な回路を通過する間に信号が劣化して精度が悪化していた。このため、負荷の反射係数を精度よく取得できない、すなわち、負荷インピーダンスを精度よく把握することができず、高精度の負荷変動補償回路を構成することが困難であった。

[0063] これに対して、高周波回路 2 の上記構成によれば、虚数成分を有する少な

くとも2つの電磁界結合信号を含む3つの信号が各検出端子から出力され、これら3つの信号を対数変換および加算することで、高周波信号の電力、負荷の反射係数の大きさおよび位相を精度よく検出できる。よって、負荷インピーダンスの検出精度を向上できる。

[0064] また、補正回路15により、抽出された高周波信号の電力、負荷の反射係数の大きさおよび位相に基づいて、主線路20を伝送する高周波信号の電力を安定化させることが可能となる。

[0065] [1. 3 方向性結合器1の実装構成]

次に、方向性結合器1の実装構成について、図2A～図2Eを参照しながら具体的に説明する。

[0066] 図2Aは、実施の形態に係る方向性結合器1の平面図である。図2Bは、実施の形態に係る方向性結合器1を構成する第1層の平面図である。図2Cは、実施の形態に係る方向性結合器1を構成する第2層の平面図である。図2Dは、実施の形態に係る方向性結合器1を構成する第3層の平面図である。図2Eは、実施の形態に係る方向性結合器1の断面図である。より具体的には、図2Aは、z軸正側から基板90の主面90aを透視した図を示し、図2Bは、z軸正側から基板90の第1層（主面90a）を見た図を示し、図2Cは、z軸正側から基板90の第2層を見た図を示し、図2Dは、z軸正側から基板90の第3層を見た図を示す。また、図2Eは、図2AのI-I線における断面である。

[0067] 図2A～図2Eに示すように、方向性結合器1は、図1に示された回路素子に加えて、さらに、基板90を備える。

[0068] 基板90は、互いに対向する主面90aおよび90bを有し、主面90a側から第1層、第2層、および第3層が積層された構造を有する。基板90としては、例えば、シリコン基板、プリント基板（Printed Circuit Board：PCB）、低温同時焼成セラミックス（Low Temperature Co-fired Ceramics：LTCC）基板、または樹脂多層基板等を用いることができるが、これに限定されない。なお、基板90が、例えばシリコン基板などで形成されてい

る場合には、少なくとも主線路 20 ならびに副線路 21 および 22 は、基板 90 を含む IC (Integrated Circuit) に形成されている。

[0069] 図 2 A および図 2 B に示すように、基板 90 の第 1 層には、主線路 20 の一部および副線路 21 が形成されている。主線路 20 の一部は、第 1 層に形成された略環状の平面導体で構成されている。また、副線路 21 は、第 1 層に形成された平面スパイラル状の平面導体で構成されている。主線路 20 と副線路 21 とは、少なくとも一部で長尺方向が揃うように隣接配置されている。主線路 20 および副線路 21 の上記配置構成により、主線路 20 と副線路 21 との間でキャパシタ 34 が形成されている。主面 90 a 側 (z 軸正方向) から見て、主線路 20 は、入力端子 40 から第 1 層および第 2 層に反時計回りで形成され、副線路 21 は、検出端子 41 から第 1 層に時計回りで形成されている。上記構成によれば、主線路 20 と副線路 21 とは、例えば、相互インダクタンス M を有し、電界結合および磁界結合をすることが可能となる。また、第 1 層には、キャパシタ 33 を構成する一方の電極が形成されている。

[0070] また、図 2 A および図 2 C に示すように、基板 90 の第 2 層には、主線路 20 の一部および副線路 22 が形成されている。主線路 20 の一部は、第 2 層に形成された略環状の平面導体で構成されている。また、副線路 22 は、第 2 層に形成された平面スパイラル状の平面導体で構成されている。主線路 20 と副線路 22 とは、少なくとも一部で長尺方向が揃うように隣接配置されている。主線路 20 および副線路 22 の上記配置構成により、主線路 20 と副線路 22 との間でキャパシタ 34 が形成されている。主面 90 a 側 (z 軸正方向) から見て、主線路 20 は、入力端子 40 から第 1 層および第 2 層に反時計回りで形成され、副線路 22 は、検出端子 42 から第 2 層に反時計回りで形成されている。上記構成によれば、主線路 20 と副線路 22 とは、例えば、相互インダクタンス ($-M$) を有し、電界結合および磁界結合をすることが可能となる。また、第 2 層には、キャパシタ 31 を構成する一方の電極、キャパシタ 32 を構成する一方の電極、およびキャパシタ 33 を構成

する一方の電極が形成されている。

[0071] なお、主線路 20、副線路 21 および 22 は、上記のように略環状またはスパイラル状の平面導体で構成されるほか、ミアンダ状の平面導体で構成されてもよい。さらに、主線路 20、副線路 21 および 22 の少なくとも一部のインダクタンス値が小さくてもよい場合には、当該少なくとも一部は単なる線状の配線で形成されていてもよい。

[0072] また、図 2D に示すように、第 3 層には、キャパシタ 31 を構成する他方の電極、キャパシタ 32 を構成する他方の電極、およびキャパシタ 33 を構成する他方の電極が形成されている。

[0073] 方向性結合器 1 の上記実装構成によれば、主線路 20 と副線路 21 および 22 とが磁界結合可能および電界結合可能に配置され、かつ、キャパシタ 31 を配置することにより、主線路 20 を伝送する高周波信号に対応する信号を副線路 21 および 22 の検出端子 41 および 42 にて検出することが可能となる。

[0074] なお、キャパシタ 31～34 のそれぞれは、本実施の形態におけるキャパシタ 34 のように 2 つの配線とその間の誘電体で形成された線間容量であってもよい。また、本実施の形態におけるキャパシタ 31～33 のように、対向する 2 つの平面電極およびその間の誘電体で形成された容量であってもよい。また、櫛歯状電極で形成された容量であってもよい。また、MOS (Metal Oxide Semiconductor) で形成された容量であってもよい。

[0075] [1. 4 変形例 1 に係る高周波回路 2A の回路構成]

次に、変形例 1 に係る高周波回路 2A の回路構成について、図 3 を参照しながら具体的に説明する。図 3 に示すように、高周波回路 2A は、方向性結合器 1 と、電力増幅器 10 および 13 と、整合回路 11、12 および 14 と、補正回路 15 と、対数変換回路 51、52 および 53 と、検波回路 54、55 および 56 と、利得変換回路 57、58 および 59 と、加算回路 60 と、スイッチ 61 と、高周波入力端子 110 および 111 と、高周波出力端子 120 と、を備える。本変形例に係る高周波回路 2A は、実施の形態に係る

高周波回路 2 と比較して、電力増幅器 1 3、整合回路 1 4 およびスイッチ 6 1 が付加されている点が主として異なる。以下、本変形例に係る高周波回路 2 A について、実施の形態に係る高周波回路 2 と同じ点については説明を省略し、異なる点を中心に説明する。

[0076] 電力増幅器 1 3 は、高周波回路部品の一例であり、RFIC 3 から高周波入力端子 1 1 1 を経由して入力された高周波信号を増幅する。電力増幅器 1 3 は、増幅器の一例であり、高周波入力端子 1 1 1 と方向性結合器 1 とを結ぶ経路に配置され、加算回路 6 0 から出力された信号に基づいて利得が可変する。

[0077] 整合回路 1 4 は、高周波回路部品の一例であり、電力増幅器 1 3 の出力端子と入力端子 4 0 との間に接続され、電力増幅器 1 3 と主線路 2 0 とのインピーダンス整合をとる。

[0078] スwitch 6 1 は、電力増幅器 1 0 および 1 3 と入力端子 4 0 との間に接続され、電力増幅器 1 0 と入力端子 4 0 との接続、および、電力増幅器 1 3 と入力端子 4 0 との接続を切り替える。

[0079] 補正回路 1 5 は、加算回路 6 0 の出力端子と電力増幅器 1 0 および 1 3 との間に接続され、加算回路 6 0 から出力された加算信号に対応した補正信号を生成し、当該補正信号を電力増幅器 1 0 および 1 3 に出力する。この補正信号により、例えば、電力増幅器 1 0 および 1 3 に供給される電源電圧 (Vcc) またはバイアス電圧 (または電流) が最適化される。なお、上記補正信号の出力先は、電力増幅器 1 0 および 1 3 のほか、整合回路 1 1、1 2 または 1 4 であってもよい。

[0080] 高周波回路 2 A の上記構成によれば、虚数成分を有する少なくとも 2 つの電磁界結合信号を含む 3 つの信号が各検出端子から出力され、これら 3 つの信号を対数変換および加算することで、電力増幅器 1 0 および 1 3 から出力される高周波信号の電力、負荷の反射係数の大きさおよび位相を精度よく検出できる。よって、例えば、周波数の異なる複数の高周波信号ごとに、負荷インピーダンスの検出精度を向上できる。

[0081] [1. 5 変形例 2 に係る高周波回路 2 B の回路構成]

次に、変形例 2 に係る高周波回路 2 B の回路構成について、図 4 を参照しながら具体的に説明する。図 4 に示すように、高周波回路 2 B は、方向性結合器 1 と、電力増幅器 10 と、整合回路 11 および 12 と、補正回路 15 と、対数変換回路 51、52 および 53 と、検波回路 54、55 および 56 と、利得変換回路 57、58 および 59 と、加算回路 60 と、高周波入力端子 110 と、高周波出力端子 120 と、を備える。本変形例に係る高周波回路 2 B は、実施の形態に係る高周波回路 2 と比較して、補正信号の出力先が電力増幅器 10 だけでなく整合回路 11 および 12 も含まれている点異なる。以下、本変形例に係る高周波回路 2 B について、実施の形態に係る高周波回路 2 と同じ点については説明を省略し、異なる点を中心に説明する。

[0082] 補正回路 15 から出力される補正信号は、電力増幅器 10、整合回路 11 および 12 に出力されている。

[0083] 整合回路 11 は、高周波回路部品の一例であり、高周波入力端子 110 と方向性結合器 1 とを結ぶ経路に配置され、加算回路 60 から出力された信号に基づいてインピーダンスが可変し、電力増幅器 10 と主線路 20 とのインピーダンス整合をとる。

[0084] 整合回路 12 は、高周波回路部品の一例であり、高周波出力端子 120 と方向性結合器 1 とを結ぶ経路に配置され、加算回路 60 から出力された信号に基づいてインピーダンスが可変し、主線路 20 とアンテナ 4 とのインピーダンス整合をとる。

[0085] なお、整合回路 11 および 12 のそれぞれは、インダクタンス値が可変する可変インダクタおよび容量値が可変する可変キャパシタの少なくとも一方を含む。

[0086] 補正回路 15 は、加算回路 60 の出力端子と電力増幅器 10、整合回路 11 および 12 との間に接続され、加算回路 60 から出力された加算信号に対応した補正信号を生成し、当該補正信号を電力増幅器 10、整合回路 11 および 12 に出力する。この補正信号により、例えば、電力増幅器 10 に供給

される電源電圧（ V_{cc} ）またはバイアス電圧（または電流）が最適化され、整合回路 11 および 12 のインピーダンスが最適化される。

[0087] 高周波回路 2B の上記構成によれば、虚数成分を有する少なくとも 2 つの電磁界結合信号を含む 3 つの信号が各検出端子から出力され、これら 3 つの信号を対数変換および加算することで、電力増幅器 10 から出力される高周波信号の電力、負荷の反射係数の大きさおよび位相を精度よく検出できる。よって、高精度に検出された負荷インピーダンスを、様々な高周波回路部品にフィードバックすることが可能となる。

[0088] [1. 6 変形例 3 に係る高周波回路 2C の回路構成]

次に、変形例 3 に係る高周波回路 2C の回路構成について、図 5 を参照しながら具体的に説明する。図 5 に示すように、高周波回路 2C は、方向性結合器 1 と、電力増幅器 10 と、減衰器 16 と、整合回路 11 および 12 と、補正回路 15 と、対数変換回路 51、52 および 53 と、検波回路 54、55 および 56 と、利得変換回路 57、58 および 59 と、加算回路 60 と、高周波入力端子 110 と、高周波出力端子 120 と、を備える。本変形例に係る高周波回路 2C は、実施の形態に係る高周波回路 2 と比較して、減衰器 16 が付加されており、補正信号の出力先が減衰器 16 である点が異なる。以下、本変形例に係る高周波回路 2C について、実施の形態に係る高周波回路 2 と同じ点については説明を省略し、異なる点を中心に説明する。

[0089] 減衰器 16 は、高周波回路部品の一例であり、高周波入力端子 110 と電力増幅器 10 との間に接続され、加算回路 60 から出力された信号に基づいて減衰率が可変する。これにより、減衰器 16 は、高周波入力端子 110 から入力された高周波信号を減衰させることが可能である。減衰器 16 は、例えば複数の抵抗素子で構成されており、当該複数の抵抗素子の少なくとも 1 つは抵抗値が可変する可変抵抗素子である。

[0090] 補正回路 15 は、加算回路 60 の出力端子と減衰器 16 との間に接続され、加算回路 60 から出力された加算信号に対応した補正信号を生成し、当該補正信号を減衰器 16 に出力する。この補正信号により、例えば、減衰器 1

6の減衰率が可変する。なお、上記補正信号の出力先は、減衰器16のほか、電力増幅器10、整合回路11または12であってもよい。

[0091] 例えば、電力増幅器10の利得が変動して増加している場合、方向性結合器1で検出された第1高周波信号～第3高周波信号が信号処理されて得られた補正信号により、減衰器16の減衰率を高くする。これにより、電力増幅器10から出力される高周波信号の電力上昇を抑制できる。

[0092] 高周波回路2Cの上記構成によれば、虚数成分を有する少なくとも2つの電磁界結合信号を含む3つの信号が各検出端子から出力され、これら3つの信号を対数変換および加算することで、電力増幅器10から出力される高周波信号の電力、負荷の反射係数の大きさおよび位相を精度よく検出できる。よって、高精度に検出された電力情報および負荷インピーダンス情報（補正信号）を、減衰器16にフィードバックし、電力増幅器10の利得変動に基づく電力変動を抑制することが可能となる。

[0093] なお、高周波回路2Cにおいて、減衰器16は電力増幅器10と方向性結合器1との間（電力増幅器10の後段）に配置されるのではなく、高周波入力端子110と電力増幅器10との間（電力増幅器10の前段）に配置されることが望ましい。減衰器16が電力増幅器10の後段に配置されると、増幅後の高出力信号を減衰させることとなり効率が低下してしまう。

[0094] また、高周波回路2Cにおいて、電力増幅器10に代わって、高周波入力端子110と方向性結合器1との間に接続された低雑音増幅器を備えてもよい。この場合には、減衰器16は、低雑音増幅器の出力端子側（後段）に配置されることが望ましい。減衰器16を低雑音増幅器の前段に配置すると、微弱な入力信号を減衰させることとなり受信感度が低下してしまう。

[0095] [1. 7 変形例4に係る高周波回路2Dの回路構成]

次に、変形例4に係る高周波回路2Dの回路構成について、図6を参照しながら具体的に説明する。図6に示すように、高周波回路2Dは、方向性結合器1と、電力増幅器10と、整合回路11および12と、補正回路15と、対数変換回路51、52および53と、検波回路54、55および56と

、利得変換回路 57、58 および 59 と、加算回路 60 と、高周波入力端子 110 と、高周波出力端子 120 と、を備える。本変形例に係る高周波回路 2D は、実施の形態に係る高周波回路 2 と比較して、電力増幅器 10 が帰還回路 17 を有しており、補正信号の出力先が帰還回路 17 である点が異なる。以下、本変形例に係る高周波回路 2D について、実施の形態に係る高周波回路 2 と同じ点については説明を省略し、異なる点を中心に説明する。

[0096] 電力増幅器 10 は、高周波回路部品の一例であり、RFIC3 から高周波入力端子 110 を経由して入力された高周波信号を増幅する。電力増幅器 10 は、増幅器の一例であり、高周波入力端子 110 と方向性結合器 1 とを結ぶ経路に配置され、加算回路 60 から出力された信号に基づいて利得が可変する。また、電力増幅器 10 は、入力端および出力端に接続された帰還回路 17 を有する。帰還回路 17 は、補正回路 15 から出力された補正信号を受ける。

[0097] 帰還回路 17 は、例えば、可変抵抗素子および可変容量素子の少なくとも一方を有し、可変抵抗素子の抵抗値および／または可変容量素子の容量値を変化させることにより、帰還率が変化する。可変抵抗素子は、例えば、抵抗値の異なる複数の抵抗素子を有し、当該複数の抵抗素子の少なくとも 1 つがスイッチにより選択される構成を有してもよい。また、可変容量素子は、例えば、容量値の異なる複数の容量素子を有し、当該複数の容量素子の少なくとも 1 つがスイッチにより選択される構成を有してもよい。

[0098] 補正回路 15 は、加算回路 60 の出力端子と帰還回路 17 との間に接続され、加算回路 60 から出力された加算信号に対応した補正信号を生成し、当該補正信号を帰還回路 17 に出力する。この補正信号により、例えば、帰還回路 17 の帰還率が可変する。なお、上記補正信号の出力先は、帰還回路 17 のほか、整合回路 11 または 12 であってもよい。

[0099] 例えば、電力増幅器 10 の利得が変動して増加している場合、方向性結合器 1 で検出された第 1 高周波信号～第 3 高周波信号が信号処理されて得られた補正信号により、帰還回路 17 の帰還率を増加させる。これにより、電力

増幅器 10 の利得を低減できる。一方、電力増幅器 10 の利得が変動して減少している場合、方向性結合器 1 で検出された第 1 高周波信号～第 3 高周波信号が信号処理されて得られた補正信号により、帰還回路 17 の帰還率を減少させる。これにより、電力増幅器 10 の利得を増加できる。

[0100] 高周波回路 2D の上記構成によれば、虚数成分を有する少なくとも 2 つの電磁界結合信号を含む 3 つの信号が各検出端子から出力され、これら 3 つの信号を対数変換および加算することで、電力増幅器 10 から出力される高周波信号の電力、負荷の反射係数の大きさおよび位相を精度よく検出できる。よって、高精度に検出された電力情報および負荷インピーダンス情報(補正信号)を、帰還回路 17 にフィードバックし、電力増幅器 10 の利得変動を抑制することが可能となる。

[0101] [2 効果など]

以上のように、実施の形態に係る方向性結合器 1 は、入力端子 40 と、出力端子 44 と、検出端子 41 と、入力端子 40 および出力端子 44 に接続された主線路 20 と、副線路 21 と、キャパシタ 31 と、を備え、副線路 21 と主線路 20 とは磁界結合可能および電界結合可能に配置され、副線路 21 はキャパシタ 31 の一方端および検出端子 41 に接続され、キャパシタ 31 の他方端はグラウンドに接続されている。

[0102] これによれば、副線路 21 と主線路 20 とは磁界結合可能および電界結合可能に配置され、かつ、キャパシタ 31 を配置することにより、磁界結合により生成された信号成分と電界結合により生成された信号成分とが位相をずらして重ね合わせられた、電磁界結合による信号を副線路 21 にて生成することができる。また、この電磁界結合による信号を検出端子 41 から出力することができる。よって、方向性結合器 1 は電磁界結合による信号を検出でき、これを負荷インピーダンスの検出精度の向上に用いることが可能となる。

[0103] また例えば、方向性結合器 1 は、さらに、副線路 22 と、主線路 20 およびグラウンドを結ぶ第 1 経路に直列配置されたキャパシタ 32 と、第 1 経路で

あってキャパシタ 3 2 と主線路 2 0 との間の経路に直列配置されたキャパシタ 3 3 と、検出端子 4 2 および 4 3 と、を備え、副線路 2 2 と主線路 2 0 とは、磁界結合可能および電界結合可能に配置され、副線路 2 2 はキャパシタ 3 1 の一方端および検出端子 4 2 に接続され、検出端子 4 3 は第 1 経路上であってキャパシタ 3 2 とキャパシタ 3 3 との接続点に接続されてもよい。

[0104] これによれば、副線路 2 2 と主線路 2 0 とは磁界結合可能および電界結合可能に配置され、かつ、キャパシタ 3 1 を配置することにより、磁界結合により生成された信号成分と電界結合により生成された信号成分とが位相をずらして重ね合わせられた、電磁界結合による信号を副線路 2 2 にて生成することができる。つまり、虚数成分を有する少なくとも 2 つの電磁界結合信号を含む 3 つの信号が検出端子 4 1 ~ 4 3 から出力することができる。よって、負荷インピーダンスの検出精度をさらに向上することが可能となる。

[0105] また、実施の形態に係る高周波回路 2 は、高周波入力端子 1 1 0 および高周波出力端子 1 2 0 と、方向性結合器 1 と、検出端子 4 1 に接続された対数変換回路 5 1 と、検出端子 4 2 に接続された対数変換回路 5 2 と、検出端子 4 3 に接続された対数変換回路 5 3 と、対数変換回路 5 1 ~ 5 3 に接続された加算回路 6 0 と、高周波入力端子 1 1 0 と方向性結合器 1 とを結ぶ経路、または、高周波出力端子 1 2 0 と方向性結合器 1 とを結ぶ経路に配置され、加算回路 6 0 の出力端子に接続された高周波回路部品と、を備えてもよい。

[0106] これによれば、方向性結合器 1 から出力された信号を対数変換するので、簡易的な演算処理で高精度に電力成分、負荷インピーダンス抵抗成分およびリアクタンス成分を抽出できる。また、抽出された電力成分、負荷インピーダンス抵抗成分およびリアクタンス成分を高周波回路部品の特性改善に用いることが可能となる。よって、負荷インピーダンスの検出精度を向上できるとともに、高周波回路部品の特性を改善できる。

[0107] また例えば、高周波回路 2 は、さらに、加算回路 6 0 の出力端子と高周波回路部品との間に接続され、当該高周波回路部品に補正信号を出力する補正回路 1 5 を備えてもよい。

- [0108] これによれば、抽出された電力成分、負荷インピーダンス抵抗成分およびリアクタンス成分に基づいて、高周波回路部品の特性を安定化させることが可能となる。
- [0109] また例えば、高周波回路 2 において、高周波回路部品は電力増幅器 10 であってもよい。
- [0110] これによれば、抽出された電力成分、負荷インピーダンス抵抗成分およびリアクタンス成分に基づいて電力増幅器 10 の利得を制御できるので、主線路 20 を伝送する高周波信号の電力を安定化させることが可能となる。
- [0111] また例えば、高周波回路 2 において、電力増幅器 10 は、入力端および出力端に接続され、補正回路 15 から出力された信号を受ける帰還回路 17 を有してもよい。
- [0112] これによれば、抽出された電力成分、負荷インピーダンス抵抗成分およびリアクタンス成分に基づいて電力増幅器 10 の帰還率を制御できるので、電力増幅器 10 の利得を最適化することが可能となる。
- [0113] また例えば、高周波回路 2 において、高周波回路部品は整合回路 11 であってもよい。
- [0114] これによれば、抽出された電力成分、負荷インピーダンス抵抗成分およびリアクタンス成分に基づいて整合回路 11 のインピーダンスを制御できるので、主線路 20 を伝送する高周波信号を低損失化することが可能となる。
- [0115] また例えば、高周波回路 2 において、高周波回路部品は減衰器 16 であってもよい。
- [0116] これによれば、抽出された電力成分、負荷インピーダンス抵抗成分およびリアクタンス成分に基づいて減衰器 16 の減衰率を制御できるので、主線路 20 を伝送する高周波信号の電力を安定化させることが可能となる。
- [0117] また例えば、高周波回路 2 において、対数変換回路 51～53 のそれぞれは、ダイオードまたはバイポーラトランジスタを含んでもよい。
- [0118] これによれば、ダイオードおよびバイポーラトランジスタは、電圧－電流特性が指数関数となるため、電流を入力、電圧を出力とすることにより簡素

化された構成で対数関数の入出力特性を実現できる。

[0119] また例えば、高周波回路 2 は、さらに、検出端子 4 1 と対数変換回路 5 1 との間に接続された検波回路 5 4 と、検出端子 4 2 と対数変換回路 5 2 との間に接続された検波回路 5 5 と、検出端子 4 3 と対数変換回路 5 3 との間に接続された検波回路 5 6 と、対数変換回路 5 1 と加算回路 6 0 との間に接続された利得変換回路 5 7 と、対数変換回路 5 2 と加算回路 6 0 との間に接続された利得変換回路 5 8 と、対数変換回路 5 3 と加算回路 6 0 との間に接続された利得変換回路 5 9 と、を備えてもよい。

[0120] これによれば、方向性結合器 1 から出力された第 1 交流信号～第 3 交流信号を直流信号に変換し、対数変換し、利得変換するので、簡易的な演算処理で高精度に電力成分、負荷インピーダンス抵抗成分およびリアクタンス成分を抽出できる。

[0121] また、実施の形態に係る方向性結合器 1 は、入力端子 4 0 と、出力端子 4 4 と、検出端子 4 1 と、入力端子 4 0 および出力端子 4 4 に接続された主線路 2 0 と、副線路 2 1 と、キャパシタ 3 1 と、を備え、副線路 2 1 と主線路 2 0 とは少なくとも一部で隣接配置され、副線路 2 1 はキャパシタ 3 1 の一方端および検出端子 4 1 に接続され、キャパシタ 3 1 の他方端はグラウンドに接続されている。

[0122] また、実施の形態に係る方向性結合器 1 は、入力端子 4 0 と、出力端子 4 4 と、検出端子 4 1 と、入力端子 4 0 および出力端子 4 4 に接続された主線路 2 0 と、副線路 2 1 と、キャパシタ 3 1 と、を備え、副線路 2 1 と主線路 2 0 との間には配線が無く、副線路 2 1 はキャパシタ 3 1 の一方端および検出端子 4 1 に接続され、キャパシタ 3 1 の他方端はグラウンドに接続されている。

[0123] これらによれば、副線路 2 1 と主線路 2 0 とは、少なくとも一部で隣接配置され、かつ、キャパシタ 3 1 を配置することにより、磁界結合により生成された信号成分と電界結合により生成された信号成分とが位相をずらして重ね合わせられた、電磁界結合による信号を副線路 2 1 にて生成することがで

きる。また、この電磁界結合による信号を検出端子41から出力することができる。よって、方向性結合器1は電磁界結合による信号を検出でき、これを負荷インピーダンスの検出精度の向上に用いることが可能となる。

[0124] また例えば、方向性結合器1は、さらに、副線路22と、主線路20およびグラウンドを結ぶ第1経路に直列配置されたキャパシタ32と、第1経路であってキャパシタ32と主線路20との間の経路に直列配置されたキャパシタ33と、検出端子42および43と、を備え、副線路22と主線路20とは、少なくとも一部で隣接配置され、副線路22はキャパシタ31の一方端および検出端子42に接続され、検出端子43は第1経路上であってキャパシタ32とキャパシタ33との接続点に接続されてもよい。

[0125] これによれば、副線路22と主線路20とは、少なくとも一部で隣接配置され、かつ、キャパシタ31を配置することにより、磁界結合により生成された信号成分と電界結合により生成された信号成分とが位相をずらして重ね合わせられた、電磁界結合による信号を副線路22にて生成することができる。つまり、虚数成分を有する少なくとも2つの電磁界結合信号を含む3つの信号が検出端子41～43から出力することができる。よって、負荷インピーダンスの検出精度をさらに向上することが可能となる。

[0126] また、実施の形態に係る通信装置5は、高周波信号を処理するRFIC3と、RFIC3とアンテナ4との間で高周波信号を伝送する高周波回路2と、を備える。

[0127] これによれば、高周波回路2の効果を通信装置5で実現することができる。

[0128] (その他の実施の形態)

以上、本発明に係る方向性結合器、高周波回路および通信装置について、実施の形態および変形例を挙げて説明したが、本発明は、上記実施の形態および変形例に限定されるものではない。上記実施の形態および変形例に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本発明に係る方向性結合器、高周波回路および通信装置を内

蔵した各種機器も本発明に含まれる。

[0129] また、例えば、上記実施の形態および変形例に係る方向性結合器、高周波回路および通信装置において、各構成要素の間に、インダクタおよびキャパシタなどの整合素子、ならびにスイッチ回路が接続されていてもかまわない。なお、インダクタには、各構成要素間を繋ぐ配線による配線インダクタが含まれてもよい。

産業上の利用可能性

[0130] 本発明は、方向性結合器として広く利用できる。

符号の説明

[0131] 1 方向性結合器
 2、2 A、2 B、2 C、2 D 高周波回路
 3 R F I C
 4 アンテナ
 5 通信装置
 1 0、1 3 電力増幅器
 1 1、1 2、1 4 整合回路
 1 5 補正回路
 1 6 減衰器
 1 7 帰還回路
 2 0 主線路
 2 1、2 2 副線路
 3 1、3 2、3 3、3 4 キャパシタ
 4 0 入力端子
 4 1、4 2、4 3 検出端子
 4 4 出力端子
 5 1、5 2、5 3 対数変換回路
 5 4、5 5、5 6 検波回路
 5 7、5 8、5 9 利得変換回路

- 6 0 加算回路
- 6 1 スイッチ
- 9 0 基板
- 9 0 a、9 0 b 主面
- 1 1 0、1 1 1 高周波入力端子
- 1 2 0 高周波出力端子

請求の範囲

[請求項1]

入力端子と、
出力端子と、
第1検出端子と、
前記入力端子および前記出力端子に接続された主線路と、
第1副線路と、
第1容量素子と、を備え、
前記第1副線路と前記主線路とは、磁界結合可能および電界結合可能に配置され、
前記第1副線路は、前記第1容量素子の一方端および前記第1検出端子に接続され、
前記第1容量素子の他方端は、グラウンドに接続されている、
方向性結合器。

[請求項2]

さらに、
第2副線路と、
前記主線路とグラウンドとを結ぶ第1経路に直列配置された第2容量素子と、
前記第1経路であって前記第2容量素子と前記主線路との間の経路に直列配置された第3容量素子と、
第2検出端子と、
第3検出端子と、を備え、
前記第2副線路と前記主線路とは、磁界結合可能および電界結合可能に配置され、
前記第2副線路は、前記第1容量素子の一方端および前記第2検出端子に接続され、
前記第3検出端子は、前記第1経路上であって前記第2容量素子と前記第3容量素子との接続点に接続される、
請求項1に記載の方向性結合器。

- [請求項3] 高周波入力端子および高周波出力端子と、
請求項2に記載の方向性結合器と、
前記第1検出端子に接続された第1演算回路と、
前記第2検出端子に接続された第2演算回路と、
前記第3検出端子に接続された第3演算回路と、
前記第1演算回路、前記第2演算回路、および前記第3演算回路に
接続された加算回路と、
前記高周波入力端子と前記方向性結合器とを結ぶ経路、または、前
記高周波出力端子と前記方向性結合器とを結ぶ経路に配置され、前記
加算回路の出力端子に接続された高周波回路部品と、を備える、
高周波回路。
- [請求項4] さらに、
前記加算回路の出力端子と前記高周波回路部品との間に接続され、
前記高周波回路部品に補正信号を出力する補正回路を備える、
請求項3に記載の高周波回路。
- [請求項5] 前記高周波回路部品は、増幅器である、
請求項4に記載の高周波回路。
- [請求項6] 前記増幅器は、入力端および出力端に接続され、前記補正回路から
出力された信号を受ける帰還回路を有する、
請求項5に記載の高周波回路。
- [請求項7] 前記高周波回路部品は、整合回路である、
請求項4に記載の高周波回路。
- [請求項8] 前記高周波回路部品は、減衰器である、
請求項4に記載の高周波回路。
- [請求項9] 前記第1演算回路、前記第2演算回路、および前記第3演算回路の
それぞれは、ダイオードまたはバイポーラトランジスタを含む、
請求項3～8のいずれか1項に記載の高周波回路。
- [請求項10] 前記第1演算回路、前記第2演算回路、および前記第3演算回路の

それぞれは、対数変換回路である、

請求項 3 ～ 9 のいずれか 1 項に記載の高周波回路。

[請求項11]

さらに、

前記第 1 検出端子と前記第 1 演算回路との間に接続された第 1 検波回路と、

前記第 2 検出端子と前記第 2 演算回路との間に接続された第 2 検波回路と、

前記第 3 検出端子と前記第 3 演算回路との間に接続された第 3 検波回路と、

前記第 1 演算回路と前記加算回路との間に接続された第 1 利得変換回路と、

前記第 2 演算回路と前記加算回路との間に接続された第 2 利得変換回路と、

前記第 3 演算回路と前記加算回路との間に接続された第 3 利得変換回路と、を備える、

請求項 3 ～ 10 のいずれか 1 項に記載の高周波回路。

[請求項12]

入力端子と、

出力端子と、

第 1 検出端子と、

前記入力端子と前記出力端子に接続された主線路と、

第 1 副線路と、

第 1 容量素子と、を備え、

前記第 1 副線路と前記主線路とは、少なくとも一部で隣接配置され、

前記第 1 副線路は、前記第 1 容量素子の一方端および前記第 1 検出端子に接続され、

前記第 1 容量素子の他方端は、グラウンドに接続されている、

方向性結合器。

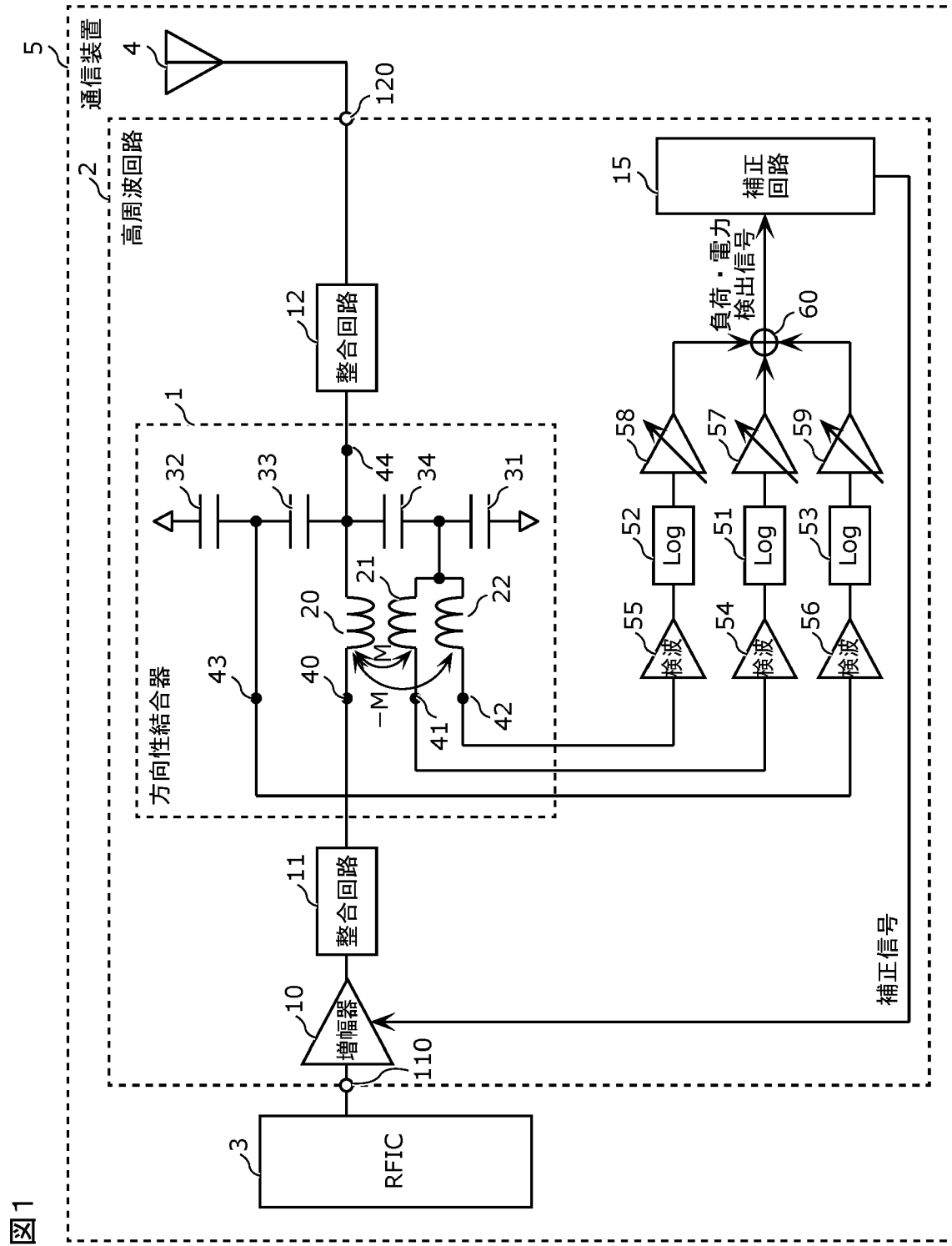
- [請求項13] 入力端子と、
出力端子と、
第1検出端子と、
前記入力端子と前記出力端子に接続された主線路と、
第1副線路と、
第1容量素子と、を備え、
前記第1副線路と前記主線路との間には配線が無く、
前記第1副線路は、前記第1容量素子の一方端および前記第1検出端子に接続され、
前記第1容量素子の他方端は、グラウンドに接続されている、
方向性結合器。
- [請求項14] さらに、
第2副線路と、
前記主線路とグラウンドとを結ぶ第1経路に直列配置された第2容量素子と、
前記第1経路であって前記第2容量素子と前記主線路との間の経路に直列配置された第3容量素子と、
第2検出端子と、
第3検出端子と、を備え、
前記第2副線路と前記主線路とは、少なくとも一部で隣接配置され、
前記第2副線路は、前記第1容量素子の一方端および前記第2検出端子に接続され、
前記第3検出端子は、前記第1経路上であって前記第2容量素子と前記第3容量素子との接続点に接続されている、
請求項12または13に記載の方向性結合器。
- [請求項15] 高周波入力端子および高周波出力端子と、
請求項14に記載の方向性結合器と、

前記第 1 検出端子に接続された第 1 演算回路と、
前記第 2 検出端子に接続された第 2 演算回路と、
前記第 3 検出端子に接続された第 3 演算回路と、
前記第 1 演算回路、前記第 2 演算回路、および前記第 3 演算回路に
接続された加算回路と、
前記高周波入力端子と前記方向性結合器とを結ぶ経路、または、前
記高周波出力端子と前記方向性結合器とを結ぶ経路に配置され、前記
加算回路の出力端子に接続された高周波回路部品と、を備える、
高周波回路。

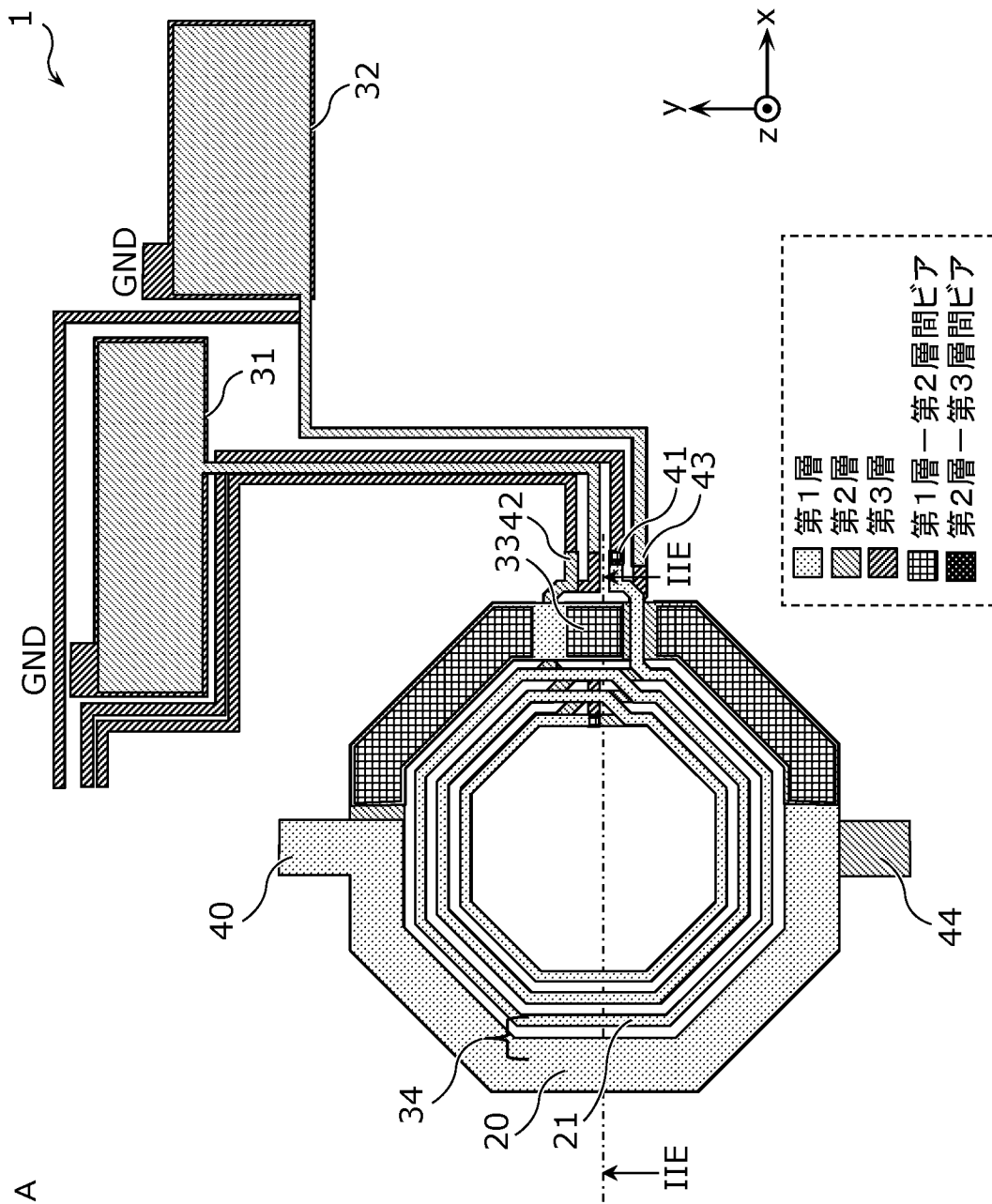
[請求項16] さらに、
前記加算回路の出力端子と前記高周波回路部品との間に接続され、
前記高周波回路部品に補正信号を出力する補正回路を備える、
請求項 1 5 に記載の高周波回路。

[請求項17] アンテナで送受信される高周波信号を処理する信号処理回路と、
前記アンテナと前記信号処理回路との間で前記高周波信号を伝送す
る請求項 3 ～ 1 1、1 5 および 1 6 のいずれか 1 項に記載の高周波回
路と、を備える、
通信装置。

[図1]

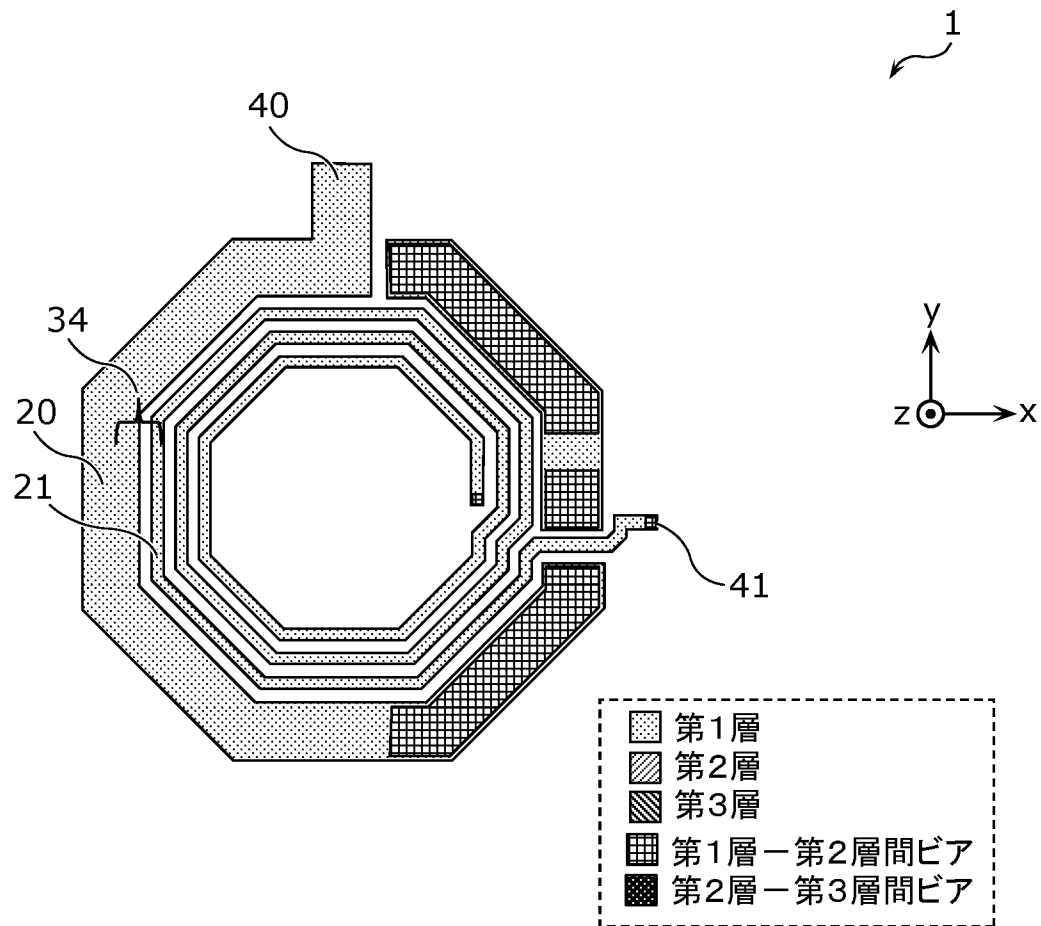


[図2A]



[図2B]

図2B



[図2C]

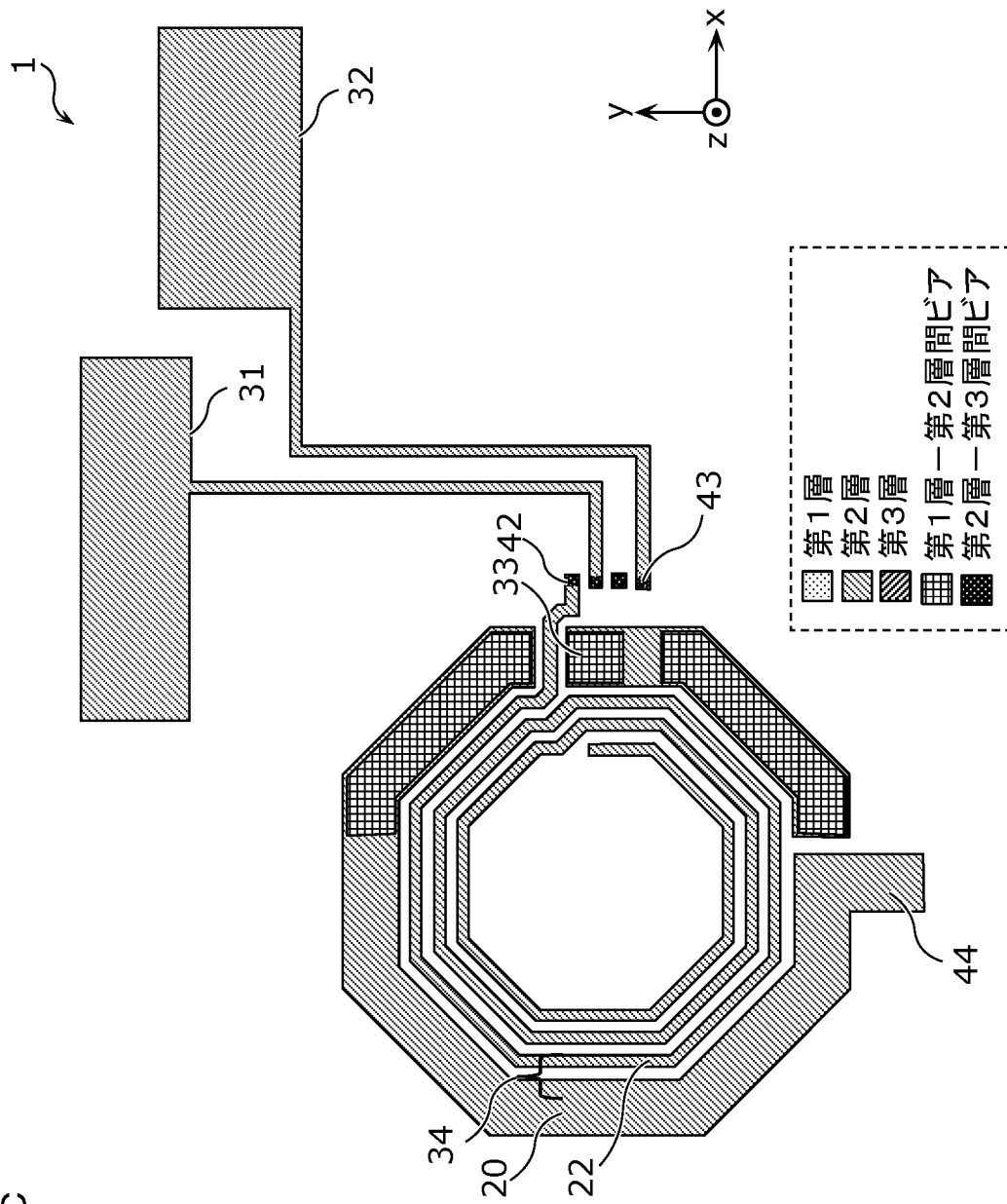
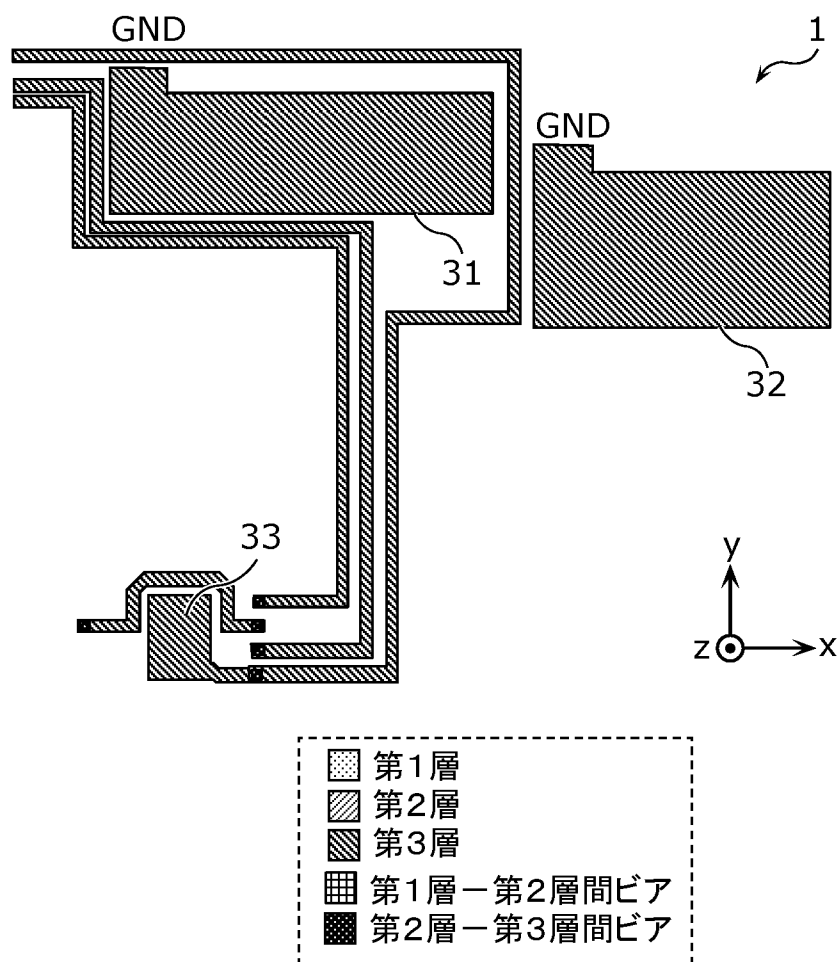


図2C

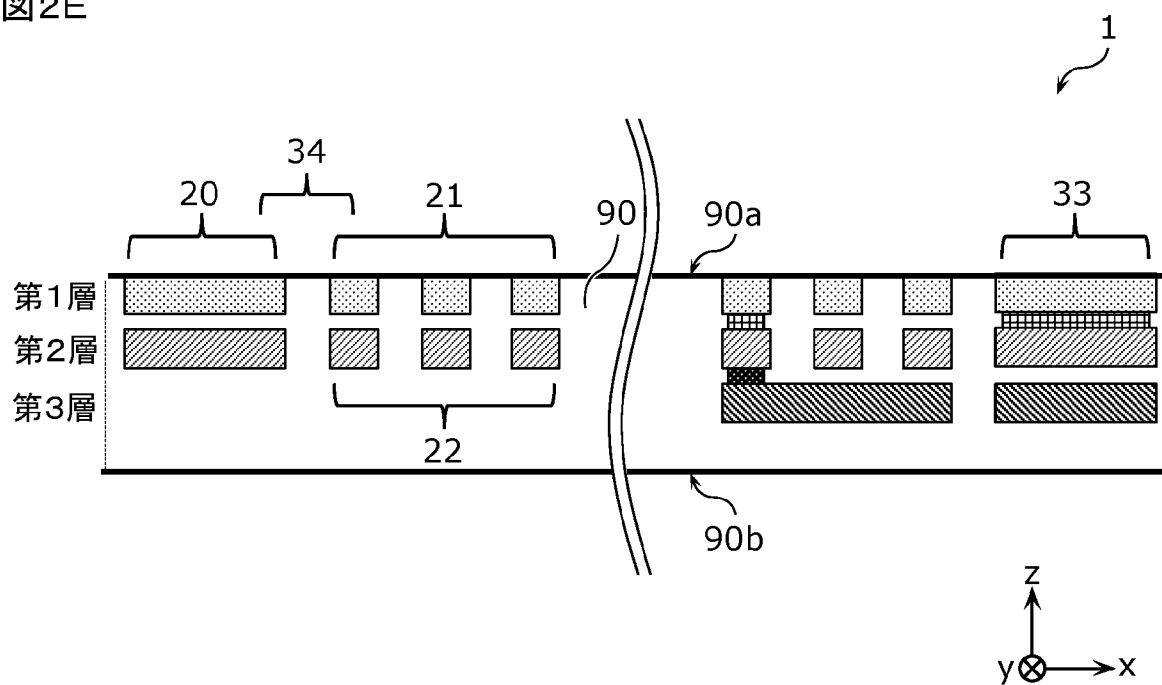
[図2D]

図2D



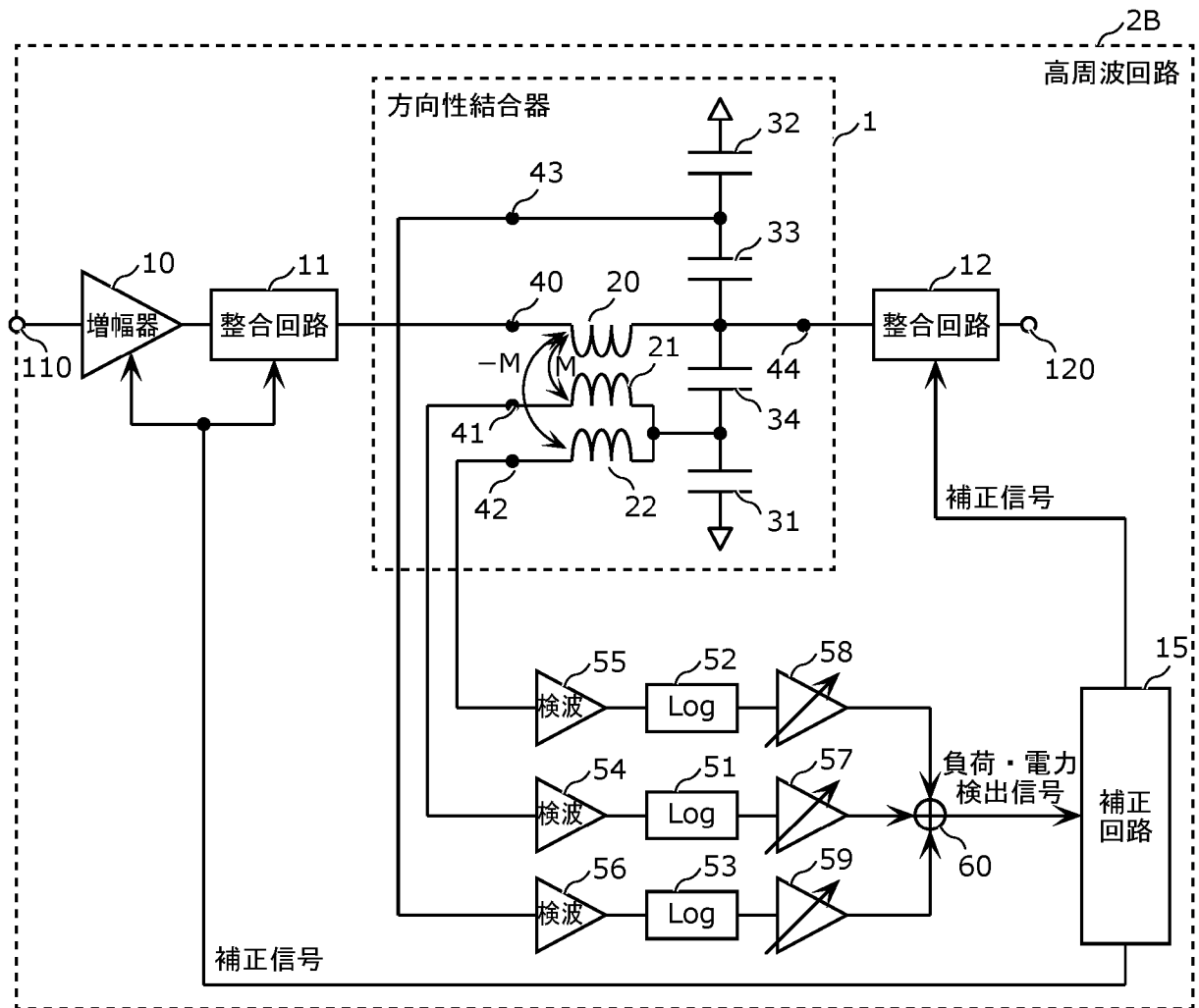
[図2E]

図2E

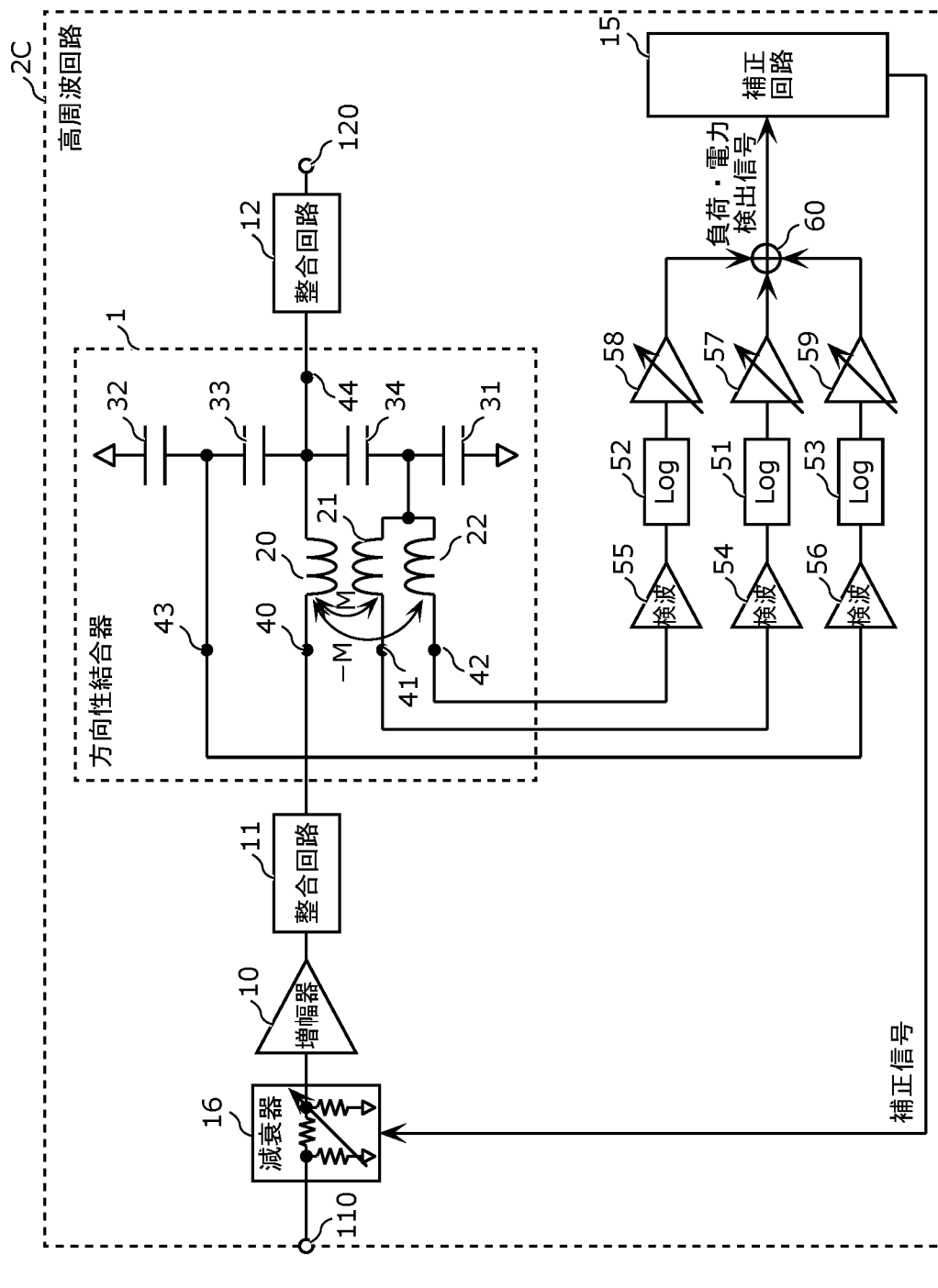


[図4]

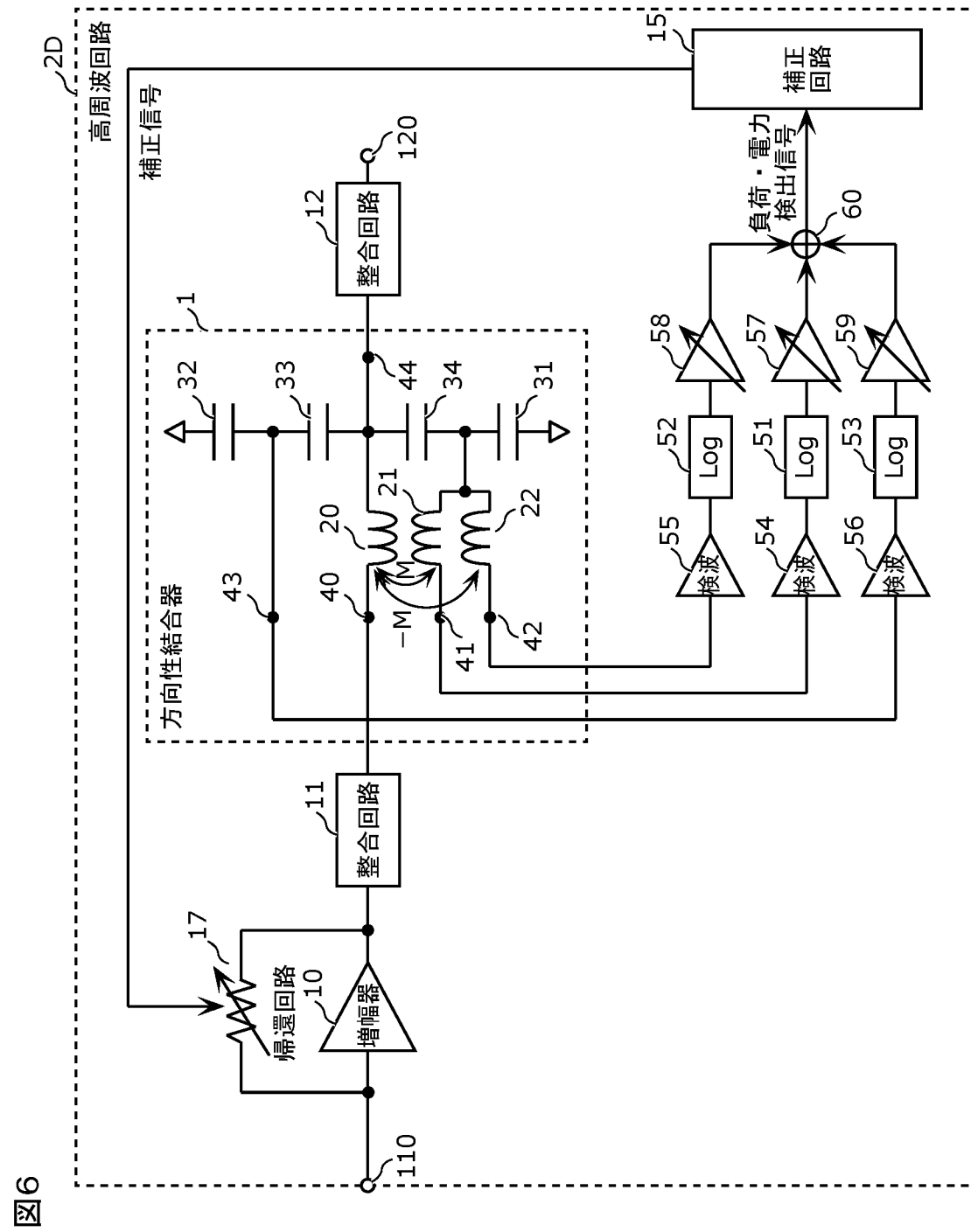
図4



[図5]



〔図6〕



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/041523

A. CLASSIFICATION OF SUBJECT MATTER**H01P 5/18**(2006.01)i; **H01P 1/00**(2006.01)i; **H04B 5/02**(2006.01)i

FI: H01P5/18 H; H01P1/00 D; H04B5/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01P5/18; H01P1/00; H04B5/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-162176 A (TDK CORPORATION) 19 August 2013 (2013-08-19) paragraphs [0033]-[0045], fig. 1-5	1, 12, 13
A		2-11, 14-17
Y	JP 2002-280810 A (MURATA MANUFACTURING CO., LTD.) 27 September 2002 (2002-09-27) paragraphs [0012]-[0030], fig. 1-4	1, 12, 13
A		2-11, 14-17
Y	WO 2020/045429 A1 (MURATA MANUFACTURING CO., LTD.) 05 March 2020 (2020-03-05) paragraphs [0011]-[0027], fig. 1	1, 12, 13
Y	JP 2008-078853 A (RENESAS TECHNOLOGY CORP) 03 April 2008 (2008-04-03) paragraph [0040]	1, 12, 13
A	TAVAKOL, Armin. An impedance sensor for MEMS adaptive antenna matching. 2015 IEEE Radio Frequency Integrated Circuits Symposium (RFIC). 19 May 2015 pp. 379-382	2-11, 14-17

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

16 January 2023

Date of mailing of the international search report

24 January 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/041523

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-096585 A (RENESAS TECHNOLOGY CORP) 12 April 2007 (2007-04-12)	2-11, 14-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/041523

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2013-162176	A	19 August 2013	US 2013/0194055 A1 paragraphs [0106]-[0118], fig. 1-5 CN 103247843 A	
JP	2002-280810	A	27 September 2002	US 2002/0130733 A1 paragraphs [0027]-[0044], fig. 1-4 KR 10-2002-0073429 A CN 1375889 A	
WO	2020/045429	A1	05 March 2020	US 2021/0184328 A1 paragraphs [0020]-[0036], fig. 1 CN 112640201 A	
JP	2008-078853	A	03 April 2008	US 2008/0070519 A1 paragraph [0064] CN 101150219 A KR 10-2008-0026474 A	
JP	2007-096585	A	12 April 2007	US 2007/0069820 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01P 5/18(2006.01)i; H01P 1/00(2006.01)i; H04B 5/02(2006.01)i FI: H01P5/18 H; H01P1/00 D; H04B5/02		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01P5/18; H01P1/00; H04B5/02 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-162176 A (TDK株式会社) 19.08.2013 (2013-08-19) 段落 [0033]-[0045], 図1-5	1, 12, 13
A		2-11, 14-17
Y	JP 2002-280810 A (株式会社村田製作所) 27.09.2002 (2002-09-27) 段落 [0012]-[0030], 図1-4	1, 12, 13
A		2-11, 14-17
Y	WO 2020/045429 A1 (株式会社村田製作所) 05.03.2020 (2020-03-05) 段落 [0011]-[0027], 図1	1, 12, 13
Y	JP 2008-078853 A (株式会社ルネサステクノロジ) 03.04.2008 (2008-04-03) 段落 [0040]	1, 12, 13
A	TAVAKOL, Armin, An impedance sensor for MEMS adaptive antenna matching, 2015 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), 2015.05.19 pp. 379-382	2-11, 14-17
A	JP 2007-096585 A (株式会社ルネサステクノロジ) 12.04.2007 (2007-04-12)	2-11, 14-17
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 16.01.2023		国際調査報告の発送日 24.01.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 白井 亮 5K 3363 電話番号 03-3581-1101 内線 3596

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/041523

引用文献			公表日	パテントファミリー文献			公表日
JP	2013-162176	A	19.08.2013	US	2013/0194055	A1	
				段落 [0106]-[0118], 図1-5			
				CN	103247843	A	
JP	2002-280810	A	27.09.2002	US	2002/0130733	A1	
				段落 [0027]-[0044], 図1-4			
				KR	10-2002-0073429	A	
				CN	1375889	A	
WO	2020/045429	A1	05.03.2020	US	2021/0184328	A1	
				段落 [0020]-[0036], 図1			
				CN	112640201	A	
JP	2008-078853	A	03.04.2008	US	2008/0070519	A1	
				段落 [0064]			
				CN	101150219	A	
				KR	10-2008-0026474	A	
JP	2007-096585	A	12.04.2007	US	2007/0069820	A1	