

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公开说明书

[21] 申请号 200480031788.7

[51] Int. Cl.

H01L 21/00 (2006.01)

H01L 21/84 (2006.01)

H01L 21/3205 (2006.01)

H01L 21/4763 (2006.01)

[43] 公开日 2006 年 12 月 6 日

[11] 公开号 CN 1875456A

[22] 申请日 2004. 10. 20

[21] 申请号 200480031788.7

[30] 优先权

[32] 2003. 10. 28 [33] US [31] 10/695,163

[86] 国际申请 PCT/US2004/035349 2004. 10. 20

[87] 国际公布 WO2005/045892 英 2005. 5. 19

[85] 进入国家阶段日期 2006. 4. 27

[71] 申请人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 雷奥·马修 罗德·R·莫拉

比奇-延·源 塔博·A·斯蒂芬斯

安妮·M·万多恩

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

代理人 张 浩

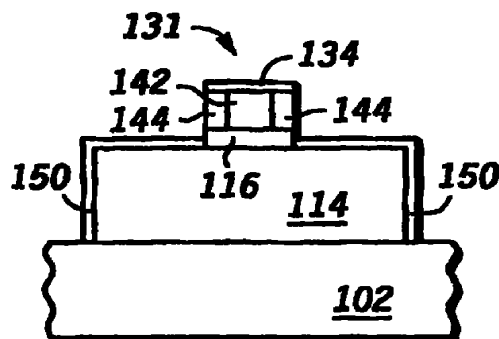
权利要求书 4 页 说明书 8 页 附图 4 页

[54] 发明名称

用于双栅极晶体管半导体制造方法的限制性
间隔件

[57] 摘要

一种半导体制造方法包括形成覆盖衬底的硅翼片。栅电介质被形成在翼片的主表面上。栅电极形成在翼片的至少两个表面上。然后在栅电极的侧壁附近有选择性地形成电介质间隔件并将其限制到此处，由此离开暴露的主翼片表面的大部分。此后，硅化物形成在主翼片表面上。在一种实施例中的栅电极的形成包括将多晶硅淀积在翼片和衬底上，将顶盖层淀积在多晶硅上，对在顶盖层上的光致抗蚀剂进行构图，以及通过顶盖层进行蚀刻。



1. 一种半导体制造方法，包括：
形成覆盖衬底的硅翼片，该翼片具有基本垂直于所述衬底的表面的第一和第二主表面；
在所述硅翼片的第一和第二主表面上形成栅电介质；
形成覆盖所述栅电介质的栅电极；和
形成被限制在所述栅电极的侧壁附近的区域的电介质间隔件，其中主翼片表面在所述电介质间隔件的区域之外的部分被露出。
2. 权利要求 1 的方法，其中进一步包括通过外延生长形成覆盖所述主翼片表面的暴露部分的附加导电区域。
3. 权利要求 2 的方法，其中进一步包括：在覆盖所述主翼片表面的暴露部分的所述附加导电区域上形成硅化物。
4. 权利要求 1 的方法，其中栅电极的形成限定了一部分栅电极的侧壁附近的限制性区域。
5. 权利要求 4 的方法，其中形成栅电极的步骤包括：
在所述翼片和衬底上淀积第一材料；
在所述第一材料上淀积顶盖层，其中至少一种蚀刻剂在所述顶盖层和第一材料之间是有选择性的；
对覆盖所述顶盖层的光致抗蚀剂进行构图；
根据经构图的光致抗蚀剂蚀刻穿过所述顶盖层和第一材料，其中蚀刻步骤产生小于所述顶盖层的宽度的第一材料宽度，以进一步限定在第一材料侧壁附近在所述顶盖层之下的限制性区域。
6. 权利要求 5 的方法，其中顶盖层是从由金属、多晶硅、氧化物和氮化物构成的材料组中选择材料。
7. 权利要求 6 的方法，其中从包括多晶硅和硅锗的材料组中选择第一材料。
8. 权利要求 5 的方法，进一步包括非选择性地淀积电介质间隔件材料，并且随后蚀刻间隔件材料以便清除除了间隔件材料已经填充

在多晶硅侧壁附近的限制性区域的地方之外的任何地方的电介质间隔件材料。

9. 权利要求 5 的方法, 进一步包括在淀积顶盖层之前执行第一材料的间隔件蚀刻。

10. 权利要求 1 的方法, 其中形成硅翼片的步骤包括:

淀积覆盖硅的顶盖电介质材料;

对覆盖所述顶盖电介质的光致抗蚀剂进行构图以暴露所述电介质材料的部分; 和

对所述顶盖电介质的暴露部分和下面的硅进行蚀刻以形成翼片, 其中蚀刻步骤包括相对于所述顶盖电介质对硅进行底切, 其中硅翼片具有比顶盖电介质更薄的截面。

11. 一种半导体制造方法, 包括:

形成覆盖衬底的硅翼片, 其中硅翼片包括基本垂直于下面的衬底的上表面的第一和第二主表面;

在所述硅翼片的主表面上形成栅电介质层;

形成与所述栅电介质层接触的栅电极, 其中栅电极使得所述硅翼片的部分主表面被露出;

在所述栅电极的侧壁附近有选择性地形成电介质间隔件, 其中电介质间隔件的部分主翼片表面在所述电介质间隔件形成之后仍然保持暴露状态; 和

处理所述主翼片表面的暴露部分以减小它们的电阻率。

12. 权利要求 11 的方法, 其中处理主翼片表面的暴露部分的步骤包括: 在主翼片表面的暴露部分上外延地生长硅。

13. 权利要求 11 的方法, 其中处理主翼片表面的暴露部分的步骤包括: 在主翼片表面的暴露部分上形成硅化物。

14. 权利要求 13 的方法, 其中形成栅电极的步骤包括:

在所述翼片和衬底上淀积第一材料;

在第一材料上淀积顶盖层, 其中至少一种蚀刻剂在所述顶盖层和第一材料之间是有选择性的;

对覆盖所述顶盖层的光致抗蚀剂进行构图；

根据经构图的光致抗蚀剂蚀刻穿过所述顶盖层和第一材料，其中蚀刻步骤产生小于顶盖层的宽度的第一材料宽度，以进一步限定在第一材料侧壁附近在顶盖层之下的限制性区域。

15. 权利要求 14 的方法，其中顶盖层是从由金属、多晶硅、氧化物和氮化物构成的材料组中选择的材料。

16. 权利要求 15 的方法，其中从包括多晶硅和硅锗的材料组中选择第一材料。

17. 一种在集成电路内的晶体管，包括：

覆盖衬底的硅翼片，其中硅翼片包括基本垂直于下面的衬底的表面的第一和第二主表面；

在所述硅翼片的第一和第二主表面的至少一部分上的栅电介质；

覆盖所述栅电介质的栅电极，其中所述栅电极限定位于所述栅电极之下的所述硅翼片内的晶体管沟道区和在所述硅翼片的剩余部分之内的源极/漏极区；和

在所述栅电极的侧壁附近并且被限制在栅电极附近的电介质间隔件。

18. 权利要求 17 的晶体管，其中栅电极包括第一材料和覆盖第一材料的顶盖层，其中第一材料的宽度小于顶盖层的宽度，其中电介质间隔件占据凸伸在第一材料之上的顶盖层部分之下的区域。

19. 权利要求 17 的晶体管，其中第一材料是硅，顶盖层是从由金属、氧化物和氮化物构成的材料组中选择的材料。

20. 权利要求 17 的晶体管，进一步包括形成在没有被栅电极覆盖的硅翼片部分上的附加导电材料，其中被限制的间隔件阻止了在所述附加导电材料和栅电极之间的导电。

21. 一种半导体制造方法，包括：

形成覆盖衬底的硅翼片，该翼片具有基本垂直于衬底的表面的第一和第二主表面；

在所述硅翼片的第一和第二主表面上形成栅电介质；

形成覆盖所述栅电介质的栅电极;

形成覆盖所述栅电极的顶盖层并对所述顶盖层进行构图,其中顶盖层形成覆盖所述栅电极且横向尺寸大于下面栅电极之横向尺寸的顶盖,进一步形成位于栅电极的侧壁附近的限制性区域;和

形成被限制在栅电极侧壁附近的限制性区域内的电介质间隔件,其中主翼片表面在电介质间隔件的区域之外的部分被露出。

用于双栅极晶体管半导体 制造方法的限制性间隔件

技术领域

本发明一般地涉及半导体制造领域，更具体地说，涉及利用双栅极或“翼片（fin）”FET晶体管的半导体制造方法。

背景技术

常规的金属氧化物半导体（MOS）具有这样的结构：其中在晶体管沟道区之上栅电极被中间栅电介质膜取代。在该沟道之下的区域包括体型衬底或者外延膜。通过将偏压施加给栅电极运行晶体管。体型材料同样地接地或被偏压到恒定电压。因此，常规的晶体管可以被描述为具有单侧栅极，因为栅极仅存在于该沟道的一侧（即之上）。

一般认为，单侧栅极晶体管固有地具有在操作上的特性，包括泄漏电流、驱动电流和亚阈值斜率，它们都小于理想值。这些参数在低功率应用中（比如无线技术中）特别严格。已经提出了多栅极晶体管结构来解决这个问题，在这种多栅极结构中栅电介质和栅电极形成在晶体管沟道的两侧（或更多侧）上。

多栅极晶体管的一个实例是“翼片”FET，如此命名是因为晶体管沟道是设置在下面的衬底之上的硅的翼片或壁。栅电介质形成在翼片的表面上，并且栅电极通过淀积并构图多晶硅或另一适合的材料而形成。翼片的暴露的部分（即没有被栅电极覆盖的部分）在所完成的晶体管结构中用作源极/漏极区。

减小在源极/漏极区中的电阻率对于包括多栅极晶体管的高性能晶体管的设计比较重要。这个目标通常至少部分地通过使用硅化物处理实现，在这种硅化物处理中与硅反应的材料比如钛淀积在晶体管上并在炉中被加热。在这个加热步骤中，只要淀积的材料接触暴露的硅

就形成硅化物。暴露的硅包括暴露的源极/漏极区和基于硅的栅电极的上表面。通过在所暴露的硅面上有选择性地生长硅或硅锗至少可以部分地使得源极/漏极区的电阻率进一步降低。为防止在硅化物处理过程中在栅极和源极/漏极区之间形成电短路，在硅化物淀积之前在栅极侧壁附近形成电介质间隔件。硅化物材料不与下面的电介质反应。然后在硅化物加热处理之后清除没有反应的硅化物材料。

在基于翼片的处理中，如上文描述的常规的处理具有不理想的结果。具体地，在栅极蚀刻之后形成的电介质间隔件不仅形成在栅电极侧壁上，而且还形成在源极/漏极区中垂直取向的主翼片表面上（即没有被栅电极覆盖的翼片的区域）。因此，在间隔件形成之后，暴露出来的并能够被硅化的源极/漏极区部分仅仅是沿着非常小的翼片顶部表面。理想的是利用有选择性外延处理或者硅化处理或者两者的处理，在这种处理中暴露主翼片表面以用于硅化和/或选择性外延处理，同时仍然防止栅极到源极/漏极的短路。

发明内容

上文所述的问题通过包括形成覆盖衬底的硅翼片的半导体制造方法解决。栅电介质形成在翼片的主表面上。栅电极形成在翼片的至少两个表面上。在各种不同的实施例，栅极材料可以包括一种或多种如下的材料的组合：包括多晶硅、多晶硅锗、氮化钛和氮化钽硅。然后在栅电极的侧壁附近有选择性地形成电介质间隔件并且将其限制在此，由此留下大部分主翼片表面被露出。此后，硅化物形成在主翼片表面上。在一个实施例中栅电极的形成包括将导电栅极材料淀积在翼片和衬底上，将顶盖层淀积在导电栅极材料上，对顶盖层之上的光致抗蚀剂构图，以及通过处于如下位置的经构图的光致抗蚀剂蚀刻穿过顶盖层和导电栅极材料：其中蚀刻产生了小于顶盖层的宽度的导电栅极材料宽度，以便在（其中可以形成限制性间隔件的）导电栅极材料的侧壁附近的顶盖层下形成空隙。

附图说明

通过参考下文结合附图的描述将会更好地理解本发明及其进一步的优点。

附图 1 - 12 所示为形成被限制到栅电极侧壁的间隔件的方法的第一实施例，其具有表示在处理步骤顺序中所选择的步骤的一系列部分截面剖视图；

附图 13 - 19 所示为形成被限制到栅电极侧壁的间隔件的方法的第二实施例，其具有表示在处理步骤顺序中所选择的步骤的一系列部分截面剖视图；和

附图 20 - 28 所示为形成被限制到栅电极侧壁的间隔件的方法的第三实施例，其具有表示在处理步骤顺序中所选择的步骤的一系列部分截面剖视图。

具体实施方式

现在详细地参考本发明目前优选的实施例，它们的实例在附图中示出。应该注意的是，附图是简化的形式，并没有按照精确的比例。虽然本发明在此参考某些所示出的实施例，但是应该理解的是这些实施例仅仅是举例，并不构成对本发明的限制。下文详细描述的目的是覆盖落在通过附加的权利要求所限定的本发明的精神和范围内的所有的改进、变更以及等同物。

将会理解的是，在此所描述的方法步骤和结构没有覆盖集成电路制造的完整处理流程。本发明通过结合本领域中常规地使用的各种集成电路制造技术实施，在此仅仅包括了为理解本发明所需要的普通地实施的处理步骤。

一般地说，本发明涉及使用硅翼片的多栅极晶体管的形成。在执行随后的外延或硅化物处理过程之前，未被栅电极覆盖的主翼片表面部分一直暴露到硅。暴露在翼片中的硅提高了随后处理的效率，并且形成了具有提高的电阻率和/或接触电阻的源极/漏极区。

现在转到附图，附图 1 至 12 所示为根据本发明的一种实施例的

半导体制造处理顺序。在所描述的实施例中，翼片被首先形成在下面的衬底上。翼片用作最终晶体管的沟道区和源极/漏极区。在所描述的处理流程中，翼片通过如下方式形成：在包括硅衬底部分 104 和电介质部分 102 的衬底 101 上淀积电介质层 106 比如氮化硅层。在其它的实施例中，顶部电介质层 106 是可选择的。在一种实施例中，绝缘体上硅（SOI）晶片在下面的硅块材部分（没有绘制）上提供浅的单晶硅部分 104 和氧化硅部分 102。在另一实施例中，所描述的衬底 101 可以通过在已存在的硅衬底上淀积氧化物（或其它的电介质）层 102 和硅层 104 而形成。

如附图 2 和附图 3 的截面图所示，然后通过如下的过程形成硅翼片 114：对在附图 1 的电介质层 106 上覆盖的光致抗蚀剂层进行构图，曝光并显影光致抗蚀剂层，以及蚀刻通过层 104 和 106 的曝光部分以留下翼片 114 和顶盖电介质部分 116。如附图 2 所示，在下面的衬底上的翼片 114 的垂直移位大致等于 $W/2$ ，其中 W 表示在公知的比率 W/L 中的最终晶体管的电学宽度，比率 W/L 是晶体管的源极/漏极电流的主要决定因素。 $1/2$ 的因子考虑了晶体管的两侧特性。因为多栅极晶体管（至少）具有两个活性表面，因此翼片的每个面对晶体管的宽度都有影响。

参考附图 4 和 5 的横截面视图，栅电介质层 120 形成在翼片 114 的主表面上，第一层 122 形成在翼片 114 和衬底层 102 上，顶盖层 124 淀积在第一层上。第一层 122 最终用作多栅极晶体管的栅电极。在优选的实施例中，第一层 122 是多晶硅层，而顶盖层 124 的材料被选择成相对于该材料可以有选择性地蚀刻第一层 124。在第一层 122 例如是多晶硅的实施例中，顶盖层 124 可以是电介质，比如氧化物（例如 SiO_2 ）或氮化物（例如氮化硅）。在希望减小栅电极的电阻率的另一实施例中，顶盖层 124 是导电材料比如氮化钛等。在利用两种导电材料的另一实施例中，第一层 122 是导电层比如硅锗，同时顶盖层 124 是多晶硅。

在一种实施例中栅电介质层 120 的形成通过下面的翼片 114 的热

氧化作用而实现。在其它的实施例中，栅电介质层 120 包括淀积的非导电的高-K 的金属氧化物（例如氧化铪）或金属硅酸盐（例如硅酸铪）。

现在参考附图 6 的视图（截面）和附图 7（平面），通过使用常规的光刻技术，通过首先形成覆盖附图 4 和 5 的顶盖层 124 的经构图的光致抗蚀剂层（没有绘制出）形成栅电极 131。在光刻步骤之后，蚀刻顶盖层 124 和第一层 122 以产生如图所示的栅结构 131。根据本发明的一种实施例的蚀刻顺序包括其中对顶盖层 124 进行构图以形成顶盖层部分 134 的第一蚀刻部分和其中进一步蚀刻下面的第一层 122 的第二蚀刻部分。

第一层 122 的蚀刻优选在如下的条件下使用对顶盖层部分 134 具有选择性的物质种类实施：在该条件下产生第一层 122 的相对各向同性的蚀刻以使第一层 122 相对于顶盖层部分 134 被底切。从这个蚀刻过程中得到的第一层部分 142 具有小于在它之上的顶盖层部分 134 之横向尺寸的横向尺寸（附图 6）。在顶盖层 134 的突出部分之下直接产生的空隙实现限制性间隔件的形成，这种限制性间隔件防止了在硅化物形成过程中晶体管栅极与它的源极/漏极区短路。

在第一层 122 是多晶硅并且顶盖层 124 是耐火金属比如氮化钛的实施例中，蚀刻顺序可以包括第一部分和第二部分，在第一部分中在高真空和偏压下基于氟的蚀刻剂产生了顶盖层的高度各向异性蚀刻，之后在第二部分中在更小的偏压下基于氟的蚀刻剂产生了第一层 122 的有选择性的且底切的蚀刻。

现在分别转到附图 8（截面）和 9（平面），电介质间隔件 144 形成在顶盖层部分 134 的突出部分之下的空隙中。在一种实施例中，氮化硅淀积之后进行各向异性蚀刻。淀积填充位于第一层部分 142 的侧壁上的空隙，而蚀刻处理清除任何地方的氮化物，但除了受到上面的顶盖层 134 保护的氮化物之外。这样，电介质间隔件 144 被局限到第一层部分 142 的侧壁。如附图 9 所示，没有被栅结构 131 覆盖的硅翼片 114 的部分在间隔件 144 的形成之后被暴露。

暴露大部分硅翼片 114，允许硅有选择性地生长在这个暴露的表面上，并且增强了通过随后的硅化物和外延处理实现的优点。参考附图 10 和 12，执行有选择性的外延生长以形成附加的导电区或源极/漏极外延结构 150，如附图 11 的截面剖视图所示（从上面）。厚的源极/漏极外延结构 150 减小源极/漏极电阻率，并且有利于随后到达源极漏极区的触点或通孔的形成。执行硅化物化处理顺序以使翼片 114 的暴露部分形成硅化物。在这个顺序中，适当的金属比如钽或钛被非选择性地淀积在晶片上并进行加热步骤。只要金属接触硅，在加热步骤中就形成了硅化物。受限制的间隔件 144 的存在防止了硅化物形成在第一层部分 142 的侧壁上，由此防止了在栅极电极和源极/漏极区之间的电路的形成（短路）。通过将栅极结构侧壁间隔件限制到靠近栅极结构的区域，外延结构 150 基本覆盖了硅翼片 114 的先前暴露的所有部分。

现在转到附图 13 至 19，描述适合于在多栅极半导体工艺中制造被限制到接近晶体管栅结构侧壁的间隔件结构的方法的第二实施例。在这种实施方案中，翼片以与先前参考附图 1 至 3 所描述的相同方式形成。在如附图 3 所示的翼片形成之后，形成在附图 14 中的硅翼片 114 的主表面上所示的栅电介质 120。

在形成硅翼片 114 和栅电介质 120 之后，执行多晶硅淀积，之后进行各向异性蚀刻（也称为间隔件蚀刻）以在硅翼片 114 主表面上任何地方产生多晶硅间隔件 202（栅电介质 120 设置在它们之间的中间位置）。如附图 15 和 16 所示，顶盖材料 210 设置在多晶硅间隔件材料 202 上。与先前描述的顶盖材料一样，顶盖材料 210 是一种相对于在硅间隔件 202 中的硅能够被有选择性地蚀刻的材料，优选金属。在一种实施例中，顶盖层 210 是耐火金属比如氮化钛或者氮化钽硅。在另一实施例中，顶盖材料 210 是多晶硅，而间隔件 202 使用硅锗形成。

在形成硅间隔件 202 和顶盖层 210 之后，使用常规的光刻以形成栅极掩模光致抗蚀剂图形。此后，执行栅极蚀刻和整修过程以生产如附图 17 和 18 所示的栅极结构 221。栅极结构 221 包括顶盖层 210 的

剩余部分 220 和多晶硅间隔件 202 的剩余部分 212。剩余的间隔件部分 212 相对于在附图 17 所示的顶盖层部分 220 被底切。这种底切产生了空隙 211，该空隙 211 形成在凸伸的顶盖层之下的剩余间隔件部分 212 的侧壁附近。如附图 19 所示，通过淀积电介质比如氮化硅并执行各向异性蚀刻，在存在空隙 211 的地方形成电介质间隔件 230。与附图 10 的电介质间隔件 144 类似，电介质间隔件 230 被限制到用作栅电极的剩余的（多晶硅）间隔件部分 212 的侧壁。暴露所述硅翼片 114 的剩余部分以用于随后的硅化物处理和有选择性的外延处理，如上文参考附图 10 至 12 所描述。

根据本发明的限制性间隔件处理顺序的第三实施例描述在附图 20 至 28 中。在本实施例中，翼片形成顺序产生比上面的顶盖电介质材料（例如氮化硅）316 更薄的硅翼片 314。使用相对各向同性干蚀刻整修所述硅翼片 314 以产生使顶盖电介质材料 316 从翼片 314 凸伸并在翼片 314 主表面之下和附近产生空间或空隙的底切效果。然后在硅膜 314 的主表面上形成栅电介质（例如通过热氧化）。附图 22 所示为从上面看的结构。

现在转到附图 23 至 25，在多晶硅（或其它适合的栅电极材料）淀积之后进行掩模和蚀刻顺序以生产栅电极结构 331，该栅电极结构包括导电栅电极 330 和电介质 316 的其余部分 326。对栅电极 330 进行多晶硅蚀刻随后对层 316 进行蚀刻，形成了具有如附图 23 中所示的“肩状部”外形的电介质 316 的其余部分 326。这可以通过留下锥形轮廓的对层 316 进行的干蚀刻或者在已经蚀刻了层 316 之后通过整修多晶硅来实现。从附图 25 的顶视图中可以看出，剩余的电介质 326 包括位于由栅电极 330 和硅翼片 314 限定的四个角落中的每个角落处的角部 327。四个角部 327 覆盖用于形成限制性间隔件的下面的空隙。

如附图 26 至 28 所示，电介质间隔件 340 形成在电介质 326 的上方角部 327 之下。通过淀积电介质比如二氧化硅或氮化硅并各向异性地蚀刻已淀积的电介质层来形成间隔件 340。间隔件 340 因此被限制在电介质 326 的角部 327 之下并在栅电极 331 的侧壁附近的区域。然

后可以对硅翼片 314 的剩余部分进行有选择性外延和硅化物化。

在所描述的每个实施例中，通过形成限定位于栅电极侧壁附近的空隙的结构将间隔件限制到紧靠栅电极的附近，在该栅电极侧壁处空隙从上面被覆盖。然后通过淀积电介质并各向异性地蚀刻（除了被用于限定空隙的层从上面覆盖的地方之外的）全部地方来限制间隔件，不管该用于限定空隙的层是金属还是电介质比如氮化硅。一旦形成了限制性间隔件，则硅翼片的剩余的并被暴露的部分适合于硅化物化和选择性外延。在间隔件形成之后硅翼片的暴露面积的增加有利于实现低电阻且高性能的晶体管。

因此，对于受益于已经提供的本发明公开的教导的本领域普通技术人员来说，根据本发明制造实现上文阐述的集成电路的方法是很显然的。虽然参考本发明的特定的示例性实施例已经描述并示出了本发明，但是并不希望本发明限于那些示例性的实施例。本领域普通技术人员将会认识到在不脱离本发明的精神的前提下可以做出变型和改进。因此，希望在本发明内包括落在本发明的附加的权利要求及其等同物的范围内的所有这种变型和改进。

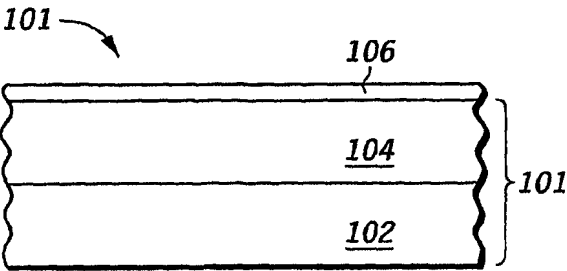


图 1

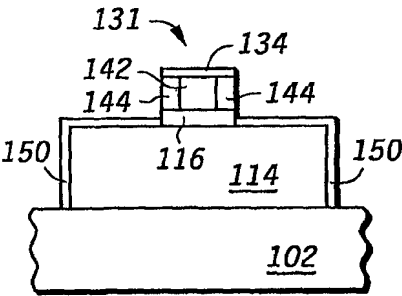


图 10

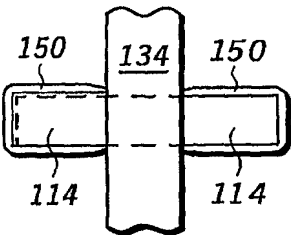


图 11

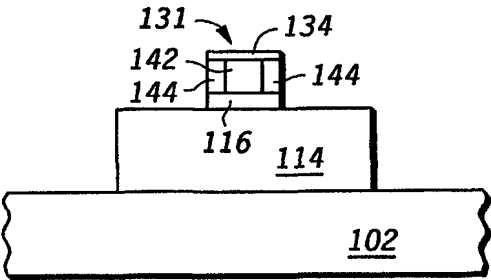


图 8

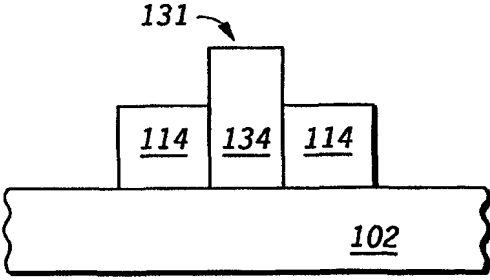


图 9

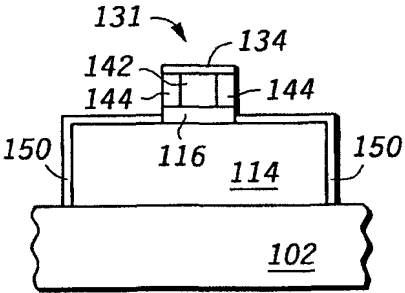


图 10

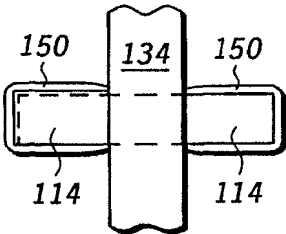


图 11

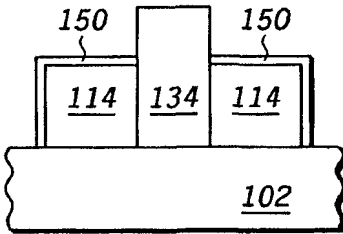


图 12

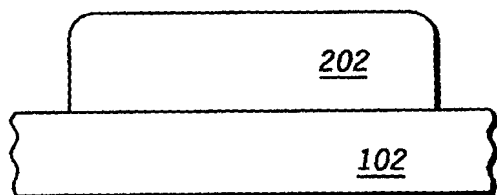


图 13

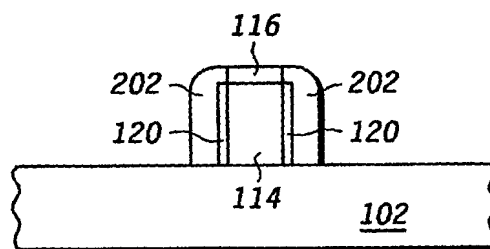


图 14

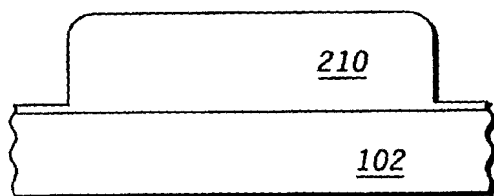


图 15

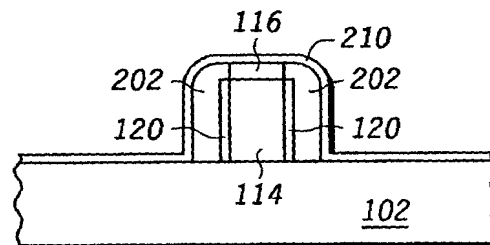


图 16

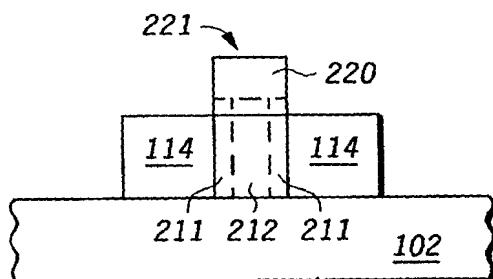


图 17

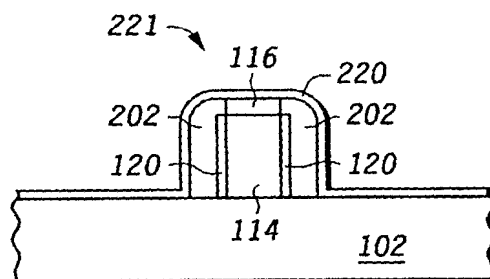


图 18

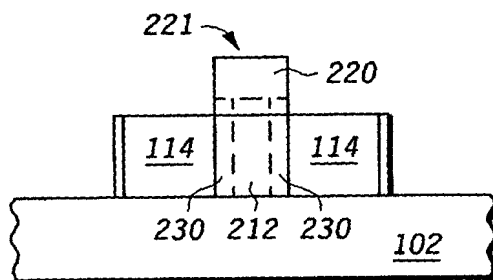


图 19

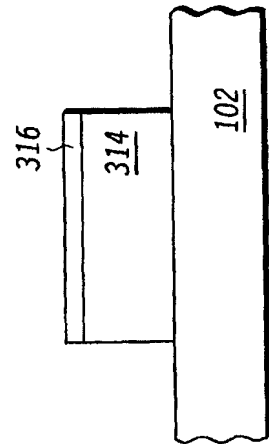


图20

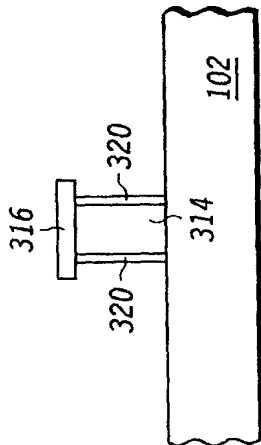


图21

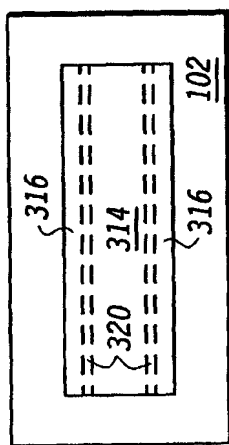


图22

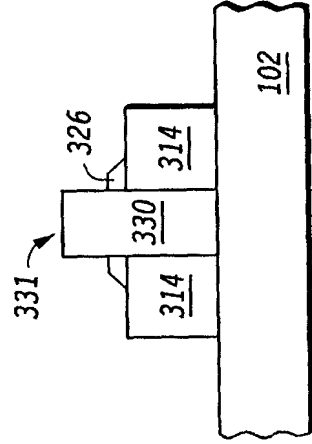


图23

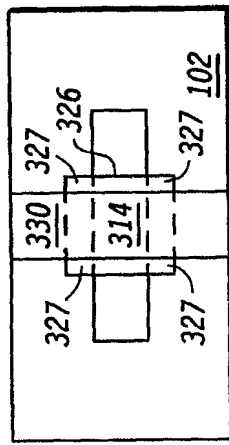


图25

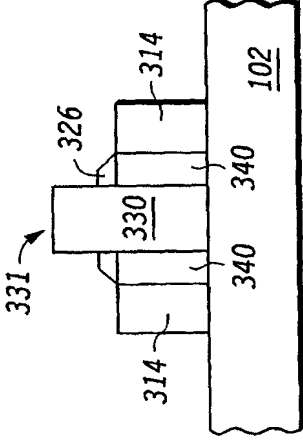


图26

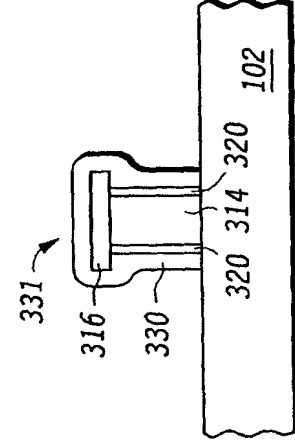


图27

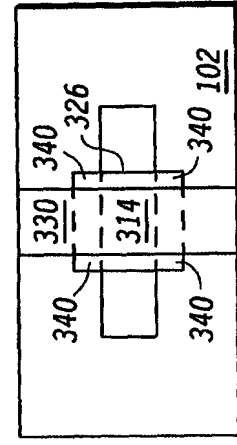


图28