



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년03월30일
(11) 등록번호 10-1025677
(24) 등록일자 2011년03월22일

- (51) Int. Cl.
H01L 27/115 (2006.01) H01L 21/8247 (2006.01)
H01L 27/00 (2006.01)
- (21) 출원번호 10-2010-0107710(분할)
- (22) 출원일자 2010년11월01일
심사청구일자 2010년11월01일
- (65) 공개번호 10-2010-0132938
- (43) 공개일자 2010년12월20일
- (62) 원출원 특허 10-2003-0093212
원출원일자 2003년12월18일
심사청구일자 2008년12월18일
- (30) 우선권주장 JP-P-2002-368666 2002년12월19일 일본(JP)
- (56) 선행기술조사문헌 JP2001144188 A
JP평성11125404 A

- (73) 특허권자 르네사스 일렉트로닉스 가부시키키가이샤
일본 가나가와켄 가와사끼시 나카하라쿠 시모누마베 1753
- (72) 발명자 미나미 신이찌
일본 도쿄도 지요다쿠 마루노우찌 2쵸메 4-1 가부시키키가이샤 르네사스 테크놀로지 지적재산권 총괄부 내
오와다 후쿠오
일본 도쿄도 지요다쿠 마루노우찌 2쵸메 4-1 가부시키키가이샤 르네사스 테크놀로지 지적재산권 총괄부 내
후안 쇼든
일본 도쿄도 지요다쿠 마루노우찌 2쵸메 4-1 가부시키키가이샤 르네사스 테크놀로지 지적재산권 총괄부 내
- (74) 대리인 이중희, 장수길

전체 청구항 수 : 총 7 항

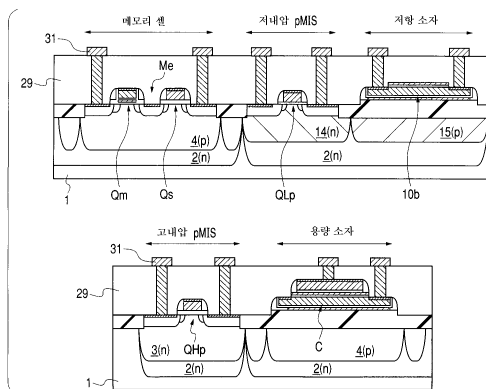
심사관 : 김기환

(54) 반도체 집적 회로 장치 및 그 제조 방법

(57) 요약

반도체 기판의 주면의 소자 분리 영역 위에 하부 전극이 형성되고, 또한 상기 하부 전극 상에 유전체막을 개재하여 상부 전극이 형성된 용량 소자를 갖는 반도체 집적 회로 장치로서, 상기 반도체 기판의 주면의 소자 분리 영역과 상기 하부 전극과의 사이, 및 상기 하부 전극과 상기 상부 전극과의 사이에 내산화성막을 갖는다.

대표도 - 도1



특허청구의 범위

청구항 1

반도체 기관의 주면의 제1 영역에 형성된 불휘발성 기억 소자와, 상기 반도체 기관의 주면의 제2 영역에 형성된 MISFET와, 상기 반도체 기관의 주면의 소자 분리 영역에 형성된 저항 소자를 갖는 반도체 집적 회로 장치의 제조 방법으로서,

(a) 상기 반도체 기관의 주면의 제1 영역, 제2 영역 및 소자 분리 영역 위에 제1 내산화성막을 형성하는 공정과,

(b) 상기 (a) 공정 후, 상기 제1 내산화성막을 피복하도록 하여 제1 실리콘막 및 제2 내산화성막을 형성하고, 그 후 상기 제2 내산화성막, 상기 제1 실리콘막을 패터닝하여, 상기 제1 영역 위에 상기 불휘발성 기억 소자의 게이트 전극 및 게이트 절연막을 형성함과 함께, 상기 소자 분리 영역의 상기 제1 내산화성막 위에, 상면이 상기 제2 내산화성막으로 피복된 상기 저항 소자를 형성하는 공정과,

(c) 상기 (b) 공정 후, 열 처리를 실시하여, 상기 반도체 기관의 주면의 제2 영역에 산화 실리콘막으로 이루어지는 게이트 절연막을 형성하는 공정과,

(d) 상기 (c) 공정 후, 상기 게이트 절연막을 피복하도록 하여 제2 실리콘막을 형성하는 공정과,

(e) 상기 (d) 공정 후, 상기 제2 실리콘막을 패터닝하여, 상기 게이트 절연막 위에 상기 MISFET의 게이트 전극을 형성하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 2

제1항에 있어서,

상기 제1 및 제2 내산화성막은 질화 실리콘막인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 3

반도체 기관의 주면의 소자 형성 영역에 형성된 불휘발성 기억 소자와, 상기 반도체 기관의 주면의 소자 분리 영역에 형성된 저항 소자를 갖는 반도체 집적 회로 장치의 제조 방법으로서,

(a) 상기 반도체 기관의 주면의 소자 형성 영역 및 소자 분리 영역 위에 제1 내산화성막을 형성하는 공정과,

(b) 상기 (a) 공정 후, 상기 제1 내산화성막을 피복하도록 하여 제1 실리콘막 및 제2 내산화성막을 형성하고, 그 후 상기 제2 내산화성막, 상기 제1 실리콘막을 패터닝하여, 상기 소자 형성 영역 위에 상기 불휘발성 기억 소자의 게이트 전극 및 게이트 절연막을 형성함과 함께, 상기 소자 분리 영역의 상기 제1 내산화성막 위에, 상면이 상기 제2 내산화성막으로 피복된 상기 저항 소자를 형성하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 4

제3항에 있어서,

상기 제1 및 제2 내산화성막은 질화 실리콘막인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 5

반도체 기관의 주면에 형성된 불휘발성 기억 소자와, 상기 반도체 기관의 주면의 소자 분리 영역 위에 형성된 저항 소자를 갖는 반도체 집적 회로 장치로서,

상기 불휘발성 기억 소자의 게이트 절연막은, 상기 반도체 기관의 주면의 제1 영역에 제1 산화 실리콘막과, 상기 제1 산화 실리콘막 위에 형성된 제1 질화 실리콘막을 갖고,

상기 불휘발성 기억 소자의 게이트 전극은, 상기 제1 질화 실리콘막 위에 형성된 제1 실리콘막을 갖고,
 제2 질화 실리콘막이, 상기 소자 분리 영역 위에 형성되고,
 상기 제2 질화 실리콘막 위에 상기 저항 소자가 형성되고,
 내산화성막이, 상기 저항 소자 위에 형성되고,
 상기 제2 질화 실리콘막은, 상기 제1 질화 실리콘막과 동일한 층의 막으로 구성되고,
 상기 불휘발성 기억 소자의 게이트 전극은, 상기 저항 소자와 동일한 층의 막으로 구성되는 것을 특징으로 하는
 반도체 집적 회로 장치.

청구항 6

제5항에 있어서,
 상기 내산화성막은 질화 실리콘막인 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 7

제5항에 있어서,
 상기 저항 소자의 콘택트 영역에 실리사이드층이 형성되는 것을 특징으로 하는 반도체 집적 회로 장치.

명세서

기술분야

[0001] 본 발명은, 반도체 장치 및 그 제조 기술에 관한 것으로, 특히 불휘발성 기억 소자와, 용량 소자 혹은 저항 소자를 갖는 시스템 IC(Integrated Circuit)에 적용하기에 유효한 기술에 관한 것이다.

배경기술

[0002] 반도체 집적 회로 장치로서, 예를 들면 플래시 메모리 혹은 EEPROM(Electrically Erasable Programmable Read Only Memory)이라고 호칭되는 불휘발성 기억 장치가 알려져 있다. 이 플래시 메모리에서는, 1개의 불휘발성 기억 소자로 메모리 셀을 구성한 1 트랜지스터 방식의 메모리 셀이나, 1개의 불휘발성 기억 소자와 1개의 선택용 MISFET(Metal Insulator Semiconductor Field Effect Transistor)를 직렬로 접속한 2 트랜지스터 방식의 메모리 셀이 알려져 있다. 또한, 불휘발성 기억 소자에서는 반도체 기판과 제어 게이트 전극과의 사이의 부유 게이트 전극(플로팅 게이트 전극)에 정보를 기억시키는 부유 게이트형(플로팅 게이트형), 반도체 기판과 게이트 전극과의 사이의 게이트 절연막에 NO(질화막/산화막 : Nitride/Oxide)막을 사용하고, 이 게이트 절연막에 정보를 기억시키는 MNOS(Metal Nitride Oxide Semiconductor)형, 반도체 기판과 게이트 전극과의 사이의 게이트 절연막에 ONO(산화막/질화막/산화막 : Oxide/Nitride/Oxide)막을 사용하고, 이 게이트 절연막에 정보를 기억시키는 MONOS(Metal Oxide Nitride Oxide Semiconductor)형 등이 알려져 있다. 또한, 플로팅 게이트형에서는 플로팅 게이트 전극과 제어 게이트 전극과의 사이의 층간 절연막에 ONO막을 사용한 것도 알려져 있다.

[0003] 한편, 반도체 집적 회로 장치 중에는 MISFET 등의 능동 소자뿐만 아니라, 일반적으로는 저항 소자, 용량 소자 등의 수동 소자도 다수 존재한다. 예를 들면 지연 회로, 부하 소자, 발진 회로, 전원 안정용 패스 컨덴서(바이패스 컨덴서) 등에 사용되고 있다. 저항 소자나 용량 소자도, 다양한 구조의 것이 알려져 있다. 예를 들면, 저항 소자로서는 반도체 기판에 불순물을 도입하여 형성된 확산 저항 소자나, 다결정 실리콘막으로 형성된 폴리실리콘 저항 소자 등이 알려져 있다. 용량 소자로서는, 반도체 기판에 불순물을 도입하여 형성된 반도체 영역(불순물 확산 영역)을 하부 전극으로 하고, 이 하부 전극 상에 유전체막을 개재하여 형성된 도전막을 상부 전극으로 하는 용량 소자나, 반도체 기판의 주면의 소자 분리 영역 위에 형성된 도전막을 하부 전극으로 하고, 이 하부 전극 상에 유전체막을 개재하여 형성된 도전막을 상부 전극으로 하는 용량 소자 등이 알려져 있다. 또한, 용량 소자에서는 유전체막에 상술한 ONO막을 사용한 용량 소자도 알려져 있다.

[0004] 또, 본 발명에 관련된 공지 문헌으로는, 하기의 특허 문헌1(일본 특개2000-269449호 공보), 및 특허 문헌2(일본 특개2000-164835호 공보)가 있다. 특허 문헌1에는 플로팅 게이트 구조의 불휘발성 메모리, 및 용량 소자를 갖

는 반도체 집적 회로 장치의 제조 기술이 개시되어 있다. 특히 문헌2에는, 플로팅 게이트 구조의 불휘발성 메모리, 고내압 트랜지스터, 및 저내압 트랜지스터를 갖는 집적 회로의 제조 기술이 개시되어 있다.

- [0005] [특허 문헌1]
- [0006] 일본 특개2000-269449호 공보
- [0007] [특허 문헌2]
- [0008] 일본 특개2000-164835호 공보

발명의 내용

해결하려는 과제

- [0009] 최근 멀티미디어, 정보 통신 등의 최첨단 기술 분야에서는, 마이크로 컴퓨터, DRAM, ASIC(Application Specific Integrated Circuit), 플래시 메모리 등을 원 칩 내에 혼재한 시스템 온 칩 구조를 실현하는 것에 의해, 데이터 전송 속도의 고속화, 공간 절약(실장 밀도 향상), 저소비 전력화를 도모하는 움직임이 활발해지고 있다.
- [0010] 플래시 메모리 어레이, 및 마이크로 컴퓨터 등의 논리 연산 회로를 내장하는 시스템 온 칩의 경우, 예를 들면 3.3V의 외부 전원을 이용하여, 그 외부 전원 전압 3.3V로 구동시키는 복수의 MISFET와, 저소비, 고속화를 위해, 강압 회로에 의해 1.8V의 제1 내부 전원 전압을 발생시키고, 그 제1 내부 전원 전압으로 구동시키는 복수의 MISFET가 필요하게 된다. 그리고, 또한 승압 회로에 의해 10V~12V의 제2 내부 전원 전압을 발생시키고, 그 제2 내부 전원 전압(10~12V)에서 플래시 메모리 어레이 중 선택된 메모리 셀에의 기입 등을 위해 구동시키는 복수의 MISFET가 필요하게 된다. 이하, 전자와 같은 3.3V 혹은 1.8V로 구동시키는 MISFET를 저내압 MISFET라고 칭하고, 후자와 같은 10~12V로 구동시키는 MISFET를 고내압 MISFET라고 칭한다. 이들 저내압 MISFET, 및 고내압 MISFET는 각각 1개의 반도체 기판(반도체 칩) 내에 CMOS 구성(p형 MISFET과 n형 MISFET의 쌍)으로 내장된다.
- [0011] 한편, 휴대형 카드에 탑재되는 시스템 LSI는 레귤레이터, 중앙 연산 처리 장치(CPU : Central Processing Unit), 입출력 회로(I/O), 시스템 컨트롤러, 위치독 타이머(watch dog timer), 난수 발생기, ROM(Read Only Memory), RAM(Random Access Memory) 및 EEPROM 등에 의해 구성되어 있다. 레귤레이터, I/O, 및 EEPROM에서는 복수의 고내압 MISFET가 사용되고 있다. 또한, 위치독 타이머, EEPROM 내의 타이머에서는, 복수의 저항 소자가 사용되고 있다. 또한, 전원 전압의 안정화를 꾀하기 위해 복수의 바이패스 커패시터가 사용되고 있다.
- [0012] 본 발명자는, 시스템 LSI에 대하여 검토한 결과, 이하의 문제점을 발견하였다.
- [0013] 제1층째의 다결정 실리콘막으로 용량 소자의 하부 전극을 형성하고, 제2층째의 다결정 실리콘막으로 용량 소자의 상부 전극, 저내압 및 고내압 MISFET의 게이트 전극을 형성하는 경우, 기판의 주면의 소자 분리 영역 위에 하부 전극을 형성한 후, 열 처리를 실시하여 산화 실리콘막으로 이루어지는 게이트 절연막을 형성하게 된다. 이 게이트 절연막의 형성 시에, 하부 전극의 측면으로부터, 하부 전극과 소자 분리 영역과의 사이의 계면을 따라 산화 실리콘막으로 이루어지는 버즈빅이 형성된다. 기판의 주면의 소자 분리 영역은, 통상 산화 실리콘막으로 형성되어 있다. 열 처리 시의 O₂, H₂O 등의 산화제는 산화 실리콘막 내부를 통과한다. 따라서, 게이트 절연막의 형성 시에, 하부 전극의 측면으로부터, 하부 전극과 소자 분리 영역과의 사이의 계면을 따라 신장하는 산화 실리콘막의 버즈빅이 형성된다.
- [0014] 이 버즈빅의 형성에 의해, 하부 전극의 주연부가 들어 올려지고, 하부 전극의 하면이 볼록 형상으로 되는 휘어짐이 하부 전극에 발생하기 때문에, 소자 분리 영역으로부터 하부 전극이 박리되기 쉬워진다. 이러한 문제점은, 시스템 LSI의 고집적화나 다기능화에 수반하는 용량 소자의 미세화가 진행됨에 따라 현저하게 되기 때문에, 용량 소자의 소형화가 곤란하게 된다. 또한, 시스템 LSI의 수율 저하, 신뢰성 저하의 요인으로도 된다.
- [0015] 기판의 소자 분리 영역 위에 제1층째의 다결정 실리콘막으로 저항 소자를 형성하고, 제2층째의 다결정 실리콘막으로 저내압 및 고내압 MISFET의 게이트 전극을 형성하는 경우에도, 상술한 버즈빅은 형성된다. 이 버즈빅의 형성에 의해, 저항 소자의 저항값에 변동이 발생한다. 이 버즈빅에 의한 저항값의 변동은, 저항 소자의 미세화에 수반하여 현저하게 되기 때문에, 폭을 좁게 하여 고저항의 저항 소자를 형성하는 것이 곤란하게 된다.
- [0016] MISFET의 채널 길이는, 고집적화에 의한 미세화에 수반하여 짧아진다. 채널 길이가 짧아지면, 소스 영역 및 드

레인 영역으로부터의 공핍층이 게이트 전극 아래로 연장되어, 채널 형성 영역의 전위 장벽이 내려간다. 그 결과, 임계값 전압(V_{th})이 저하되고, 소스 영역/드레인 영역 사이의 전압(V_{ds})을 조금 증가시키기만 해도 드레인 전류(I_{ds})가 증가하여 정전류 영역을 얻을 수 없게 된다. 또한, 전압 V_{ds} 를 증가시키면, 드레인 영역 및 소스 영역으로부터의 공핍층이 접촉하는 펀치 스루 상태로 되어, 드레인 전류 I_{ds} 가 급증한다. 즉, 드레인 영역/소스 영역 사이의 내압이 저하한다. 또한, 게이트 전압(V_g)이 임계값 전압 V_{th} 보다도 낮은 상태에서 흐르는 드레인 전류(서브 임계 전류)가 증가하기 때문에, 「OFF」 상태에서의 누설 전류가 증가한다.

[0017] 이러한, 드레인 영역/소스 영역 사이의 내압 열화 및 「OFF 상태」에서의 누설 전류의 증가는 MISFET이 형성되는 웰 영역의 불순물 농도, 즉 채널 형성 영역의 불순물 농도를 높이는 것에 의해 억제할 수 있다. 따라서, 저내압 MISFET가 형성되는 저압계 웰 영역의 표면 불순물 농도는 고내압 MISFET가 형성되는 고압계 웰 영역의 표면 불순물 농도보다도 높게 설정된다.

[0018] 웰 영역은, 통상 게이트 절연막의 형성 공정 전에 형성된다. 한편, ONO형 불휘발성 기억 소자의 게이트 절연막은 하층 및 상층의 산화막이 일반적으로는 열 산화에 의해 형성된다. 따라서, ONO형 불휘발성 기억 소자의 게이트 절연막을 형성하는 공정 전에 저압계 웰 영역을 형성한 경우, 저압계 웰 영역이 열 처리되는 횟수가 많아진다. 저압계 웰 영역의 표면 불순물 농도는, 고압계 웰 영역의 표면 불순물 농도보다도 높기 때문에, 열 처리의 횟수가 많아지면, 저압계 웰 영역의 표면 불순물 농도가 내려가고, 저내압 MISFET의 특성이 변한다.

[0019] 본 발명의 목적은, 점유 면적이 작고, 용량이 큰 용량 소자를 실현하는 것이 가능한 기술을 제공하는 것에 있다.

[0020] 본 발명의 목적은, 고저항의 저항 소자를 실현하는 것이 가능한 기술을 제공하는 것에 있다.

[0021] 본 발명의 목적은, 저내압 MISFET의 특성에 영향을 주지 않고 고내압 MISFET를 형성하는 것이 가능한 기술을 제공하는 것에 있다.

[0022] 본 발명의 목적은 반도체 집적 회로 장치의 제조 수율의 향상을 도모하는 것이 가능한 기술을 제공하는 것에 있다.

[0023] 본 발명의 상기 및 그 밖의 목적과 신규의 특징은 본 명세서의 기술 및 첨부 도면에 의해 분명하게 될 것이다.

과제의 해결 수단

[0024] 본원에서 개시되는 발명 중 대표적인 것의 개요를 간단히 설명하면, 하기와 같다.

[0025] (1) 반도체 기관의 주면의 소자 분리 영역 위에 하부 전극이 형성되고, 또한 상기 하부 전극 상에 유전체막을 개재하여 상부 전극이 형성된 용량 소자를 갖는 반도체 집적 회로 장치에 있어서,

[0026] 상기 반도체 기관의 주면의 소자 분리 영역과 상기 하부 전극과의 사이, 및 상기 하부 전극과 상기 상부 전극과의 사이에 내산화성막(예를 들면 질화 실리콘막)을 갖는다.

[0027] (2) 반도체 기관의 주면의 소자 형성 영역 위에 게이트 절연막을 개재하여 게이트 전극이 형성된 MISFET와, 반도체 기관의 주면의 소자 분리 영역 위에 하부 전극이 형성되고, 또한 상기 하부 전극 상에 유전체막을 개재하여 상부 전극이 형성된 용량 소자를 갖는 반도체 집적 회로 장치의 제조 방법에 있어서,

[0028] 반도체 기관의 주면의 소자 분리 영역 위에 제1 내산화성막(예를 들면 질화 실리콘막)을 개재하여 상기 하부 전극이 형성되고, 또한 상기 하부 전극의 상면이 제2 내산화성막(예를 들면 질화 실리콘막)으로 피복된 상태에서, 열 처리를 실시하여 상기 반도체 기관의 주면의 소자 형성 영역에 산화실리콘막으로 이루어지는 상기 게이트 절연막을 형성하는 공정을 포함한다.

[0029] (3) 반도체 기관의 주면의 제1 영역에 형성된 불휘발성 기억 소자와, 상기 반도체 기관의 주면의 제2 영역에 형성된 MISFET와, 상기 반도체 기관의 주면의 소자 분리 영역 위에 형성된 용량 소자를 갖는 반도체 집적 회로 장치의 제조 방법에 있어서,

[0030] 열 처리를 실시하여, 상기 반도체 기관의 주면의 제1 영역에 산화 실리콘막을 형성하는 (a) 공정과,

[0031] 상기 (a) 공정 후, 상기 산화 실리콘막, 및 상기 반도체 기관의 주면의 소자 분리 영역을 피복하도록 하여 제1 질화 실리콘막을 형성하는 (b) 공정과,

- [0032] 상기 (b) 공정 후, 상기 반도체 기판의 주면의 제1 영역, 및 상기 반도체 기판의 주면의 소자 분리 영역을 피복하도록 하여 상기 제1 질화 실리콘막 위에 제1 실리콘막을 형성하는 (c) 공정과,
- [0033] 상기 (c) 공정 후, 상기 반도체 기판의 주면의 소자 분리 영역을 피복하도록 하여 상기 제1 실리콘막 위에 제2 질화 실리콘막을 형성하는 (d) 공정과,
- [0034] 상기 (d) 공정 후, 상기 제2 질화 실리콘막, 및 상기 제1 실리콘막을 패터닝하여, 상기 반도체 기판의 주면의 제1 영역 위에 상기 불휘발성 기억 소자의 게이트 전극을 형성함과 함께, 상기 반도체 기판의 주면의 소자 분리 영역 위에서의 상기 제1 질화 실리콘막 위에, 상면이 상기 제2 질화 실리콘막으로 피복된 상기 용량 소자의 하부 전극을 형성하는 (e) 공정과,
- [0035] 상기 (e) 공정 후, 열 처리를 실시하여, 상기 반도체 기판의 주면의 제2 영역에 산화 실리콘막으로 이루어지는 게이트 절연막을 형성하는 (f) 공정과,
- [0036] 상기 (f) 공정 후, 상기 게이트 절연막, 및 상기 하부 전극 상의 제2 질화 실리콘막을 피복하도록 하여 제2 실리콘막을 형성하는 (g) 공정과,
- [0037] 상기 (g) 공정 후, 상기 제2 실리콘막을 패터닝하여, 상기 게이트 절연막 위에 상기 MISFET의 게이트 전극을 형성함과 함께, 상기 하부 전극 상의 상기 제2 질화 실리콘막 위에 상기 용량 소자의 상부 전극을 형성하는 (h) 공정을 포함한다.
- [0038] (4) 반도체 기판의 주면의 소자 분리 영역 위에 형성된 저항 소자를 갖는 반도체 집적 회로 장치에 있어서,
- [0039] 상기 반도체 기판의 주면의 소자 분리 영역과 상기 저항 소자와의 사이, 및 상기 저항 소자 위에 내산화성막(예를 들면 질화 실리콘막)을 갖는다.
- [0040] (5) 반도체 기판의 주면의 소자 형성 영역 위에 게이트 절연막을 개재하여 게이트 전극이 형성된 MISFET와, 반도체 기판의 주면의 소자 분리 영역 위에 형성된 저항 소자를 갖는 반도체 집적 회로 장치의 제조 방법에 있어서,
- [0041] 반도체 기판의 주면의 소자 분리 영역 위에 제1 내산화성막(예를 들면 질화 실리콘막)을 개재하여 상기 저항 소자가 형성되고, 또한 상기 저항 소자의 상면이 제2 내산화성막(예를 들면 질화 실리콘막)으로 피복된 상태에서, 열 처리를 실시하여 상기 반도체 기판의 주면의 소자 형성 영역에 산화 실리콘막으로 이루어지는 상기 게이트 절연막을 형성하는 공정을 포함한다.
- [0042] (6) 반도체 기판의 주면의 제1 영역에 형성된 불휘발성 기억 소자와, 상기 반도체 기판의 주면의 제2 영역에 형성된 MISFET와, 상기 반도체 기판의 주면의 소자 분리 영역 위에 형성된 저항 소자를 갖는 반도체 집적 회로 장치의 제조 방법에 있어서,
- [0043] 열 처리를 실시하여, 상기 반도체 기판의 주면의 제1 영역에 산화 실리콘막을 형성하는 (a) 공정과,
- [0044] 상기 (a) 공정 후, 상기 산화 실리콘막, 및 상기 반도체 기판의 주면의 소자 분리 영역을 피복하도록 하여 제1 질화 실리콘막을 형성하는 (b) 공정과,
- [0045] 상기 (b) 공정 후, 상기 반도체 기판의 주면의 제1 영역, 및 상기 반도체 기판의 주면의 소자 분리 영역을 피복하도록 하여 상기 제1 질화 실리콘막 위에 제1 실리콘막을 형성하는 (c) 공정과,
- [0046] 상기 (c) 공정 후, 상기 반도체 기판의 주면의 소자 분리 영역을 피복하도록 하여 상기 제1 실리콘막 위에 제2 질화 실리콘막을 형성하는 (d) 공정과,
- [0047] 상기 (d) 공정 후, 상기 제2 질화 실리콘막, 및 상기 제1 실리콘막을 패터닝하여, 상기 반도체 기판의 주면의 제1 영역 위에 상기 불휘발성 기억 소자의 게이트 전극을 형성함과 함께, 상기 반도체 기판의 주면의 소자 분리 영역 위에서의 상기 제1 질화 실리콘막 위에, 상면이 상기 제2 질화 실리콘막으로 피복된 상기 저항 소자를 형성하는 (e) 공정과,
- [0048] 상기 (e) 공정 후, 열 처리를 실시하여, 상기 반도체 기판의 주면의 제2 영역에 산화 실리콘막으로 이루어지는 게이트 절연막을 형성하는 (f) 공정과,
- [0049] 상기 (f) 공정 후, 상기 게이트 절연막을 피복하도록 하여 제2 실리콘막을 형성하는 (g) 공정과,
- [0050] 상기 (g) 공정 후, 상기 제2 실리콘막을 패터닝하여, 상기 게이트 절연막 위에 상기 MISFET의 게이트 전극을 형

성하는 (h) 공정을 포함한다.

- [0051] (7) 반도체 기관의 주면의 소자 형성 영역 위에 게이트 절연막을 개재하여 게이트 전극이 형성된 MISFET와,
- [0052] 반도체 기관의 주면의 소자 분리 영역 위에 하부 전극이 형성되고, 또한 상기 하부 전극 상에 유전체막을 개재하여 상부 전극이 형성된 용량 소자와,
- [0053] 상기 반도체 기관의 주면의 소자 분리 영역 위에 형성된 저항 소자
- [0054] 를 갖는 반도체 집적 회로 장치의 제조 방법에 있어서,
- [0055] 반도체 기관의 주면의 소자 분리 영역 위에 제1 내산화성막(예를 들면 질화 실리콘막)을 개재하여 상기 하부 전극 및 저항 소자가 형성되고, 또한 상기 하부 전극 상면 및 상기 저항 소자의 상면이 제2 내산화성막(예를 들면 질화 실리콘막)으로 피복된 상태에서, 열 처리를 실시하여 상기 반도체 기관의 주면의 소자 형성 영역에 산화 실리콘막으로 이루어지는 상기 게이트 절연막을 형성하는 공정을 포함한다.
- [0056] (8) 반도체 기관의 주면의 제1 영역에 형성된 불휘발성 기억 소자와,
- [0057] 상기 반도체 기관의 주면의 제2 영역에 형성된 MISFET와,
- [0058] 상기 반도체 기관의 주면의 제1 소자 분리 영역 위에 형성된 용량 소자와,
- [0059] 상기 반도체 기관의 주면의 제2 소자 분리 영역 위에 형성된 저항 소자
- [0060] 를 갖는 반도체 집적 회로 장치의 제조 방법에 있어서,
- [0061] 열 처리를 실시하여, 상기 반도체 기관의 주면의 제1 영역에 산화 실리콘막을 형성하는 (a) 공정과,
- [0062] 상기 (a) 공정 후, 상기 산화 실리콘막, 및 상기 반도체 기관의 주면의 제1 및 제2 소자 분리 영역을 피복하도록 하여 제1 질화 실리콘막을 형성하는 (b) 공정과,
- [0063] 상기 (b) 공정 후, 상기 반도체 기관의 주면의 제1 영역, 및 상기 반도체 기관의 주면의 제1 및 제2 소자 분리 영역을 피복하도록 하여 상기 제1 질화 실리콘막 위에 제1 실리콘막을 형성하는 (c) 공정과,
- [0064] 상기 (c) 공정 후, 상기 반도체 기관의 주면의 제1 및 제2 소자 분리 영역을 피복하도록 하여 상기 제1 실리콘막 위에 제2 질화 실리콘막을 형성하는 (d) 공정과,
- [0065] 상기 (d) 공정 후, 상기 제2 질화 실리콘막, 및 상기 제1 실리콘막을 패터닝하여, 상기 반도체 기관의 주면의 제1 영역 위에 상기 불휘발성 기억 소자의 게이트 전극, 상기 반도체 기관의 주면의 제1 소자 분리 영역 위에서의 상기 제1 질화 실리콘막 위에, 상면이 상기 제2 질화 실리콘막으로 피복된 상기 용량 소자의 하부 전극, 및 상기 반도체 기관의 주면의 제2 소자 분리 영역 위에서의 상기 제1 질화 실리콘막 위에 상면이 상기 제2 질화 실리콘막으로 피복된 상기 저항 소자를 형성하는 (e) 공정과,
- [0066] 상기 (e) 공정 후, 열 처리를 실시하여, 상기 반도체 기관의 주면의 제2 영역에 산화 실리콘막으로 이루어지는 게이트 절연막을 형성하는 (f) 공정과,
- [0067] 상기 (f) 공정 후, 상기 하부 전극 상 및 상기 저항 소자 위의 제2 질화 실리콘막, 및 상기 게이트 절연막을 피복하도록 하여 제2 실리콘막을 형성하는 (g) 공정과,
- [0068] 상기 (g) 공정 후, 상기 제2 실리콘막을 패터닝하여, 상기 게이트 절연막 위에 상기 MISFET의 게이트 전극, 및 상기 하부 전극 상의 상기 제2 질화 실리콘막 위에 상기 용량 소자의 상부 전극을 형성하는 (h) 공정을 포함한다.
- [0069] (9) 반도체 기관의 주면의 제1 영역에 불휘발성 기억 소자와,
- [0070] 상기 반도체 기관의 주면의 제2 영역에 형성된 제1 MISFET와,
- [0071] 상기 제1 MISFET보다도 동작 전압이 낮은 제2 MISFET로서, 상기 반도체 기관의 주면의 제3 영역에 형성된 제2 MISFET를 갖는 반도체 집적 회로 장치의 제조 방법에 있어서,
- [0072] 상기 반도체 기관의 주면의 제1 영역에 열 산화막을 포함하는 게이트 절연막을 형성하는 공정과,
- [0073] 상기 게이트 절연막 위에 게이트 전극을 형성하는 공정과,

- [0074] 상기 반도체 기관의 주면의 제2 영역에 제1 웰 영역을 형성하는 공정과,
- [0075] 상기 반도체 기관의 주면의 제3 영역에 제2 웰 영역을 형성하는 공정을 포함하고
- [0076] 상기 제2 웰 영역의 형성 공정은, 상기 게이트 전극을 형성한 후에 실시한다.

발명의 효과

- [0077] 본원에서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면, 하기와 같다.
- [0078] 본 발명에 따르면, 점유 면적이 작고, 용량이 큰 용량 소자를 실현할 수 있다.
- [0079] 본 발명에 따르면, 고저항의 저항 소자를 실현할 수 있다.
- [0080] 본 발명에 따르면, 저내압 MISFET의 특성에 영향을 주지 않고 고내압 MISFET를 형성할 수 있다.
- [0081] 본 발명에 따르면, 반도체 집적 회로 장치의 제조 수율의 향상을 도모할 수 있다.

도면의 간단한 설명

- [0082] 도 1은 본 발명의 제1 실시예인 반도체 집적 회로 장치의 개략 구성을 도시하는 모식적 단면도.
- 도 2는 도 1의 일부(메모리 셀부)를 확대한 모식적 단면도.
- 도 3은 도 1의 일부(고내압 pMIS 부 및 저항 소자부)를 확대한 모식적 단면도.
- 도 4는 도 1의 일부(저내압 p형 MIS 부 및 용량 소자부)를 확대한 모식적 단면도.
- 도 5는 본 발명의 제1 실시예인 반도체 집적 회로 장치에 구성된 회로 블록도.
- 도 6은 도 5의 EEPROM의 개략 구성을 도시하는 회로도.
- 도 7은 도 5에서의 패스 컨텐서의 개략 설명도.
- 도 8은 본 발명의 제1 실시예의 용량 소자에 있어서, 상부 전극에 정전압을 인가했을 때의 누설 전류 특성을 도시하는 도면.
- 도 9는 본 발명의 제1 실시예의 용량 소자에서, 상부 전극에 음전압을 인가했을 때의 누설 전류 특성을 도시하는 도면.
- 도 10은 본 발명의 제1 실시예의 용량 소자의 상부 전극 전압 의존성을 도시하는 도면.
- 도 11은 본 발명의 제1 실시예의 저항 소자에서, 저항값의 다결정 실리콘 폭 의존성을 도시하는 도면.
- 도 12는 본 발명의 제1 실시예인 반도체 집적 회로 장치의 제조 공정 중에서의 모식적 단면도.
- 도 13은 도 12에 이어지는 반도체 집적 회로 장치의 제조 공정 중의 모식적 단면도.
- 도 14는 도 13에 이어지는 반도체 집적 회로 장치의 제조 공정 중의 모식적 단면도.
- 도 15는 도 14에 이어지는 반도체 집적 회로 장치의 제조 공정 중의 모식적 단면도.
- 도 16은 도 15에 이어지는 반도체 집적 회로 장치의 제조 공정 중의 모식적 단면도.
- 도 17은 도 16에 이어지는 반도체 집적 회로 장치의 제조 공정 중의 모식적 단면도.
- 도 18은 도 17에 이어지는 반도체 집적 회로 장치의 제조 공정 중의 모식적 단면도.
- 도 19는 도 18에 이어지는 반도체 집적 회로 장치의 제조 공정 중의 모식적 단면도.
- 도 20은 도 19에 이어지는 반도체 집적 회로 장치의 제조 공정 중의 모식적 단면도.
- 도 21은 도 20에 이어지는 반도체 집적 회로 장치의 제조 공정 중의 모식적 단면도.
- 도 22는 도 21에 이어지는 반도체 집적 회로 장치의 제조 공정 중의 모식적 단면도.
- 도 23은 도 22에 이어지는 반도체 집적 회로 장치의 제조 공정 중의 모식적 단면도.
- 도 24는 도 23에 이어지는 반도체 집적 회로 장치의 제조 공정 중의 모식적 단면도.

도 25는 도 24에 이어지는 반도체 집적 회로 장치의 제조 공정 중의 모식적 단면도.
 도 26은 도 25에 이어지는 반도체 집적 회로 장치의 제조 공정 중의 모식적 단면도.
 도 27은 도 26에 이어지는 반도체 집적 회로 장치의 제조 공정 중의 모식적 단면도.
 도 28은 도 27에 이어지는 반도체 집적 회로 장치의 제조 공정 중의 모식적 단면도.

발명을 실시하기 위한 구체적인 내용

- [0083] 이하, 도면을 참조하면서 본 발명의 실시예를 상세히 설명한다. 또, 발명의 실시예를 설명하기 위한 전체 도면에서 동일 기능을 갖는 것은 동일 부호를 붙이고, 그 반복되는 설명은 생략한다. 또한, 단면도에서는, 도면을 보기 쉽게 하기 위해, 단면을 나타내는 해칭을 일부 생략하는 경우가 있다.
- [0084] 본 실시예에서는, 반도체 집적 회로 장치로서, 예를 들면 IC 카드에 내장되어 사용되는 시스템 LSI에 본 발명을 적용한 예에 대하여 설명한다.
- [0085] 도 1은, 본 실시예의 시스템 LSI의 개략 구성을 도시하는 모식적 단면도이고,
- [0086] 도 2는 도 1의 일부(메모리 셀부)를 확대한 모식적 단면도이고,
- [0087] 도 3은 도 1의 일부(고내압 pMIS 부 및 저항 소자부)를 확대한 모식적 단면도이고,
- [0088] 도 4는 도 1의 일부(저내압 p형 MIS 부 및 용량 소자부)를 확대한 모식적 단면도이고,
- [0089] 도 5는 본 실시예의 시스템 LSI의 개략 구성을 도시하는 회로 블록도이고
- [0090] 도 6은 도 5의 EEPROM의 개략 구성을 도시하는 회로도이며,
- [0091] 도 7은 도 1의 용량 소자의 사용 형태의 일례를 도시하는 블록도이다.
- [0092] 도 5에 도시한 바와 같이, 본 실시예의 시스템 LSI는 레귤레이터, 중앙 연산 처리 장치(CPU), 입출력 회로(I/O), 시스템 컨트롤러, 위치독 타이머, 난수 발생기, ROM, RAM, 및 EEPROM 등을 반도체 칩(1A)에 탑재한 구성으로 되어 있다.
- [0093] 상기 시스템 LSI를 구성하는 EEPROM은, 예를 들면 IC 카드의 데이터 메모리로서 사용되고, 반도체 칩(1A)에 탑재된 도 6에 도시한 바와 같은 승압 회로를 통하여 재기입(소거 및 기입)용의 고전압(-Vpp)이 공급되게 되어 있다. 승압 회로는 1.8~5V의 외부 전원 전압을 EEPROM 이외의 저압 로직용에 레귤레이터에 의해 강압된 1.5V를 승압하여 -10.5V를 발생시킨다. 그 때, 수 10pF의 용량 소자를 이용한 다단의 차지 펌프 회로에 의해 출력 노드에 고전압을 공급하고 있다.
- [0094] 기타, 반도체 칩(1A) 내에는, 도 7에 도시한 바와 같이 외부 전원 Vcc를 레귤레이트한 내부 전원 Vdd와 Vss(0V)와의 사이에, 내부 전원 전압 안정화용으로 패스 컨덴서(바이패스 컨덴서)라고 하는 용량 소자 C가 다수 접속되어 있다. 이 용량 소자 C는 각 회로 블록(모듈) 사이의 배선 채널 영역에서, 배선 아래에 배치되는 경우가 많다.
- [0095] 또, 상기 시스템 LSI는 기본적으로 n 채널 도전형 MISFET와, p 채널 도전형 MISFET를 조합한 CMIS 디바이스 구성으로 되어 있다. 이 CMIS 디바이스는 통상 CMOS라고 한다.
- [0096] 또한, 1.8V로 구동되는 MISFET나, 3.3V로 구동되는 MISFET와 같은 상대적으로 낮은 전압 구동의 MISFET는 고속화를 위해 디바이스 구조도 미세화된다. 따라서, 이러한 MISFET는 게이트 내압도 낮다. 이하, 이러한 MISFET를 저내압 MISFET라고 한다.
- [0097] 또한, 12V로 구동되는 MISFET와 같은 상대적으로 높은 전압 구동의 MISFET는 게이트 내압도 높아진다. 이하, 이러한 MISFET를 고내압 MISFET라고 한다.
- [0098] 이어서, 상기 시스템 LSI의 구체적인 구조에 대하여, 도 1 내지 도 4를 이용하여 설명한다. 도 1에는 메모리 셀 Me, 저내압 p형 MISFET-QLp, 저항 소자(10b), 고내압 p형 MISFET-QHp, 및 용량 소자 C를 도시하고 있다. 메모리 셀 Me는 상기 EEPROM의 메모리 셀 어레이에 사용되고 있으며, 저내압 p형 MISFET-QLp는 상기 중앙 연산 처리 장치 등에 사용되고 있으며, 저항 소자(10b)는 상기 위치독 타이머 등에 사용되어 있고, 고내압 p형 MISFET-QHp는 레귤레이터, 입출력 회로, EEPROM의 주변 회로 등에 사용되고 있으며, 용량 소자 C는 상술한 바이패스 컨덴서로서 사용되고 있다.

- [0099] 도 1 내지 도 4에 도시한 바와 같이, 시스템 LSI는 반도체 기관으로서 예를 들면 p형의 단결정 실리콘으로 이루어지는 반도체 기관(1)(이하, 단순히 기관이라고 함)을 주체로 구성되어 있다. 기관(1)의 주면에는 소자 분리 영역(5)에 의해 구획된 복수의 소자 형성 영역이 형성되어 있다. 소자 형성 영역으로서, 메모리 셀 형성 영역, 저내압 MIS 형성 영역, 고내압 MIS 형성 영역 등을 포함한다. 소자 분리 영역(5)은 예를 들면 주지의 STI(Shallow Trench Isolation) 기술에 의해 형성되어 있다. STI 기술에 의한 소자 분리 영역(5)은, 기관(1)의 주면에 얇은 홈(예를 들면 300[nm] 정도의 깊이의 홈)을 형성하고, 그 후 기관(1)의 주면 위에 예를 들면 산화 실리콘막으로 이루어지는 절연막을 CVD(Cheical Vapor Deposition)법으로 형성하고, 그 후 절연막이 얇은 홈의 내부에 선택적으로 남도록 CMP(화학적 기계 연마 : Chemical Mechanical Polishing)법으로 평탄화하는 것에 의해 형성된다.
- [0100] 도 1 및 도 2에 도시한 바와 같이, 기관(1)의 주면의 메모리 셀 형성 영역에는 n형 웰 영역(2)이 형성되고, 이 n형 웰 영역(2) 내에는 고압계 p형 웰 영역(4)이 형성되어 있다. 또한, 기관(1) 주면의 메모리 셀 형성 영역에는 메모리 셀 Me가 형성되어 있다. 메모리 셀 Me는, 하나의 불휘발성 기억 소자 Qm과, 이 불휘발성 기억 소자 Qm에 직렬로 접속된 1개의 선택용 MISFET-Qs로 구성되어 있다.
- [0101] 도 1 및 도 3에 도시한 바와 같이, 기관(1)의 주면의 저압 pMIS 형성 영역에는 n형 웰 영역(2)이 형성되고, 이 n형 웰 영역(2) 내에는 저압계 n형 웰 영역(14)이 형성되어 있다. 또한, 기관(1)의 주면의 저압 pMIS 형성 영역에는 저내압 p형 MISFET-QLp가 형성되어 있다.
- [0102] 도 1 및 도 3에 도시한 바와 같이, 기관(1)의 주면의 소자 분리 영역(5) 위에는 저항 소자(10b)가 형성되고, 이 저항 소자(10b)가 형성된 소자 분리 영역(5) 아래에는 저압계 p형 웰 영역(15)이 형성되어 있다. 이하, 저항 소자(10b)가 형성된 소자 분리 영역(5)을 제1 소자 분리 영역이라고 한다.
- [0103] 도 1 및 도 4에 도시한 바와 같이, 기관(1)의 주면의 고압 pMIS 형성 영역에는 n형 웰 영역(2)이 형성되고, 이 n형 웰 영역(2) 내에는 고압계 n형 웰 영역(3)이 형성되어 있다. 또한, 기관(1)의 고압 pMIS 형성 영역에는 고내압 p형 MISFET-QHp가 형성되어 있다.
- [0104] 도 1 및 도 4에 도시한 바와 같이, 기관(1)의 주면의 소자 분리 영역(5) 위에는 용량 소자(5)가 형성되고, 이 용량 소자 C가 형성된 소자 분리 영역(5) 아래에는, 고압계 p형 웰 영역(4)이 형성되어 있다. 이하, 용량 소자 C가 형성된 소자 분리 영역(5)을 제2 소자 분리 영역이라고 한다.
- [0105] 또, 기생 채널을 방지하기 위해, 고압계 p형 웰 영역(4)과 저압계 n형 웰 영역(14)과의 사이, 고압계 n형 웰 영역(3)과 고압계 p형 웰 영역(4)과의 사이에 n형 웰 영역(3a)이 형성되어 있다.
- [0106] 도 2에 도시한 바와 같이, 불휘발성 기억 소자 Qm은 주로 채널 형성 영역, 게이트 절연막(16), 게이트 전극(메모리 게이트 전극 : 10a), 소스 영역 및 드레인 영역을 갖는 구성으로 되어 있다. 게이트 절연막(16)은 기관(1)의 주면에 형성되고, 게이트 전극(10a)은 기관(1)의 주면 위에 게이트 절연막(16)을 개재하여 형성되고, 채널 형성 영역은 게이트 전극(10a)의 바로 아래에서의 기관의 표층부, 구체적으로 설명하면 고압계 p형 웰 영역(4)의 표층부에 형성되어 있다. 소스 영역 및 드레인 영역은 채널 형성 영역의 채널 길이 방향에서의 양측에 채널 형성 영역을 끼고 형성되어 있다.
- [0107] 불휘발성 기억 소자 Qm의 소스 영역 및 드레인 영역은, 익스텐션 영역인 한쌍의 n형 반도체 영역(21), 및 콘택트 영역인 한쌍의 n형 반도체 영역(25)을 갖는 구성으로 되어 있다. n형 반도체 영역(21)은 게이트 전극(10a)에 정합하여 형성되어 있다. n형 반도체 영역(25)은 게이트 전극(10a)의 측벽에 형성된 측벽 스페이서(24)에 정합하여 형성되어 있고, n형 반도체 영역(21)보다도 높은 불순물 농도로 되어 있다.
- [0108] 불휘발성 기억 소자 Qm은 고압계 p형 웰 영역(4)(기관)과 게이트 전극(10a)과의 사이의 게이트 절연막(16)에 ONO(산화막/질화막/산화막 : Oxide/Nitride/Oxide)막을 사용하여, 이 게이트 절연막(16)에 정보를 기억시키는 MONOS(Metal Oxide Nitride Oxide Semiconductor)형으로 구성되어 있다. 본 실시예의 불휘발성 기억 소자 Qm은 게이트 절연막(16)으로서 산화 실리콘막/질화 실리콘막/산화 실리콘막으로 이루어지는 ONO막을 사용하고 있다.
- [0109] 도 2에 도시한 바와 같이, 선택용 MISFET-Qs는 주로 채널 형성 영역, 게이트 절연막(17), 게이트 전극(19a), 소스 영역 및 드레인 영역을 갖는 구성으로 되어 있다. 게이트 절연막(17)은 기관(1)의 주면에 형성되고, 게이트 전극(19a)은 기관(1)의 주면 위에 게이트 절연막(17)을 개재하여 형성되고, 채널 형성 영역은 게이트 전극(19a)의 바로 아래에서의 기관의 표층부, 구체적으로 설명하면 고압계 p형 웰 영역(4)의 표층부에 형성되어 있다.

소스 영역 및 드레인 영역은 채널 형성 영역의 채널 길이 방향에서의 양측에 채널 형성 영역을 사이에 두고 형성되어 있다.

- [0110] 선택용 MISFET-Qs의 소스 영역 및 드레인 영역은 익스텐션 영역인 한쌍의 n형 반도체 영역(21) 및 컨택트 영역인 한쌍의 n형 반도체 영역(25)을 갖는 구성으로 되어 있다. n형 반도체 영역(21)은 게이트 전극(19a)에 정합하여 형성되어 있다. n형 반도체 영역(25)은 게이트 전극(19a)의 측벽에 형성된 측벽 스페이서(24)에 정합하여 형성되어 있다.
- [0111] 불휘발성 기억 소자 Qm의 임계값 전압은, 게이트 절연막(16)의 질화 실리콘막 내의 트랩에 의해 전자가 많이 포획되어 있으면 높아지고, 게이트 전극(10a)과 일체로 형성된 워드선의 전위가 높아져도 트랜지스터는 「ON」 상태로 되지 않는다. 게이트 절연막(16)의 질화 실리콘막 내의 트랩에 의해 전자가 없게 되면 임계값 전압은 저하하여 「ON」 상태로 된다. 게이트 절연막(16)의 질화 실리콘막 내에 전자를 주입하기 위해서는(기입), 게이트 전극(10a)에 양전압(예를 들면 1.5V)을 인가하고, 고압계 p형 웰 영역(4)에 마이너스의 고전압(예를 들면 -10.5V)을 인가하여, 채널 형성 영역(고압계 p형 웰 영역(4))으로부터 게이트 절연막(16)의 산화 실리콘막을 터널시켜 행한다. 반대로, 소거하는 경우에는, 게이트 전극(10a)에 음의 고전압(예를 들면 -8.5V)을 인가하고, 고압계 p형 웰 영역(4)에 양의 전압(예를 들면 15V)을 인가하여, 게이트 절연막(16)의 질화 실리콘막 내의 전자를 터널 효과에 의해 채널 형성 영역(고압계 p형 웰 영역(4))에 방출시키고, 또한 채널 형성 영역으로부터 질화 실리콘막 내로 정공을 터널 주입시킴으로써 행해진다.
- [0112] 도 3에 도시한 바와 같이, 저내압 p형 MISFET-QLp는 주로 채널 형성 영역, 게이트 절연막(18), 게이트 전극(19b), 소스 영역 및 드레인 영역을 갖는 구성으로 되어 있다. 게이트 절연막(18)은 기판(1)의 주면에 형성되고, 게이트 전극(19b)은 기판(1)의 주면 위에 게이트 절연막(18)을 개재하여 형성되고, 채널 형성 영역은 게이트 전극(19b)의 바로 아래에서의 기판의 표층부, 구체적으로 설명하면 저압계 n형 웰 영역(14)의 표층부에 형성되어 있다. 소스 영역 및 드레인 영역은, 채널 형성 영역의 채널 길이 방향에서의 양측에 채널 형성 영역을 사이에 두고 형성되어 있다.
- [0113] 저내압 p형 MISFET-QLp의 소스 영역 및 드레인 영역은, 익스텐션 영역인 한쌍의 p형 반도체 영역(23), 및 컨택트 영역인 한쌍의 p형 반도체 영역(26)을 갖는 구성으로 되어 있다. p형 반도체 영역(23)은 게이트 전극(19b)에 정합하여 형성되어 있다. p형 반도체 영역(26)은 게이트 전극(19b)의 측벽에 형성된 측벽 스페이서(24)에 정합하여 형성되어 있고, p형 반도체 영역(23)보다도 높은 불순물 농도로 되어 있다.
- [0114] 도 3에 도시한 바와 같이, 저항 소자(10b)는 상호 반대측에 위치하는 한쪽의 단부 및 다른 쪽의 단부에, 상층의 배선을 접속하기 위한 컨택트 영역이 형성되어 있다. 이 저항 소자(10b)는, 예를 들면 다결정 실리콘막을 주체로 구성되어 있다.
- [0115] 도 4에 도시한 바와 같이, 고내압 p형 MISFET-QHp은, 주로 채널 형성 영역, 게이트 절연막(17), 게이트 전극(19d), 소스 영역 및 드레인 영역을 갖는 구성으로 되어 있다. 게이트 절연막(17)은 기판(1)의 주면에 형성되고, 게이트 전극(19b)은 기판(1)의 주면 위에 게이트 절연막(17)을 개재하여 형성되고, 채널 형성 영역은 게이트 전극(19d)의 바로 아래에서의 기판의 표층부, 구체적으로 설명하면 고압계 n형 웰 영역(3)의 표층부에 형성되어 있다. 소스 영역 및 드레인 영역은 채널 형성 영역의 채널 길이 방향에서의 양측에 채널 형성 영역을 사이에 두고 형성되어 있다.
- [0116] 고내압 p형 MISFET-QHp의 소스 영역 및 드레인 영역은, 익스텐션 영역인 한쌍의 p형 반도체 영역(22), 및 컨택트 영역인 한쌍의 p형 반도체 영역(26)을 갖는 구성으로 되어 있다. p형 반도체 영역(22)은 게이트 전극(19d)에 정합하여 형성되어 있다. p형 반도체 영역(26)은 게이트 전극(19d)의 측벽에 형성된 측벽 스페이서(24)에 정합하여 형성되어 있고, p형 반도체 영역(22)보다도 높은 불순물 농도로 되어 있다.
- [0117] 도 4에 도시한 바와 같이, 용량 소자 C는 기판(1)의 주면의 제2 소자 분리 영역 위에 형성된 하부 전극(10c)과, 이 하부 전극(10c) 위에 유전체막을 개재하여 형성된 상부 전극(19c)을 갖는 구성으로 되어 있다. 본 실시예의 용량 소자 C는, 유전체막으로서, 산화 실리콘막(11)/질화 실리콘막(12)/산화 실리콘막(13)으로 이루어지는 ONO막을 사용하고 있다. 제2 소자 분리 영역 아래의 고압계 p형 웰 영역(4)은 용량 소자 C에 영향을 주지 않도록, 일정 전위(예를 들면 0V)로 고정된다.
- [0118] 불휘발성 기억 소자 Qm의 게이트 전극(10a), 저항 소자(10b), 용량 소자 C의 하부 전극(10c)은, 예를 들면 제1층째의 다결정 실리콘막을 주체로 형성되어 있다. 선택용 MISFET-Qs의 게이트 전극(19a), 저내압 p형 MISFET-QLp의 게이트 전극(19b), 용량 소자 C의 상부 전극(19c), 고내압 p형 MISFET-QHp의 게이트 전극(19d)은 예를

들면 제2층계의 다결정 실리콘막을 주체로 형성되어 있다. 이들 제1층계 및 제2층계의 다결정 실리콘막에는 저항값을 저감시키는 불순물이 도입되어 있다.

- [0119] 불휘발성 기억 소자 Qm의 게이트 절연막(16)에서, 하층의 산화 실리콘막은 예를 들면 1.8[nm] 정도의 두께, 질화 실리콘막은 예를 들면 15[nm] 정도의 두께, 상층의 산화 실리콘막은 예를 들면 3[nm] 정도의 두께로 되어 있다. 이들 상층 및 하층의 산화 실리콘막은, 예를 들면 열 산화법에 의해 형성되어 있다.
- [0120] 선택용 MISFET-Qs, 고내압 p형 MISFET-QHp의 게이트 절연막(17)은, 예를 들면 18[nm] 정도의 두께로 형성되고, 저내압 p형 MISFET-QLp의 게이트 절연막(17)은 예를 들면 3.7[nm] 정도의 두께로 형성되어 있다. 이들 게이트 절연막(16 및 17)은 예를 들면 열 산화법에 의해 형성되어 있다.
- [0121] 불휘발성 기억 소자 Qm의 게이트 길이는 예를 들면 500[nm] 정도, 선택용 MISFET-Qs의 게이트 길이는 예를 들면 400[nm] 정도, 저내압 p형 MISFET-QLp의 게이트 길이는 예를 들면 160[nm] 정도, 고내압 p형 MISFET-QHp의 게이트 길이는 예를 들면 900[nm] 정도로 되어 있다.
- [0122] 도 2, 도 3 및 도 4에 도시한 바와 같이, 불휘발성 기억 소자 Qm, 선택용 MISFET-Qs, 저내압 p형 MISFET-QLp, 고내압 p형 MISFET-QHp, 용량 소자 C, 저항 소자(10b)에서, 게이트 전극(10a, 19a, 19b, 19d)의 표면, 반도체 영역(25, 26)의 표면, 상부 전극(19c)의 표면, 하부 전극(10c)의 콘택트 영역의 표면, 및 저항 소자(10b)의 상호 반대측에 위치하는 2개의 콘택트 영역의 표면에는 저저항화를 도모하기 위해, 금속·반도체 반응층인 실리사이드층(28)이 형성되어 있다. 이들 실리사이드층(28)은, 예를 들면 살리사이드(Salicide : Self Aligned Silicide) 기술에 의해, 측벽 스페이서(24)에 정합하여 형성되어 있다.
- [0123] 기관(1)의 주면 위에는 상술한 능동 소자 및 수동 소자를 피복하도록 하여, 예를 들면 산화 실리콘막으로 이루어지는 층간 절연막(29)이 형성되어 있다. 반도체 영역(25, 26) 위에는 층간 절연막(29)의 표면으로부터 실리사이드층(28)에 도달하는 소스·드레인용 콘택트홀이 형성되고, 이 소스·드레인용 콘택트홀의 내부에는 도전성 플러그(30)가 매립되어 있다. 반도체 영역(25, 26)은 실리사이드층(28) 및 도전성 플러그(30)를 개재하여, 층간 절연막(29) 위로 연장하는 배선(31)과 전기적으로 접속되어 있다.
- [0124] 게이트 전극(19a, 19b, 19d) 위에는 도시하지 않았지만, 층간 절연막(29)의 표면으로부터 실리사이드층(28)에 도달하는 게이트용 콘택트홀이 형성되고, 이 게이트용 콘택트홀의 내부에는 도전성 플러그(30)가 매립되어 있다. 게이트 전극(19a, 19b, 19d)은 실리사이드층(28) 및 도전성 플러그(30)를 개재하여, 층간 절연막(29) 위로 연장하는 배선(31)과 전기적으로 접속되어 있다.
- [0125] 상부 전극(19c) 위에는, 층간 절연막(29)의 표면으로부터 실리사이드층(28)에 도달하는 상부 전극용 콘택트홀이 형성되고, 이 상부 전극용 콘택트홀의 내부에는 도전성 플러그(30)가 매립되어 있다. 상부 전극(19c)은 실리사이드층(28) 및 도전성 플러그(30)를 개재하여, 층간 절연막(29) 위로 연장하는 배선(31)과 전기적으로 접속되어 있다.
- [0126] 하부 전극(10c)의 콘택트 영역 위에는 층간 절연막(29)의 표면으로부터 실리사이드층(28)에 도달하는 하부 전극용 콘택트홀이 형성되고, 이 하부 전극용 콘택트홀의 내부에는 도전성 플러그(30)가 매립되어 있다. 하부 전극(10c)은 실리사이드층(28) 및 도전성 플러그(30)를 개재하여, 층간 절연막(29) 위로 연장하는 배선(31)과 전기적으로 접속되어 있다.
- [0127] 저항 소자(10b)의 한쪽 및 다른 쪽의 콘택트 영역 위에는 층간 절연막(29)의 표면으로부터 실리사이드층(28)에 도달하는 저항용 콘택트홀이 각각 형성되고, 이 저항용 콘택트홀의 내부에는 도전성 플러그(30)가 매립되어 있다. 저항 소자(10b)의 한쪽 및 다른 쪽의 콘택트 영역은 실리사이드층(28) 및 도전성 플러그(30)를 개재하여, 층간 절연막(29) 위로 연장하는 배선(31)과 전기적으로 접속되어 있다.
- [0128] 도 4에 도시한 바와 같이, 용량 소자 C의 하부 전극(10c)과, 기관(1)의 주면의 제2 소자 분리 영역(소자 분리 절연막)과의 사이에는 내산화성막으로서 예를 들면 질화 실리콘막(8)이 형성되고, 이 질화 실리콘막(8)과 하부 전극(10c)과의 사이에는, 예를 들면 산화 실리콘막(9)이 형성되어 있다. 즉, 용량 소자 C의 하부 전극(10c)은 기관(1)의 주면의 제2 소자 분리 영역 위에 질화 실리콘막(8)으로 이루어지는 내산화성막을 개재하여 형성되어 있다. 본 실시예에서, 질화 실리콘막(8)은 불휘발성 기억 소자 Qm의 게이트 절연막(16)의 질화 실리콘막과 동일 공정으로 형성되고, 산화 실리콘막(9)은 불휘발성 기억 소자 Qm의 게이트 절연막(16)의 상층의 산화 실리콘막과 동일 공정으로 형성되어 있다.
- [0129] 용량 소자 C에서, 도 4에 도시한 바와 같이 하부 전극(10c)은 상부 전극(19c)보다도 큰 평면 사이즈로 형성되어

있다. 이것은, 하부 전극(10c)에 상층의 배선을 접속하기 쉽게 하기 위해서이다. 따라서, 하부 전극(10c)에는 상층의 배선을 접속하기 위한 콘택트 영역이 형성되어 있다. 또한, 용량 소자 C의 점유 면적은 하부 전극(10c)의 평면 사이즈에 의해 결정된다.

- [0130] 용량 소자 C의 유전체막은, 상술한 바와 같이 산화 실리콘막(11)/질화 실리콘막(12)/산화 실리콘막(13)으로 이루어지는 ONO막으로 형성되어 있다. 따라서, 하부 전극(10c)과 상부 전극(19c)과의 사이에는 질화 실리콘막(12)으로 이루어지는 내산화성막이 형성되어 있다.
- [0131] 질화 실리콘막(8)은 예를 들면 15[nm] 정도의 두께, 산화 실리콘막(9)은 예를 들면 3[nm] 정도의 두께, 산화 실리콘막(11)은 예를 들면 6[nm] 정도의 두께, 질화 실리콘막(12)은 예를 들면 26[nm] 정도의 두께, 산화 실리콘막(13)은 예를 들면 1[nm] 정도의 두께로 되어 있다. 이 경우의 단위 면적당 용량은 $1.9[\text{fF}/\mu\text{m}^2]$ 정도이고, $100[\mu\text{m}^2]$ 에서는 19[pF]로 된다.
- [0132] 용량 소자 C의 유전체막을 흐르는 누설 전류는, 충분히 작은 것이 바람직하다. 도 8은 상부 전극과 하부 전극과의 사이에서의 유전체막의 면적이 $18000[\mu\text{m}^2]$ 의 용량 소자 C에서, 상부 전극에 정전압을 인가했을 때의 누설 전류 특성을 도시하는 도면이다. 질화 실리콘막(12)의 막 두께를 파라미터로 하고 있다. 도 8에 도시한 바와 같이, 질화 실리콘막(12)의 막 두께가 두꺼울수록 누설 전류는 감소하지만, 10[V] 정도부터 누설 전류가 현저하게 된다.
- [0133] 도 9는, 도 8과 동일한 면적의 용량 소자 C에서, 상부 전극에 음전압을 인가했을 때의 누설 전류 특성을 도시하는 도면이다. 질화 실리콘막(12)을 파라미터로 하고 있다. 도 9에 도시한 바와 같이, 질화 실리콘막(12)의 막 두께가 26[nm]이면 -14[V]까지 누설 전류는 거의 흐르지 않는다. 도 5 및 도 6의 EEPROM에서 고전압의 절대 전압은 12[V]이므로, 상부 전극을 음전압으로서 이용하는 것이 바람직하다. 전원 전압 안정화용의 바이패스 컨덴서로서 이용하는 경우에는 극성과는 무관하다. 누설 전류에 극성 의존성이 있는 것은, 산화 실리콘막(11)의 막 두께가 6[nm], 산화 실리콘막(13)의 막 두께가 1[nm]로 비대칭이기 때문이다.
- [0134] 도 10은, 용량 소자 C의 상부 전극 전압 의존성을 도시하는 도면이다. 도 10에 도시한 바와 같이, 음전압측에서 용량값이 감소하는 것은 하부 전극이 공평화되기 때문이다. 질화 실리콘막(12)의 막 두께가 얇을수록 음전압측에서 용량값의 감소가 큰 것도, 하부 전극이 보다 공평화되기 쉽기 때문이다. 기관에 형성된 반도체 영역을 하부 전극으로 하는 MOS형 용량 소자와 비교하여, 인가 전압 의존성이 매우 작은 것이 특징이다.
- [0135] 도 3에 도시한 바와 같이, 저항 소자(10b)와, 기관(1)의 주면의 제1 소자 분리 영역과의 사이에는 내산화성막으로서 예를 들면 질화 실리콘막(8)이 형성되고, 이 질화 실리콘막(8)과, 저항 소자(10b)와의 사이에는 예를 들면 산화 실리콘막(9)이 형성되어 있다. 즉, 저항 소자(10b)는 기관(1)의 주면의 제1 소자 분리 영역 위에 질화 실리콘막(8)으로 이루어지는 내산화성막을 개재하여 형성되어 있다. 본 실시예에서, 질화 실리콘막(8)은 불휘발성 기억 소자 Qm의 게이트 절연막(16)의 질화 실리콘막과 동일 공정으로 형성되고, 산화 실리콘막(9)은 불휘발성 기억 소자 Qm의 게이트 절연막(16)의 상층의 산화 실리콘막과 동일 공정으로 형성되어 있다.
- [0136] 도 1 내지 도 4에 도시한 바와 같이, 저압계 n형 웰 영역(14)은 고압계 n형 웰 영역(3)보다도 얇게 형성되어 있고, 저압계 n형 웰 영역(14)의 표면 농도는 고압계 n형 웰 영역(3)의 표면 농도보다도 높게(진하게) 되어 있다. 저압계 p형 웰 영역(15)은 고압계 p형 웰 영역(4)보다도 얇게 형성되어 있고, 저압계 p형 웰 영역(15)의 표면 농도는 고압계 p형 웰 영역(4)의 표면 농도보다도 높게(진하게) 되어 있다.
- [0137] 이어서, 본 실시예의 반도체 집적 회로 장치의 제조에 대하여, 도 12 내지 도 28을 이용하여 설명한다. 도 12 내지 도 28은 반도체 집적 회로 장치의 제조 공정 중의 모식적 단면도이다.
- [0138] 우선, 비저항 $10[\Omega\text{cm}]$ 을 갖는 단결정 실리콘으로 이루어지는 기관(1)을 준비하고, 그 후 도 12에 도시한 바와 같이, 기관(1)의 주면에 소자 형성 영역을 구획하는 소자 분리 영역(5)을 형성한다. 소자 분리 영역(5)은, 예를 들면 주지의 STI 기술을 이용하여 형성한다. 구체적으로 설명하면, 소자 분리 영역(5)은 기관(1)의 주면에 얇은 홈(예를 들면 300[nm] 정도 깊이의 홈)을 형성하고, 그 후 기관(1)의 주면 위에 예를 들면 산화 실리콘막으로 이루어지는 절연막을 CVD법으로 형성하고, 그 후 절연막이 얇은 홈의 내부에 선택적으로 남도록 CMP 법으로 평탄화하는 것에 의해 형성된다. 이 공정에서, 기관(1)의 주면의 소자 형성 영역에는, 예를 들면 산화 실리콘막으로 이루어지는 버퍼 절연막(6)이 형성된다.
- [0139] 이어서, 기관(1)의 주면에 웰 영역을 형성하기 위한 불순물을 선택적으로 이온 주입하고, 그 후 불순물을 활성화시키는 열 처리를 실시하여, 도 13에 도시한 바와 같이 n형 웰 영역(2), 고압계 n형 웰 영역(3), 기생 채널

방지용의 n형 웰 영역(3a), 및 고압계 p형 웰 영역(4)을 형성한다.

- [0140] n형 웰 영역(2)을 형성하기 위한 불순물로서는, 예를 들면 인(P)을 사용한다. 이 인은 가속 에너지가 2MeV, 도우즈량이 5.0×10^{12} [atoms/cm²]의 조건에서 이온 주입한다.
- [0141] 고압계 n형 웰 영역(3)을 형성하기 위한 불순물로서는, 예를 들면 인(P) 및 2불화붕소(BF₂)를 사용한다.
- [0142] 이 인의 이온 주입은,
- [0143] 가속 에너지가 1MeV, 도우즈량이 8.0×10^{12} [atoms/cm²],
- [0144] 가속 에너지가 460KeV, 도우즈량이 5.0×10^{11} [atoms/cm²]
- [0145] 가속 에너지가 180KeV, 도우즈량이 1.0×10^{12} [atoms/cm²]
- [0146] 의 조건으로 행한다.
- [0147] 또한, 이 2불화붕소의 이온 주입은 에너지가 100KeV, 도우즈량이 1.5×10^{12} [atoms/cm²]의 조건으로 행한다.
- [0148] 고압계 p형 웰 영역(4)을 형성하기 위한 불순물로서는, 예를 들면 붕소(B) 및 2불화붕소(BF₂)를 사용한다.
- [0149] 이 붕소의 이온 주입은,
- [0150] 가속 에너지가 500KeV, 도우즈량이 8.0×10^{12} [atoms/cm²]
- [0151] 가속 에너지가 150KeV, 도우즈량이 1.8×10^{12} [atoms/cm²]
- [0152] 가속 에너지가 50KeV, 도우즈량이 1.2×10^{12} [atoms/cm²]
- [0153] 의 조건으로 행한다.
- [0154] 또한, 이 2불화붕소의 이온 주입은, 가속 에너지가 100KeV, 도우즈량이 2.5×10^{12} [atoms/cm²]의 조건으로 행한다.
- [0155] 고내압계 n형 및 p형 웰 영역을 형성하기 위한 2불화붕소는 임계값 전압 조정용으로서 주입된다.
- [0156] 이 공정에서, 기관(1)의 주면의 메모리 셀 형성 영역에 n형 웰 영역(2) 및 고압계 p형 웰 영역(4)이 형성된다. 또한, 기관(1)의 주면의 저내압 pMIS 형성 영역, 및 제1 소자 분리 영역 아래에 n형 웰 영역(2)이 형성된다. 또한, 기관(1)의 주면의 고내압 pMIS 형성 영역에 n형 웰 영역(2) 및 고압계 n형 웰 영역(3)이 형성된다. 또한, 기관(1)의 주면의 제2 소자 분리 영역 아래에, n형 웰 영역(2), 및 고내압계 p형 웰 영역(4)이 형성된다. 또한, 기관(1)의 주면에 기생 채널 방지용의 n형 웰 영역(3a)이 형성된다.
- [0157] 이어서, 기관(1)의 주면의 메모리 셀 형성 영역에서의 버퍼 절연막(6)의 일부(불휘발성 기억 소자가 형성되는 영역)를 에칭에 의해 선택적으로 제거하고, 그 후 질소로 희석한 산소 분위기 속에서 기관에 열 처리를 실시하여, 도 14에 도시한 바와 같이 상기 버퍼 절연막(6)의 일부가 제거된 불휘발성 기억 소자 형성 영역에 예를 들면 1.8[nm] 정도 두께의 매우 얇은 산화 실리콘막(7)을 형성한다.
- [0158] 이어서, 도 15에 도시한 바와 같이 산화 실리콘막(7) 위, 제1 및 제2 소자 분리 영역 위를 포함하는 기관(1)의 주면 상의 전면에, 예를 들면 18[nm] 정도 두께의 질화 실리콘막(8)을 CVD법으로 형성하고, 그 후 스팀 분위기 속에서 기관(1)에 열 처리를 실시하여, 도 15에 도시한 바와 같이, 질화 실리콘막(8)의 표면에, 예를 들면 3[nm] 정도 두께의 산화 실리콘막(9)을 형성한다. 이 공정에서, 질화 실리콘막(8)의 막 두께는 18[nm]부터 15[nm] 정도로 감소한다. 또한, 이 공정에서, 메모리 셀 형성 영역의 고압계 p형 웰 영역(4) 위에 불휘발성 기억 소자 Qm의 게이트 절연막으로서, ONO(산화 실리콘막(7)/질화 실리콘막(8)/산화 실리콘막(9))막이 형성된다.
- [0159] 이어서, 도 16에 도시한 바와 같이, 메모리 셀 형성 영역 위, 제1 및 제2 소자 분리 영역 위를 포함하는 산화 실리콘막(9) 위의 전면에, 예를 들면 200[nm] 정도 두께의 제1층째의 다결정 실리콘막(10)을 CVD법으로 형성하고, 그 후 다결정 실리콘막(10)에 저항값을 저감시키는 불순물(예를 들면 인(P))을 이온 주입하고, 그 후 불순물을 활성화시키는 열 처리를 실시한다.

- [0160] 이어서, 도 17에 도시한 바와 같이 제1 및 제2 소자 분리 영역 위를 포함하는 다결정 실리콘막(10) 위의 전면, 다결정 실리콘막(10)의 표면으로부터 산화 실리콘막(11), 질화 실리콘막(12), 산화 실리콘막(13)을 순차적으로 CVD법으로 형성한다. 산화 실리콘막(11)은 예를 들면 6[nm] 정도의 막 두께, 질화 실리콘막(12)은 예를 들면 26[nm] 정도의 막 두께, 산화 실리콘막(13)은 예를 들면 70[nm] 정도의 막 두께로 형성한다.
- [0161] 이어서, 산화 실리콘막(13), 질화 실리콘막(12), 산화 실리콘막(11), 다결정 실리콘막(10)을 순차적으로 패터닝하여, 도 18에 도시한 바와 같이, 메모리 셀 형성 영역에 불휘발성 기억 소자 Qm의 게이트 전극(10a), 제1 소자 분리 영역 위에 저항 소자(10b), 제2 소자 분리 영역 위에 용량 소자 C의 하부 전극(10c)을 형성한다. 산화 실리콘막(13), 질화 실리콘막(12), 및 산화 실리콘막(11)의 패터닝은 산화 실리콘막(13) 위에 예를 들면 포토레지스트막으로 이루어지는 마스크를 형성하고, 그 후 이 마스크를 이용하여 순차적으로 행한다. 다결정 실리콘막(10)의 패터닝은 산화 실리콘막(13), 질화 실리콘막(12), 및 산화 실리콘막(11)으로 이루어지는 ONO막을 마스크로 하여 행한다.
- [0162] 이 공정에서, 기관(1) 주면의 메모리 셀 형성 영역 위에, ONO(산화 실리콘막(7)/질화 실리콘막(8)/산화 실리콘막(9))막으로 이루어지는 게이트 절연막(16)을 개재하여 불휘발성 기억 소자 Qm의 게이트 전극(10a)이 형성된다.
- [0163] 또한, 기관(1)의 주면의 제1 소자 분리 영역 위에 질화 실리콘막(9)으로 이루어지는 내산화성막을 개재하고, 상면이 질화 실리콘막(12)으로 이루어지는 내산화성막으로 피복된 저항 소자(10b)가 형성된다.
- [0164] 또한, 기관(1)의 주면의 제2 소자 분리 영역 위에 질화 실리콘막(9)으로 이루어지는 내산화성막을 개재하고, 상면이 질화 실리콘막(12)으로 이루어지는 내산화성막으로 피복된 저항 소자 C의 하부 전극(10c)이 형성된다.
- [0165] 또한, 하부 전극(10c) 위에 용량 소자 C의 유전체막으로서 사용되는 ONO(산화 실리콘막(11)/질화 실리콘막(12)/산화 실리콘막(13))막이 형성된다.
- [0166] 또한, 이 공정에서 다결정 실리콘막(10)의 패터닝 시의 오버 에칭에 의해, 저항 소자(10b) 위 및 하부 전극(10c) 위의 산화 실리콘막(13), 및 저항 소자(10b) 및 하부 전극(10c)의 주위에서의 산화 실리콘막(9)의 막 두께가 얇게 된다.
- [0167] 이어서, 도 19에 도시한 바와 같이, 게이트 전극(10a), 저항 소자(10b), 및 하부 전극(10c)의 주위에서의 질화 실리콘막(8)을 제거하고, 그 후 기관(1)의 주면에 저압계 웰 영역을 형성하기 위한 불순물을 선택적으로 이온 주입하고, 그 후 불순물을 활성화시키는 열 처리를 실시하여, 도 20에 도시한 바와 같이, 저내압 pMIS 형성 영역에 저압계 n형 웰 영역(14), 제1 소자 분리 영역 아래에 저압계 p형 웰 영역(15)을 형성한다.
- [0168] 저압계 n형 웰 영역(14)을 형성하기 위한 불순물로서는, 예를 들면 인(P)을 사용한다.
- [0169] 이 인의 이온 주입은,
- [0170] 가속 에너지가 360KeV, 도우즈량이 2.0×10^{13} [atoms/cm²], 가속 에너지가 100KeV, 도우즈량이 1.5×10^{12} [atoms/cm²], 가속 에너지가 40KeV, 도우즈량이 8.0×10^{12} [atoms/cm²]의 조건으로 행한다.
- [0171] 저압계 p형 웰 영역(15)을 형성하기 위한 불순물로서는, 예를 들면 붕소(B) 및 2불화붕소(BF₂)를 사용한다.
- [0172] 이 붕소의 이온 주입은,
- [0173] 가속 에너지가 200KeV, 도우즈량이 1.5×10^{13} [atoms/cm²], 가속 에너지가 120KeV, 도우즈량이 5.0×10^{12} [atoms/cm²], 가속 에너지가 50KeV, 도우즈량이 1.5×10^{12} [atoms/cm²]의 조건으로 행한다.
- [0174] 또한, 이 2불화붕소의 이온 주입은 가속 에너지가 60KeV, 도우즈량이 2.0×10^{13} [atoms/cm²]의 조건으로 행한다.
- [0175] 저압계 p형 웰 영역을 형성하기 위한 2불화붕소는, 임계값 전압 조정용으로서 주입된다.
- [0176] 여기서, 저압계 웰 영역(14, 15)의 형성은 불휘발성 기억 소자 Qm의 게이트 절연막을 형성한 후에 행하고 있다. 따라서, 저압계 웰 영역은 산화 실리콘막(7)의 형성 시의 열 처리, 및 산화 실리콘막(9)의 형성 시의 열 처리를 받지 않기 때문에, 저압계 웰 영역이 열 처리되는 횟수를 줄일 수 있다.

- [0177] 이어서, 고압계 p형 웰 영역(4) 위, 저압계 n형 웰 영역(14) 위, 및 고압계 n형 웰 영역(3) 위의 버퍼 절연막(6)을 제거하고, 그 후 기판(1)에 열 처리를 실시하여, 도 21에 도시한 바와 같이 고압계 p형 웰 영역(4) 위, 저압계 n형 웰 영역(14) 위, 및 고압계 n형 웰 영역(3) 위에, 예를 들면 18[nm] 정도 두께가 두꺼운 산화 실리콘막으로 이루어지는 게이트 절연막(17)을 형성한다. 버퍼 절연막(6)의 제거에 의해, 저항 소자(10b) 위 및 하부 전극(10c) 위의 산화 실리콘막(13)의 막 두께가 얇게 된다.
- [0178] 이 공정에서, 하부 전극(10c)과 제2 소자 분리 영역과의 사이에는 질화 실리콘막(8)으로 이루어지는 내산화성막이 형성되어 있기 때문에, 하부 전극(10c)의 하면의 산화를 억제할 수 있다. 또, 하부 전극(10c)의 상면은 유전체막 내의 질화 실리콘막(12)으로 이루어지는 내산화성막으로 피복되어 있기 때문에, 하부 전극(10c)의 산화를 억제할 수 있다.
- [0179] 또한, 이 공정에서 저항 소자(10b)와 제1 소자 분리 영역과의 사이에는 질화 실리콘막(8)으로 이루어지는 내산화성막이 형성되어 있기 때문에, 저항 소자(10b)의 하면의 산화를 억제할 수 있다. 또, 저항 소자(10b)의 상면은 질화 실리콘막(12)으로 이루어지는 내산화성막으로 피복되어 있기 때문에, 저항 소자(10b)의 산화를 억제할 수 있다.
- [0180] 이어서, 저압계 n형 웰 영역(14) 위의 게이트 절연막(17)을 선택적으로 제거하고, 그 후 기판(1)에 열 처리를 실시하여, 도 22에 도시한 바와 같이, 저압계 n형 웰 영역(14) 위에 예를 들면 3.7[nm] 정도의 두께가 얇은 산화 실리콘막으로 이루어지는 게이트 절연막(18)을 형성한다. 이 열 처리에 의해 게이트 절연막(17)의 막 두께는 18[nm]로부터 19[nm]가 되고, 저항 소자(10b) 위 및 하부 전극(10c) 위의 산화 실리콘막(13)의 막 두께는 1[nm]로 된다.
- [0181] 이 공정에서, 하부 전극(10c)과 제2 소자 분리 영역과의 사이에는 질화 실리콘막(8)으로 이루어지는 내산화성막이 형성되어 있기 때문에, 하부 전극(10c)의 하면의 산화를 억제할 수 있다. 또, 하부 전극(10c)의 상면은 유전체막 내의 질화 실리콘막(12)으로 이루어지는 내산화성막으로 피복되어 있기 때문에, 하부 전극(10c)의 산화를 억제할 수 있다.
- [0182] 또한, 이 공정에서 저항 소자(10b)와 제1 소자 분리 영역과의 사이에는 질화 실리콘막(8)으로 이루어지는 내산화성막이 형성되어 있기 때문에, 저항 소자(10b)의 하면의 산화를 억제할 수 있다. 또, 저항 소자(10b)의 상면은 질화 실리콘막(12)으로 이루어지는 내산화성막으로 피복되어 있기 때문에, 저항 소자(10b)의 산화를 억제할 수 있다.
- [0183] 이어서, 도 23에 도시한 바와 같이, 게이트 절연막(17 및 18) 위, 및 하부 전극(10c) 위에서의 산화 실리콘막(13) 위를 포함하는 기판(1)의 주면 상의 전면에, 예를 들면 250[nm] 정도 두께의 제2층재의 다결정 실리콘막(19)을 CVD법으로 형성하고, 그 후 다결정 실리콘막(19)에 저항값을 저감시키는 불순물을 이온 주입하고, 그 후 불순물을 활성화시키는 열 처리를 실시하고, 그 후 도 23에 도시한 바와 같이, 다결정 실리콘막(19) 위의 전면에, 예를 들면 70[nm] 정도 두께의 산화 실리콘막(20)을 CVD법으로 형성한다.
- [0184] 이어서, 산화 실리콘막(20), 및 다결정 실리콘막(19)을 순차적으로 패터닝하여, 도 24에 도시한 바와 같이 메모리 셀 형성 영역의 게이트 절연막(17) 위에 선택용 MISFET-Qs의 게이트 전극(19a), 저내압 MIS 형성 영역의 게이트 절연막(18) 위에 저내압 p형 MISFET-QLp의 게이트 전극(19b), 고내압 pMIS 형성 영역의 게이트 절연막(17) 위에 고내압 p형 MISFET-QHp의 게이트 전극(19d), 하부 전극(10c) 위에서의 ONO막 위에 상부 전극(19c)을 형성한다.
- [0185] 이어서, 메모리 셀 형성 영역의 고압계 p형 웰 영역(4)에 불순물(예를 들면 인), 저내압 pMIS 형성 영역의 저압계 n형 웰 영역(14)에 불순물(예를 들면 2불화붕소, 및 펀치 스루 스토퍼용의 인), 고내압 pMIS 형성 영역의 고압계 n형 웰 영역(3)에 불순물(예를 들면 2불화붕소)을 선택적으로 이온 주입하여, 도 25에 도시한 바와 같이, 메모리셀 형성 영역의 고압계 p형 웰 영역(4)에 게이트 전극(10a)에 정합한 n형 반도체 영역(익스텐션 영역 : 21) 및 게이트 전극(19a)에 정합한 n형 반도체 영역(익스텐션 영역 : 21), 저내압 pMIS 형성 영역의 저압계 n형 웰 영역(14)에 게이트 전극(19b)에 정합한 p형 반도체 영역(익스텐션 영역 : 23), 고내압 pMIS 형성 영역의 고압계 n형 웰 영역(3)에 게이트 전극(19d)에 정합한 p형 반도체 영역(익스텐션 영역 : 22)을 형성한다.
- [0186] 이어서, 도 26에 도시한 바와 같이, 게이트 전극(10a, 19a, 19b, 19d)의 측벽에 측벽 스페이서(24)를 형성한다. 측벽 스페이서(24)는 기판(1)의 주면 상의 전면에 예를 들면 산화 실리콘막으로 이루어지는 절연막을 CVD법으로 형성하고, 그 후 절연막에 RIE(Reactive Ion Etching) 등의 이방성 에칭을 실시하는 것에 의해 형성된다. 이 공정에서, 측벽 스페이서(24)는 게이트 전극에 정합하여 형성된다. 또한, 측벽 스페이서(24)는 저항 소자

(10b), 하부 전극(10c), 및 상부 전극(19c)의 측벽에도 형성된다.

- [0187] 이어서, 메모리 셀 형성 영역의 고압계 p형 웰 영역(4)에 불순물(예를 들면 인 및 비소)을 선택적으로 이온 주입하여, 도 27에 도시한 바와 같이 메모리 셀 형성 영역의 고압계 p형 웰 영역(4)에 측벽 스페이서(24)에 정합한 n형 반도체 영역(컨택트 영역 : 25)을 형성한다. 또한, 저내압 pMIS 형성 영역의 저압계 n형 웰 영역(14), 및 고내압 pMIS 형성 영역의 고압계 n형 웰 영역에 불순물(예를 들면 2불화붕소, 및 붕소)을 선택적으로 이온 주입하여, 도 27에 도시한 바와 같이 저내압 pMIS 형성 영역의 저압계 n형 웰 영역(14), 및 고내압 pMIS 형성 영역의 고압계 n형 웰 영역에 측벽 스페이서(24)에 정합한 p형 반도체 영역(컨택트 영역 : 26)을 형성한다.
- [0188] 이어서, 자연 산화막 등을 제거하여, 게이트 전극(10a, 19a, 19b, 19d)의 표면, 저항 소자(10b)의 컨택트 영역의 표면, 하부 전극(10c)의 컨택트 영역의 표면, 및 상부 전극(19c)의 표면을 노출시킨 후, 이들의 표면 위를 포함하는 기관(1)의 주면 상의 전면에 고용점 금속막으로서 예를 들면 코발트막(27)을 스퍼터법으로 형성하고, 그 후 반도체 영역(25, 26)의 실리콘(Si), 게이트 전극(10a, 19a, 19b, 19d)의 Si, 저항 소자(10)의 컨택트 영역에서의 Si, 하부 전극(10c)의 컨택트 영역에서의 Si, 및 상부 전극(19c)의 Si와, 코발트막(27)의 Co를 반응시키는 열 처리를 실시하여, 도 28에 도시한 바와 같이, 반도체 영역(25, 26)의 표면, 게이트 전극(10a, 19a, 19b, 19d)의 표면, 저항 소자(10)의 컨택트 영역의 표면, 하부 전극(10c)의 컨택트 영역의 표면, 및 상부 전극(19c)의 표면에 금속·반도체 반응층인 실리사이드(CoSi)층(28)을 형성한다. 실리사이드층(28)은 측벽 스페이서(24)에 정합하여 형성된다.
- [0189] 이어서, 실리사이드층(28)이 형성된 영역 이외의 미반응의 코발트막(27)을 선택적으로 제거하고, 그 후 실리사이드층(28)을 활성화(CoSi₂)시키는 열 처리를 실시한다.
- [0190] 이 공정에 의해, 불휘발성 기억 소자 Qm, 선택용 MISFET-Qs, 저내압 p형 MISFET-QLp, 고내압 p형 MISFET-QHp, 저항 소자(10b), 및 용량 소자 C가 거의 완성된다.
- [0191] 이어서, 상술한 능동 소자 위 및 수동 소자 위를 포함하는 기관(1)의 주면 상의 전면에 예를 들면 산화 실리콘막으로 이루어지는 층간 절연막(29)을 CVD법으로 형성하고, 그 후 층간 절연막(29)의 표면을 CMP 법으로 평탄화한다.
- [0192] 이어서, 층간 절연막(29)의 표면으로부터 실리사이드층(28)에 도달하는 소스·드레인용 컨택트홀, 게이트용 컨택트홀, 저항 소자용 컨택트홀, 하부 전극용 컨택트홀, 및 상부 전극용 컨택트홀을 형성하고, 그 후 이들의 컨택트홀의 내부에 금속 등의 도전물을 매립하여 도전성 플러그(30)를 형성하고, 그 후 층간 절연막(29) 위에 배선(31)을 형성하는 것에 의해, 도 1 내지 도 4에 도시하는 구조로 된다.
- [0193] 도 11은, 저항 소자(10b)에서 저항값의 다결정 실리콘 폭 의존성을 도시하는 도면이다. 저항 소자(10b) 위의 질화 실리콘막(12)의 퇴적 시의 막 두께를 파라미터로 한다. 도 11에 도시한 바와 같이, 질화 실리콘막(12)의 막 두께가 두꺼워질수록, 공정 중의 다결정 실리콘막의 측면으로부터의 산화가 억제되며, 세션(細線) 효과가 억제되고 있다. 다결정 실리콘막의 폭을 1[μ m] 이하로 가늘게 하려면, 질화 실리콘막(12)의 퇴적 시의 막 두께는 24[nm] 이상이 바람직하다.
- [0194] 이와 같이, 본 실시예에 따르면, 이하의 효과가 얻어진다.
- [0195] 기관(1) 주면의 제2 소자 분리 영역과 하부 전극(10c)과의 사이에 질화 실리콘막(8)으로 이루어지는 내산화성막이 형성되고, 하부 전극(10c)의 상면이 질화 실리콘막(12)으로 이루어지는 내산화성막으로 피복된 상태에서 열 처리를 실시하여 기관(1)의 주면에 산화 실리콘막으로 이루어지는 게이트 절연막(17 및 18)을 형성하는 것에 의해, 하부 전극(10c)의 하면 및 상면의 산화를 억제할 수 있으며, 또한 하부 전극(10c)의 측면으로부터 하부 전극(10c)과 제2 소자 분리 영역과의 사이의 계면을 따라 신장하는 버즈빅의 발생을 억제할 수 있기 때문에, 버즈빅에 기인하는 하부 전극(10c)의 휘어짐을 억제할 수 있고, 하부 전극(10c)이 박리되는 문제점을 억제할 수 있다. 그 결과, 점유 면적이 작고, 용량이 큰 용량 소자 C를 실현할 수 있다.
- [0196] 또한, 점유 면적이 작고, 용량이 큰 용량 소자 C를 탑재한 시스템 LSI를 고수율로 제조할 수 있다.
- [0197] 또한, 제2 소자 분리 영역과 하부 전극(10c)과의 사이의 내산화성막은 불휘발성 기억 소자 Qm의 게이트 절연막 내의 질화 실리콘막(8)과 동일 공정으로 형성되며, 하부 전극(10c) 위의 내산화성막은 용량 소자 C의 유전체막 내의 질화 실리콘막(12)이기 때문에, 제조 공정 수를 증가시키지 않고, 점유 면적이 작고, 용량이 큰 용량 소자 C를 실현할 수 있음과 함께, 용량이 큰 용량 소자 C를 탑재한 시스템 LSI를 고수율로 제조할 수 있다.

[0198] 기관(1)의 주면의 제1 소자 분리 영역과 저항 소자(10b)와의 사이에 질화 실리콘막(8)으로 이루어지는 내산화성막이 형성되고, 저항 소자(10b)의 상면이 질화 실리콘막(12)으로 이루어지는 내산화성막으로 피복된 상태에서 열 처리를 실시하여 기관(1)의 주면에 산화 실리콘막으로 이루어지는 게이트 절연막(17 및 18)을 형성하는 것에 의해, 저항 소자(10b)의 하면 및 상면의 산화를 억제할 수 있기 때문에, 제1층재의 다결정 실리콘막(10)으로 저항 소자(10b)를 형성해도 고저항의 저항 소자(10b)를 안정적으로 형성할 수 있다.

[0199] 또한, 제1 소자 분리 영역과 저항 소자(10b)와의 사이의 내산화성막은 불휘발성 기억 소자 Qm의 게이트 절연막 내의 질화 실리콘막(8)과 동일 공정으로 형성되며, 저항 소자(10c) 위의 내산화성막은 용량 소자 C의 유전체막 내의 질화 실리콘막(12)과 동일 공정으로 형성되기 때문에, 제조 공정 수를 증가시키지 않고, 고저항의 저항 소자(10b)를 안정적으로 형성할 수 있다.

[0200] 불휘발성 기억 소자 Qm의 ONO막으로 이루어지는 게이트 절연막(16)을 형성한 후, 저압계 웰 영역(14, 15)을 형성하는 것에 의해, 저압계 웰 영역이 열 처리되는 횟수를 줄일 수 있기 때문에, 저압계 웰 영역의 표면 불순물 농도의 저하를 억제할 수 있다. 그 결과, 통상의 저내압 MISFET의 특성에 영향을 주지 않고, 고내압 MISFET를 형성할 수 있다.

[0201] 이상, 본 발명자에 의해 이루어진 발명을 상기 실시예에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것은 아니며, 그 요지를 일탈하지 않는 범위에서 다양하게 변경 가능한 것은 물론이다.

부호의 설명

- [0202] 1 : p형 반도체 기관
- 2, 3a : n형 웰 영역
- 3 : 고압계 n형 웰 영역
- 4 : 고압계 p형 웰 영역
- 5 : 소자 분리 영역
- 6 : 버퍼 절연막
- 7, 9, 11, 13, 20 : 산화 실리콘막
- 8, 12 : 질화 실리콘막
- 10, 19 : 다결정 실리콘막
- 10a, 19a, 19b, 19d : 게이트 전극
- 10b : 저항 소자
- 10c : 하부 전극
- 14 : 저압계 n형 웰 영역
- 15 : 저압계 p형 웰 영역
- 16, 17, 18 : 게이트 절연막
- 19c : 상부 전극
- 21, 25 : n형 반도체 영역
- 22, 23, 26 : p형 반도체 영역
- 24 : 측벽 스페이서
- 27 : 코발트막
- 28 : 실리사이드층
- 29 : 층간 절연막
- 30 : 도전성 플러그

31 : 배선

QH_p : 고내압 p형 MISFET

QL_p : 저내압 p형 MISFET

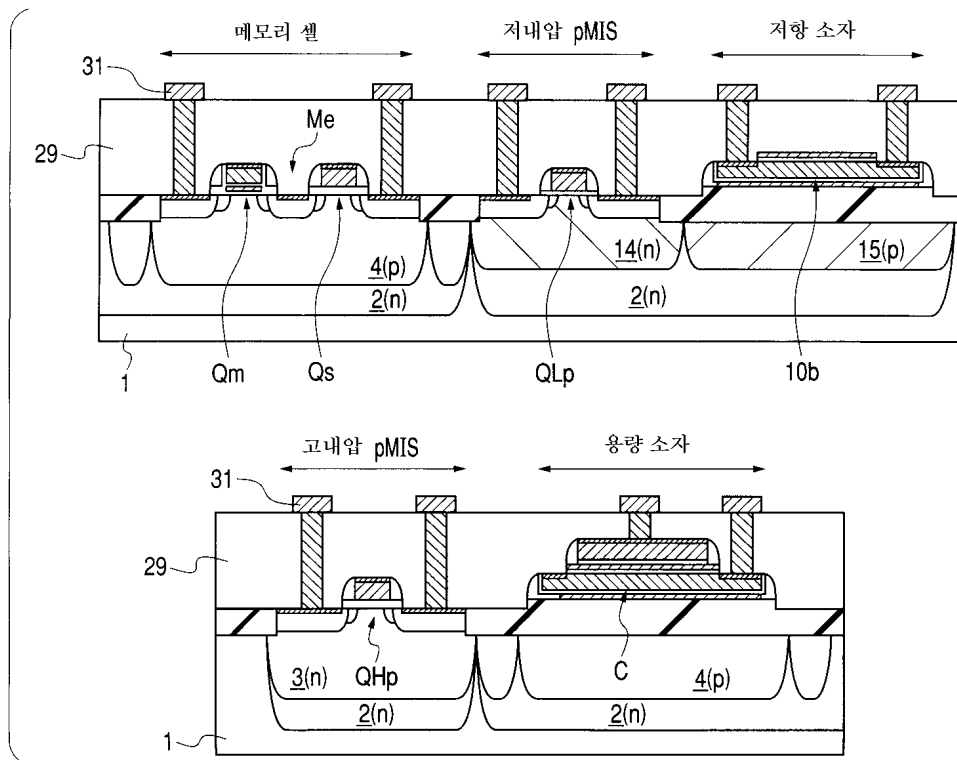
Me : 메모리 셀

Q_m : 불휘발성 기억 소자(MONOS형)

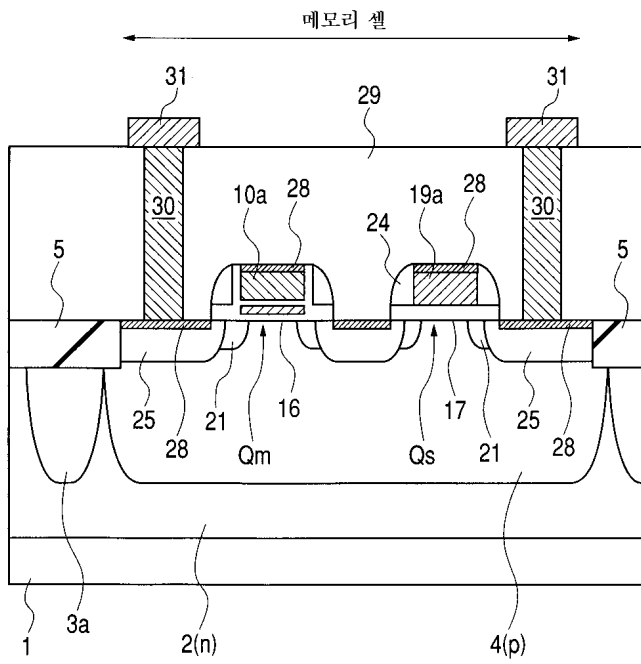
Q_s : 선택용 MISFET(고내압 n형 MISFET)

도면

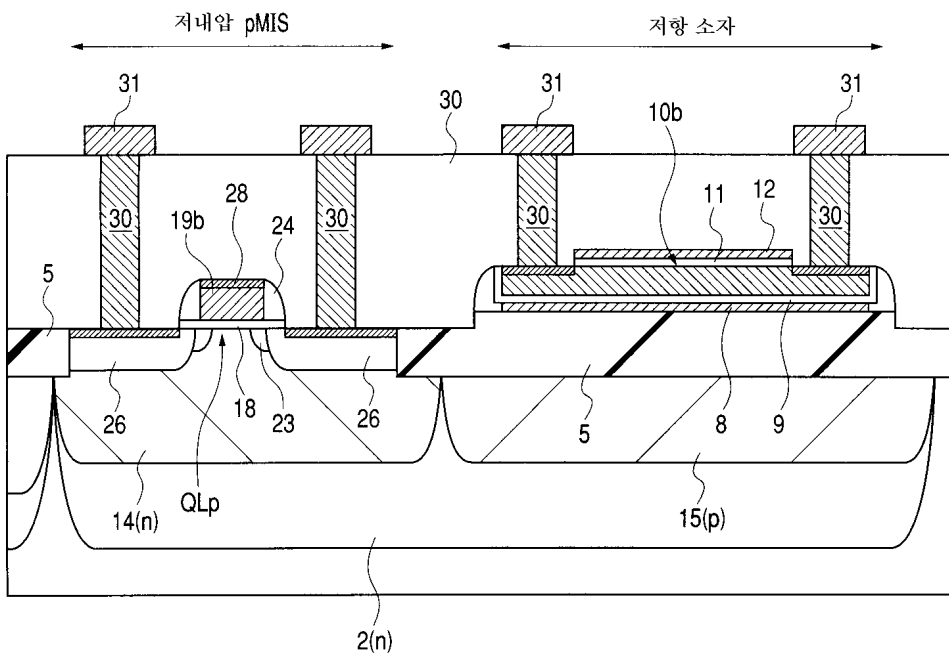
도면1



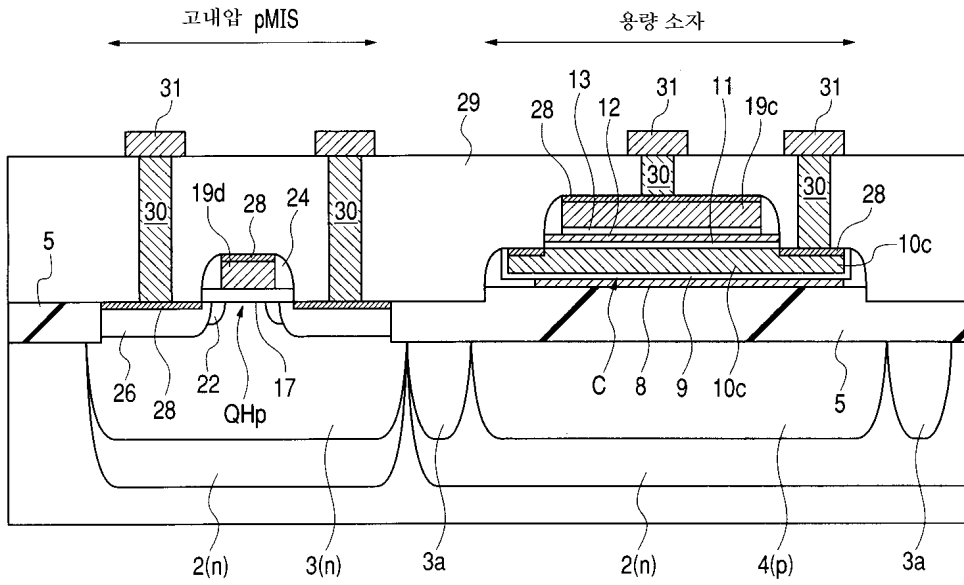
도면2



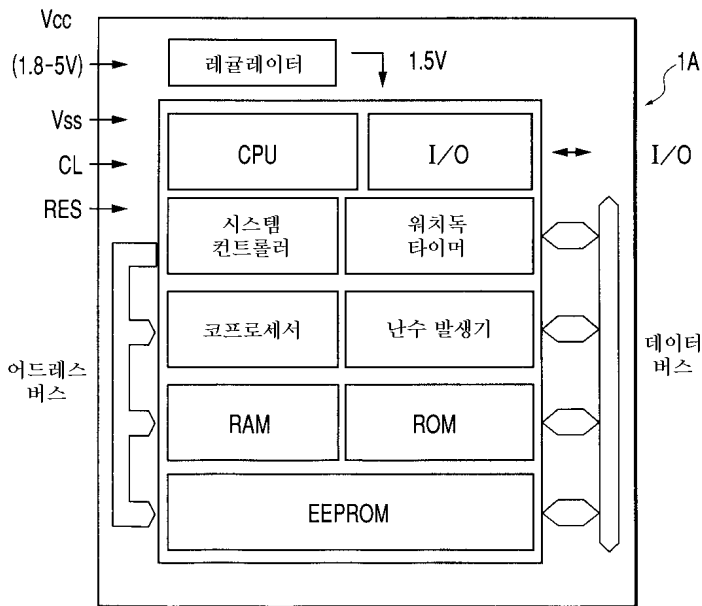
도면3



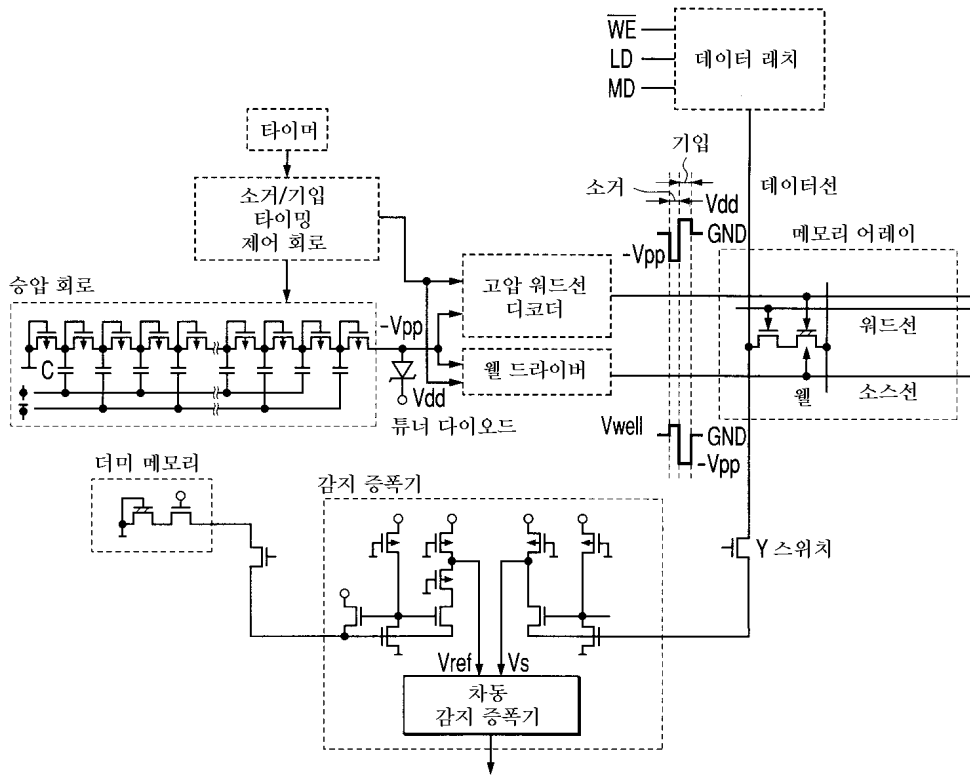
도면4



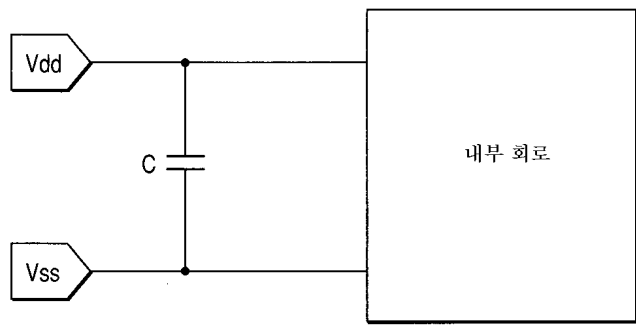
도면5



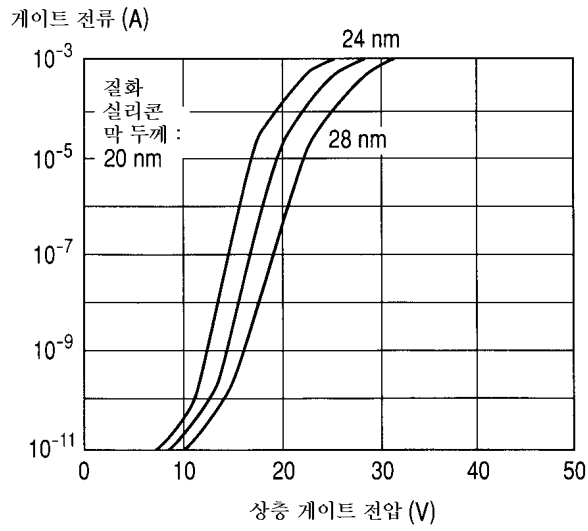
도면6



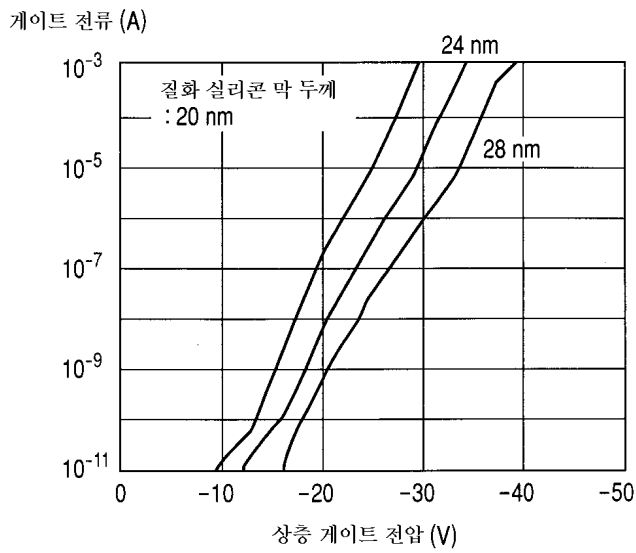
도면7



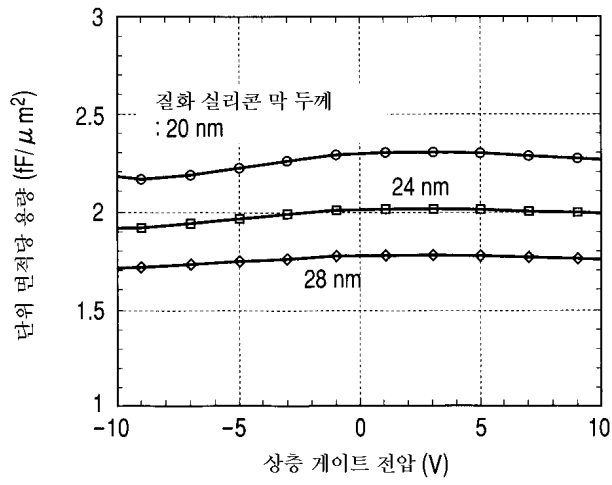
도면8



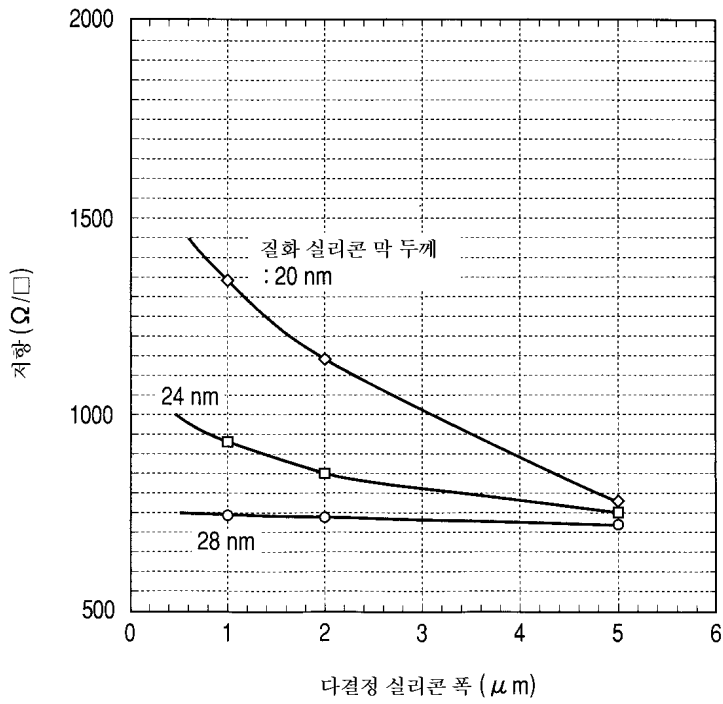
도면9



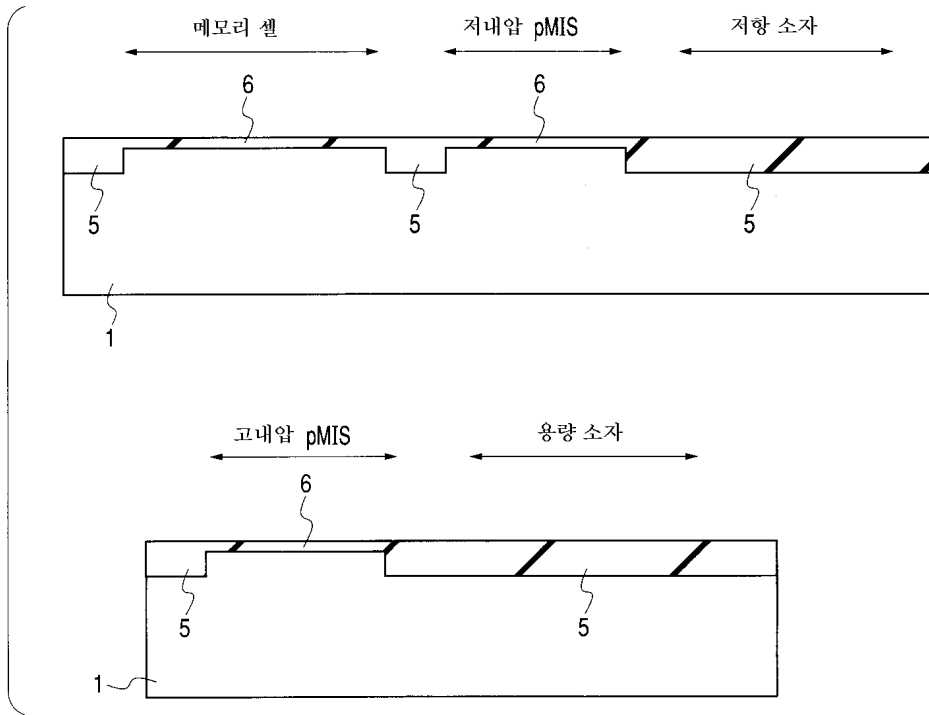
도면10



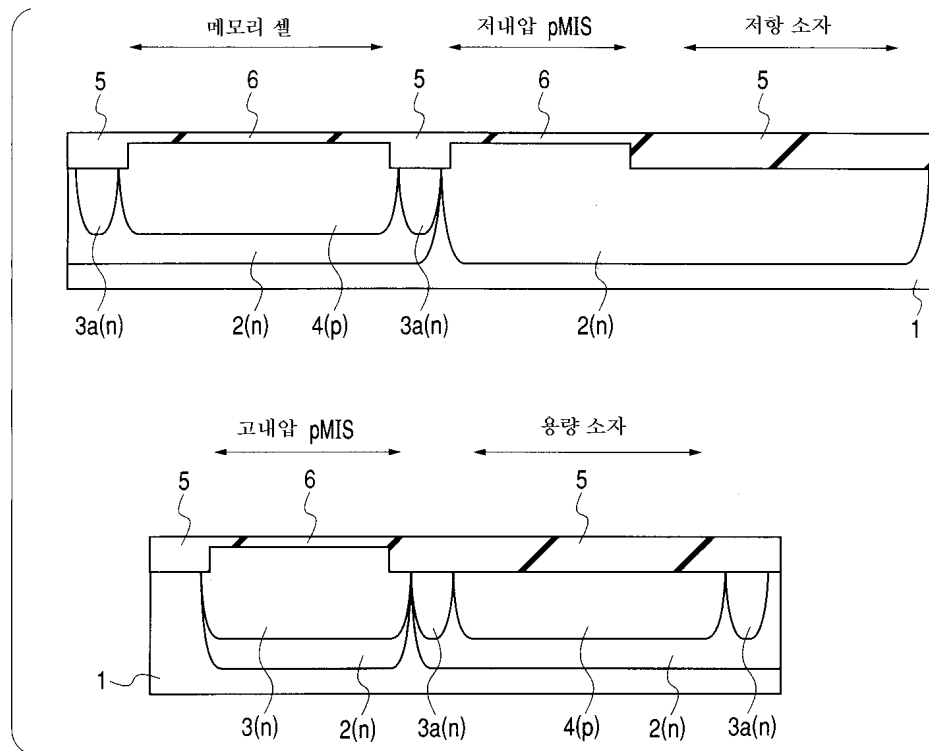
도면11



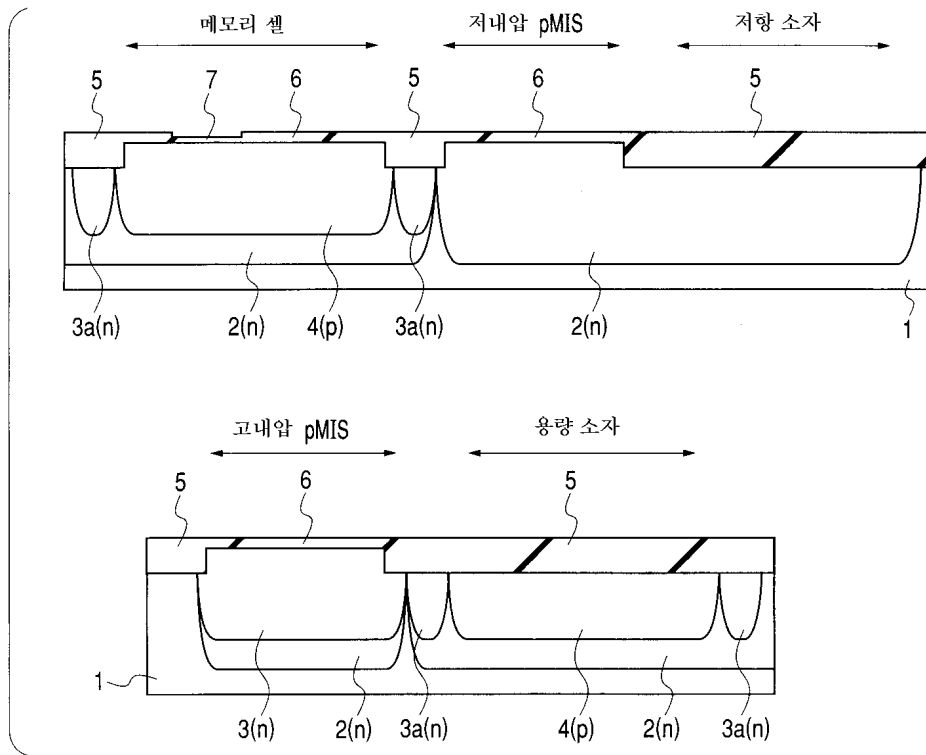
도면12



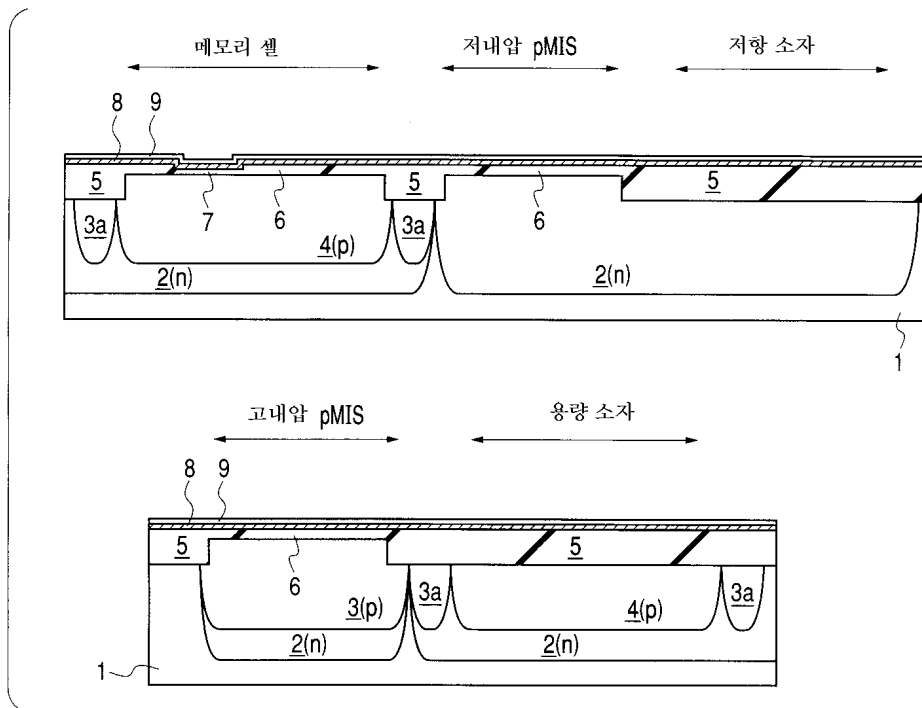
도면13



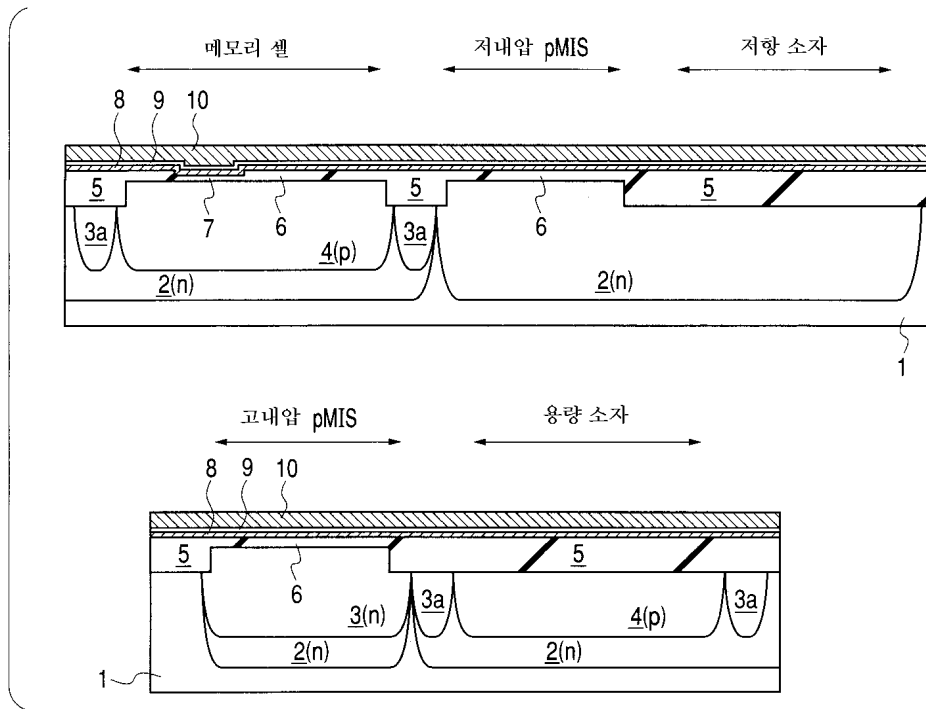
도면14



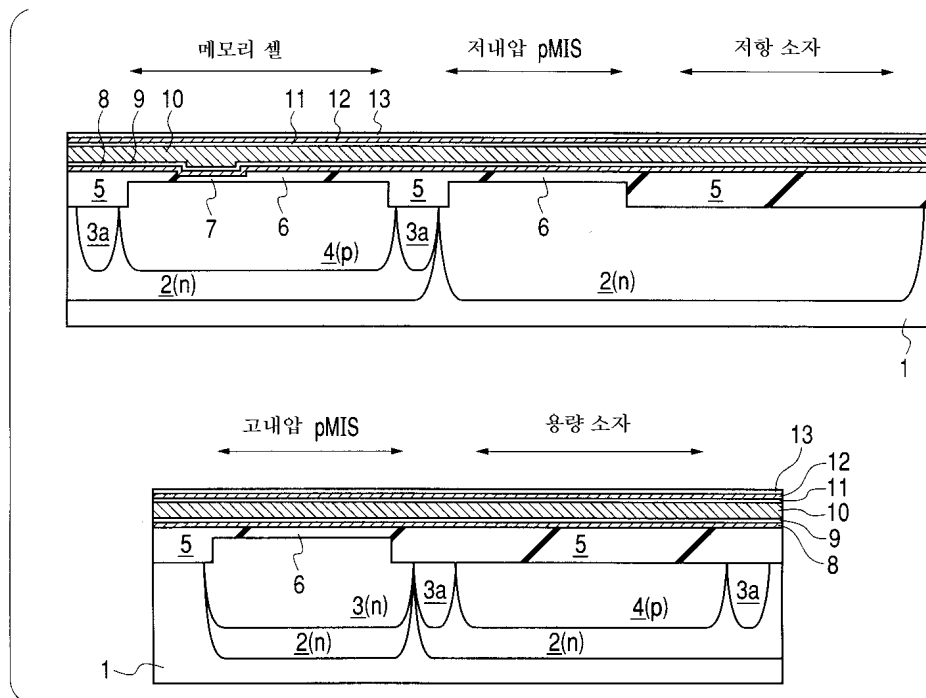
도면15



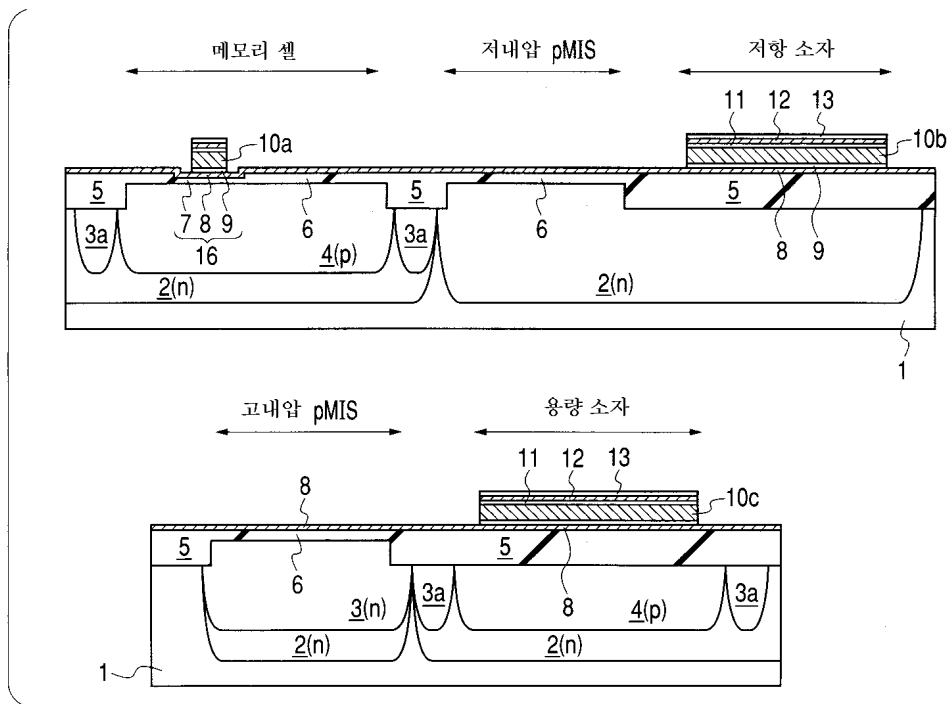
도면16



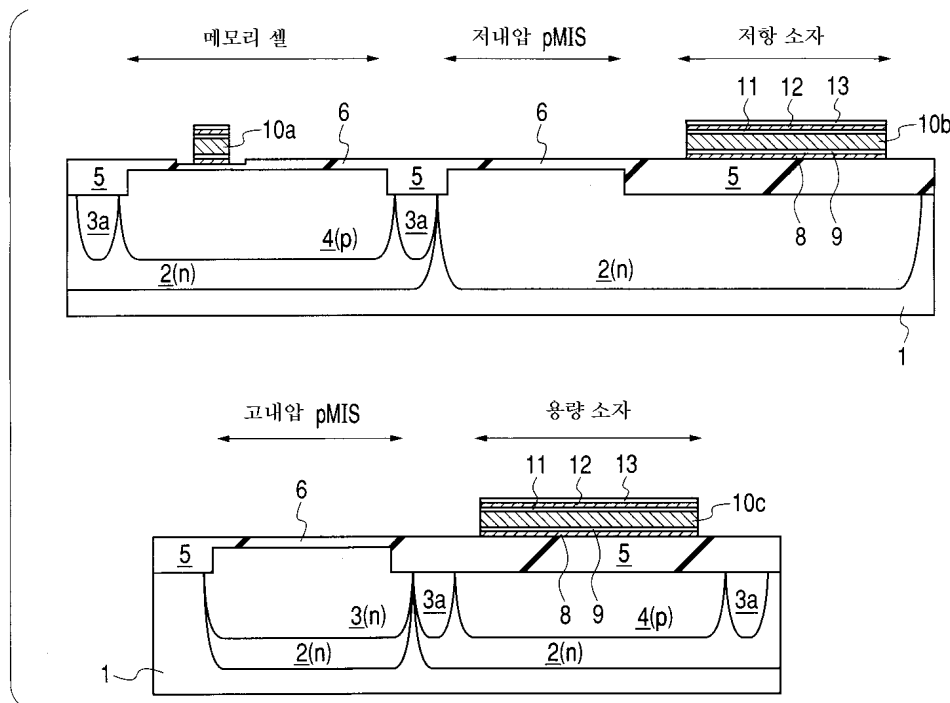
도면17



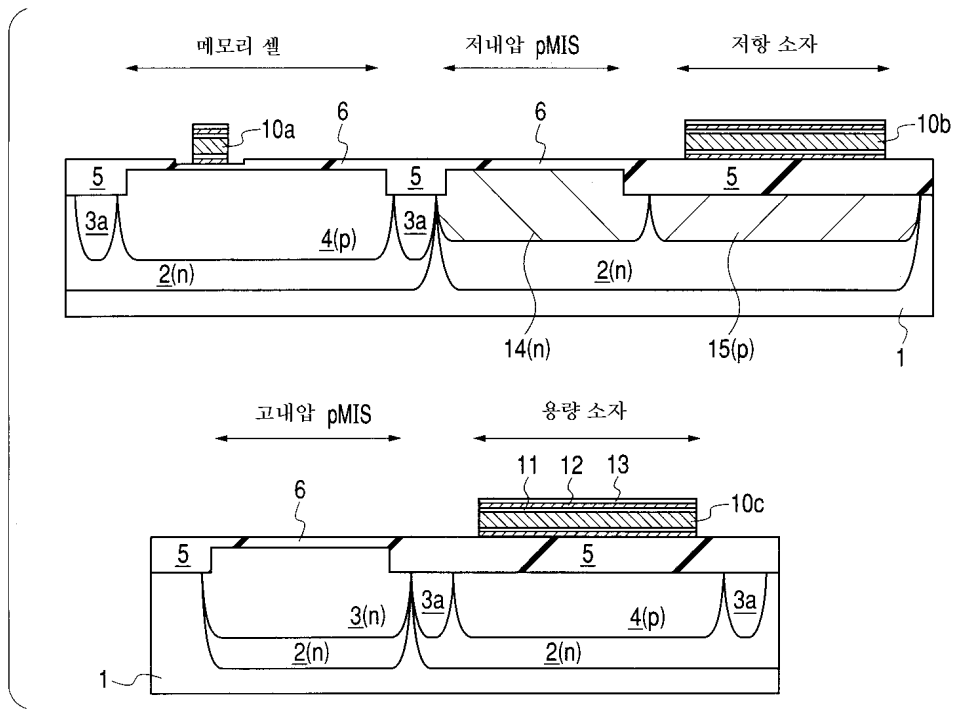
도면18



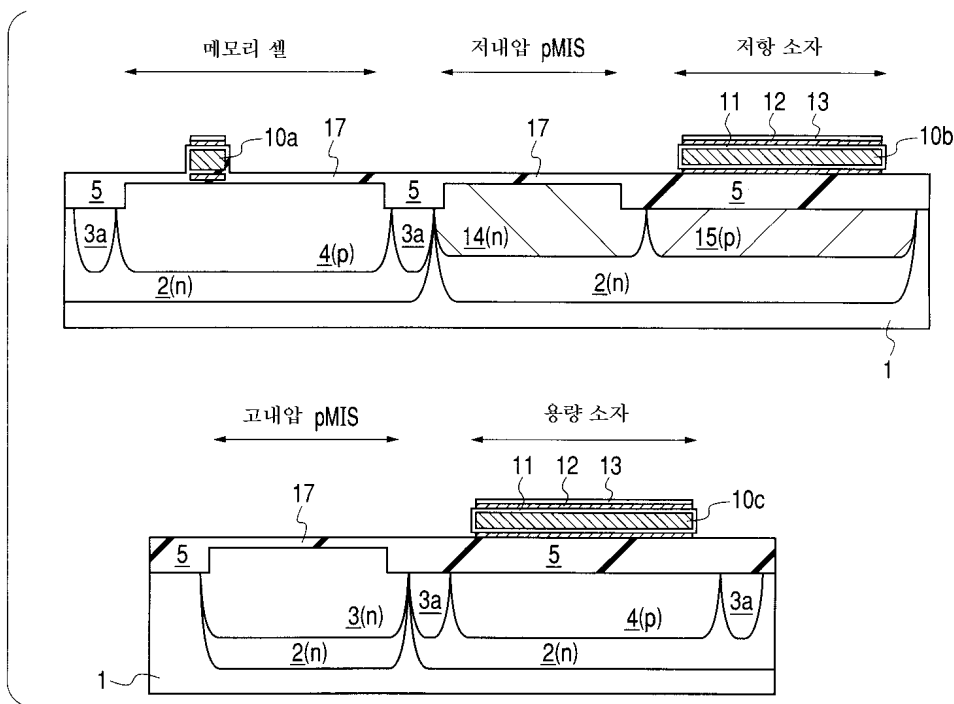
도면19



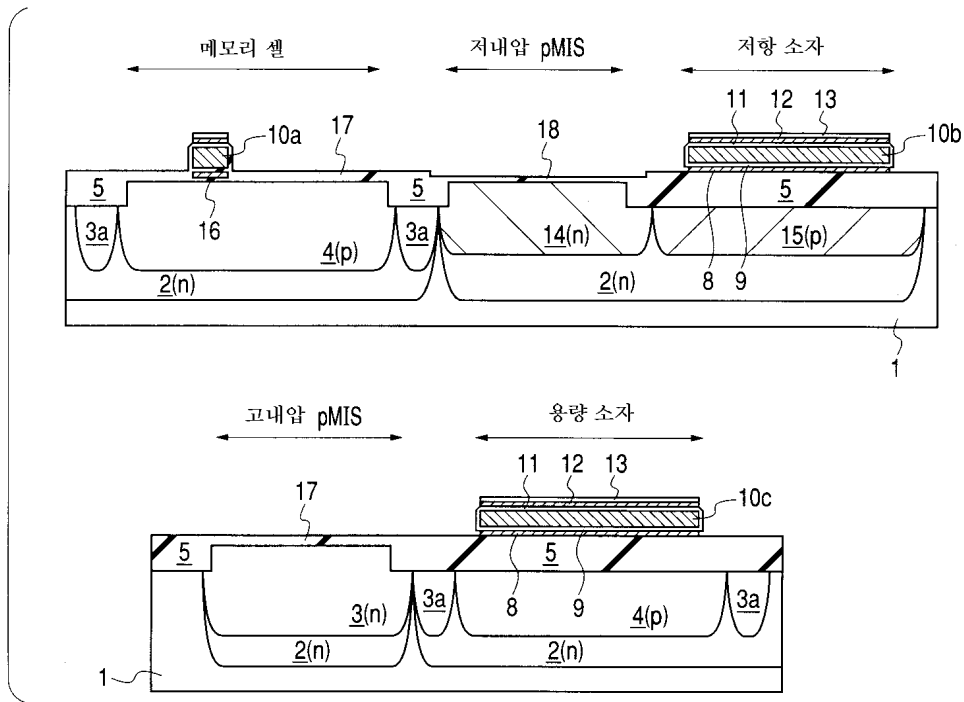
도면20



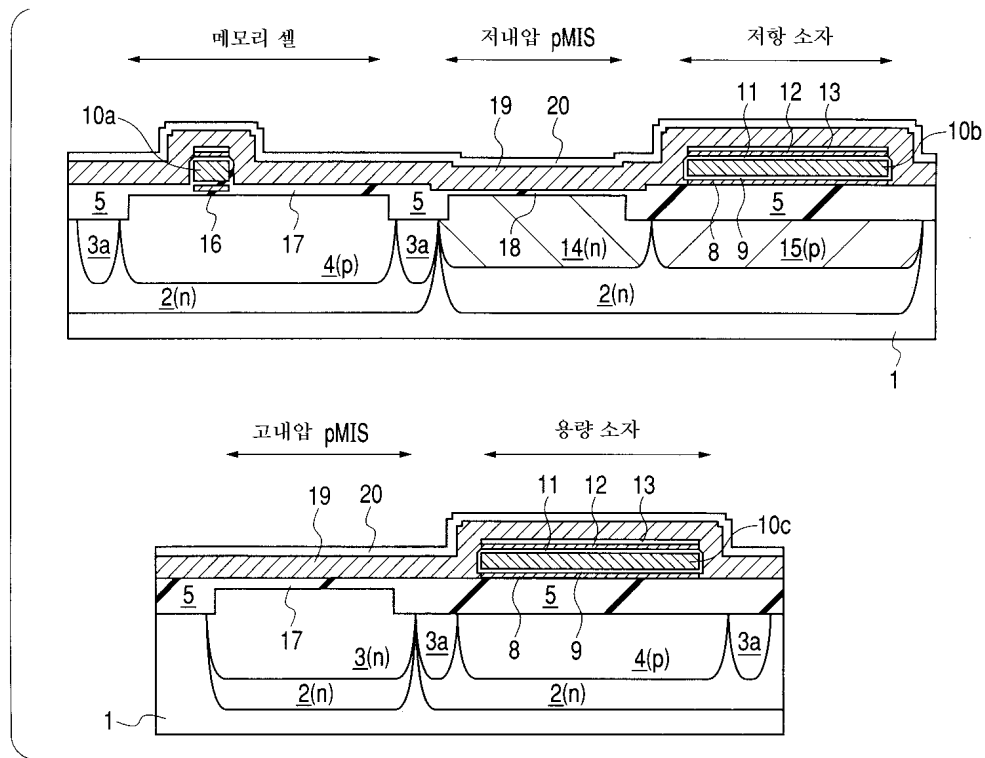
도면21



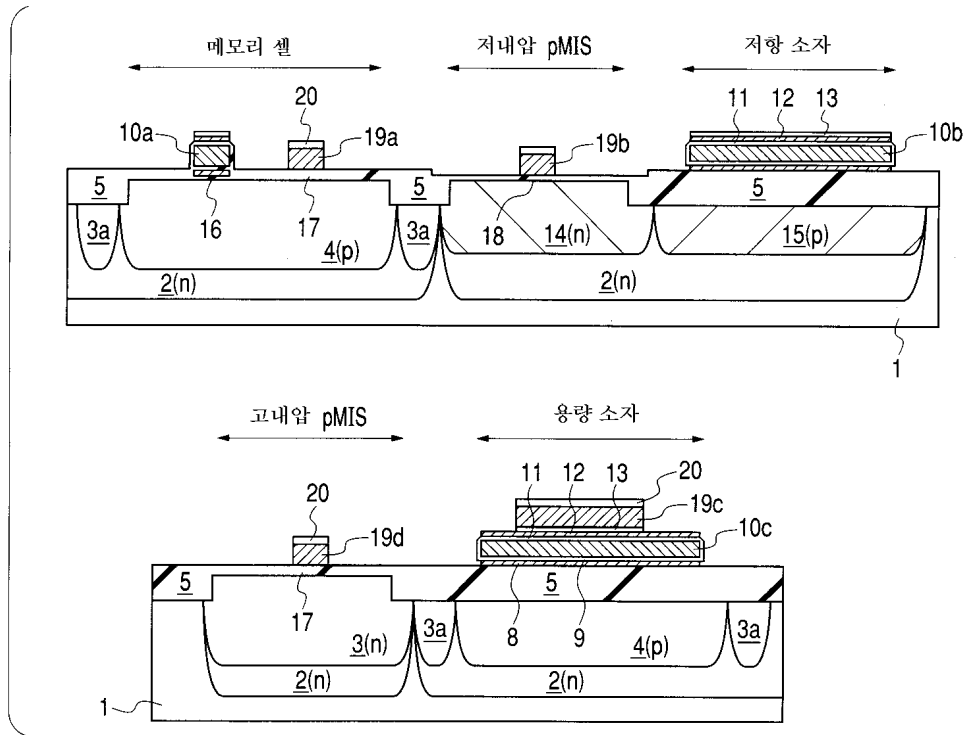
도면22



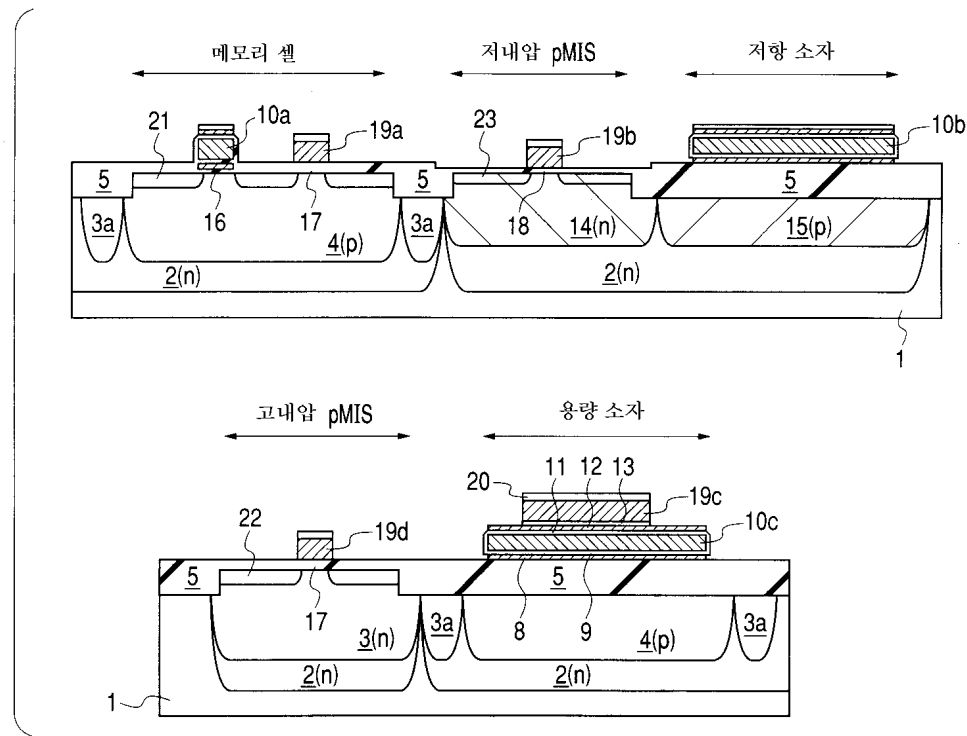
도면23



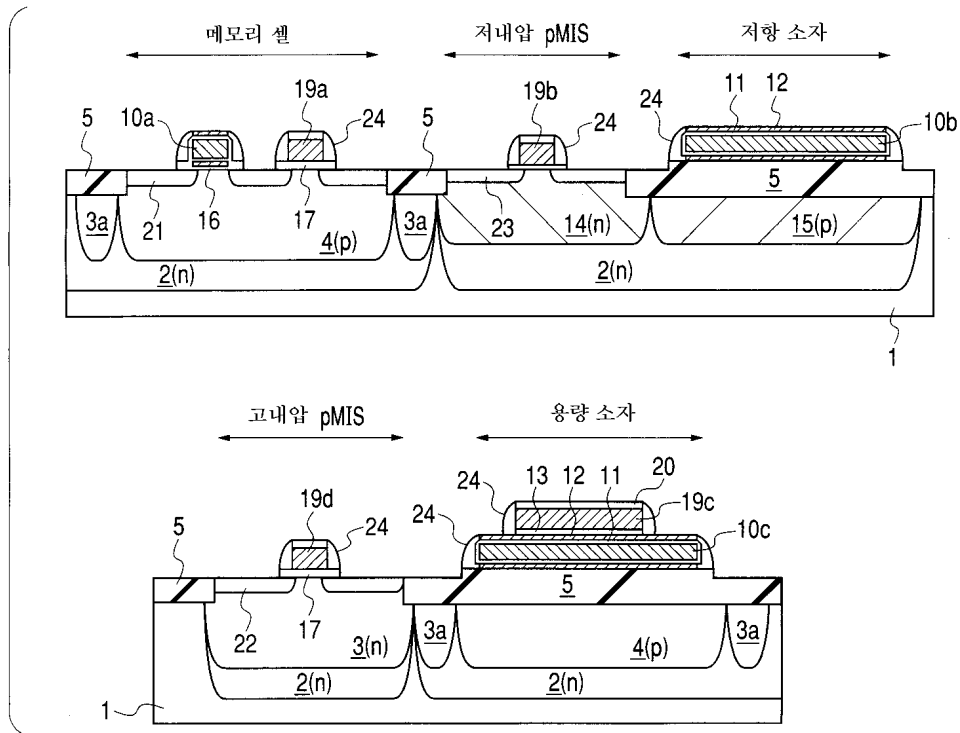
도면24



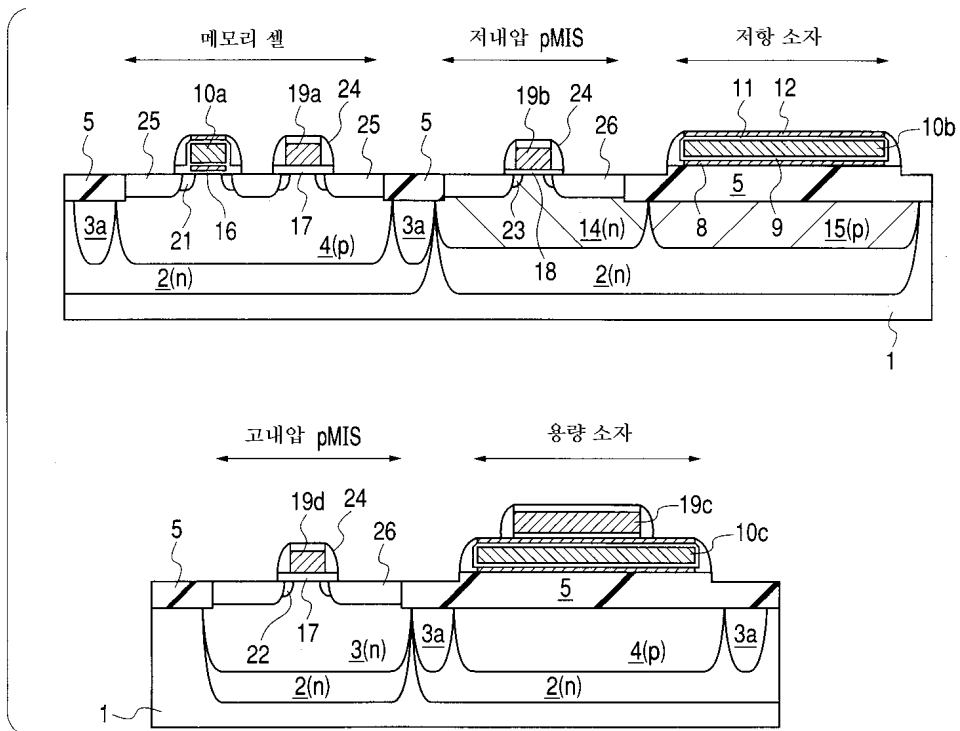
도면25



도면26



도면27



도면28

