

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/027

H01L 21/768 G03F 7/00



[12] 发明专利申请公开说明书

[21] 申请号 03102525.0

[43] 公开日 2003 年 10 月 8 日

[11] 公开号 CN 1447386A

[22] 申请日 2003.2.10 [21] 申请号 03102525.0

[30] 优先权

[32] 2002. 3.26 [33] KR [31] 16350/2002

[71] 申请人 海力士半导体有限公司

地址 韩国京畿道

[72] 发明人 高次元 玄润锡

[74] 专利代理机构 北京市柳沈律师事务所

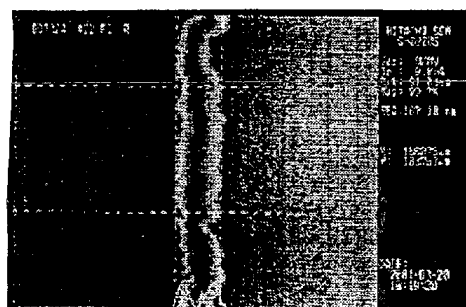
代理人 范明娥 巫肖南

权利要求书 2 页 说明书 5 页 附图 5 页

[54] 发明名称 细微图案形成方法

[57] 摘要

本发明提供采用光刻工序形成细微间隔图案的细微图案形成方法。包括下步骤：含导电膜的半导体基板上，依次涂布 i - 线用抗蚀剂层和正型 ArF 抗蚀剂层；在基板上用具有规定图案的掩膜，进行曝光及第 1 烘烤工序，在正型 ArF 抗蚀剂层内进行甲硅烷化反应，生成醇基(OH)或羧基(COOH)；除去掩膜；在产物上显像，形成第 1 抗蚀剂层图案；在含有第 1 抗蚀剂层图案的基板上进行曝光及第 2 烘烤工序；在其后的基板上用 HMDS 进行甲硅烷化反应，通过醇基(OH)或羧基(COOH)和 HMDS 反应，在第 1 抗蚀剂层图案表面上形成硅氧化膜；将含有硅氧化膜的第 1 抗蚀剂层图案作掩蔽膜，在上述 i - 线用抗蚀剂层上进行干式显像工序，以形成第 2 抗蚀剂层图案；将第 1 及第 2 抗蚀剂层图案作为掩膜，对上述导电膜进行蚀刻，形成位线。



1. 一种细微图案形成方法，其特征是，包括：
在含导电膜的半导体基板上，依次涂布 i-线用抗蚀剂层和正型 ArF 抗蚀剂层的步骤；
5 在上述得到的基板上，利用具有规定图案的掩膜，进行曝光及第 1 烘烤工序，以在所述正型 ArF 抗蚀剂层内进行甲硅烷化反应，生成醇基(OH)或羧基(COOH)的步骤；
除去掩膜的步骤；
10 在产物上实施显像，形成第 1 抗蚀剂层图案的步骤；
在含有第 1 抗蚀剂层图案的基板上进行曝光及第 2 烘烤工序的步骤；
第 2 烘烤工序完成后的基板上，用 HMDS 进行甲硅烷化工序，通过醇基(OH)或羧基(COOH)和 HMDS 反应，在第 1 抗蚀剂层表面上，形成硅氧化膜的步骤；
15 把含有硅氧化膜的第 1 抗蚀剂层图案作为掩膜，在上述 i-线用抗蚀剂层上实施干式显像工序，以形成第 2 抗蚀剂层图案的步骤；
把含有硅氧化膜的第 1 及第 2 抗蚀剂层图案作为掩膜，对上述导电膜进行蚀刻，形成位线的步骤。
2. 按照权利要求 1 中所述的细微图案形成方法，其特征是，在涂布上述
20 i-线用抗蚀剂层之前，对上述基板进行 HMDS 蒸汽处理。
3. 按照权利要求 1 中所述的细微图案形成方法，其特征是，所述 i-线用抗蚀剂层涂布厚度为 0.2-1.5 μm ，所述正型 ArF 抗蚀剂层涂布厚度为 0.05-0.2 μm 。
4. 按照权利要求 1 中所述的细微图案形成方法，其特征是，在涂布上述
25 正型 ArF 抗蚀剂层前，对上述 i-线用抗蚀剂层增加一个于 200 $^{\circ}\text{C}$ 实施 90 秒钟的硬烘烤工序的步骤。
5. 按照权利要求 1 中所述的细微图案形成方法，其特征是，在涂布上述正型 ArF 抗蚀剂层后，再增加一个于 110 $^{\circ}\text{C}$ 实施 90 秒钟的软烘烤工序的步骤。
- 30 6. 按照权利要求 1 中所述的细微图案形成方法，其特征是，上述显像工序是采用 TMAH 溶液实施 60 分钟。

7. 按照权利要求 6 中所述的细微图案形成方法, 其特征是, 上述 TMAH 溶液的浓度为 0.1-10%。
8. 按照权利要求 1 中所述的细微图案形成方法, 其特征是, 在含有上述第 1 抗蚀剂层图案的基板上实施曝光及第 2 烘烤工序的步骤中, 对 ArF 曝光
- 5 工序供给 5-50mJ/cm² 的能量。
9. 按照权利要求 1 中所述的细微图案形成方法, 其特征是, 上述第 1 及第 2 烘烤处理工序是在 110j æ 实施 90 秒钟。
10. 按照权利要求 1 中所述的细微图案形成方法, 其特征是, 上述甲硅烷化工序是在 120j æ 实施 90 秒钟。
11. 按照权利要求 1-10 中任何一项所述的细微图案形成方法, 其特征是, 甲硅烷化剂是选自六甲基二硅氮烷、四甲基二硅氮烷、双(二甲基二甲基硅烷)、双(二甲基氨基甲基硅烷)、二甲基甲硅烷基二甲胺、二甲基二乙胺、三甲基甲硅烷基二甲胺、三甲基甲硅烷基二乙胺以及二甲基氨基五甲基硅烷中的任何一种。
12. 按照权利要求 1 中所述的细微图案形成方法, 其特征是, 上述干式显像工序, 采用氧等离子体。
13. 按照权利要求 1 中所述的细微图案形成方法, 其特征是, 上述干式显像工序, 是在上部电极 500 瓦(W)、下部电极 100 瓦(W), 施加 75 瓦(W) 偏电流能量, 在保持 30 °C 温度及 5 毫毛压力的状态下, 以 35sccm 供给氧气。

细微图案形成方法

5 技术领域

本发明涉及半导体元件制造方法，更详细地说，涉及采用光刻工序形成细微间隔的图案的细微图案形成方法。

现有技术

10 光刻工序是由 $0.25\mu\text{m}$ 的设计规定装置的 KrF 光源对抗蚀剂层图形的限制，作为其替代方案采用 ArF193nm 光源进行试验。

然而，适用于装置的 ArF 蚀刻工序产生各种问题，其中，为了改善 ArF 抗蚀剂层在阻挡层中的耐蚀刻性，存在对 193nm 波长的吸收非常大的问题。然而，这样的结果是造成抗蚀剂层涂层厚度降低的重要原因。考虑到一般的
15 图案破坏，保护层厚度必须达到纵横比 3 : 1 左右，ArF 抗蚀剂层，与 i-线抗蚀剂层相比，耐蚀刻性大约弱 2 倍左右，ArF 抗蚀剂层的厚度使蚀刻工序造成负担。

图 1 及图 2 是示出原有技术问题点的图，是利用 ArF 抗蚀剂层形成细微图案的照片。

20 图 1 是采用原有技术，通过用于 ArF 抗蚀剂层的沉积柱状物形成的触点的蚀刻结果照片。图 2 是采用原有技术，利用 ArF 抗蚀剂层蚀刻闸门的结果照片。

在利用上述耐蚀刻性弱的 ArF 光敏抗蚀剂层，形成用于沉积柱状物形成的触点或形成闸门时，如图 1 及图 2 所示，存在可诱发图案变形的问题。

25

本发明拟解决的课题

本发明为了解决上述原有的问题点，提供一种使用耐蚀刻性优良的抗蚀剂层，可形成细微图案的细微图案形成方法。

30 用于解决本课题的手段

用于达到上述目的的本发明细微图案形成方法，其特征是包括：在含导

电膜的半导体基板上，依次涂布 i-线用抗蚀剂层和正型 ArF 抗蚀剂层的步骤、在上述得到的基板上，利用具有规定图案的掩膜，实施曝光及第 1 烘烤工序，在正型 ArF 抗蚀剂层内进行甲硅烷化反应，生成醇基(OH)或羧基(COOH)的步骤、除去掩膜的步骤、在产物上实施显像，而形成第 1 抗蚀剂层图案的步骤、在含有第 1 抗蚀剂层图案的基板上进行曝光及第 2 烘烤工序的步骤、在第 2 烘烤工序完成后的基板上，利用 HMDS 进行甲硅烷化的工序，通过醇基(OH)或羧基(COOH)和 HMDS 反应，在第 1 抗蚀剂层图案的表面形成硅氧化膜的步骤、用含有硅氧化膜的第 1 抗蚀剂层图案作为掩膜，于 i-线用抗蚀剂层上进行干式显像的工序，形成第 2 抗蚀剂层图案的步骤、把含有硅氧化膜的 10 第 1 及第 2 抗蚀剂层图案作为掩膜，进行导电膜蚀刻，形成位线的步骤。

在涂布上述 i-线用抗蚀剂层以前，把上述基板用 HMDS 蒸汽进行处理。

上述 i-线用抗蚀剂层涂布 0.2-1.5 μm 厚，而上述正型 ArF 抗蚀剂层涂布 0.05-0.2 μm 厚。

在涂布上述正型 ArF 抗蚀剂层前，使上述 i-线用抗蚀剂层增加一个在 15 200 $^{\circ}\text{C}$ 的温度下进行 90 秒钟的硬烘烤工序的步骤。

在涂布上述正型 ArF 抗蚀剂层后，再增加一个在 110 $^{\circ}\text{C}$ 下进行 90 秒钟的软烘烤工序的步骤。

上述显像工序是采用 TMAH 溶液实施 60 秒钟，而上述 TMAH 溶液的浓度保持在 0.1-10%。

20 在含有上述第 1 抗蚀剂层图案的基板上实施曝光及第 2 烘烤工序的步骤中，对 ArF 曝光工序供给 5-50 mJ/cm^2 的能量。

上述第 1 及第 2 烘烤工序是在 110 $^{\circ}\text{C}$ 实施 90 秒钟。

上述甲硅烷化工序是在 120 $^{\circ}\text{C}$ 进行 90 秒钟，甲硅烷化剂是选自六甲基二硅氮烷、四甲基二硅氮烷、双(二甲基二甲基硅烷)、双(二甲基氨基甲基硅烷)、25 二甲基甲硅烷基二甲基胺、二甲基二乙胺、三甲基甲硅烷基二甲胺、三甲基甲硅烷基二乙胺以及二甲基氨基五甲基硅烷中的任何一种。

上述干式显像工序，采用氧等离子体，其上部电极 500 瓦(W)下部电极 100 瓦(W)，施加 75 瓦(W)偏电流能量，在保持 30 $^{\circ}\text{C}$ 温度及 5 毫毛压力的状态下，以 35sccm 供给氧气。

30 上述本发明的目的和其他特征及优点等，从参照本发明的优选实施例所进行的下列说明中可明确了解。

附图的简单说明

图1是原有技术中通过用于ArF抗蚀剂层的沉积柱形物形成的触点蚀刻结果的照片。

5 图2是原有技术中利用ArF抗蚀剂层，蚀刻闸门结果的照片。

图3的a-f是用于说明本发明形成细微图案方法的工序剖面图。

图4是本发明正型ArF抗蚀剂层进行曝光及烘烤时的甲硅烷化反应，生成醇和羧酸的机理图。

10 图5是本发明正型ArF抗蚀剂层进行曝光及烘烤时的甲硅烷化反应，生成醇和羧酸的机理图。

本发明实施方案

图3a-图3f是本发明形成细微图案的方法工序的剖面图，适于 $0.1\mu\text{m}$ 大小的位线掩膜形成的剖面图。

15 本发明形成细微图案的方法，如图3a所示，首先，在含导电膜(未图示)的半导体基板100上，涂布i-线用抗蚀剂层102。此时，所述基板100，为了使基板和i-线用抗蚀剂层之间的粘接力增加，用HMDS(六甲基二硅氮烷)蒸汽处理。另外，所述i-线用抗蚀剂层102涂布 $0.2-1.5\mu\text{m}$ 厚度，优选涂布 $1.0\mu\text{m}$ 厚度。还可以用涂布厚度 $0.5-3.0\mu\text{m}$ 的有机物质防反射膜代替所述i-
20 线用抗蚀剂层。

然后，对所述i-线用抗蚀剂层102进行硬烘烤。此时，所述硬烘烤工序102于 $200\text{ }^\circ\text{C}$ 温度实施90秒钟。

接着，如图3c所示，在上述硬烘烤工序完成后的i-线用抗蚀剂层103上，涂布正型ArF抗蚀剂层104后，在所述正型ArF抗蚀剂层104上进行软
25 烘烤工序122。这时，上述软烘烤工序122是在 $110\text{ }^\circ\text{C}$ 温度下进行90秒钟。正型ArF抗蚀剂层104，为了不发生抗蚀剂层图案的破坏，涂布厚度应减薄至 $0.05-0.2\mu\text{m}$ 。还可以用EUV、电子束、离子束及X-线中的任何一种代替所述正型ArF抗蚀剂层104。

30 然后，如图3d所示，在上述软烘烤工序完成后的正型ArF抗蚀剂层105上，用具有规定图案的掩膜130盖上后照射ArF光140而实施曝光后，进行PE(后曝光)烘烤工序124。这时，所述PE烘烤工序124是在 $110\text{ }^\circ\text{C}$ 温度进

行 90 秒钟。另外，还可以用 EUV(超紫外线)、电子束、离子束及 X-线中的任何一种代替所述 ArF 光 140。

图 4 及图 5 是本发明正型 ArF 抗蚀剂层进行曝光及烘烤时的甲硅烷化反应，生成醇和羧酸的机理图。

5 所述正型 ArF 抗蚀剂层 105 受光后如进行 PE 烘烤工序 124，则在层内如图 4 所示通过甲硅烷化反应生成醇基(OH-)，如图 5 所示生成羧酸(COOH)。

接着，除去上述掩膜后，如图 3e 所示，上述 PE 烘烤工序完成后的正型 ArF 抗蚀剂层利用 TMAH 溶液显像 60 秒钟，形成第 1 抗蚀剂层图案 106。这时，所述 TMAH 溶液使用的浓度为 0.1-10%，优选浓度 2.38%。

10 其次，含有所述第 1 抗蚀剂层图案 106 的基板上用 ArF 光进行曝光工序后，于 110 °C 温度实施 90 秒钟烘烤工序。此时，所述 ArF 光具有 5-50mJ/cm² 的能量，优选具有 30mJ/cm² 的能量。

然后，如图 3f 所示，对上述产物使用 HMDS 于 120 °C 温度进行 90 秒钟甲硅烷化工序，在所述第 1 抗蚀剂层图案 106 的上部形成硅氧化膜
15 (SiO_x)108。这时，所述硅氧化膜 108 是上述 PE 烘烤工序生成的醇基(OH-)或羧酸(COOH)和 HMDS 的硅(Si)结合生成的。另外，上述甲硅烷化工序使用的甲硅烷化剂可选自六甲基二硅氮烷、四甲基二硅氮烷、双(二甲基二甲基硅烷)、双(二甲基氨基甲基硅烷)、二甲基甲硅烷基二甲胺、二甲基二乙胺、三甲基甲硅烷基二甲胺、三甲基甲硅烷基二乙胺以及二甲基氨基五甲基硅烷中
20 的任何一种。

然后，把含有上述硅氧化膜(SiO_x)108 的第 1 抗蚀剂层图案 106 作为掩膜，在上述产物上利用氧等离子体进行干式显像工序，形成第 2 抗蚀剂层图案 110。这时，所述干式显像是上部电极 500 瓦(W)、下部电极 100 瓦(W)，施加 75 瓦(W)偏电流能量，在保持 30 °C 温度及 5 毫托压力的状态下，以
25 35sccm 供给氧气进行的。

其后，用含有所述硅氧化膜 108 的第 1 及第 2 抗蚀剂层图案 106、110 作为掩膜进行导电膜蚀刻，形成位线 112。

发明的效果

30 因此，在本发明中在正型 ArF 抗蚀剂层上形成图案的图像，使所述正型 ArF 抗蚀剂层上的图像，通过复印到耐蚀刻性优良的 i-线用抗蚀剂层上，可

以防止 ArF 用抗蚀剂层的耐蚀刻性不足而造成的图案变形，从而可防止上述图案变形所造成的装置收率下降，降低半导上元件的制造单价。

另外，在本发明中，利用正型 ArF 抗蚀剂层，可以制造图样尺寸低于 100nm 的半导体元件。

5 另外，在不偏离本发明要点的范围内可加以多种变更。

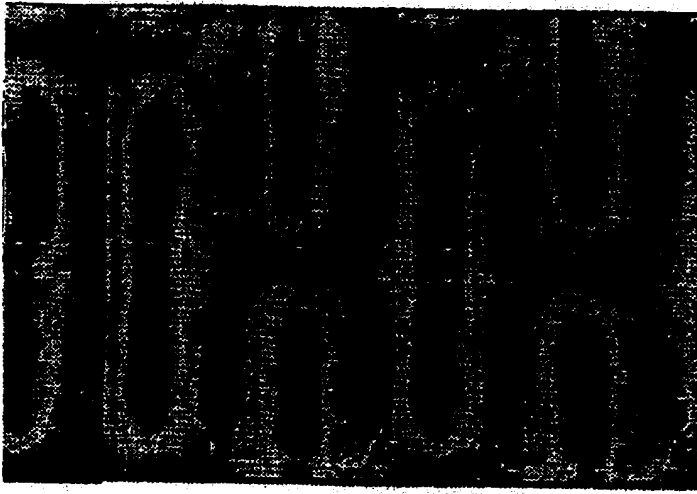


图 1

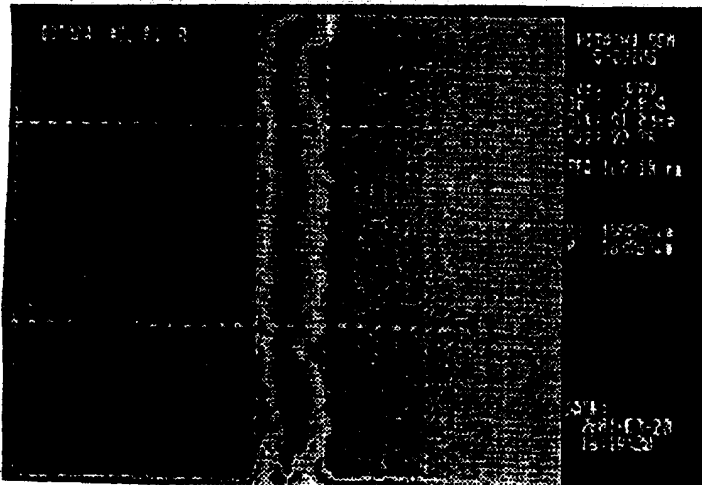


图 2

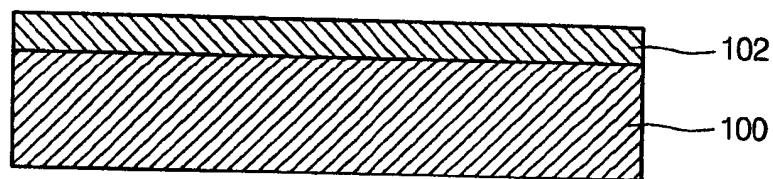


图 3A

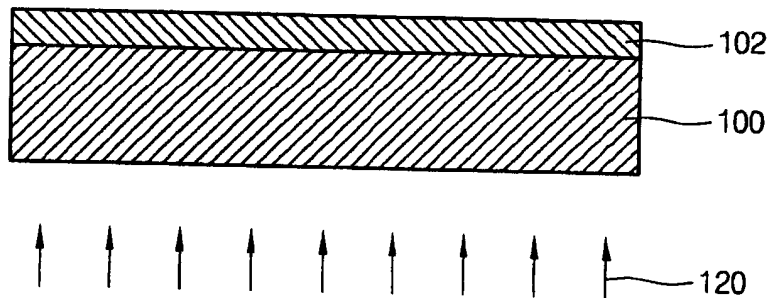


图 3B

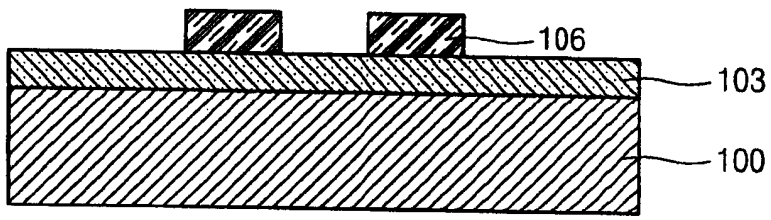


图 3E

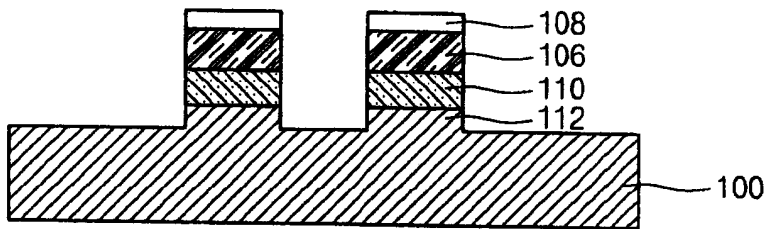


图 3F

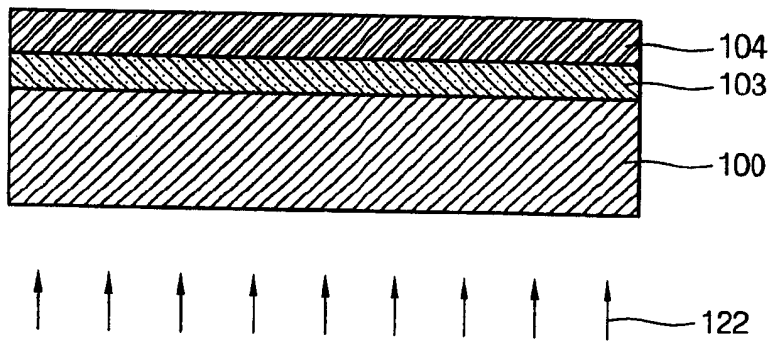


图 3C

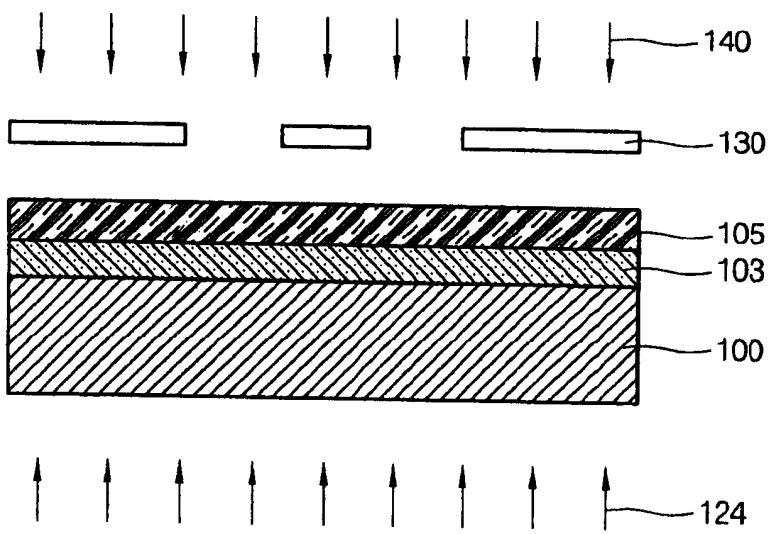


图 3D

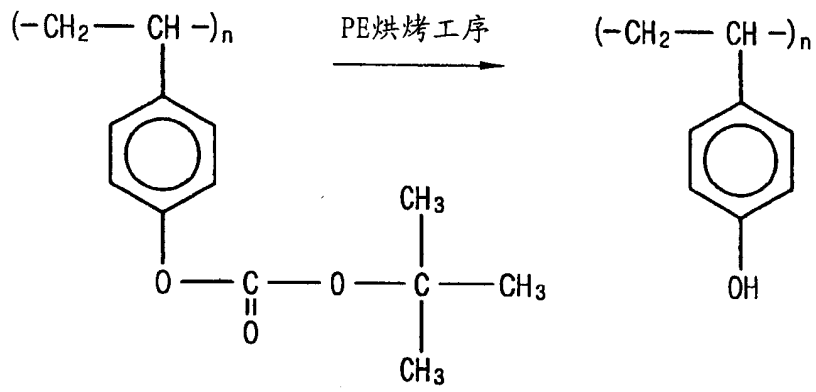


图 4

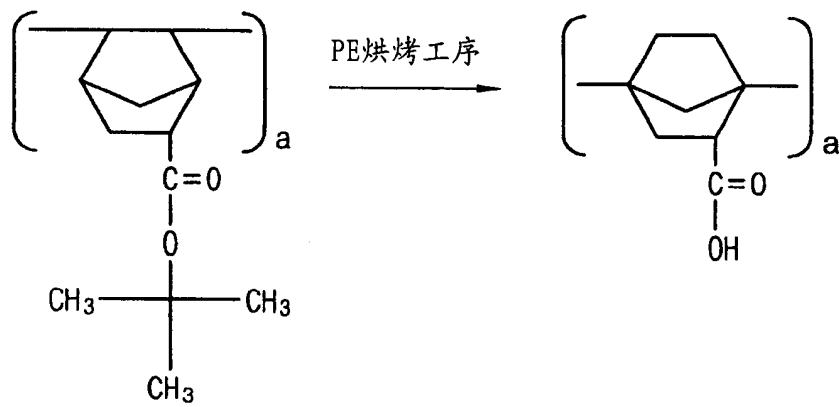


图 5