

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-235542
(P2004-235542A)

(43) 公開日 平成16年8月19日(2004.8.19)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/82	HO 1 L 21/82 W	5 B O 4 6
GO 6 F 17/50	GO 6 F 17/50 6 5 8 K	5 F O 3 8
HO 1 L 21/822	GO 6 F 17/50 6 6 6 V	5 F O 6 4
HO 1 L 27/04	HO 1 L 27/04 D	
	HO 1 L 21/82 C	
審査請求 未請求 請求項の数 8 O L (全 14 頁)		

(21) 出願番号	特願2003-24198 (P2003-24198)	(71) 出願人	000005049
(22) 出願日	平成15年1月31日 (2003.1.31)		シャープ株式会社
			大阪府大阪市阿倍野区長池町22番22号
		(74) 代理人	110000062
			特許業務法人第一国際特許事務所
		(72) 発明者	長尾 明
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		Fターム(参考)	5B046 AA08 BA06 JA01
			5F038 BH19 CD07 CD13 EZ09 EZ20
			5F064 EE02 EE08 EE16 EE17 EE19
			EE26 EE27 EE43 EE46 HH06

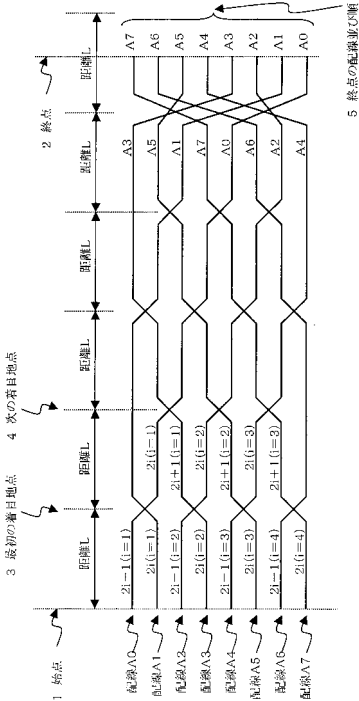
(54) 【発明の名称】 クロストークノイズを低減するバス配線を備える電気回路装置、電気回路装置のバス配線の配線方法、電気回路装置のバス配線の配線システム

(57) 【要約】

【課題】 束配線を備える電気回路装置、特に半導体集積回路装置のバス配線のクロストークノイズを低減する配線レイアウトを提供すること。

【解決手段】 複数の機能ブロックで共通に使用されるバス信号を伝達するバス配線が束状に配置されるバス配線を備える電気回路装置において、前記バス配線を構成する各個別配線（A0～A7）は3以上であって、互いに隣接する個別配線間で配線経路変更点3，4，…において各個別配線を入れ替えるようにした。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

複数の機能ブロックで共通に使用されるバス信号を伝達するバス配線が束状に配置されるバス配線を備える電気回路装置において、

前記バス配線を構成する各個別配線は、配線上の任意の位置で互いに配線位置が入れ替わる配線経路変更点を有することを特徴とするクロストークノイズを低減するバス配線を備える電気回路装置。

【請求項 2】

前記バス配線を構成する個別配線数は 3 以上であることを特徴とする請求項 1 に記載のクロストークノイズを低減するバス配線を備える電気回路装置。

10

【請求項 3】

前記個別配線は互いに隣接する個別配線間で前記配線経路変更点において各個別配線が入れ替わることを特徴とする請求項 1 又は請求項 2 に記載のクロストークノイズを低減するバス配線を備える電気回路装置。

【請求項 4】

前記バス配線を構成する各個別配線は、配線位置の入れ替えに用いられるビア（貫通孔）を隣接して配置可能な最小間隔で配線されることを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載のクロストークノイズを低減するバス配線を備える電気回路装置。

【請求項 5】

前記電気回路装置は、半導体集積回路装置であることを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項に記載のクロストークノイズを低減するバス配線を備える電気回路装置。

20

【請求項 6】

電気回路装置のバス配線を構成する各個別配線の配線方法であって、

バス配線（束配線）の初期経路を定める第 1 ステップと、

ビット幅 n に対して $n/2$ を越えない最大の自然数の変数 m を定める第 2 ステップと、

配線経路の入れ換え地点として、束配線の始点から終点の方向に所定の距離進んだ地点に着目する第 3 ステップと、

上記の地点において、束配線の一方の端から $2i$ 番目と $(2i - 1)$ 番目 ($i = 1, 2, \dots, m$) の配線を入れ換える第 4 ステップと、

配線経路の入れ換え地点としての次の着目地点を、束配線の終点方向に所定の距離だけ進め、各配線を所定の長さ延設する第 5 ステップと、

30

上記次の着目地点が終点を越えていないかを判定する第 6 ステップと、

越えていなければ上記次の着目地点において、束配線の一方の端から $2i$ 番目と $(2i + 1)$ 番目 ($i = 1, 2, \dots, m$) の配線を入れ換える第 7 ステップと、

着目地点を束配線の終点方向に所定距離だけ進め、各配線を所定の長さ延設する第 8 ステップと、

着目地点が終点を越えていないかを判定する第 9 ステップと、

越えていなければ、第 4 ステップへ戻る第 10 ステップと、

越えていれば、前回の着目地点での配線入れ換えを、終点の配線順に応じて調製する第 11 ステップと、

40

からなるアルゴリズムによることを特徴とするクロストークノイズを低減するための電気回路装置のバス配線の配線方法。

【請求項 7】

電気回路装置のバス配線の配線を入れ換えるためのアルゴリズムを実施するための配線システムであって、

配置情報ファイルと回路接続情報ファイルと配線経路ファイルを格納する外部記憶装置と、上記の配置情報ファイルと回路接続情報ファイルを読込んで概略配線処理部、束配線初期経路決定部、束配線の個別配線経路入れ換え処理部、信号配線処理部の各処理部にデータを引き渡すデータ読み込み装置、束配線初期経路決定部および信号配線処理部の前処理として、束配線を含む全信号配線に対してその配線経路の大略を決定する概略配線処理部

50

、束配線の初期経路を決定する束配線初期経路決定部、束配線の個別配線経路の入れ換え処理をする束配線の個別配線経路入れ換え処理部、束配線以外の残りの信号配線の配線経路の決定を実施する信号配線処理部、上記の各処理部で得られた配線結果を上記外部記憶装置に配線経路ファイルとして出力する配線結果出力装置を備える、請求項 6 に記載のアルゴリズムを処理するためのコンピュータとから構成されることを特徴とするクロストークノイズを低減するための電気回路装置のバス配線の配線を入れ換えるためのアルゴリズムを実施するための配線システム。

【請求項 8】

始点と終点との間に n 個 ($n \geq 1$) の分岐点を有する電気回路装置のバス配線において、始点から分岐点までの間、分岐点から分岐点までの間、分岐点から終点までの間の配線経路に対して、請求項 6 に記載のアルゴリズムにより配線を入れ換えることを特徴とするクロストークノイズを低減するための電気回路装置のバス配線の配線方法。 10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロストークノイズを低減するバス配線（束配線）を備える電気回路装置（特に半導体回路装置）、電気回路装置のバス配線の配線方法、電気回路装置のバス配線の配線システムに関する。

【0002】

【従来の技術】

一般に電気回路において複数の機能ブロックで共通に使用されるアドレスやデータ等の信号配線はバス配線（以下、束配線とも称する）と呼ばれ、通常同種信号のバスはその性質上、束状にまとめて配線される。

このように束配線を構成する各配線は、互いに平行するように配線されることが多いために、配線間にクロストークノイズ（主に容量のカップリングによって、相互に誘起される不要な電圧）を生じ易い。

特に半導体集積回路上においてはその微細化のために配線間隔が狭く、配線間の絶縁膜も薄層化するため配線の寄生容量が大きくなる傾向があるため、クロストークに起因する問題が生じやすい。

【0003】

図 5 は、従来の束配線における代表的な配線経路の例を、束配線のビット幅が 5 である場合について示した図である。

このように、束配線を構成する各配線が互いに平行するように配線されている。

例えば、配線 b_0 は束配線を構成する配線のうちの一本であり、同図において始点 1 から終点 2 に至るまでの間、配線 b_3 と配線 b_4 の二本の配線が常に隣接している。

クロストークノイズは配線が有する寄生容量に起因するため、互いに隣接する配線が並走する距離が長くなればなるほど大きくなる。

また、クロストークノイズは隣接して並走する配線の間隔が狭いほど大きくなるため、同図の配線経路において、配線 b_0 は配線 b_3 や配線 b_4 からのクロストークノイズを受け易い。 40

【0004】

配線を通じて伝達される電気信号はこのクロストークノイズの影響を受け、クロストークノイズが大きくなると、クロストークノイズがない場合に比べて電気信号の到達時刻が早くなる場合や、遅くなる場合があり、その結果として回路が誤動作する要因となり得る。クロストークノイズが大きくなると、電気信号が持つ情報そのものに誤りが混入して、回路が誤動作することもある。

すなわち、クロストークノイズが大きくなると、半導体集積回路の機能的な信頼性が著しく低下する。

そこで、回路の誤動作を防止して半導体集積回路の信頼性を維持するためには、束配線に起因するクロストークノイズを低減する必要がある。

【 0 0 0 5 】

このようなクロストークノイズを低減する技術自身は従来より提案されてきている。

例えば特許文献 1 には、図 6 に示すように配線領域と素子配線領域における配線の主方向を配線層ごとに縦もしくは横に制約するとともに、電源バス配線を配することにより、配線層の異なる配線間のクロストークノイズを低減、すなわち、配線領域にある任意の配線と素子配線領域にある任意の配線との間のクロストークノイズを低減する技術が開示されている。

すなわち第 1 層目の配線 d 3 (d 1 ~ d 4) に対して、第 2 層目の配線 e 1 が交差するが、配線方向が直交しているために、互いに並走することではなく、第 1 層目の配線 d 3 と第 2 層目の配線 e 1 との間のクロストークノイズは小さい。

10

【 0 0 0 6 】

また第 1 層目の配線 d 3 (d 1 ~ d 4) に対して、第 3 層目の電源バス c 3 は長い距離にわたって並走する可能性がある。

しかしながら電源バスは通常、信号配線のような急峻で大きな電位変化はなく、また配線幅が大きく容量値も大きいいため信号配線の電位変化により誘起された電流を十分吸収可能であることからクロストークノイズは問題とならない。

さらに素子配線領域 c 2 では、第 1 層目の配線層が主にトランジスタ素子および抵抗素子間を接続する短い配線に使用されており、長い配線を形成することができないことから、第 3 層目の配線 f 3 (f 1 ~ f 4) と同一方向に長い距離にわたって並走する第 1 層目の配線は存在せず、第 3 層目の配線 f 3 と第 1 層目の配線との間のクロストークノイズは小さい。

20

【 0 0 0 7 】

また、第 3 層目の配線 f 3 (f 1 ~ f 4) に対して交差する可能性のある第 2 層目の配線との間のクロストークノイズについては、前記第 1 層目の配線 d 3 (d 1 ~ d 4) と第 2 層目の配線 e 1 が直交する場合と同様にクロストークノイズは小さくなる。

このように、特許文献 1 に開示の技術は配線層の異なる配線間のクロストークノイズを低減することができる。

次に特許文献 2 には伝送する電気信号の振幅に着目して、小信号振幅の電気信号を伝送する配線を斜め方向に傾けて配線することにより、大信号振幅の電気信号を伝送する配線とのクロストークノイズを低減する技術が開示されている。

30

【 0 0 0 8 】

すなわち、図 7 の小信号振幅の配線 g 1 ~ g 3 のいずれも斜め方向に傾けて配線することにより、大信号振幅の配線 h 1 ~ h 3 と交差はするものの、同一方向に長い距離にわたって並走することではなく、結果として、小信号振幅の配線と大信号振幅の配線の間のクロストークノイズは低減される。

また、特許文献 3 には半導体集積回路のパッケージ配線をボンディングパッドの平面的な配置順に着目して、図 8 (a) の平面図に示すように、上層のボンディング配線と下層のボンディング配線を交互にボンディングすることによりクロストークノイズを低減する技術が開示されている。

【 0 0 0 9 】

40

例えば、図 8 (a) の平面図において下層のボンディング配線 k 2 とこの配線に隣接する上層のボンディング配線 k 3 は、同図 (b) の要部断面図において k 2 と k 3 のようにパッケージの高さ方向に経路が異なるため、高さ方向に経路が同一の場合に比べて互いの距離が長くなり、その結果として、隣接するボンディング配線間のクロストークノイズは低減される。

【 0 0 1 0 】

また特許文献 4 には半導体集積回路に相補クロックを用いる際に、非反転クロック信号を印加する配線 C P 1 及び反転クロック信号を印加する配線 C P 2 に対してその直角方向にダミー配線を所定の間隔で周期的に配置結合させることにより、一般的な信号線が長距離にわたって相補クロック信号線 C P 1 ・ C P 2 に近接配線することを防止してクロストー

50

クノイズを低減する技術が開示されている。

【0011】

例えば、図9において非反転クロック信号線CP1に対してその直角方向にダミー配線m3～m5を周期的に配置結合し、反転クロック信号線CP2に対してその直角方向にダミー配線m6～m8を周期的に配置結合することにより、一般的な信号線m12が相補クロック信号線CP1・CP2に近接配線することを防止するとともに、一般的な信号線m9のようにたとえ相補クロック信号線CP1・CP2に近接配線されとしても、ダミー配線を配置結合する周期的な長さを越えて並走することがなく、その結果として、一般的な信号線と相補クロック信号線CP1・CP2との間のクロストークは低減される。

【0012】

さらに、特許文献5には同期式の半導体集積回路に二相クロックを用いる際に、第一相クロック信号 ϕ_1 を印加する配線と第二相クロック信号 ϕ_2 を印加する配線を異なる配線チャンネルに割り当てて配線することにより相互のクロストークノイズを低減する技術が開示されている。

【0013】

【特許文献1】

特開平1-282838号公報

【特許文献2】

特開平3-19257号公報

【特許文献3】

特開平3-261152号公報

【特許文献4】

特開平2-78248号公報

【特許文献5】

特開平5-82644号公報

【0014】

【発明が解決しようとする課題】

しかし従来の技術は、配線層の異なる配線の間でクロストークノイズを削減する技術（特許文献1、特許文献2）であったり、ボンディングワイヤーのクロストークノイズ削減技術（特許文献3）、相補クロックや二相クロックのような特殊な構造に特化したクロストークノイズ削減技術（特許文献4、特許文献5）であり、いずれの技術も束配線に適用するのが極めて難しい。

【0015】

より具体的には、特許文献1に開示の技術（図6）は、配線領域と素子配線領域における配線の主方向を配線層ごとに縦もしくは横に制約するとともに、電源バス配線を配することによりクロストークノイズを削減する方法である。

しかしこの技術は、同一平面上の配線、すなわち、図6の第1層目の束配線c5を構成する配線間に生じるクロストークノイズや、第3層目の束配線c6を構成する配線間に生じるクロストークノイズについては、これを低減するものではない。

例えば、第1層目の束配線c5を構成する配線である第1層目の配線d3と第1層目の配線d4の間に生じるクロストークノイズや、第3層目の束配線c6を構成する配線である第3層目の配線f3と第3層目の配線f4の間に生じるクロストークノイズを低減するものではない。

【0016】

次に特許文献2に開示の技術（図7）は、伝送する電気信号の振幅に着目して、小信号振幅の電気信号を伝送する配線を斜め方向に傾けて配線することにより、大信号振幅の電気信号を伝送する配線とのクロストークノイズを削減する方法である。

しかしこの技術も、特許文献1の技術と同様に、配線層の異なる配線間のクロストークノイズを低減する発明であり、同一平面上の配線、すなわち、図7に示した小信号振幅の配線g1と小信号振幅の配線g2の間に生じるクロストークノイズや、大信号振幅の配線h

10

20

30

40

50

1 と大信号振幅の配線 h 2 の間に生じるクロストークノイズについては、これを低減するものではない。

【 0 0 1 7 】

また特許文献 3 に開示の技術 (図 8) は、半導体集積回路のパッケージ配線をボンディングパッドの平面的な配置順に着目して、上層のボンディング配線と下層のボンディング配線を交互にボンディングすることによりクロストークノイズを削減する方法である。

しかしこの技術は、上層配線 k 5 と下層配線 k 4 のように複数層の信号配線を有するパッケージの配線と、単一平面上に形成するボンディングパッドとをボンディング配線で接続することを特徴としているため、この特徴を有していない束配線には本発明を適用することができない。

10

【 0 0 1 8 】

また特許文献 4 に開示の技術は、半導体集積回路に相補クロックを用いる際に、非反転クロック信号を印加する配線 C P 1 及び反転クロック信号を印加する配線する C P 2 に対してその直角方向にダミー配線を所定の間隔で周期的に配置結合させることにより、一般的な信号線が長距離にわたって相補クロック信号線 C P 1 ・ C P 2 に近接配線することを防止してクロストークノイズを削減する方法である。

しかし、相補クロック信号線 C P 1 ・ C P 2 の近傍に束配線が配線される場合に、その束配線を構成する信号線 m 1 0 ~ m 1 2 間のクロストークノイズを低減するものではない。すなわち、信号線 m 1 1 と信号線 m 1 2 の間のクロストークノイズは低減できない。

【 0 0 1 9 】

20

さらに特許文献 5 に開示の技術は、同期式の半導体集積回路に二相クロックを用いる際に、第一相クロック信号 ϕ_1 を印加する配線と第二相クロック信号 ϕ_2 を印加する配線を異なる配線チャンネルに割り当てて配線することにより相互のクロストークノイズを削減する方法である。

この技術も第一相クロック信号 ϕ_1 の配線と第二相クロック信号 ϕ_2 の配線相互のクロストークノイズを低減する技術であって、この二相クロック以外の一般的な信号線間のクロストークノイズを低減する技術ではない。

【 0 0 2 0 】

束配線があった場合にそれを構成する各配線間に生じるクロストークノイズを低減できないのは特許文献 4 と同様である。

30

また、二相クロックを 2 ビットのビット幅をもつ束配線であると考えて、これを 1 6 ビットや 6 4 ビットのビット幅をもつ束配線に拡張しようとする、1 6 個の互いに独立な配線チャンネルや 6 4 個の互いに独立な配線チャンネルを割り当てる必要があり、現実的ではない。

【 0 0 2 1 】

このように、クロストークノイズの低減に関する従来の技術は、いずれも束配線に対して適用できるものではなく、束配線に有効な新たなクロストークノイズ低減技術が望まれる。

本発明は、このような課題を鑑みてなされたものであり、面積の増大を抑制しながら簡略な方法で束配線を備える電気回路装置、特に半導体集積回路装置のバス配線のクロストークノイズを低減する配線レイアウトを提供することを目的とする。

40

【 0 0 2 2 】

本発明を要約すると、束配線を備える半導体集積回路装置は、複数ビットのビット幅を持つ束配線を含む論理回路により構成されており、束配線を構成する各配線の配線経路を、半導体集積回路のレイアウトパターン上において相互に入れ換えることにより、束配線を構成する配線のうちの任意の二本の配線が隣接して並走する距離を短く抑え、当該隣接配線間のカップリング容量を低減し、ひいては、配線間に生じるクロストークノイズを低減するよう構成されている。

【 0 0 2 3 】

【課題を解決するための手段】

50

上記の目的を達成するために、本発明のクロストークノイズを低減するバス配線を備える電気回路装置は、複数の機能ブロックで共通に使用されるバス信号を伝達するバス配線が束状に配置されるバス配線を備える電気回路装置において、前記バス配線を構成する各個別配線 A 0 ~ A 7 は、配線上の任意の位置で互いに配線位置が入れ替わる配線経路変更点を有する。

【0024】

また、前記バス配線を構成する個別配線数は3以上である。

また、前記個別配線は互いに隣接する個別配線間で前記配線経路変更点において各個別配線が入れ替わる。

【0025】

さらに、前記バス配線を構成する各個別配線は、配線位置の入れ替えに用いられるビア（貫通孔）a 6 を隣接して配置可能な最小間隔で配線される。

さらに、前記電気回路装置は、半導体集積回路装置である。

【0026】

また本発明の電気回路装置のバス配線を構成する各個別配線の配線方法は、バス配線（束配線）の初期経路を定める第1ステップ S 2 1 と、ビット幅 n に対して $n/2$ を越えない最大の自然数の変数 m を定める第2ステップ S 2 2 と、配線経路の入れ換え地点として、束配線の始点 1 から終点 2 の方向に所定の距離 L 進んだ地点 3 に着目する第3ステップ S 2 3 と、上記の地点 3 において、束配線の一方の端から $2i$ 番目と $(2i - 1)$ 番目 ($i = 1, 2, \dots, m$) の配線を入れ換える第4ステップ S 2 4 と、配線経路の入れ換え地点としての次の着目地点 4 を、束配線の終点方向に所定の距離 L だけ進め、各配線を所定の長さ L 延設する第5ステップ S 2 5 と、上記次の着目地点 4 が終点 2 を越えていないかを判定する第6ステップ S 2 6 と、越えていなければ上記次の着目地点 4 において、束配線の一方の端から $2i$ 番目と $(2i + 1)$ 番目 ($i = 1, 2, \dots, m$) の配線を入れ換える第7ステップ S 2 7 と、着目地点を束配線の終点 2 方向に所定距離 L だけ進め、各配線を所定の長さ L 延設する第8ステップ S 2 8 と、着目地点が終点 2 を越えていないかを判定する第9ステップ S 2 9 と、越えていなければ、第4ステップ S 2 4 へ戻る第10ステップと、越えていれば、前回の着目地点での配線入れ換えを、終点 2 の配線順に応じて調整する第11ステップ S 3 0 と、からなるアルゴリズムにより行う。

【0027】

また、始点 1 と終点 2 との間に n 個 ($n - 1$) の分岐点を有する電気回路装置のバス配線においては、始点から分岐点までの間、分岐点から分岐点までの間、分岐点から終点までの間の配線経路に対して、上記のアルゴリズムにより配線を入れ換える。

【0028】

さらに本発明の電気回路装置のバス配線の配線を入れ換えるためのアルゴリズムを実施するための配線システムは、配置情報ファイル 4 9 と回路接続情報ファイル 5 0 と配線経路ファイル 5 1 を格納する外部記憶装置 4 2 と、配置情報ファイル 5 0 と回路接続情報ファイル 5 1 を読んで概略配線処理部 4 4、束配線初期経路決定部 4 5、束配線の個別配線経路入れ換え処理部 4 6、信号配線処理部 4 7 の各処理部にデータを引き渡すデータ読み込み装置 4 3、概略配線処理部 4 4、束配線の初期経路を決定する束配線初期経路決定部 4 5、束配線の個別配線経路の入れ換え処理をする束配線の個別配線経路入れ換え処理部 4 6、束配線以外の残りの信号配線の配線経路の決定を実施する信号配線処理部 4 7、上記の各処理部で得られた配線結果を上記外部記憶装置 4 2 に配線経路ファイル 5 1 として出力する配線結果出力装置 4 8 を備える、上記のアルゴリズムを処理するためのコンピュータとから構成される。

【0029】

【発明の実施の形態】

本発明の実施の形態を実施例に基づき図面を参照して説明する。

【実施例 1】

図 1 は、本発明による束配線の配線経路の例を、束配線のビット幅が 5 である場合につい

10

20

30

40

50

て示した図である。

配線 a 0 は束配線を構成する配線のうちの一本であり、同図において始点 1 から終点 2 に至るまでの間、各配線 a 1 ~ a 5 と隣接してはいるものの、束配線を構成する配線の経路を相互に入れ換えることにより、任意の二本の配線が隣接して長距離にわたって並走しないように構成している。

【0030】

束配線をこのように構成することにより、ある一本の配線に着目した場合、カップリングの対象となる信号配線は配線の位置によってランダムに入れ替わることになるため、束配線を構成するすべての信号線が同じ動作をしない限り、同一の配線が隣接して並走する場合より、カップリングの影響は相殺されて小さくなる。

10

本発明により、束配線を構成するどの配線に関しても、束配線を構成する他の配線からのクロストークノイズを低減することができる。

【0031】

【実施例 2】

図 1 は束配線のビット幅が 5 である場合の図であるが、ビット幅が 3 以上であれば、束配線を構成する配線の経路を相互に入れ換える前記第 1 の実施例を踏襲できる。

例えば、或る $0.18 \mu\text{m}$ プロセスで製造される半導体集積回路を仮定し、二個のビア（貫通孔）a 6 を隣接配置できる最小の配置を考えたとき、そのビアの中心間距離を α と定める。

当該プロセスにおいて、ビット幅が n の束配線を図 5 と同様の構成で、しかもその各配線に対して中心線の間隔が α となるように配線すると、隣接する二本の配線間に、配線 1 m m あたり 96.5 fF のカップリング容量が生じるものとする。

20

ただし、 n は 3 以上の自然数であるとする。

【0032】

またここで云う配線間のカップリング容量とは、半導体集積回路のマスキデータを考慮に入れない場合には存在せず、考慮に入れると存在する配線間の寄生的な容量であり、実際に VLSI チップとして製品になった半導体集積回路上においても観測される容量である。

配線間のカップリング容量はクロストークノイズの主因であり、カップリング容量が大きくなるほどクロストークノイズの及ぼす影響も大きくなるため、クロストークノイズの影響を表現する尺度の一つとなる。

30

【0033】

配線間のカップリング容量とクロストークノイズの関係についての公知の文献としては、T. Sakurai, "Closed-form expressions for interconnection delay, coupling, and crosstalk in VLSI's," IEEE Transactions on electron devices, vol. 40, no. 1, pp. 118-124, January 1993 における第 4 章 "CROSSTALK" などが詳しい。

【0034】

先に挙げたビット幅が n の束配線の例にこの発明を実施し、束配線の各配線を、ビット幅が 5 の場合の例を示した図 1 のように配線経路を互いに入れ換えて配線すると、任意の二本の配線が隣接して並走する距離が短くなる。

40

その際配線を均等に入れ換えると、任意に選んだ二本の配線の並走距離は図 5 の構成と比較すると理想的には $2/n$ 倍となり、着目している二本の配線間に $96.5 \text{ fF} / \text{mm}$ あったカップリング容量を $(2/n \times 96.5) \text{ fF} / \text{mm}$ 程度にまで抑えることができる。

例えば $n = 32$ であれば、 $6.0 \text{ fF} / \text{mm}$ ($2/32 \times 96.5 \text{ fF} / \text{mm}$) 程度にまで抑えることができる。

【0035】

よって隣接する二本の配線間のクロストークノイズを低減することができる。

50

なお配線の並走距離が理想的には $2/n$ となる理由は、ビット幅 n の束配線の配線経路における任意の微小な配線区間に着目したとき、その配線区間で任意の二本の配線が隣接する確率が $2/n$ となる点にある。

この $2/n$ は、以下の計算式により導かれる。

【0036】

まずビット幅 n の束配線の中の任意の二本の配線 A と配線 B に着目し、ある微小な配線区間において配線 A と配線 B が隣接する確率を考える。

配線 A が束配線の中央部に配置されて、その両側に他の配線がくる確率は $(n-2)/n$ であり、逆に、配線 A が束配線の端に配置されて、束配線の内側に、すなわち片側にだけ他の配線がくる確率は $2/n$ である。

前者の場合、配線 B が配線 A に隣接して配置される確率は $2/(n-1)$ であり、後者の場合、配線 B が配線 A に隣接して配置される確率は $1/(n-1)$ である。

従って、配線 A と配線 B が隣接する確率 $P(n)$ は次式で与えられる。

【0037】

【数 1】

$$P(n) = \left(\frac{n-2}{n} \times \frac{2}{n-1} \right) + \left(\frac{2}{n} \times \frac{1}{n-1} \right) = \frac{2n-2}{n(n-1)} = \frac{2}{n}$$

【0038】

本発明では、ビット幅が 2 の束配線においては配線経路を入れ換えても二本の配線が常に隣接することになるため、配線経路の入れ換えによる効果がない。

ビット幅が 3 以上の束配線であれば配線経路の入れ換えによる効果を期待できるが、ビット幅が 3 の束配線においては、先に述べた理由により任意に選んだ二本の配線の並走距離を $2/3$ 程度にしか低減できない。

束配線のビット幅が多ければ多いほど、配線経路の入れ換えによるクロストークノイズ低減の効果を期待できる。

【0039】

現在の半導体集積回路装置は最低でも 8 ビットないしは、16 ビットのビット幅を持つ束配線を含む論理回路で構成されており、クロストークノイズ低減の効果を期待できる。

なお本発明では、任意の配線に関して、特定の配線からのクロストークノイズが低減できる一方で、束配線を構成する各配線からのクロストークノイズの影響を少しずつ受けることになる。

束配線を構成する各配線を通じて伝達される電気信号は、その値が同時に遷移することが多いため、各配線からのクロストークノイズの影響が重畳することになるが、全ての電気信号が同じ方向に同時に遷移、すなわち、0 から 1 に、或は、1 から 0 に、同時に遷移しない限り、両方向の遷移が平均されてクロストークノイズの影響が緩和される。

【0040】

【実施例 3】

図 2 は束配線を構成する各配線の経路を入れ換えるアルゴリズムを示し、図 3 はこのアルゴリズムに基づいて配線の経路を入れ換える例を模式図で示している。また、図 4 は図 2 のアルゴリズムを実施する配線システムのハードウェア構成の一例をブロック図で示している。

以下図面に従って実施例 3 について説明する。

外部記憶装置 42 に格納される配置情報ファイル 49 と回路接続情報ファイル 50 は、図 2 のアルゴリズムで入力として使用される情報ファイルである。

アルゴリズムを処理するコンピュータ 41 のデータ読み込み装置 43 は、これらの情報ファイルを読み込んで、44 ~ 47 の各処理部にデータを引き渡す。

【0041】

概略配線処理部 44 及び束配線初期経路決定部 45 は従来技術のアルゴリズムであり、概

10

20

30

40

50

略配線処理部 4 4 は束配線初期経路決定部 4 5 および信号配線処理部 4 7 の前処理として、束配線を含む全信号配線に対してその配線経路の大略を決定する処理部であり、束配線初期経路決定部 4 5 は、図 2 の工程 S 2 1 を実施する処理部でもある。

束配線の個別配線経路入れ替え処理部 4 6 は、工程 S 2 2 ~ S 3 0 を実施する処理部である。

信号配線処理部 4 7 は束配線以外の残りの信号配線の配線経路の決定を実施する処理部であり、従来技術のアルゴリズムである。

配線結果出力装置 4 8 は、各処理部 4 4 ~ 4 7 で得られた配線結果を外部記憶装置 4 2 に配線経路ファイル 5 1 として出力する。

【 0 0 4 2 】

次にアルゴリズムについては、束配線の初期経路を定める工程 S 2 1 では、特に制限されないが、従来の一般的な配線アルゴリズムに従い、図 5 のような配線経路入れ換え前の配線経路を得る。

工程 S 2 2 では、束配線のビット幅 n に対して $(n \div 2)$ を越えない最大の自然数を m と定める。

例えば、ビット幅が 8 の場合は $m \leftarrow 4$ (以下、記号 " $\leftarrow$ " は右辺から左辺への代入を示す。 $m \leftarrow 4$ は m に 4 を代入することを意味する) であり、ビット幅が 6 4 の場合は $m \leftarrow 3 2$ となる。

【 0 0 4 3 】

工程 S 2 3 では、配線経路の入れ換え地点として、図 3 の始点 1 から所定の距離 L だけ終点 2 の方向に進んだ地点を最初の着目地点 3 とする。

所定の距離 L は特に制限されないが、例えば、 $20 \mu m$ 程度とする。

工程 S 2 4 では、図 3 の最初の着目地点 (配線経路変更点) 3 において、束配線の端から $2 i$ 番目と $(2 i - 1)$ 番目の配線の経路を互いに入れ換える。

例えばビット幅が 8 の場合は $i = 1, 2, \dots, 4$ に対してこの入れ換え操作を行う。

工程 S 2 5 では、着目地点を束配線の終点 2 方向に、所定の距離 L だけ進め、各配線を所定の長さ L 延設する。

【 0 0 4 4 】

最初の着目地点 3 に対して工程 S 2 5 を経ると、次の配線経路の入れ換え地点として着目地点 (配線経路変更点) 4 に移動する。

工程 S 2 6 では、工程 S 2 5 の着目地点の移動により、着目地点が終点 2 に達したかどうかを判定する。

着目地点が終点 2 に達した場合は工程 S 3 0 に進み、達していない場合は工程 S 2 7 に進む。

例えば、図 3 において着目地点が 4 の地点である場合は終点 2 に達していないので、次は工程 S 2 7 に進む。

【 0 0 4 5 】

工程 S 2 7 では、図 3 の着目地点 4 において、束配線の端から $2 i$ 番目と $(2 i + 1)$ 番目の配線の経路を互いに入れ換える。

この入れ換え操作は $i = 1, 2, \dots, m$ に対して適用するが、これは束配線のビット幅 n が奇数の場合であり、 n が偶数の場合は厳密には $i = 1, 2, \dots, m - 1$ に対する適用となる。

例えば、ビット幅が 8 の場合は $i = 1, 2, 3$ に対してこの入れ換え操作を行う。

工程 S 2 8 と S 2 9 は、前記工程 S 2 5 と S 2 6 にそれぞれ対応しており、次の配線経路の入れ換え地点として着目地点を束配線の終点 2 方向に所定の距離 L だけ進め、着目地点が終点 2 に達したかどうかを判定する。

【 0 0 4 6 】

着目地点が終点 2 に達していない場合は工程 S 2 4 に戻る。

着目地点が終点 2 に達した場合は工程 S 3 0 に進む。

工程 S 3 0 では、配線経路を最後に入れ換えた地点に戻って、配線経路の並び順が、終点

10

20

30

40

50

2 に対して予め定められた配線の並び順 5 になるように、並び順を再調整した上で、S 31 に進んで、アルゴリズムを完了する。

なお図 2 と図 3 は、束配線の始点と終点がそれぞれ 1 箇所、合計 2 箇所の端点を持つと仮定しているが、束配線が分岐して端点が 3 箇所以上ある場合は、分岐点に着目して、端点から分岐点までの間、或いは分岐点から分岐点までの配線経路を図 2 のアルゴリズムに基づいて入れ換えれば良い。

【0047】

図 3 の模式図において、配線 A 2 に着目すると、配線 A 3 (始点 1 ~ 2 L)、配線 A 5 (始点 1 + L ~ 3 L)、配線 A 7 (始点 1 + 2 L ~ 4 L)、配線 A 6 (始点 1 + 3 L ~ 5 L) とそれぞれ距離 (2 × L) の区間を隣接して並走し、配線 A 1 (始点 1 ~ L)、配線 A 4 (始点 1 + 4 L ~ 5 L) と距離 L の区間だけ隣接して並走することになり、任意の配線が隣接して長距離にわたって並走しないように構成する前記第 1 の実施例の要件を満たしている。

10

ただし、終点 2 近傍の距離 L に満たない微小区間については省略して考察した。

【0048】

このように図 2 のアルゴリズムに示す発明は、束配線を構成する各配線の配線経路を互いに入れ換えることにより、配線間に生じるクロストークノイズを低減することができる。なお、上述のように互いに隣接する配線の配線経路を入れ替えるために、複数の配線を跨ぐことがないため、配線の入れ替えはすべて配線の始点から同一の距離でビアを介して行えるため、信号線上のいずれの位置においても、ビアの抵抗に起因する各信号線間で信号遅延のばらつきを抑制することができる。

20

【0049】

【発明の効果】

以上記述したように、本発明により半導体集積回路装置上の束配線において、この束配線を構成する任意の配線間に生じるクロストークノイズを低減することができる。

本発明によらずに、クロストークノイズを考慮しない従来手法で配線した場合であっても、束配線を構成する各個別配線が互いに入れ替わって本発明による半導体集積回路装置と類似することがある。

しかしその場合は、クロストークとは別の要因で配線の入れ替わりを生じているため、束配線に着目すると、各個別配線が所定の長さを越えて隣接することがあり、束配線を構成する各個別配線間に生じるクロストーク低減を保証することはできない。

30

【0050】

一方本発明では、束配線を構成する各個別配線が所定の長さを越えて隣接することはない。

また本発明では、束配線内にこの束配線以外の信号配線が入り込むことがないため、束配線を構成する各個別配線の配線長のばらつきが抑制され、配線長のばらつきに起因する各個別配線の信号遅延のばらつきを抑制することができる。

これにより、クロストークノイズが原因で引き起こされる半導体集積回路装置の誤動作に関し、誤動作の確率を低く抑えることができるために、半導体集積回路装置の信頼性維持に大きく貢献できる。

40

【図面の簡単な説明】

【図 1】本発明の実施形態による束配線の配線経路例を示した図。

【図 2】本発明を実現するためのアルゴリズムの一例を示した図。

【図 3】図 2 のアルゴリズムを実施した場合の束配線の配線経路例を示す模式図。

【図 4】図 2 のアルゴリズムを実施する配線システムのハードウェア構成の一例を示すブロック図。

【図 5】本発明を実施しない場合の束配線の配線経路例を示した図。

【図 6】従来技術、特許文献 1 の技術を説明する図。

【図 7】従来技術、特許文献 2 の技術を説明する図。

【図 8】従来技術、特許文献 3 の発明を説明する図。

50

【図 9】従来技術、特許文献 4 の発明を説明する図。

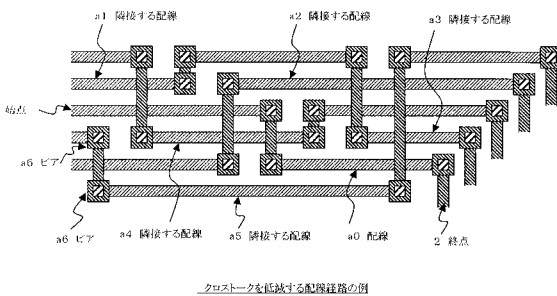
【符号の説明】

- a 0 クロストークノイズの影響を受ける配線
- 1 配線 a 0 の始点
- 2 配線 a 0 の終点
- a 1 ~ a 5 配線 a 0 に隣接する各配線
- 3 最初の着目地点
- 4 次の着目地点
- 5 終点の配線並び順
- 4 1 配線アルゴリズムを実施するコンピュータ
- 4 2 入出力ファイルを格納する外部記憶装置
- 4 3 データ読み込み装置
- 4 4 概略配線処理部
- 4 5 束配線初期経路決定部
- 4 6 束配線の個別配線経路入れ替え処理部
- 4 7 信号配線処理部
- 4 8 配線結果出力装置
- 4 9 配置情報ファイル
- 5 0 回路接続情報ファイル
- 5 1 配線経路ファイル
- b 0 クロストークノイズの影響を受ける配線
- b 1 束配線の第一層目の配線層
- b 2 束配線の第二層目の配線層
- b 3 , b 4 配線 b 0 に隣接する各配線
- b 5 第一層目と第二層目の配線層を接続するビア（貫通孔）

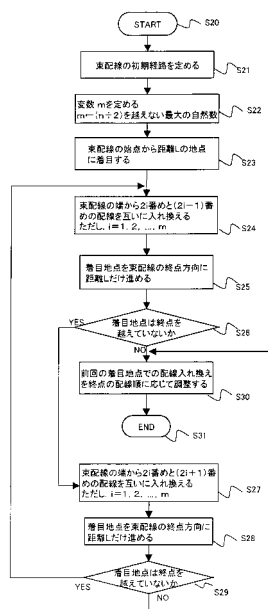
10

20

【図 1】

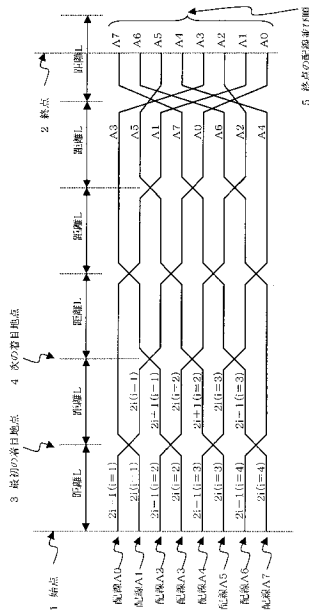


【図 2】

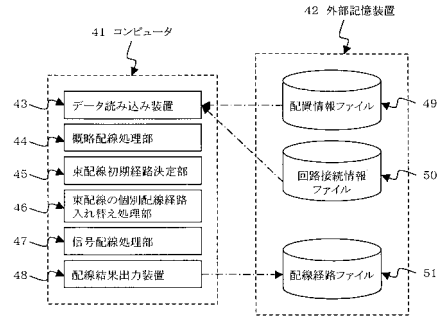


アルゴリズムの例

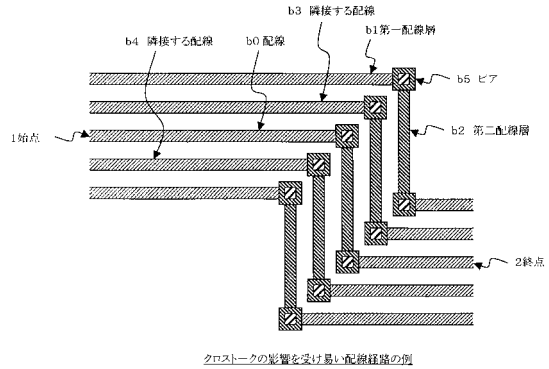
【図 3】



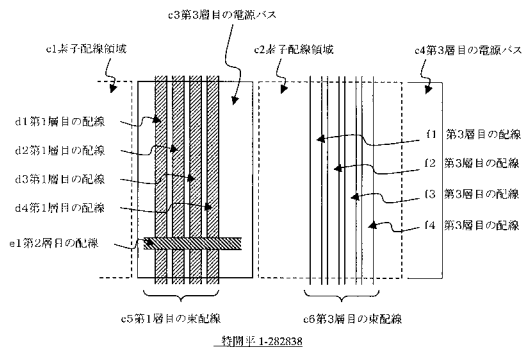
【図 4】



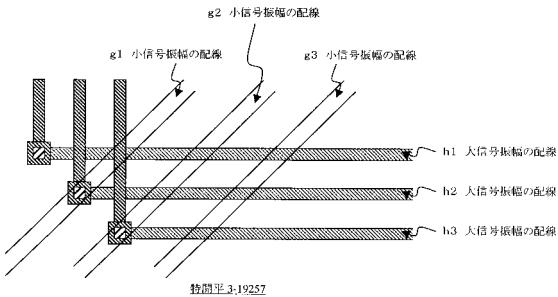
【図 5】



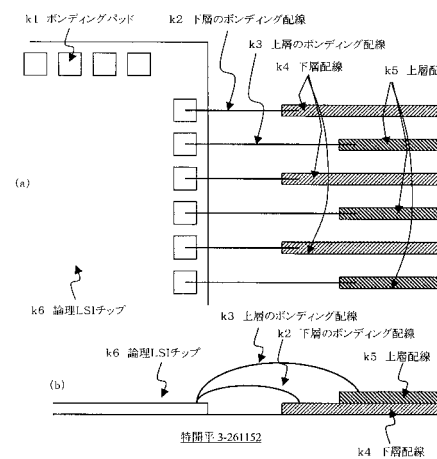
【図 6】



【図 7】



【図 8】



【図 9】

