Союз Советских Социалистических Республик

Государственный комитет СССР по делам изобретений и открытий

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 809258

(61) Дополнительное к авт. свид-ву –

(22) Заявлено 14.05.79 (21) 2765350/18-24

с присоединением заявки № –

(23) Приоритет –

Опубликовано 28.02.81. Бюллетень № 8

Дата опубликования описания 28.02.81

(51) М. Кл.^{3} G 06 M 3/08

(53) УДК 621.374.32 (088.8)

(72) Автор изобретения В.Л.Баранов

(71) Заявитель Ордена Ленина институт кибернетики АН Украинской ССР

(54) УСТРОЙСТВО ДЛЯ СЧЕТА ИМПУЛЬСОВ

1

Изобретение относится к автоматике и вычислительной технике и может быть использовано в различных областях техники и промышленности для раздельной регистрации входных воздействий любой физической природы, поступающих одновременно по нескольким параллельным каналам, например для раздельной регистрации количества производимой продукции различных типов и т.п.

Известен счетчик импульсов, содержащий N+1 параллельных регистров и коммутатор каналов, где N - количество входных каналов [1].

Недостаток этого многоканального счетчика импульсов заключается в росте аппаратурных затрат пропорционально произведению количества входных каналов на количество разрядов регистров, что приводит к существенным аппаратурным затратам.

Наиболее близким к предлагаемому является устройство для счета импульсов, содержащее регистр, блок синхронизации, триггер, элементы задержки, логические элементы И, ИЛИ, НЕ, причем входные шины каждого канала подключены к первым входам группы элементов И соответственно

2

выходы которых подключены к первым входам группы элементов ИЛИ соответственно, блок синхронизации подключен первым выходом к первому входу первого элемента И и вторым выходом - ко вторым входам группы элементов И, триггер подключен нулевым выходом к первому входу второго элемента И и единичным входом - к выходу первого элемента И, второй вход которого соединен с выходом первого элемента группы элементов ИЛИ [2].

Недостаток известного устройства - относительная сложность его реализации.

Цель изобретения - упрощение устройства.

Поставленная цель достигается тем, что в устройство для счета импульсов, содержащее регистр, блок синхронизации, выходы которого подключены к первому входу первого элемента И и к первым входам группы элементов И, вторые входы которой являются входами устройства, выходы первой группы элементов И соединены с соответствующим входом группы элементов ИЛИ, выход первого элемента ИЛИ группы элементов

ИЛИ подключен ко второму входу первого элемента И, выход которого соединен с единичным входом триггера, нулевой выход которого подключен к первому входу второго элемента И и элементы ИЛИ, НЕ и задержки, введена группа элементов задержки, выходы регистра подключены соответственно к первому входу элемента ИЛИ и к нулевому входу триггера, единичный выход которого через первый элемент задержки соединен со вторым входом элемента ИЛИ, выход которого подключен ко второму входу второго элемента И, выход которого соединен со входом регистра, выходы всех последующих элементов ИЛИ группы элементов ИЛИ, кроме первого, через соответствующий элемент задержки подключен ко второму входу предыдущего элемента ИЛИ группы элементов ИЛИ, выход первого элемента ИЛИ группы элементов ИЛИ соединен с первым входом третьего элемента И, второй вход которого подключен к выходу элемента НЕ, вход которого соединен с выходом синхронизатора, выход третьего элемента И подключен ко второму входу последнего элемента ИЛИ группы элементов ИЛИ.

На чертеже приведена структурная схема устройства для счета импульсов.

Устройство содержит регистр 1, блок 2 синхронизации, триггер 3, элемент 4 задержки, группу элементов 5 задержки, группу элементов И 6, группу элементов ИЛИ 7, элементы И 8-10, элемент ИЛИ 11, элемент НЕ 12 и входные шины 13.

Регистр 1 подключен инверсным выходом к нулевому входу триггера 3, единичный выход которого подключен к входу элемента 4 задержки. Блок 2 синхронизации подключен первым выходом к первому входу первого элемента И 8, второй вход которого соединен с выходом первого элемента группы элементов ИЛИ 7 и первым входом третьего элемента И 10. Триггер 3 подключен единичным входом первого элемента И 8 и нулевым выходом к первому входу второго элемента И 9, выход которого соединен с входом регистра 1. Прямой выход регистра подключен к первому входу элемента ИЛИ 11, выход которого соединен со вторым входом второго элемента И 9. Выход элемента 4 задержки подключен ко второму входу элемента ИЛИ 11. Выход соответствующего элемента группы элементов И 6 подключен к первому входу соответствующего элемента группы элементов ИЛИ 7. Выход соответствующего элемента группы элементов ИЛИ 7 каждого канала соединен через элемент 5 задержки со вторым входом элемента группы ИЛИ 7 последующего канала. Третий элемент И 10 подключен ко второму входу последнего элемента группы элементов ИЛИ 7 и вторым входом - к выходу элемента НЕ 12, выход которого соединен с первым выходом блока 2 синхронизации. Выходные шины 13 каждого канала подключены к первым входам группы элементов И 6 соответственно, вторые входы которых соединены со вторым выходом блока 2 синхронизации.

Устройство работает следующим образом.

В исходном состоянии регистр 1 очищен, а триггер 3 находится в нулевом состоянии, в которое его устанавливает единичный сигнал инверсного выхода регистра 1.

Блок 2 синхронизации вырабатывает по первому выходу синхронизации импульсы с частотой

$$F_1 = \frac{f}{n}, \qquad (1)$$

где f - частота тактовых сигналов,

К - определяется максимальным числом 2^n регистрируемых импульсов по одному каналу, а по второму выходу - импульсы опроса с частотой

$$F_2 = \frac{F_1}{K}, \qquad (2)$$

где К - количество входных каналов.

Регистр 1 выполняет функцию задержки импульсных сигналов на время

$$\tau_1 = \frac{1}{F_2} = \frac{n\,K}{f} \qquad (3)$$

и имеет возможность хранить динамическим способом К двоичных кодов по n разрядов в каждом.

В исходном состоянии второй элемент И 9 открыт по первому входу единичным сигналом нулевого выхода триггера 3, а на втором входе элемента ИЛИ 11 через элемент 4 задержки действует нулевой сигнал единичного выхода триггера 3. Таким образом, цепь циркуляции последовательных двоичных кодов с прямого выхода регистра 1 на его вход замкнута. Исходное состояние устройства сохраняется до поступления по входным шинам 13 последовательностей импульсов.

Предположим, что в момент действия импульса опроса, поступающего со второго выхода блока 2 синхронизации на вторые входы всех элементов И 6, на все входные шины 13 поступают счетные импульсы. В этом случае срабатывают все элементы И 6, с выхода которых импульсные сигналы поступают на первые входы элементов ИЛИ 7. Счетный импульс первого канала с выхода первого элемента ИЛИ 7 поступает на второй вход первого элемента И 8 и первый вход третьего элемента И 10. В это время на первом выходе блока 2 синхронизации действует синхронизирующий импульс, который поступает на первый вход первого элемента И 8, открывая его, и

через элемент НЕ 12 закрывает по второму входу третий элемент И 10.

Таким образом, счетный импульс первого канала проходит на выход первого элемента И 8, устанавливая триггер 3 в единичное состояние, а на выход третьего элемента И 10 не поступает. Установка триггера 3 в единичное состояние приводит к запиранию второго элемента И 9 по первому входу и к действию единичного сигнала единичного выхода триггера 3 на втором входе элемента ИЛИ 11, спустя время задержки элементом 4, которое равно длительности импульса.

Триггер 3 возвращает в нулевое состояние единичный сигнал инверсного выхода регистра 1 в момент считывания нулевого кода младшего разряда двоичного кода первого канала. Возврат триггера 3 в единичное состояние приводит к формированию на выходе второго элемента И 9 импульсного сигнала, так как по первому входу он открывается единичным сигналом нулевого выхода триггера 3, а на втором входе второго элемента И 9 на время длительности импульса элементом задержки 4 через элемент ИЛИ 11 поддерживается единичный сигнал предыдущего единичного состояния триггера.

Импульсный сигнал с выхода второго элемента И 9 записывается в регистр 1 по месту первого разряда двоичного кода первого канала, остальные (нулевые) разряды которого переписываются без изменения с прямого выхода регистра 1 на его вход через элементы ИЛИ 11 и И 9.

В это время счетные импульсы второго и всех последующих каналов циркулируют в регистре, образованном последовательным соединением элементов задержки 5 на один период тактовой частоты и элементов ИЛИ 7. Цепь циркуляции этого регистра замыкается через третий элемент И 10, который открыт по второму входу элементом НЕ 12 ввиду отсутствия синхронизирующих импульсов на первом выходе блока 2 синхронизации.

Параметры многоканального счетчика импульсов выбираются такими, чтобы выполнялось соотношение

$$n=K, \qquad (4)$$

где n - количество разрядов двоичного кода одного канала,

K - количество входных каналов.

Соотношение (4) обеспечивает задержку импульсного сигнала в цепи циркуляции регистра, образованного последовательным соединением элементов задержки 5, элементов ИЛИ 7 и третьего элемента И 10, на время

$$\tau_{\text{д}} = \frac{n-1}{f} \qquad (5)$$

Соотношение (5) обеспечивает совпадение на входах первого элемента И 8 счетного импульса второго канала с синхронизирующим импульсом, действующим на первом выходе блока 2 синхронизации с частотой f/n, к моменту считывания с выхода регистра 1 младшего разряда n-разрядного двоичного кода второго канала.

Таким образом, триггер 3 установится в единичное состояние счетным сигналом второго канала к моменту считывания с выхода регистра 1 младшего разряда двоичного кода второго канала. Счетный сигнал второго канала стирается. В результате запирания третьего элемента И 10 по второму входу синхронизирующим сигналом первого выхода блока 2 синхронизации, действующим через элемент НЕ 12.

Суммирование счетного импульса второго канала с двоичным кодом второго канала регистра 1 выполняется таким же образом, как суммирование счетного импульса первого канала, благодаря формированию на выходе второго элемента И 9 импульсного сигнала по месту первого, начиная с младшего разряда, нулевого кода, который в виде импульсного сигнала на инверсном выходе регистра 1 возвращает триггер 3 в нулевое состояние. Причем, при единичном состоянии триггера второй элемент И 9 закрыт, что обеспечивает стирание всех единиц до первого нулевого кода.

Суммирование счетных импульсов остальных каналов с соответствующими двоичными кодами регистра 1 выполняется аналогичным образом.

К моменту времени действия следующего импульса опроса на втором выходе блока 2 синхронизации все К двоичных кодов в регистре 1 увеличивается на единицу, а регистр, образованный последовательным соединением элементов 5 задержки, элементов ИЛИ 7 и третьего элемента И 10, будет очищен от счетных импульсов предыдущего опроса входных шин 13.

В дальнейшем устройство работает аналогичным образом.

Технико-экономические преимущества предлагаемого многоканального счетчика импульсов заключается в простоте реализации.

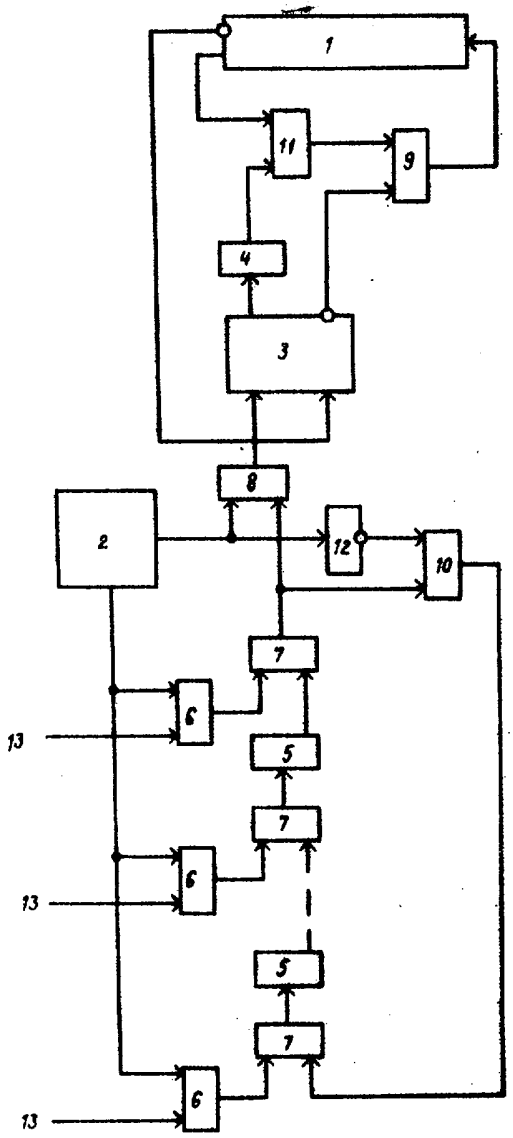
Формула изобретения

Устройство для счета импульсов, содержащее регистр, блок синхронизации, выходы которого подключены к первому входу первого элемента И и к первым входам группы элементов И, вторые входы которой являются входами устройства, выходы первой группы элементов И соединены с соответствующим входом группы элементов

ИЛИ, выход первого элемента ИЛИ группы элементов ИЛИ подключен ко второму входу первого элемента И, выход которого соединен с единичным входом триггера, нулевой выход которого подключен к первому входу второго элемента И и элементы ИЛИ, НЕ и задержки, отличающееся тем, что, с целью упрощения устройства, в него введена группа элементов задержки, выходы регистра подключены соответственно к первому входу элемента ИЛИ и к нулевому входу триггера, единичный выход которого через первый элемент задержки соединен со вторым входом элемента ИЛИ, выход которого подключен ко второму входу второго элемента И, выход которого соединен со входом регистра, выходы всех последующих элементов ИЛИ группы элементов ИЛИ, кроме первого, через соответствующий элемент задержки подключен ко второму входу предыдущего элемента ИЛИ группы элементов ИЛИ, выход первого элемента ИЛИ группы элементов ИЛИ соединен с первым входом третьего элемента И, второй вход которого подключен к выходу элемента НЕ, вход которого соединен с выходом синхронизатора, выход третьего элемента И подключен ко второму входу последнего элемента ИЛИ группы элементов ИЛИ.

Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 338495, кл. G 03 B 11/00, 1970.
2. Авторское свидетельство СССР № 596075, кл. G 06 M 3/00, 1976 (прототип).



ВНИИПИ Заказ 429/63 Тираж 756 Подписное
Филиал ППП "Патент", г.Ужгород, ул.Проектная, 4