

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4313760号
(P4313760)

(45) 発行日 平成21年8月12日(2009.8.12)

(24) 登録日 平成21年5月22日(2009.5.22)

(51) Int.Cl. F I
H03K 7/08 (2006.01) H03K 7/08 G

請求項の数 5 (全 22 頁)

(21) 出願番号	特願2004-540042 (P2004-540042)	(73) 特許権者	504199127
(86) (22) 出願日	平成15年8月22日 (2003.8.22)		フリースケール セミコンダクター イン
(65) 公表番号	特表2006-500871 (P2006-500871A)		コーポレイテッド
(43) 公表日	平成18年1月5日 (2006.1.5)		アメリカ合衆国 78735 テキサス州
(86) 国際出願番号	PCT/US2003/027431		オースティン ウィリアム キャノン
(87) 国際公開番号	W02004/030223		ドライブ ウェスト 6501
(87) 国際公開日	平成16年4月8日 (2004.4.8)	(74) 代理人	100116322
審査請求日	平成18年8月18日 (2006.8.18)		弁理士 桑垣 衛
(31) 優先権主張番号	10/255, 213	(72) 発明者	ミドヤ、パラブ
(32) 優先日	平成14年9月26日 (2002.9.26)		アメリカ合衆国 60067 イリノイ州
(33) 優先権主張国	米国 (US)		パラタイン ウェスト ヒル ロード
			765

最終頁に続く

(54) 【発明の名称】 パルス幅変調信号の量子化のためのフルブリッジ積分ノイズ・シェーピング

(57) 【特許請求の範囲】

【請求項 1】

フルブリッジ積分ノイズ・シェーピングのための方法であって、
第一及び第二基準 P W M 信号を受信すること、
前記第一及び第二基準 P W M 信号のうちの少なくとも一方に量子化誤差の補正を加算し、
合計を得ること、
前記合計を量子化し、第一及び第二出力 P W M 信号を生成すること、
前記第一及び第二基準 P W M 信号、並びに、前記第一及び第二出力 P W M 信号を差動的に積分し、前記量子化誤差の補正を得ること、
を含むフルブリッジ積分ノイズ・シェーピングのための方法。

10

【請求項 2】

P W M 信号を処理するための方法であって、
シングルエンド P W M 信号を受信すること、
前記シングルエンド P W M 信号を、第一基準 P W M 信号及び第二基準 P W M 信号に差動的に変換すること、
前記第一及び第二基準 P W M 信号のうちの少なくとも一方に量子化誤差の補正を加算し、
合計を得ること、
前記合計を量子化し、第一及び第二出力 P W M 信号を生成すること、
前記第一及び第二基準 P W M 信号、並びに、前記第一及び第二出力 P W M 信号を差動的に積分し、前記量子化誤差の補正を得ること、

20

を含むPWM信号を処理するための方法。

【請求項3】

フルブリッジ・パワーステージを駆動するための方法であって、
 第一及び第二パルス変調信号を受信すること、
 前記第一及び第二パルス変調信号のうちの少なくとも一方に量子化誤差の補正を加算し、
 合計を得ること、
 前記合計を量子化し、第一量子化されたパルス変調信号及び第二量子化されたパルス変調信号を生成すること、
 前記第一及び第二パルス変調信号、並びに、前記第一及び第二量子化されたパルス変調信号を差動的に積分し、前記量子化誤差の補正を得ること、
 前記第一量子化されたパルス変調信号により、前記フルブリッジ・パワーステージの第一側を駆動すること、
 前記第二量子化されたパルス変調信号により、前記フルブリッジ・パワーステージの第二側を駆動すること、
 を含むフルブリッジ・パワーステージを駆動するための方法。

10

【請求項4】

請求項3に記載の方法において、前記第一及び第二パルス変調信号は、パルス幅変調信号及びパルス密度変調信号のうち的一方である、方法。

【請求項5】

パルス変調信号のフルブリッジ積分ノイズ・シェーピング量子化を実行するための装置であって、

20

シングルエンド・パルス変調信号を、第一パルス変調信号及び第二パルス変調信号に差動的に変換するためのシングルエンド・差動変換回路と、

前記シングルエンド・差動変換回路に接続されたフルブリッジ積分ノイズ・シェーピング量子化器回路であって、

前記変換回路に接続され、前記第一及び第二パルス変調信号のうちの少なくとも一方に量子化誤差の補正を加算し、合計を得て、前記合計を量子化し、第一量子化されたパルス変調信号及び第二量子化されたパルス変調信号を生成するための加算及び量子化回路と

、
 前記加算及び量子化回路に接続され、前記第一及び第二パルス変調信号、並びに、前記第一及び第二量子化されたパルス変調信号を差動的に積分し、前記量子化誤差の補正を得るための差動積分回路と、を含むフルブリッジ積分ノイズ・シェーピング量子化器回路と、

30

を含むパルス変調信号のフルブリッジ積分ノイズ・シェーピング量子化を実行するための装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般には、デジタル・アンプの分野に関する。より詳細には、本発明はパルス変調信号の処理に関する。

40

【背景技術】

【0002】

本来、オーディオ・アンプは、アナログ領域において動作していた。これらのアンプの電力変換効率は低く、結果として、大型かつ大重量になる傾向があった。デジタル技術、特に、デジタル音源の進歩により、音声の増幅は、デジタル領域において実行され始めた。

【0003】

パルス幅変調(PWM)を使用したデジタル・オーディオ・アンプの電力変換効率は、アナログ・アンプに比べて高く、そのスイッチ周波数は一定である。アナログのランプ信号等を使用して量子化するアナログPWMとは異なり、デジタルPWMは、高速クロック

50

のサイクルをカウントすることにより、量子化され、生成される。

【 0 0 0 4 】

ミドヤ (M i d y a) に付与された米国特許第 6 4 1 4 6 1 3 号には、 P W M 波形を量子化するための積分ノイズ・シェーピング (I N S) のアルゴリズムが記載されており、その開示内容は本明細書に参照として組み入れられる。 P W M ノイズ・シェーピングのループは、デューティー比の信号を量子化する際に発生するノイズを関連のある周波数帯域の外部に偏在させることによって、帯域内における量子化された P W M 信号の信号対ノイズ比 (S N R) を向上させるのに使用される。

【 0 0 0 5 】

四つのスイッチを備えたフルブリッジの応用において、スイッチング・アンプに基づくパルス幅変調が頻繁に利用されている。そのような応用において、片側の P W M 処理を利用することが可能であり、次いで、その結果として得られる信号が、フルブリッジのパワーステージを駆動するのに必要な信号のペアを生成するために反転される。米国特許第 6 4 1 4 6 1 3 号は一つのそのような例である。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

従来技術を利用して高い信号対ノイズ比を達成するためには、水晶基準クロック周波数、出力フィルタ、パワーステージにおける均一性、及び信号経路における均一性に対して極めて厳しい要求をしなければならない。

【 課題を解決するための手段 】

【 0 0 0 7 】

以下のような実施形態が必要となる。もちろん、本発明はこれらの実施形態に限定される訳ではない。

本発明の態様によれば、フルブリッジ積分ノイズ・シェーピングのための方法は、第一及び第二基準 P W M 信号を受信すること、前記第一及び第二基準 P W M 信号に量子化誤差の補正を加算すること、その合計を第一及び第二出力 P W M 信号に量子化すること、フルブリッジ積分ノイズ・シェーピングのアルゴリズムによって、前記第一及び第二基準 P W M 信号、並びに、前記第一及び第二出力 P W M 信号を差動的に積分し、前記量子化誤差の補正を得ること、とを含んでいる。本発明の別の態様によれば、パルス変調された信号のフルブリッジ積分ノイズ・シェーピングの量子化を実行するための装置は、シングルエンド・差動変換回路と、前記シングルエンド・差動回路に接続されたフルブリッジ I N S 量子化器回路と、を含んでいる。

【 0 0 0 8 】

本発明のこれらの実施形態及び他の実施形態は、以下の説明及び添付図面と併せて検討することにより、十分に評価され、かつ理解されよう。しかしながら、本発明の種々の実施形態及びその幾多の詳細を示す以下の説明は、限定の目的としてではなく、単に例示の目的として与えられている。本発明の技術思想から逸脱することのない本発明の範囲内において、幾多の代用、改良、追加、及び/又は再配列が成され得るものであり、本発明は全てのそのような代用、改良、追加、及び/又は再配列を含んでいる。

【 発明を実施するための最良の形態 】

【 0 0 0 9 】

本明細書の一部を形成している添付図面は、本発明の特定の態様を示すために含まれている。本発明、並びに本発明を備えたシステムの部品及び動作の明確な概念は、図面に示す例示の、それゆえ非限定の実施形態を参照することによって、直ちに明らかとなる。図面において、(仮に同一の参照番号が二つ以上の図面に現れる場合) 同一の参照番号は同一の構成要素を表している。これらの図面の一つ若しくは複数を、本明細書における説明と併せて参照することにより、本発明は十分に理解されよう。図面に示された主要部分は適切な尺度で描写されているとは限らないことに注意されたい。

【 0 0 1 0 】

本発明、並びにその様々な特徴及び利点の詳細は、添付図面において描写され、かつ以下の説明において詳細に記載された非限定の実施形態を参照することにより、十分に説明される。本発明の特定の実施形態を示す詳細な説明及び特定の例は、限定の目的としてではなく、単に例示の目的として与えられている。本開示によって、当業者には、本発明の基本概念の技術思想及び/又は範囲内における様々な代用、改良、追加、及び再配列が明らかとなる。

【0011】

図1を参照すると、従来技術によるアンプのフルブリッジ・パワーステージ100の回路図が示されている。pチャンネル及びnチャンネル電界効果トランジスタ(FET)により構成された四つのスイッチ102-105の組が電源101、負荷106、及び基準電圧(グランド)107に接続されている。入力108がフルブリッジ・パワーステージ100の第一側に接続されており、別の入力109がフルブリッジ・パワーステージ100の第二側に接続されている。フルブリッジ・パワーステージ100の動作及び特性、並びにその変形は、従来技術において周知である。

10

【0012】

四つのスイッチを備えたフルブリッジの応用において、スイッチング・アンプに基づくパルス変調が頻繁に利用されている。例えば、パルス幅変調(PWM)信号及びパルス密度変調(PDM)信号のように、異なる型のパルス変調駆動信号を利用することも可能である。以下の説明においてPWM駆動信号を参照するが、当業者は、本発明を他の型のパルス変調信号に適用することを構想するだろう。

20

【0013】

一般的に、PWM処理は量子化及びノイズ・シェーピングを含んでいる。従来技術において、この処理は、片側、即ちハーフブリッジの応用に基づいて成されている。一般的なフルブリッジの応用においては、片側のPWM処理が利用され、次いで、その結果として得られる信号が、フルブリッジ・パワーステージに対する入力のペアを駆動するのに必要な二つの差動駆動信号を生成するために、反転される。

【0014】

図2を参照すると、従来技術のPWM処理の基本構成のブロック図が示されている。量子化前のPWM信号200が、積分ノイズ・シェーピング(INNS)量子化器201により処理され、量子化されたPWM信号202が生成される。量子化されたPWM信号202はさらに、シングルエンド-差動変換ブロック203によって処理され、量子化された差動フルブリッジPWM信号のペア204が出力される。そのペアは、負荷106に接続されたフルブリッジ・パワーステージ100を駆動することが可能である。

30

【0015】

さらに図2を参照すると、INNS量子化器201は、PWMノイズ・シェーピングのループを含んでおり、そのループは量子化されたPWM信号の帯域内における信号対ノイズ比を向上させるのに使用される。そのループに対する入力は、一連のデューティ比を表す高分解能デジタル信号である。そのループの出力は、同様な一連のデューティ比を表す低分解能デジタル信号である。ノイズ・シェーピングのループにより、デューティ比信号を量子化する際に発生するノイズ(誤差)を関連のあるスペクトルの外部に偏在させることが可能である。ノイズ・シェーピングは、先に蓄積された量子化誤差に基づいて、量子化された出力サンプルに対してデータ指導型の調整を提供することが可能である。

40

【0016】

図3を参照すると、従来技術によるPWMのINNS量子化の処理のタイミング図300が示されている。量子化前のPWM信号 $X(t)$ 200は、図2に詳細に示したINNS量子化器201によって積分ノイズ・シェーピングされ、量子化されたPWM信号 $Y(t)$ 202が生成される。ナチュラル・サンプリング回路(図示略)内において使用される両側ランプ・サンプリング信号310に対する参照も成されている。縦軸は、信号200及び信号202を表し、横軸は時刻を表す。関連のある時刻には、 $(n-1)T_s$ 、 $(n-1/2)T_s$ 、 nT_s 、 $(n+1/2)T_s$ 、 $(n+1)T_s$ が含まれる。ここで、 T_s

50

はスイッチ周期であり、 n は整数である。

【0017】

さらに図3を参照すると、INSのアルゴリズムは、量子化されたPWM信号 $Y(t)$ 202と量子化前のPWM信号 $X(t)$ 200との間のノイズの積分フィードバックを計算することが可能である。積分項は、量子化ノイズをシェーピングするために使用される。PWM波形を任意のオーダーまで解析的に積分すること、かつ、同積分ループを使用して、PWMの立ち上がり、及び立ち下りを量子化することが可能である。例えば、四次のオーダーのシステムが、入力 $X(t)$ 200と出力 $Y(t)$ 202との間の誤差を積分するのに使用可能である。その積分は、

【0018】

【数1】

$$I_1(t) = \int_{-\infty}^t (X(\tau) - Y(\tau))d\tau, \quad (1)$$

$$I_2(t) = \int_{-\infty}^t (I_1(\tau))d\tau, \quad (2)$$

$$I_3(t) = \int_{-\infty}^t (I_2(\tau))d\tau, \quad (3)$$

$$I_4(t) = \int_{-\infty}^t (I_3(\tau))d\tau \quad (4)$$

10

20

である。

【0019】

式(1)から式(4)は、PWM信号の量子化に伴う誤差の一次から四次までの積分を計算している。それらの式を左ハーフ・サイクル(l)及び右ハーフ・サイクル(r)に分割することが可能である。さらに図3を参照すると、積分(I_1, I_2, I_3, I_4)は、離散的な時間間隔において定義されており、解析的に計算することが可能である。その左ハーフ・サイクルの値は、

【0020】

【数2】

$$il_1(n) = I_1(nT_s) = ir_1(n-1) + (1 - yr(n-1)) - (1 - xr(n-1)), \quad (5)$$

$$il_2(n) = I_2(nT_s) = ir_2(n-1) + ir_1(n-1) + \frac{(1 - yr(n-1))^2 - (1 - xr(n-1))^2}{2}, \quad (6)$$

$$il_3(n) = I_3(nT_s) = ir_3(n-1) + ir_2(n-1) + \frac{ir_1(n-1)}{2} + \frac{(1 - yr(n-1))^3 - (1 - xr(n-1))^3}{6}, \quad (7)$$

$$il_4(n) = I_4(nT_s) = ir_4(n-1) + ir_3(n-1) + \frac{ir_2(n-1)}{2} + \frac{ir_1(n-1)}{6} + \frac{(1 - yr(n-1))^4 - (1 - xr(n-1))^4}{24} \quad (8)$$

30

40

である。右ハーフ・サイクルの値は、

【0021】

【数3】

$$ir_1(n) = I_1((n+1/2)T_s) = il_1(n) + (xl(n)) - (yl(n)), \quad (9)$$

$$ir_2(n) = I_2((n+1/2)T_s) = il_2(n) + il_1(n) + \frac{(xl(n))^2 - (yl(n))^2}{2}, \quad (10)$$

$$ir_3(n) = I_3((n+1/2)T_s) = il_3(n) + il_2(n) + \frac{il_1(n)}{2} + \frac{(xl(n))^3 - (yl(n))^3}{6}, \quad (11)$$

$$ir_4(n) = I_4((n+1/2)T_s) = il_4(n) + il_3(n) + \frac{il_2(n)}{2} + \frac{il_1(n)}{6} + \frac{(xl(n))^4 - (yl(n))^4}{24} \quad (12) \quad 10$$

である。

【0022】

式(5)から式(8)は、PWM信号の左ハーフ・サイクルの量子化に伴う誤差の一次から四次までの積分を計算している。式(9)から式(12)は、PWM信号の右ハーフ・サイクルの量子化に伴う誤差の一次から四次までの積分を計算している。これらの閉じた形の積分方程式により、そのスイッチ周波数における計算を実行することが可能である。

20

【0023】

左ハーフ・サイクル及び右ハーフ・サイクルの補正されたデューティ比(それぞれ、 $z_l(n)$ 及び $z_r(n)$)が以下のように定義される。

【0024】

【数4】

$$z_l(n) = xl(n) + k_1 il_1(n) + k_2 il_2(n) + k_3 il_3(n) + k_4 il_4(n), \quad (13)$$

$$z_r(n) = xr(n) + k_1 ir_1(n) + k_2 ir_2(n) + k_3 ir_3(n) + k_4 ir_4(n). \quad (14)$$

ここで、 k の値は、ノイズ・シェーピング・フィルタの複数の積分器の重み因子に対応している。

30

【0025】

補正されたデューティ・サイクルは、クロック・サイクルの整数に適合するように量子化される。これにより、量子化誤差 e がもたらされ、その量子化誤差は、将来のサイクルの誤差として、INSループにフィードバックされる。

【0026】

【数5】

$$yl(n) = Quantize(z_l(n)) = Q(z_l(n)) = z_l(n) + el(n), \quad (15)$$

$$yr(n) = Quantize(z_r(n)) = Q(z_r(n)) = z_r(n) + er(n). \quad (16) \quad 40$$

本発明は、PWMの量子化におけるフルブリッジ積分ノイズ・シェーピング(INS)のための方法及び/又は装置を含んでいる。一つの実施形態において、本発明は、PWM信号を量子化し、二つの異なるPWM波形を生成する一群のINSのアルゴリズムを含んでいる。本開示を踏まえたフルブリッジのPWM処理は、信号対ノイズ比(SNR)を向上させ、水晶基準クロック周波数、出力LCフィルタ、パワーステージにおける均一性、及び基準経路における均一性に対する要求を低下させ得ることは、当業者には理解されよう。又、より低いスイッチ周波数も可能となり得る。

【0027】

図4を参照すると、本発明の一つの実施形態によるフルブリッジINS量子化の基本構

50

成のブロック図が示されている。量子化前の信号200が、シングルエンド - 差動変換ブロック203により処理され、(量子化前の差動)第一基準PWM信号401及び第二基準PWM信号402が生成される。シングルエンド - 差動変換ブロック203はまた、仮にキャリア信号が量子化前の信号200において存在する場合には、そのキャリア信号を抑制し得る。基準信号401及び402のペアは、さらに、フルブリッジINS量子化器ブロック403により処理され、量子化された第一フルブリッジPWM信号404及び第二フルブリッジPWM信号405が生成され、それらの信号は負荷106に接続されたフルブリッジ・パワーステージ100を駆動し得る。

【0028】

さらに図4を参照すると、基準信号401及び402のペアのそれぞれは、個別のINS動作により量子化することが可能であり、結果として、個別に量子化されたフルブリッジPWM信号404及び405のペアがもたらされる。本発明の一つの態様によれば、そのPWM信号のペアは、追加のサンプルを供給する追加のスイッチ端を提供し、従って、性能を向上させる機会を提供する。一つの実施形態において、本発明は相補的なデューティ比を有する個別に量子化されたフルブリッジPWM信号404及び405のペアを提供する。別の実施形態において、本発明は、各スイッチ周期の少なくとも二倍のINS動作を実行するための方法及び装置を提供する。

【0029】

図5を参照すると、フルブリッジINS量子化の基本構成のより詳細なブロック図が示されている。パルス符号変調(PCM)信号500が、ナチュラル・サンブラ501に入力され、シングルエンドPWM信号200が出力される。シングルエンドPWM信号200は、シングルエンド - 差動変換器203により処理され、第一基準PWM信号401及び第二基準PWM信号402が生成される。シングルエンド - 差動変換器203はまた、必要に応じて、キャリアを抑制し得る。基準PWM信号401及び402のペアはさらに、フルブリッジINS量子化器403の加算及び量子化ブロック502により処理され、結果として、第一出力PWM信号404及び第二出力PWM信号405が生成される。出力PWM信号404及び405のペアは、フルブリッジ・パワーステージ100の第一側及び第二側を駆動するのに使用され得る。フルブリッジINS量子化器403の差動積分ブロック503は、基準PWM信号401及び402のペアと、出力PWM信号404及び405のペアとを受信し、量子化誤差の補正504を計算し、かつその補正を加算及び量子化ブロック502に供給する。

【0030】

さらに図5を参照すると、差動積分ブロック503は、第一基準PWM信号401及び第二基準PWM信号402と、第一出力PWM信号404及び第二出力PWM信号405とを使用することにより、独立な差動積分動作を実行し得る。差動積分ブロック503はまた、量子化誤差の補正值504を計算し得る。その補正值は、量子化ノイズを低減するために、加算及び量子化ブロック502により、第一基準PWM信号401及び第二基準PWM信号402に加算される。

【0031】

一般に、本発明によれば、二つの出力PWM信号404及び405は、二つの基準PWM信号401及び402の関数であり、本明細書においてフルブリッジ積分ノイズ・シェーピングのアルゴリズムと呼ぶアルゴリズムによる量子化誤差の補正504を使用することによって、加算及び量子化ブロック502並びに差動積分ブロック503の動作を経て生成される。フルブリッジ積分ノイズ・シェーピングのアルゴリズムの特定の実施例は、以下に実施例1から実施例4を参照しながら、与えられる。

【0032】

実施例

本発明の特定の実施形態が、以下の種々の特徴を詳細に例示するための非限定の実施例によって、さらに説明される。以下の実施例は、本発明を実施する方法の理解を促進するために含まれている。当然のことながら、以下の実施例は、本発明を実施した場合に十

10

20

30

40

50

分に機能すると見受けられる実施形態を表しており、従って、本発明の好ましい実施形態を構成しているものとみなされる。しかしながら、本発明の技術思想及び範囲から逸脱せずに、同一若しくは同様の結果を得る幾多の変更が、本開示の例示の実施形態において成され得ることも当然のことである。従って、以下の実施例を、本発明の範囲を限定するものと解釈するべきではない。

【実施例 1】

【0033】

ベクトル・フルブリッジ I N S

この実施形態における、ベクトル・フルブリッジ I N S のアルゴリズムは、互いに完全に異なる第一出力 P W M 信号及び第二出力 P W M 信号を生成する。出力フルブリッジ P W M 信号のそれぞれは、図 1 に詳細に示したフルブリッジ・パワーステージ 1 0 0 の片側を駆動することが可能である。即ち、独立なデューティ比をフルブリッジ・パワーステージ 1 0 0 の各ハーフブリッジに印加することが可能である。

10

【0034】

図 6 を参照すると、ベクトル・フルブリッジ I N S の処理 6 0 0 のタイミング図が示されている。縦軸は、信号 4 0 1 A , 4 0 2 A , 4 0 4 A , 4 0 5 A を表し、横軸は時刻を表している。関連のある時刻には、 $(2n - 1) T_s / 2$, $(2n) T_s / 2$, $(2n + 1) T_s / 2$ が含まれる。ここで、 n は整数であり、 T_s はスイッチ周期である。基準 P W M 信号 4 0 1 A 及び 4 0 2 A のペアは、図 4 に詳細に示したフルブリッジ I N S 量子化器 4 0 3 に印加され、出力 P W M 信号 4 0 4 A 及び 4 0 5 A のペアが出力される。負の基準信号 4 0 2 A は、正の基準信号 4 0 1 A を遅延させ、かつ反転させたものであることに注意されたい。図 5 に詳細に示したナチュラル・サンプリング回路 5 0 1 内において使用される両側ランプ・サンプリング信号 6 1 0 に対する参照が成されている。ベクトル・フルブリッジ I N S のアルゴリズムは、以下のものである。

20

【0035】

時刻 $t = (2n - 1) T_s / 2$ における右ハーフ・サイクル (r) に対して、

【0036】

【数 6】

$$xr_1(n - 1) = xr(n - 1), \quad (17)$$

30

$$xr_2(n - 1) = 1 - xl(n - 1), \quad (18)$$

$$z_1 = xr_1 + k_1 I_1 + k_2 I_2 + k_3 I_3 + k_4 I_4, \quad (19)$$

$$y_1 = \text{Quantize}(z_1) = Q(z_1), \quad (20)$$

$$z_2 = xr_2 - (k_1 I_1 + k_2 I_2 + k_3 I_3 + k_4 I_4) + (y_1 - z_1), \quad (21)$$

$$y_2 = \text{Quantize}(z_2) = Q(z_2). \quad (22)$$

式 (1 7) 及び式 (1 8) は、基準 P W M 信号 4 0 1 A 及び 4 0 2 A のペアの右ハーフ・サイクルの間の関係を規定している。式 (1 9) 及び式 (2 1) は、基準 P W M 信号 4 0 1 A 及び 4 0 2 A の両方の関数としての出力 P W M 信号 4 0 4 A 及び 4 0 5 A のペアに対する補正されたデューティ比を定義している。ここで、 k の値は重み因子に対応している。式 (1 9) から式 (2 2) により表される動作は、図 5 に詳細に示した差動積分ブロック 5 0 3、並びに、加算及び量子化ブロック 5 0 2 によって実行される。

40

【0037】

時刻 $t = (2n) T_s / 2$ において積分を更新すると、

【0038】

【数 7】

$$I_4 = I_4 + I_3 + \frac{I_2}{2} + \frac{I_1}{6} + \frac{(1-y_1)^4}{24} - \frac{(1-xr_1)^4}{24} - \frac{(1-y_2)^4}{24} + \frac{(1-xr_2)^4}{24}, \quad (23)$$

$$I_3 = I_3 + I_2 + \frac{I_1}{2} + \frac{(1-y_1)^3}{6} - \frac{(1-xr_1)^3}{6} - \frac{(1-y_2)^3}{6} + \frac{(1-xr_2)^3}{6}, \quad (24)$$

$$I_2 = I_2 + I_1 + \frac{(1-y_1)^2}{2} - \frac{(1-xr_1)^2}{2} - \frac{(1-y_2)^2}{2} + \frac{(1-xr_2)^2}{2}, \quad (25)$$

$$I_1 = I_1 + (1-y_1) - (1-xr_1) - (1-y_2) + (1-xr_2) \quad (26)$$

10

である。

【0039】

図5に詳細に示した差動積分器503は、式(23)から式(26)に示す積分を実行し、量子化誤差の補正504を供給する。時刻 $t = (2n)T_s/2$ における左ハーフ・サイクル(1)に対して、

【0040】

【数8】

20

$$xl_1(n) = xl(n), \quad (27)$$

$$xl_2(n) = 1 - xr(n-1), \quad (28)$$

$$z_1 = xl_1 + k_1I_1 + k_2I_2 + k_3I_3 + k_4I_4, \quad (29)$$

$$y_1 = \text{Quantize}(z_1) = Q(z_1), \quad (30)$$

$$z_2 = xl_2 - (k_1I_1 + k_2I_2 + k_3I_3 + k_4I_4) + (y_1 - z_1), \quad (31)$$

$$y_2 = \text{Quantize}(z_2) = Q(z_2). \quad (32)$$

式(27)及び式(28)は、基準PWM信号401A及び402Aのペアの左ハーフ・サイクルの間の関係を規定している。式(29)及び式(31)は、基準PWM信号401A及び402Aの両方の関数としての出力PWM信号404A及び405Aのペアに対する補正されたデューティ比を定義している。時刻 $t = (2n+1)T_s/2$ において積分を更新すると、

30

【0041】

【数9】

$$I_4 = I_4 + I_3 + \frac{I_2}{2} + \frac{I_1}{6} - \frac{(xl_2)^4}{24} + \frac{(y_2)^4}{24} + \frac{(xl_1)^4}{24} - \frac{(y_1)^4}{24}, \quad (33)$$

$$I_3 = I_3 + I_2 + \frac{I_1}{2} - \frac{(xl_2)^3}{6} + \frac{(y_2)^3}{6} + \frac{(xl_1)^3}{6} - \frac{(y_1)^3}{6}, \quad (34)$$

$$I_2 = I_2 + I_1 - \frac{(xl_2)^2}{2} + \frac{(y_2)^2}{2} + \frac{(xl_1)^2}{2} - \frac{(y_1)^2}{2}, \quad (35)$$

$$I_1 = I_1 - xl_2 + y_2 + xl_1 - y_1 \quad (36)$$

40

である。

【0042】

図5に詳細に示した差動積分器503は、式(33)から式(36)に示す積分を実行し、量子化誤差の補正504を供給する。

図7を参照すると、ベクトル・フルブリッジINSの出力信号のコンピュータ・シミュ

50

レーションによる電力スペクトル密度のグラフ700が示されている。入力は15kHzのフルスケール・トーンである。グラフ700は、図1に詳細に示したパワーステージ100の両側の間に不均一性がない場合に、ベクトル・フルブリッジINSを利用した結果である。縦軸は、負荷106に印加される差動信号の大きさ(dB)を表し、横軸は、信号の周波数($\times 10^4$)を表す。

【0043】

図8を参照すると、不均一性が0.3%存在する場合における、ベクトル・フルブリッジINSの出力信号のコンピュータ・シミュレーションによる電力スペクトル密度のグラフ800が示されている。グラフ800は、図1に詳細に示したパワーステージ100の両側の間に0.3%の不均一性が存在する場合に、ベクトル・フルブリッジINSを利用した結果である。縦軸は、負荷106に印加される差動信号の大きさ(dB)を表し、横軸は、信号の周波数($\times 10^4$ Hz)を表す。図8のノイズレベルは、図7のノイズレベルに比べて著しく増加していることに注意されたい。0.3%の不均一性は、集積されたパワーステージにおいて、一般的に見受けられるものである。次の実施例、相補的なフルブリッジINSは、パワーステージの不均一性に対する耐性をより備えた別の実施形態を表している。

【実施例2】

【0044】

相補的なフルブリッジINS

この実施形態における、相補的なフルブリッジINSのアルゴリズムは、相補的なデューティ比を有する第一出力PWM信号及び第二出力PWM信号を生成する。出力フルブリッジPWM信号のそれぞれは、図1に詳細に示したフルブリッジ・パワーステージ100の片側を駆動することが可能である。即ち、相補的なデューティ比をフルブリッジ・パワーステージ100の各ハーフブリッジに印加することが可能である。

【0045】

図9を参照すると、相補的なフルブリッジINSの処理900のタイミング図が示されている。縦軸は、信号401B, 402B, 404B, 405Bを表し、横軸は時刻を表している。関連のある時刻には、 $(2n-1)T_s/2$, $(2n)T_s/2$, $(2n+1)T_s/2$ が含まれる。ここで、nは整数であり、 T_s はスイッチ周期である。基準PWM信号401B, 402Bのペアは、図4に詳細に示したフルブリッジINS量子化器403に印加され、出力PWM信号404B及び405Bのペアが出力される。図5に詳細に示したナチュラル・サンプリング回路501内において使用される両側ランプ・サンプリング信号910に対する参照が成されている。相補的なフルブリッジINSのアルゴリズムは、以下のものである。

【0046】

時刻 $t = (2n-1)T_s/2$ における右ハーフ・サイクル(r)に対して、

【0047】

【数10】

$$xr_1(n-1) = xr(n-1), \quad (37)$$

$$xr_2(n-1) = 1 - xl(n-1), \quad (38)$$

$$z_1 = \frac{xr_1 + (1 - xr_2)}{2} + k_1I_1 + k_2I_2 + k_3I_3 + k_4I_4, \quad (39)$$

$$y_1 = \text{Quantize}(z_1) = Q(z_1), \quad (40)$$

$$y_2 = 1 - y_1. \quad (41)$$

式(37)及び式(38)は、基準PWM信号401B及び402Bのペアの右ハーフ・サイクルの間の関係を規定している。式(39)は、基準PWM信号401B及び402Bの両方の関数としての出力PWM信号404Bに対する補正されたデューティ比を定義している。ここで、kの値は重み因子に対応している。式(39)から式(41)に

10

20

30

40

50

より表される動作は、図5に詳細に示した差動積分ブロック503、並びに、加算及び量子化ブロック502によって実行される。

【0048】

時刻 $t = (2n)T_s / 2$ において積分を更新すると、

【0049】

【数11】

$$I_4 = I_4 + I_3 + \frac{I_2}{2} + \frac{I_1}{6} + \frac{(1-y_1)^3}{24} - \frac{(1-xr_1)^3}{24} - \frac{(1-y_2)^3}{24} + \frac{(1-xr_2)^3}{24}, \quad (42)$$

10

$$I_3 = I_3 + I_2 + \frac{I_1}{2} + \frac{(1-y_1)^3}{6} - \frac{(1-xr_1)^3}{6} - \frac{(1-y_2)^3}{6} + \frac{(1-xr_2)^3}{6}, \quad (43)$$

$$I_2 = I_2 + I_1 + \frac{(1-y_1)^2}{2} - \frac{(1-xr_1)^2}{2} - \frac{(1-y_2)^2}{2} + \frac{(1-xr_2)^2}{2}, \quad (44)$$

$$I_1 = I_1 + (1-y_1) - (1-xr_1) - (1-y_2) + (1-xr_2) \quad (45)$$

である。

【0050】

20

図5に詳細に示した差動積分器503は、式(42)から式(45)に示す積分を実行し、量子化誤差の補正504を供給する。時刻 $t = (2n)T_s / 2$ における左ハーフ・サイクル(1)に対して、

【0051】

【数12】

$$xl_1(n) = xl(n), \quad (46)$$

$$xl_2(n) = 1 - xr(n-1), \quad (47)$$

$$z_1 = \frac{xl_1 + (1 - xl_2)}{2} + k_1 I_1 + k_2 I_2 + k_3 I_3 + k_4 I_4, \quad (48)$$

$$y_1 = Q(z_1), \quad (49)$$

$$y_2 = 1 - y_1. \quad (50)$$

30

式(46)及び式(47)は、基準PWM信号401B及び402Bのペアの左ハーフ・サイクルの間の関係を規定している。式(48)は、基準PWM信号401B及び402Bの両方の関数としての出力PWM信号404Bに対する補正されたデューティ比を定義している。時刻 $t = (2n+1)T_s / 2$ において積分を更新すると、

【0052】

【数13】

$$I_4 = I_4 + I_3 + \frac{I_2}{2} + \frac{I_1}{6} - \frac{(xl_2)^4}{24} + \frac{(y_2)^4}{24} + \frac{(xl_1)^4}{24} - \frac{(y_1)^4}{24}, \quad (51)$$

40

$$I_3 = I_3 + I_2 + \frac{I_1}{2} - \frac{(xl_2)^3}{6} + \frac{(y_2)^3}{6} + \frac{(xl_1)^3}{6} - \frac{(y_1)^3}{6}, \quad (52)$$

$$I_2 = I_2 + I_1 - \frac{(xl_2)^2}{2} + \frac{(y_2)^2}{2} + \frac{(xl_1)^2}{2} - \frac{(y_1)^2}{2}, \quad (53)$$

$$I_1 = I_1 - xl_2 + y_2 + xl_1 - y_1 \quad (54)$$

である。

【0053】

図5に詳細に示した差動積分器503は、式(51)から式(54)に示す積分を実行

50

し、量子化誤差の補正 504 を供給する。図 10 から図 12 を参照すると、相補的なフルブリッジ I N S の出力信号のコンピュータ・シミュレーションによる電力スペクトル密度のグラフ 1000, 1100, 1200 が示されている。各グラフにおいて、縦軸は、図 1 に詳細に示された負荷 106 に印加される差動信号の大きさ (dB) を表し、横軸は、そのような信号の周波数 ($\times 10^4$ Hz) を表す。グラフ 1000 は、パワーステージの両側の間にいかなる不均一性も存在しない時に、相補的なフルブリッジ I N S を利用した場合である。グラフ 1100 は、パワーステージの両側の間に 0.3% の不均一性が存在する時に、相補的なフルブリッジ I N S を利用した場合である。0.3% の不均一性による信号対ノイズ比の低下は重要ではないことに注意されたい。グラフ 1200 は、パワーステージの両側の間に 1% の不均一性が存在する時に、相補的なフルブリッジ I N S を利用した場合である。この場合、不均一性による信号対ノイズ比の低下は増加するが、その結果は、幾多の用途において許容可能な範囲内にある。

10

【実施例 3】

【0054】

シフトされたフルブリッジ I N S、二倍のスイッチ周波数におけるサンプリング

この実施形態における、二倍のスイッチ周波数でサンプリングするシフトされたフルブリッジ I N S のアルゴリズムは、第一出力 P W M 信号及び第二出力 P W M 信号を生成する。各出力フルブリッジ P W M 信号は、独立なデューティ比を有しており、それぞれが、図 1 に詳細に示したフルブリッジ・パワーステージ 100 の片側を駆動することが可能である。

20

【0055】

図 13 を参照すると、シフトされたフルブリッジ I N S の処理 1700 のタイミング図が示されている。その縦軸は、信号 401C, 402C, 404C, 405C を表し、横軸は時刻を表している。関連のある時刻には、 $(2n-1)T_s/2$, $(2n-1-xr)T_s/2$, $(2n)T_s/2$, $(2n+1-xl)T_s/2$, $(2n+1)T_s/2$ が含まれる。ここで、 n は整数であり、 T_s はスイッチ周期である。第一基準 P W M 信号 401C は、シングルエンド P W M 信号 200 に対して $dT_s/2$ だけ進行し、第二基準 P W M 信号 402C は、シングルエンド P W M 信号 200 に対して $dT_s/2$ だけ遅延している。ここで、 d は定数である。関連のある時刻において、P W M 信号 404C 及び 405C は、全ての可能な入力に対してスイッチ遷移を行わないことに注意されたい。各スイッチ周期 T_s 内において、そのような時は四回存在する。先の実施例では、スイッチ周期 T_s において二回だけそのような時は存在している。基準 P W M 信号 401C 及び 402C のペアは、図 4 に詳細に示したフルブリッジ I N S 量子化器 403 に印加され、出力 P W M 信号 404C 及び 405C のペアが出力される。図 5 に詳細に示したナチュラル・サンプリング回路 501 内において使用される両側ランプ・サンプリング信号 1710 に対する参照が成されている。二倍のスイッチ周波数でサンプリングするシフトされたフルブリッジ I N S のアルゴリズムは、以下のようである。

30

【0056】

時刻 $t = (2n-1)T_s/2$ における右ハーフ・サイクルに対して、

【0057】

【数 14】

$$xr_1 = xr - d, \quad (55)$$

$$xr_2 = 1 - xr - d, \quad (56)$$

$$z_1 = xr_1 + k_1 I_1 + k_2 I_2 + k_3 I_3 + k_4 I_4, \quad (57)$$

$$y_1 = Q(z_1), \quad (58)$$

$$y_2 = 1 - 2d - y_1. \quad (59)$$

式 (55) 及び式 (56) は、基準 P W M 信号 401C 及び 402C のペアの右ハーフ・サイクルの間の関係を規定している。式 (57) は、基準 P W M 信号 401C 及び 40

50

2Cのペアの一方の関数としての出力PWM信号404Cに対する補正されたデューティ比を定義している。ここで、kの値は重み因子に対応している。式(57)から式(59)により表される動作は、図5に詳細に示した差動積分ブロック503、並びに、加算及び量子化ブロック502によって実行される。時刻 $t = (2n)T_s / 2$ において積分を更新すると、

【0058】

【数15】

$$I_4 = I_4 + I_3 + \frac{I_2}{2} + \frac{I_1}{6} + \frac{(1-y_1)^3}{24} - \frac{(1-xr_1)^3}{24} + \frac{(y_2)^3}{24} - \frac{(xr_2)^3}{24}, \quad (60)$$

$$I_3 = I_3 + I_2 + \frac{I_1}{2} + \frac{(1-y_1)^3}{6} - \frac{(1-xr_1)^3}{6} + \frac{(y_2)^3}{6} - \frac{(xr_2)^3}{6}, \quad (61)$$

$$I_2 = I_2 + I_1 + \frac{(1-y_1)^2}{2} - \frac{(1-xr_1)^2}{2} + \frac{(y_2)^2}{2} - \frac{(xr_2)^2}{2}, \quad (62)$$

$$I_1 = I_1 + (1-y_1) - (1-xr_1) + y_2 - xr_2 \quad (63)$$

10

である。

【0059】

図5に詳細に示した差動積分器503は、式(60)から式(63)に示す積分を実行し、量子化誤差の補正504を供給する。時刻 $t = (2n)T_s / 2$ における左ハーフ・サイクルに対して、

20

【0060】

【数16】

$$xl_1 = xl + d, \quad (64)$$

$$xl_2 = 1 - x + d, \quad (65)$$

$$z_1 = xl_1 + k_1 I_1 + k_2 I_2 + k_3 I_3 + k_4 I_4, \quad (66)$$

$$y_1 = Q(z_1), \quad (67)$$

$$y_2 = 1 + 2d - y_1. \quad (68)$$

式(64)及び式(65)は、基準PWM信号401C及び402Cのペアの左ハーフ・サイクルの間関係を規定している。式(66)は、基準PWM信号401C及び402Cのペアの一方の関数としての出力PWM信号404Cに対する補正されたデューティ比を定義している。時刻 $t = (2n+1)T_s / 2$ において積分を更新すると、

30

【0061】

【数17】

$$I_4 = I_4 + I_3 + \frac{I_2}{2} + \frac{I_1}{6} + \frac{(1-xl_2)^4}{24} - \frac{(1-y_2)^4}{24} + \frac{(xl_1)^4}{24} - \frac{(y_1)^4}{24}, \quad (69)$$

$$I_3 = I_3 + I_2 + \frac{I_1}{2} + \frac{(1-xl_2)^3}{6} - \frac{(1-y_2)^3}{6} + \frac{(xl_1)^3}{6} - \frac{(y_1)^3}{6}, \quad (70)$$

$$I_2 = I_2 + I_1 + \frac{(1-xl_2)^2}{2} - \frac{(1-y_2)^2}{2} + \frac{(xl_1)^2}{2} - \frac{(y_1)^2}{2}, \quad (71)$$

$$I_1 = I_1 + (1-xl_2) - (1-y_2) + xl_1 - y_1 \quad (72)$$

40

である。

【0062】

図5に詳細に示した差動積分器503は、式(69)から式(72)に示す積分を実行し、量子化誤差の補正504を供給する。

図14を参照すると、二倍のスイッチ周波数におけるシフトされた基準フルブリッジINS信号のシミュレーションによる電力スペクトル密度のグラフ1800が示されている。その縦軸は、図1に詳細に示された負荷106に印加される差動信号の大きさ(dB)

50

を表し、横軸は、その信号の周波数 ($\times 10^4 \text{ Hz}$) を表す。グラフ 1800 のノイズの下限が、図 10 におけるグラフ 1000 のノイズの下限に比べて若干上昇していることに注意されたい。しかしながら、全てのスイッチ周期 T_s において、出力 PWM 信号 404C 及び 405C が遷移しない四つの時間間隔があるという事実が有益である用途は存在する。

【実施例 4】

【0063】

シフトされたフルブリッジ INS、四倍のスイッチ周波数におけるサンプリング
この実施形態における、四倍のスイッチ周波数でサンプリングするシフトされたフルブリッジ INS のアルゴリズムは、第一出力 PWM 信号及び第二出力 PWM 信号を生成する。各出力フルブリッジ PWM 信号は、完全に独立なデューティ比を有しており、それぞれが、図 1 に詳細に示したフルブリッジ・パワーステージ 100 の片側を駆動することが可能である。

10

【0064】

図 15 を参照すると、シフトされたフルブリッジ INS の処理 1900 のタイミング図が示されている。その縦軸は、信号 401D, 402D, 404D, 405D を表し、横軸は時刻を表している。関連のある時刻には、 $(2n-1)T_s/2$, $(2n-1-xr)T_s/2$, $(2n)T_s/2$, $(2n+1-xl)T_s/2$, $(2n+1)T_s/2$ が含まれる。ここで、 n は整数であり、 T_s はスイッチ周期である。第一基準 PWM 信号 401D は、シングルエンド PWM 信号 200 に対して $dT_s/2$ だけ進行し、第二基準 PWM 信号 402D は、シングルエンド PWM 信号 200 に対して $dT_s/2$ だけ遅延している。ここで、 d は定数である。基準 PWM 信号 401D 及び 402D のペアは、図 4 に詳細に示したフルブリッジ INS 量子化器 403 に印加され、出力 PWM 信号 404D 及び 405D のペアが出力される。図 5 に詳細に示したナチュラル・サンプリング回路 501 内において使用される両側ランプ・サンプリング信号 1910 に対する参照が成されている。四倍のスイッチ周波数でサンプリングする三次のオーダーのシフトされたフルブリッジ INS のアルゴリズムは、以下のようである。

20

【0065】

時刻 $t = (2n-1)T_s/2$ において、

【0066】

【数 18】

$$xr_1 = xr - d, \quad (73)$$

$$z_1 = xr_1 + k_1 I_1 + k_2 I_2 + k_3 I_3, \quad (74)$$

$$y_1 = Q(z_1). \quad (75)$$

30

時刻 $t = (2n-1+xr)T_s/2$ において積分を更新すると、

【0067】

【数 19】

$$I_3 = I_3 + I_2(xr) + I_1 \frac{(xr)^2}{2} + \frac{(xr-y_1)^3}{6} - \frac{(xr-xr_1)^3}{6}, \quad (76)$$

$$I_2 = I_2 + I_1(xr) + \frac{(xr-y_1)^2}{2} - \frac{(xr-xr_1)^2}{2}, \quad (77)$$

$$I_1 = I_1 + (xr-y_1) - (xr-xr_1) \quad (78)$$

40

である。

【0068】

時刻 $t = (2n-1+xr)T_s/2$ において、

50

【 0 0 6 9 】

【 数 2 0 】

$$xr_2 = 1 - xr - d, \quad (79)$$

$$z_2 = xr_2 - (k_1 I_1 + k_2 I_2 + k_3 I_3), \quad (80)$$

$$y_2 = Q(z_2). \quad (81)$$

時刻 $t = (2n) T_s / 2$ において積分を更新すると、

【 0 0 7 0 】

【 数 2 1 】

10

$$I_3 = I_3 + I_2(1 - xr) + I_1 \frac{(1 - xr)^2}{2} + \frac{(y_2)^3}{6} - \frac{(xr_2)^3}{6}, \quad (82)$$

$$I_2 = I_2 + I_1(1 - xr) + \frac{(y_2)^2}{2} - \frac{(xr_2)^2}{2}, \quad (83)$$

$$I_1 = I_1 + y_2 - xr_2 \quad (84)$$

である。

【 0 0 7 1 】

時刻 $t = (2n) T_s / 2$ において、

20

【 0 0 7 2 】

【 数 2 2 】

$$xl_1 = xl + d, \quad (85)$$

$$z_1 = xl_1 + k_1 I_1 + k_2 I_2 + k_3 I_3, \quad (86)$$

$$y_1 = Q(z_1). \quad (87)$$

時刻 $t = (2n + 1 - x1) T_s / 2$ において積分を更新すると、

【 0 0 7 3 】

【 数 2 3 】

30

$$I_3 = I_3 + I_2(1 - xl) + I_1 \frac{(1 - xl)^2}{2} + \frac{(xl_1 - xl)^3}{6} - \frac{(y_1 - xl)^3}{6}, \quad (88)$$

$$I_2 = I_2 + I_1(1 - xl) + \frac{(xl_1 - xl)^2}{2} - \frac{(y_1 - xl)^2}{2}, \quad (89)$$

$$I_1 = I_1 + (xl_1 - xl) - (y_1 - xl) \quad (90)$$

である。

【 0 0 7 4 】

時刻 $t = (2n + 1 - x1) T_s / 2$ において、

40

【 0 0 7 5 】

【 数 2 4 】

$$xl_2 = 1 - xl + d, \quad (91)$$

$$z_2 = xl_2 - (k_1 I_1 + k_2 I_2 + k_3 I_3), \quad (92)$$

$$y_2 = Q(z_2). \quad (93)$$

時刻 $t = (2n + 1) T_s / 2$ において積分を更新すると、

【 0 0 7 6 】

【数 25】

$$I_3 = I_3 + I_2(xl) + I_1 \frac{(xl)^2}{2} + \frac{(1 - xl_2)^3}{6} - \frac{(1 - y_2)^3}{6}, \quad (94)$$

$$I_2 = I_2 + I_1(xl) + \frac{(1 - xl_2)^2}{2} - \frac{(1 - y_2)^2}{2}, \quad (95)$$

$$I_1 = I_1 + (1 - xl_2) - (1 - y_2) \quad (96)$$

である。

【0077】

10

式(74)、式(80)、式(86)、及び式(92)は、出力PWM信号404Dに対する補正されたデューティ比を定義している。ここで、kの値は重み因子に対応している。式(73)から式(75)、式(79)から式(81)、及び式(91)から式(93)により表される動作は、図5に詳細に示した差動積分ブロック503、並びに、加算及び量子化ブロック502によって実行される。再び図5に詳細に示した差動積分器503は、式(76)から式(78)、式(82)から式(84)、式(88)から式(90)、及び式(94)から式(96)に示す積分を実行し、量子化誤差の補正504を供給する。

【0078】

20

図16を参照すると、四倍のスイッチ周波数における三次のオーダーのシフトされた基準フルブリッジINS信号のシミュレーションによる電力スペクトル密度のグラフ2000が示されている。図16に示す三次のオーダーの例において、そのノイズ・スペクトルは、DC及び16kHzにおいて零(null)になることに注意されたい。入力は、14kHzにおいてフルスケールのトーンとなる。四倍のスイッチ周波数においてサンプリングすることにより、このアルゴリズムは、性能を低下させることなく、より低いスイッチ周波数を可能にする。

【0079】

30

図17を参照すると、従来技術によるシングルエンドINS出力信号2100のシミュレーションによる出力スペクトルのグラフが示されている。このシミュレーションは、図2に詳細に示したブロック図に対応する。図18を参照すると、本発明の一つの態様によるフルブリッジINS出力信号2200のシミュレーションによる出力スペクトルのグラフが示されている。このシミュレーションは、図4に詳細に示したブロック図に対応しており、例2において詳述したような四次のオーダーの相補的なフルブリッジINSのアルゴリズムを使用している。

【0080】

40

図17及び図18を参照すると、その縦軸はdBを単位とした出力信号の大きさを表し、横軸は500kHzまでの信号の周波数を表している。信号の透過帯域は、DCから20kHzまでであり、この領域においてノイズは最小化されている。その信号は、15kHzにおいてフルスケールの信号となる。スイッチ周波数は375kHzである。更に図17及び図18を参照すると、フルブリッジINS出力信号2200は、従来技術によるシングルエンドINS出力信号2100と同一の条件下で得られたものであるが、スイッチ周波数におけるフルスケールのトーンは抑制されている。従来技術に優るこの改善により、パワーステージと負荷との間において、通常、使用される受動LCローパス・フィルタに対する要求を低くすることが可能である。

【0081】

本発明は、PWM信号の量子化におけるフルブリッジ積分ノイズ・シェーピングのための方法及び/又は装置を含んでいる。本発明は、フルブリッジ積分ノイズ・シェーピングの動作を実行するためのアルゴリズムを複数含んでいる。本開示を踏まえて、本明細書に含まれる方法を、ハードウェア(例えば、特定の応用集積回路)又はソフトウェアにより具体化し得ることは、当業者には理解されよう。

50

【0082】

本発明の特定の実施形態によれば、少なくとも二倍のサンプル・レートが可能であり、従って、より高性能及び/又はより低いスイッチ周波数が可能となる。本開示を踏まえて、本発明の用途には非オーディオ・アンプから動作制御までが含まれていることは、当業者には理解されよう。

【0083】

本明細書において使用されている単語「ある (a or an)」は、「一つの (one)」というよりは、「一つ若しくは複数の (one or more)」を意味するものとして定義されている。本明細書において使用されている単語「複数の (plural ity)」は、「二つの (two)」というよりは、「二つ以上の (two or more)」を意味するものとして定義されている。本明細書において使用されている単語「別の (another)」は、「少なくとも第二以上の (at least a second or more)」を意味するものとして定義されている。本明細書において使用されている単語「含む、並びに/若しくは、有する (including and/or having)」は、「備える (comprising)」(即ち、オープン・ランゲージ)を意味するものとして定義されている。本明細書において使用されている単語「接続された (coupled)」は、「連結された (connected)」を意味するものとして定義され、この連結は直接的な連結や機械的な連結に限定される訳ではない。本明細書において使用されている単語「プログラム又はソフトウェア (program or software)」は、コンピュータ・システム上で実行されるように設計された一連の命令を意味するものとして定義されている。プログラム又はコンピュータ・システムは、サブルーチン、関数、プロシージャ、オブジェクト・メソッド、オブジェクト実装、実行可能なアプリケーション、アプレット、サープレット、ソース・コード、オブジェクト・コード、共有ライブラリ/ダイナミック・ロード・ライブラリ、及び/又は、コンピュータ・システム上で実行されるように設計された他の一連の命令を含み得る。本明細書において使用されている表現「その中から引き出される任意の整数 (any integer derivable therein)」は、本明細書において記された対応する数の中の整数を意味するものとして定義されており、「その中から引き出される任意の範囲 (any range derivable therein)」という表現は、そのような対応する数の中の任意の範囲を意味するものとして定義されている。

【0084】

ミーンズ・プラス・ファンクション (means - plus - function) 限定が、特定の請求項において「~するための手段 (means for)」及び/又は「~するためのステップ (step for)」という表現を用いることによって、具体的に記されていない限り、添付特許請求の範囲は、そのような限定を含むものとは解釈されない。本発明のサブジェネリックな実施形態は、添付独立請求項及びその均等物使用によって識別される。本発明の特定の実施形態は、添付従属請求項及びその均等物使用によって識別される。

【図面の簡単な説明】

【0085】

【図1】アンプのフルブリッジ・パワーステージの回路図。

【図2】PWM処理の基本構成のブロック図。

【図3】PWMのINS量子化の処理のタイミング図。

【図4】本発明の実施形態を表す、フルブリッジINS量子化の基本構成のブロック図。

【図5】本発明の実施形態を表す、フルブリッジINS量子化の基本構成の詳細なブロック図。

【図6】本発明の実施形態を表す、ベクトル・フルブリッジINSの処理のタイミング図。

【図7】本発明の実施形態を表す、ベクトル・フルブリッジINSの出力信号のシミュレーションによる電力スペクトル密度のグラフ。

【図 8】本発明の実施形態を表す、不均一性が 0.3% 存在する場合におけるベクトル・フルブリッジ I N S の出力信号のシミュレーションによる電力スペクトル密度のグラフ。

【図 9】本発明の実施形態を表す、相補的なフルブリッジ I N S の処理のタイミング図。

【図 10】本発明の実施形態を表す、相補的なフルブリッジ I N S の出力信号のシミュレーションによる電力スペクトル密度のグラフ。

【図 11】本発明の実施形態を表す、不均一性が 0.3% 存在する場合における相補的なフルブリッジ I N S の出力信号のシミュレーションによる電力スペクトル密度のグラフ。

【図 12】本発明の実施形態を表す、不均一性が 1% 存在する場合における相補的なフルブリッジ I N S の出力信号のシミュレーションによる電力スペクトル密度のグラフ。

【図 13】本発明の実施形態を表す、二倍のスイッチ周波数で動作するシフトされた基準フルブリッジ I N S の処理のタイミング図。

【図 14】本発明の実施形態を表す、二倍のスイッチ周波数で動作するシフトされた基準フルブリッジ I N S の出力信号のシミュレーションによる電力スペクトル密度のグラフ。

【図 15】本発明の実施形態を表す、四倍のスイッチ周波数で動作するシフトされた基準フルブリッジ I N S の処理のタイミング図。

【図 16】本発明の実施形態を表す、四倍のスイッチ周波数で動作するシフトされた基準フルブリッジ I N S の出力信号のシミュレーションによる電力スペクトル密度のグラフ。

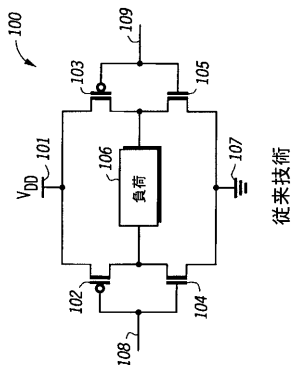
【図 17】シングルエンド I N S の出力信号のシミュレーションによる出力スペクトルのグラフ。

【図 18】本発明の実施形態を表す、フルブリッジ I N S の出力信号のシミュレーションによる出力スペクトルのグラフ。

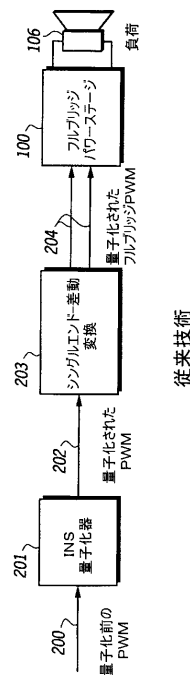
10

20

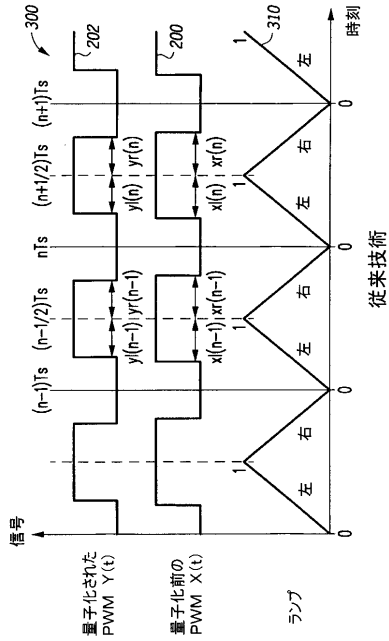
【図 1】



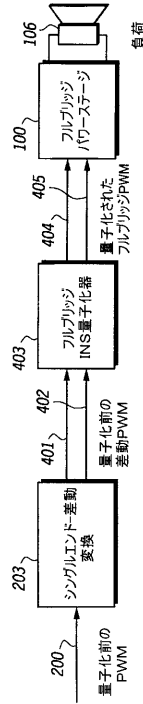
【図 2】



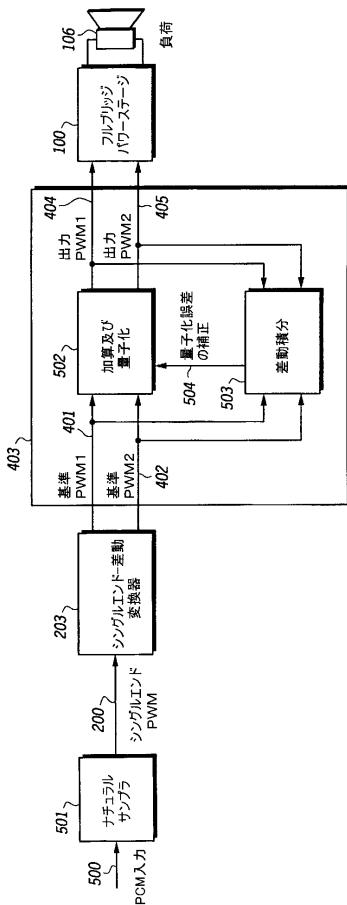
【図3】



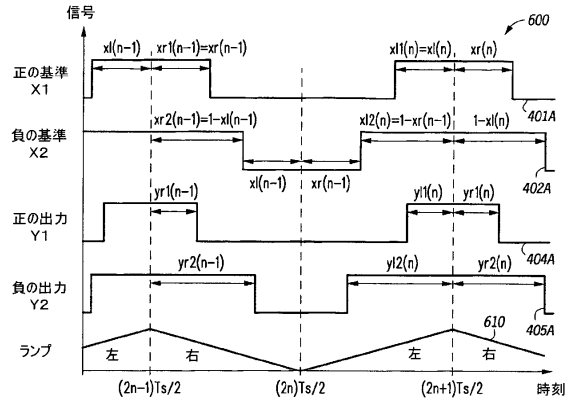
【図4】



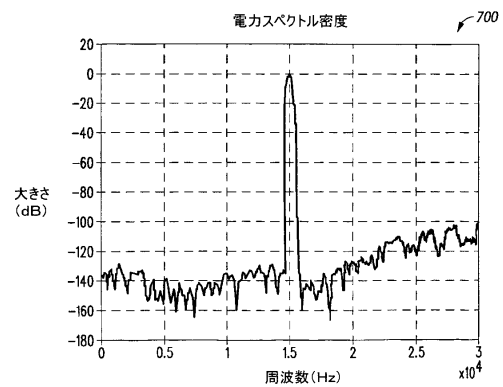
【図5】



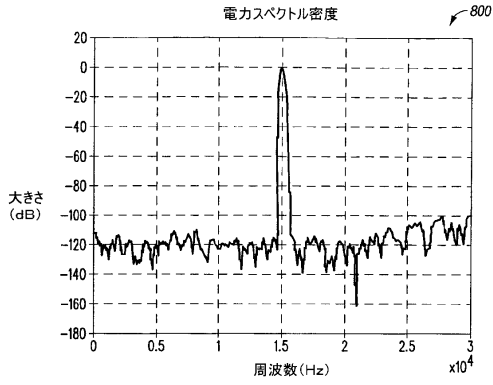
【図6】



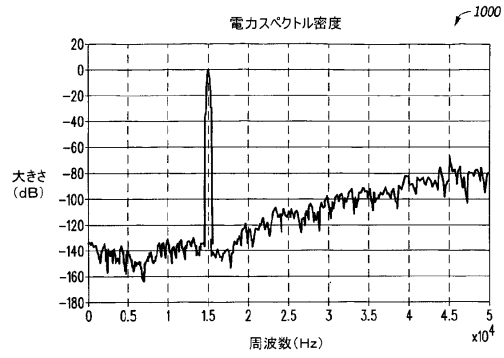
【図7】



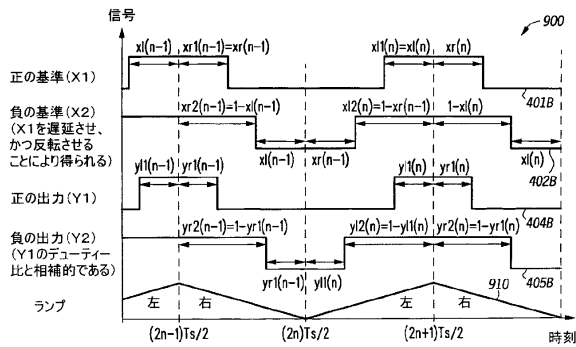
【図8】



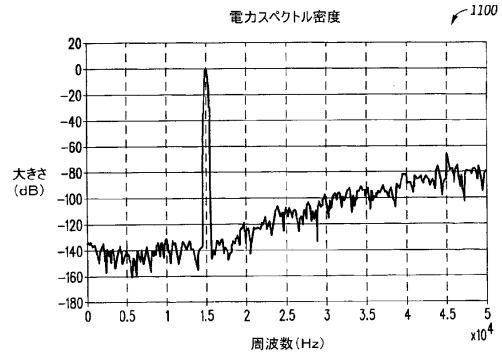
【図10】



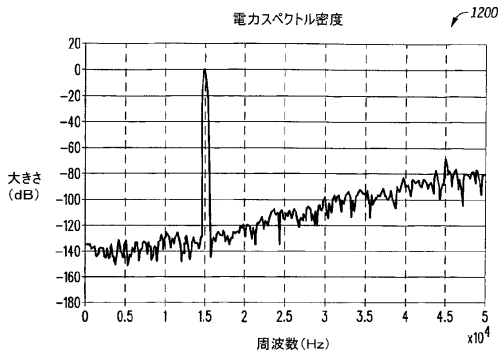
【図9】



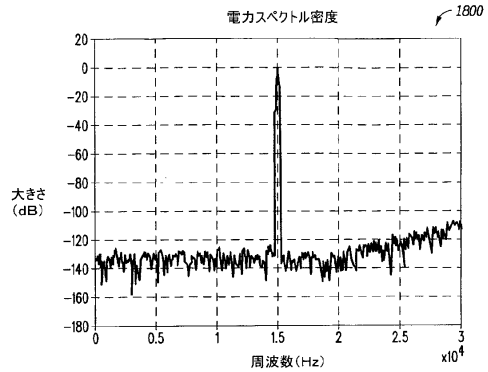
【図11】



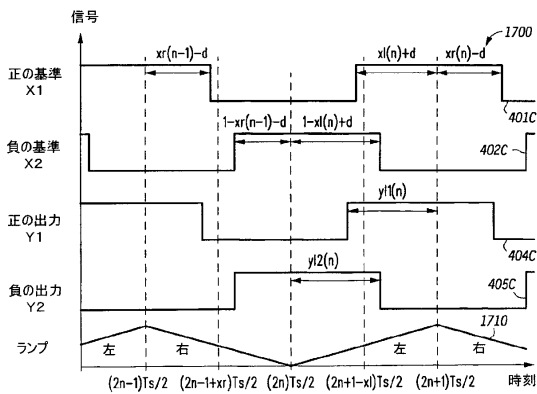
【図12】



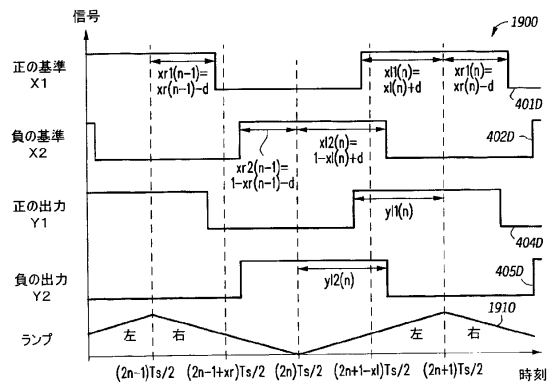
【図14】



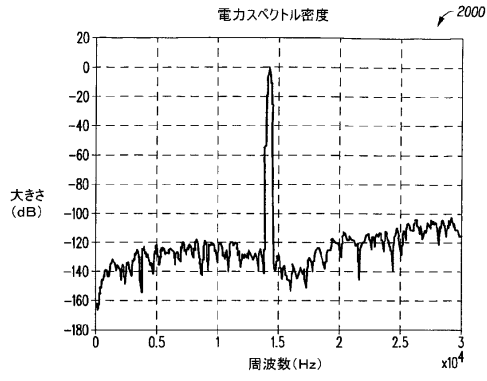
【図13】



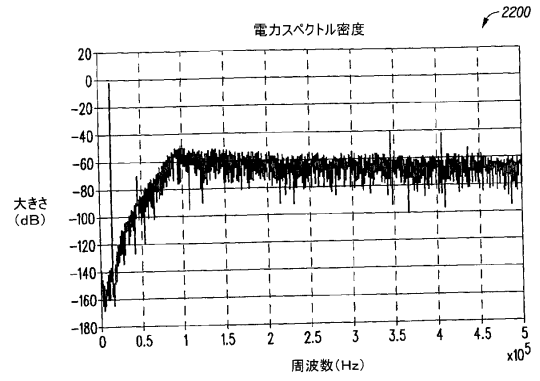
【図15】



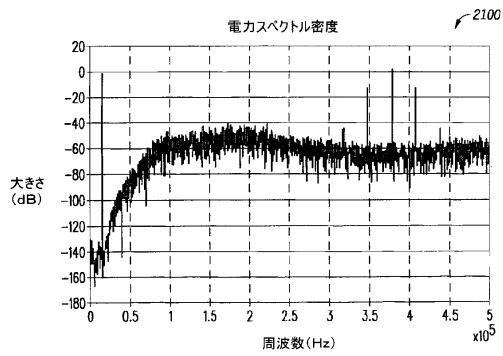
【図16】



【図18】



【図17】



フロントページの続き

(72)発明者 レックナー、ウィリアム ジェイ .
アメリカ合衆国 60110 イリノイ州 カーペンターズビル オーク クノール レーン 3
005

審査官 宮島 郁美

(56)参考文献 特開平05 - 206852 (JP, A)
特開平10 - 013236 (JP, A)
特開2001 - 223590 (JP, A)
特開2004 - 032501 (JP, A)
国際公開第03 / 061136 (WO, A1)

(58)調査した分野(Int.Cl., DB名)
H03K7/00-11/00
H03M1/00-1/88