(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
G06F 9/22

(11) 공개번호 특1997-0076251
(43) 공개일자 1997년12월12일

(21) 출원번호 특1997-0020252
(22) 출원일자 1997년05월23일
(30) 우선권주장 96-138111 1996년05월31일 일본(JP)
(71) 출원인 히다치세사쿠쇼 가부시키가이샤 가나이 츠토무
일본국 도쿄도 지요다구 간다 스루가다이 4-6
(72) 발명자 하세가와 히로노부
일본국 도쿄도 고다이라시 가쿠엔히가시쵸 3-2-40
사사키 히로유키
일본국 도쿄도 후츄시 니시후쵸 3-15-6-102
우라구치 마사히코
일본국 도쿄도 히가시무라야마시 온타쵸 1-59-2
(74) 대리인 백남기

심사청구 : 없음

(54) 데이타 프로세서 및 데이타 처리시스템

요약

마이크로컴퓨터, 디지털신호 프로세서, 마이크로컨트롤러, 마이크로프로세서등의 데이터 프로세서에 관한 것으로서, 디버그를 위한 신호단자를 극력 적게할수 있고 디버그 동작을 용이하게 가변시킬 수 있으며 또한 실기(제품시스템)의 실제의 이용환경에 가까운 환경에서 디버그를 가능하게 하는 데이터 프로세서 및 이것을 사용한 데이터 처리시스템을 제공하기 위해, 중앙처리장치, 이 중앙처리장치에 의해 액세스 가능한 기억수단, 중앙처리장치로의 인터럽트를 제어하는 인터럽트 컨트롤러, 외부와의 사이에서 직렬로 정보의 입출력을 실행하는 직렬인터페이스수단 및 그들을 접속하기 위한 내부버스를 포함해서 반도체 집적회로화되어 이루어지는 구성으로 하였다.

이렇게 하는 것에 의해, 부트 프로그램에 의해 다운로드되는 디버그 제어용 프로그램의 내용에 따라서 어떠한 디버그 동작도 실행할 수 있고 호스트시스템과의 인터페이스에는 직렬인터페이스수단을 이용하여 디버그를 위한 인터페이스용 단자의 수를 적게 할 수 있어 디버그의 가변성과 양호한 사용자의 편리함을 양립시킬 수 있으며, 타겟시스템에 대해서 시스템 디버그 또는 소프트웨어 디버그를 실사용 환경에 극력 접근시켜 실외에서 실행하는 바와 같은 경우에도 즉시에 대응할 수 있는 기동성을 얻을 수 있다는 효과가 얻어진다.

대표도

도1

명세서

[발명의 명칭]

데이터 프로세서 및 데이터 처리시스템

[도면의 간단한 설명]

제1도는 본 발명의 1예를 관한 마이크로컴퓨터의 블록도.

제2도는 제1도의 마이크로컴퓨터를 적용한 타겟시스템을 디버그툴로 인터페이스한 상태의 1예를 도시한 블록도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

중앙처리장치, 이 중앙처리장치에 의해 액세스 가능한 기억수단, 상기 중앙처리장치로의 인터럽트를 제

어 하는 인터럽트 컨트롤러, 외부와의 사이에서 직렬로 정보의 입출력을 실행하는 직렬인터페이스수단 및 그들을 접속하기 위한 내부버스를 포함하고, 상기 기억수단은 리라이트 가능한 제1기억영역과 상기 중앙처리장치가 상기 직렬인터페이스수단에서 상기 제1기억영역으로 정보를 전송시키기 위한 부트 프로그램을 보유하는 제2기억영역을 포함하고, 상기 직렬인터페이스수단은 외부에서 공급된 제1코맨트의 해독결과에 따라서 상기 인터럽트 컨츠롤러에 제1인터럽트 요구신호를 출력하고, 상기 인터럽트 컨트롤로는 상기 제1인터럽트 요구신호에 응답해서 중앙처리장치에서 상기 부트 프로그램을 실행시키는 제1인터럽트 제어정보를 인가하는 것인 것을 특징으로 하는 반도체집상에 형성된 데이터 프로세서.

청구항 2

제1항에 있어서, 상기 제2기억영역은 또 상기 제1인터럽트 제어정보를 받은 중앙처리장치가 상기 부트 프로그램의 선두의 명령어드레스를 취득하기 위해 이용하는 제1벡터를 포함해서 이루어지는 것인 것을 특징으로 하는 데이터 프로세서.

청구항 3

제2항에 있어서, 상기 부트 프로그램에 의해 제1기억영역으로 전송되는 정보는 디버그 제어용 프로그램인 것을 특징으로 하는 데이터 프로세서.

청구항 4

제3항에 있어서, 상기 부트 프로그램은 그 마지막에 중앙처리장치의 명령실행을 상기 제1기억영역으로 전송된 상기 디버그 제어용 프로그램의 소정의 어드레스로 분기시키는 명령을 포함해서 이루어지는 것을 특징으로 하는 데이터 프로세서.

청구항 5

제4항에 있어서, 상기 기억영역은 리라이트 가능한 제3기억영역을 갖고, 상기 디버그 제어용 프로그램은 상기 직렬인터페이스수단에서 상기 제3기억영역으로 데이터를 전송시키는 전송제어 프로그램을 포함해서 이루어지는 것인 것을 특징으로 하는 데이터 프로세서.

청구항 6

제5항에 있어서, 상기 직렬인터페이스수단은 외부에서 공급된 제2코맨트에 따라서 상기 인터럽트 컨트롤러로 제2인터럽트 요구신호를 출력하고, 상기 인터럽트 컨트롤러는 상기 제2인터럽트 요구신호에 응답해서 중앙처리장치로 하여금 상기 제1기억영역의 디버그 제어용 프로그램의 소정의 명령을 실행시키기 위한 제2인터럽트 제어정보를 중앙처리장치에 인가하는 것인 것을 특징으로 하는 데이터 프로세서.

청구항 7

제6항에 있어서, 상기 제1기억영역은 또 상기 제2인터럽트 제어정보를 받은 중앙처리장치가 상기 디버그 제어용 프로그램의 소정의 명령어드레스를 취득하기 위해 이용하는 제2벡터를 포함해서 이루어지는 것인 것을 특징으로 하는 데이터 프로세서.

청구항 8

제7항에 있어서, 상기 직렬인터페이스수단은 외부에서 공급된 제3코맨드에 따라서 상기 인터럽트 컨트롤러로 제3인터럽트 요구신호를 출력하고, 상기 인터럽트 컨트롤러는 상기 제3인터럽트 요구신호에 응답해서 중앙처리장치로 하여금 상기 제3기억영역 또는 그 밖의 사용자 메모리 공간의 프로그램을 실행시키는 제3인터럽트 제어정보를 중앙처리장치에 인가하는 것인 것을 특징으로 하는 데이터 프로세서.

청구항 9

중앙처리장치, 이 중앙처리장치에 의해 액세스 가능한 기억수단 및 상기 중앙처리장치로의 인터럽트를 제어하는 인터럽트 컨트롤러를 포함하고, 데이터 프로세스의 외부와 상기 중앙처리장치의 쌍방에서 각각 조작 가능하게 된 플래그, 데이타 프로세서의 외부와 상기 중앙처리장치의 쌍방에서 각각 액세스 가능하게 된 데이터 레지스터 및 외부에서 공급되는 코맨드의 해독결과에 따른 인터럽트 요구신호를 상기 인터럽트 컨트롤러에 인가하는 코맨드 디코더를 포함하고, 데이터 프로세스의 외부와 비동기해서 직렬로 정보의 입출력을 실행하는 직렬인터페이스수단을 마련하고, 상기 기억수단은 리라이트 가능한 제1기억영역과 상기 중앙처리장치가 상기 직렬인터페이스수단의 데이터 레지스터에서 상기 제1기억영역으로 정보를 전송시키기 위한 부트 프로그램을 보유하는 제2기억영역을 포함하고, 상기 인터럽트 컨트롤로는 상기 인터럽트 요구중의 제1인터럽트 요구신호에 응답해서 중앙처리장치에 상기 부트 프로그램을 실행시키는 제1인터럽트 제어정보를 인가하는 것이고, 상기 부트 프로그램을 실행하는 중앙처리장치는 상기 플래그가 제1상태인 것을 조건으로 상기 데이터 레지스터를 액세스하고, 상기 데이터 레지스터에 대한 액세스 완료에 따라서 상기 플래그를 제2상태로 변경하는 것인 것을 특징으로 하는 반도체칩상에 형성된 데이터 프로세서.

청구항 10

제9항에 있어서, 제2상태로 된 상기 플래그가 데이터 프로세서의 외부로 출력된 상태를 검출해서 상기 데이터 레지스터를 데이터 프로세서의 외부에서 액세스 가능하게 제어함과 동시에 데이터 프로세서에 의한 데이터 레지스터의 액세스 완료에 따라서 상기 플래그를 제1상태로 변경 가능하게 하는 상태컨트롤러를 더 구비해서 이루어지는 것인 것을 특징으로 하는 데이터 프로세서.

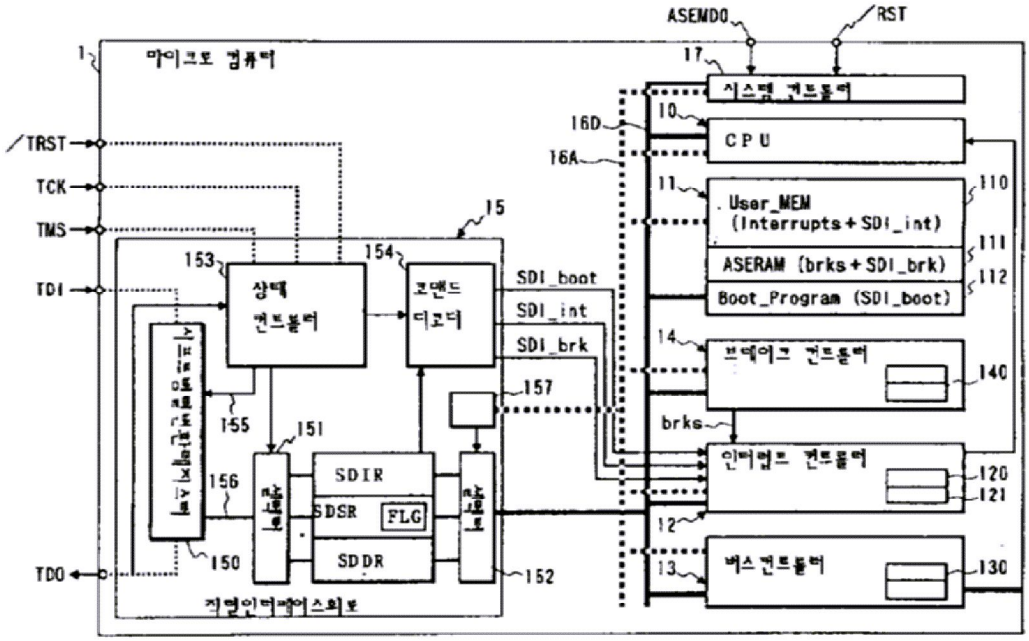
청구항 11

제1항~제10항 중의 어느 한 항에 기재된 데이터 프로세서와 이 데이터 프로세서에 의해 액세스 제어되는 회로를 회로기판에 실장해서 이루어지는 데이터 처리시스템로서, 상기 회로기판에는 상기 데이터 프로세서에 포함되는 직렬인터페이스수단에 접속된 외부접속 커넥터를 마련해서 이루어지는 것인 것을 특징으로 하는 데이터 처리시스템.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1



도면2

