

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-206490

(P2009-206490A)

(43) 公開日 平成21年9月10日(2009.9.10)

(51) Int.Cl.

H01L 21/82 (2006.01)
H01L 27/10 (2006.01)

F 1

H01L 21/82
H01L 27/10F
481

テーマコード(参考)

5FO64
5FO83

審査請求 未請求 請求項の数 10 O L (全 17 頁)

(21) 出願番号 特願2008-315572 (P2008-315572)
 (22) 出願日 平成20年12月11日 (2008.12.11)
 (31) 優先権主張番号 特願2008-19163 (P2008-19163)
 (32) 優先日 平成20年1月30日 (2008.1.30)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100123788
 弁理士 宮崎 昭夫
 (74) 代理人 100106138
 弁理士 石橋 政幸
 (74) 代理人 100127454
 弁理士 緒方 雅昭
 (72) 発明者 北村 英次
 東京都中央区八重洲2-2-1 エルピー
 ダメモリ株式会社内
 (72) 発明者 堀場 信一
 東京都中央区八重洲2-2-1 エルピー
 ダメモリ株式会社内

最終頁に続く

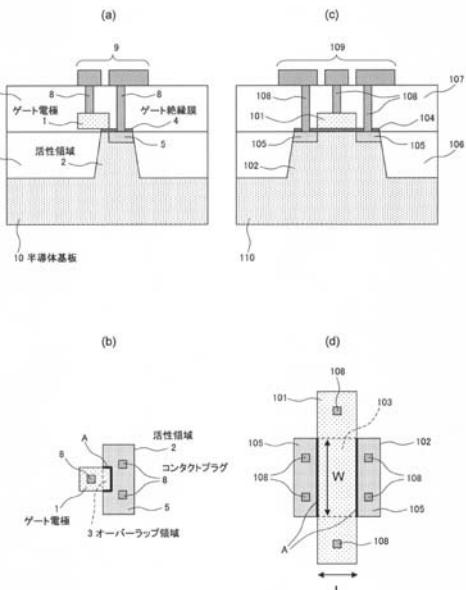
(54) 【発明の名称】半導体装置及びその製造方法

(57) 【要約】

【課題】余分な回路の増設やプロセスの変更を伴うことなく、アンチフューズ素子としての信頼性を向上させることができる半導体装置を提供する。

【解決手段】半導体基板10上に形成された活性領域2と、活性領域2の表面に形成されたゲート絶縁膜4を介して活性領域2上に設けられたゲート電極1と、を含み、活性領域2をゲート電極1が分割しない位置でゲート電極1の周縁部と活性領域2の周縁部とが互いに重なって、オーバーラップ領域3が形成されるように、ゲート電極1がゲート絶縁膜4上に形成されている。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

半導体基板上に形成された活性領域と、該活性領域の表面に形成されたゲート絶縁膜を介して前記活性領域上に設けられたゲート電極と、を含み、

前記活性領域を前記ゲート電極が分割しない位置で前記ゲート電極の周縁部と前記活性領域の周縁部とが互いに重なって、オーバーラップ領域が形成されるように、前記ゲート電極が前記ゲート絶縁膜上に形成されている半導体装置。

【請求項 2】

前記活性領域の平面形状が矩形であり、前記オーバーラップ領域が、前記活性領域の少なくとも 1 つの辺に沿って位置している、請求項 1 に記載の半導体装置。 10

【請求項 3】

前記活性領域の平面形状が矩形であり、前記ゲート電極は前記活性領域より小さな開口を備え、前記オーバーラップ領域が、前記活性領域の周縁部の少なくとも一部と前記ゲート電極の開口縁部の少なくとも一部との間に形成されている、請求項 1 に記載の半導体装置。

【請求項 4】

前記活性領域は、中央矩形部と該中央矩形部から延びる延長部とを有し、前記オーバーラップ領域が、前記活性領域の前記延長部の先端部に位置している、請求項 1 に記載の半導体装置。 20

【請求項 5】

前記活性領域の平面形状が矩形であり、前記ゲート電極は矩形の開口を備え、前記オーバーラップ領域が、前記活性領域の角部と前記ゲート電極の開口縁部の辺との間に形成されている、請求項 1 に記載の半導体装置。

【請求項 6】

前記活性領域の平面形状が矩形であり、前記ゲート電極は切り込み部を備え、前記オーバーラップ領域が、前記活性領域の角部と前記ゲート電極の切り込み縁部の辺との間に形成されている、請求項 1 に記載の半導体装置。

【請求項 7】

前記活性領域の平面形状が切り欠き部を有し、前記オーバーラップ領域が、前記活性領域の切り欠き部を構成する複数の辺のうち、少なくとも 1 つの辺に沿って位置している、請求項 1 に記載の半導体装置。 30

【請求項 8】

前記オーバーラップ領域が、前記半導体基板に直交する方向から見て、前記オーバーラップ領域を前記活性領域に接続する第 1 のコンタクトプラグと、前記オーバーラップ領域を形成する前記ゲート電極に接続する第 2 のコンタクトプラグとを結ぶ直線上にあって、前記第 1 のコンタクトプラグと前記第 2 のコンタクトプラグとの間に位置している、請求項 1 に記載の半導体装置。

【請求項 9】

前記ゲート電極の平面形状が、前記直線に沿って延びる形状である、請求項 8 に記載の半導体装置。 40

【請求項 10】

半導体基板上に活性領域を形成する工程と、ゲート絶縁膜を介して前記活性領域上にゲート電極を形成する工程と、を含み、

前記ゲート電極を形成する工程は、前記活性領域の表面に前記ゲート絶縁膜を形成する工程と、前記活性領域を前記ゲート電極が分割しない位置で前記ゲート電極の周縁部と前記活性領域の周縁部とが互いに重なって、オーバーラップ領域が形成されるように、前記ゲート電極を前記ゲート絶縁膜上に形成する工程と、を含む半導体装置の製造方法。

【発明の詳細な説明】**【技術分野】****【0 0 0 1】**

10

20

30

40

50

本発明は、アンチフューズ素子として用いられる半導体装置及びその製造方法に関する。

【背景技術】

【0002】

アンチフューズ素子は、通常は絶縁状態であるが電圧を加えることで導通状態となる素子であり、半導体集積回路において回路に発生した不良を冗長回路で置換するなどの目的で用いられている。

【0003】

図14(a)に、ゲート絶縁膜をアンチフューズとして使用する従来のアンチフューズ素子の断面図を示す。図14(b)は平面図であり、素子の構成を理解しやすくするため、一部の構成要素のみ図示している。

【0004】

図14からわかるように、従来のアンチフューズ素子は通常のMOS(Metal Oxide Semiconductor)トランジスタと同じレイアウトで構成されている。半導体基板110上に素子分離領域106で囲まれた活性領域102があり、活性領域102上にゲート絶縁膜104を介してゲート電極101が設けられている。ゲート電極101は、活性領域102を分割するように、活性領域102に交差して配置されている。ゲート電極103で分割された活性領域102の両側には、半導体基板110と異なる導電型の不純物を導入した拡散層105が形成されている。ゲート電極101および拡散層105は、層間絶縁膜107に形成されたコンタクトプラグ108を通じて配線109に接続される。ゲート電極101に接続し、図14(b)では素子分離領域106上に配置されているコンタクトプラグ108は、説明のため、図14(a)では、拡散層105に接続するコンタクトプラグ108と同一断面上に図示されている。

【0005】

アンチフューズ素子として機能させる場合、初期状態ではゲート絶縁膜104により絶縁状態となっているアンチフューズ素子のうち、接続させたい素子のゲート電極101および拡散層105間に高電界を印加してゲート絶縁膜104を破壊して短絡状態とする。それにより、ゲート電極101と拡散層105を接続させることができる。この接続動作では、ゲート絶縁膜104の破壊箇所に高電流が流れることで、そのエネルギーによりオーミック接触が得られている。

【発明の開示】

【発明が解決しようとする課題】

【0006】

近年、回路の微細化に伴うゲート絶縁膜の薄膜化により、ゲート絶縁膜を介してゲート電極と活性領域間に流れるゲートリーク電流が増加している。上述した従来のアンチフューズ素子では、このゲートリーク電流の増加によって、ゲート電極と拡散層間に高電界を印加した際に破壊箇所以外への電流(エネルギー)の分散が引き起こされる。このため、絶縁膜破壊後の良好なオーミック接触が得られずに、高抵抗となる素子が発生している。この対策として、高抵抗の素子でも回路動作が不良とならないように、アンチフューズ素子専用の信号增幅回路の追加や、アンチフューズを並列配置し論理和(OR)を取るような回路への変更がおこなわれている。しかし、このような対策は、チップ面積縮小への障害となり、回路設計の複雑化や工程数の増加も引き起こすため好ましくない。

【0007】

そこで本発明は、余分な回路の増設やプロセスの変更を伴うことなく、アンチフューズ素子としての信頼性を向上させることができる半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

上述した目的を達成するために、本発明の半導体装置は、半導体基板上に形成された活性領域と、該活性領域の表面に形成されたゲート絶縁膜を介して前記活性領域上に設けら

10

20

30

40

50

れたゲート電極と、を含み、活性領域をゲート電極が分割しない位置で前記ゲート電極の周縁部と前記活性領域の周縁部とが互いに重なって、オーバーラップ領域が形成されるように、前記ゲート電極が前記ゲート絶縁膜上に形成されている。

【0009】

また、本発明の半導体装置の製造方法は、半導体基板上に活性領域を形成する工程と、ゲート絶縁膜を介して前記活性領域上にゲート電極を形成する工程と、を含み、前記ゲート電極を形成する工程は、前記活性領域の表面上に前記ゲート絶縁膜を形成する工程と、活性領域をゲート電極が分割しない位置で前記ゲート電極の周縁部と前記活性領域の周縁部とが互いに重なって、オーバーラップ領域が形成されるように、前記ゲート電極を前記ゲート絶縁膜上に形成する工程と、を含む。

10

【発明の効果】

【0010】

以上、本発明によれば、余分な回路の増設やプロセスの変更を伴うことなく、アンチフューズ素子としての信頼性を向上させることができる半導体装置及びその製造方法を提供することができる。

【発明を実施するための最良の形態】

【0011】

以下に、アンチフューズ素子として用いられる本発明の半導体装置の一実施形態について、図1を参照して説明する。

【0012】

図1(a)および図1(b)に、本実施形態の半導体装置の断面図および平面図を示す。図1(c)および図1(d)は、比較のために示した、アンチフューズ素子として用いられる従来の半導体装置の断面図および平面図である。いずれの平面図も、装置の構成を理解しやすくするために、一部の構成要素のみ図示している。

20

【0013】

半導体基板10上に素子分離領域6で囲まれた活性領域2が設けられ、活性領域2の表面にゲート絶縁膜4が形成されている。ゲート電極1はゲート絶縁膜4を介して活性領域2上に設けられており、半導体基板10と異なる導電型の不純物を導入した拡散層5がゲート電極1に対して自己整合的に活性領域2に形成されている。ゲート電極1および拡散層5は、層間絶縁膜7に設けられたコンタクトプラグ8を介して上部配線9に接続されている。ここで、本実施形態の半導体装置のレイアウト上の大きな特徴は、図1(b)からもわかるように、ゲート電極1の周縁部と活性領域2の周縁部とが互いに重なるように、ゲート電極1が一方向にずれて配置されていることである。また、ゲート電極1と活性領域2は、互いに交差せず、活性領域2の内側にゲート電極1の端部が位置するように配置されていることも大きな特徴である。

30

【0014】

アンチフューズ素子としての信頼性を低下させる要因となるゲートリーク電流は、一般に、ゲート容量、すなわち実効的なゲート面積であるオーバーラップ領域3の面積に比例することが知られている。通常のMOSトランジスタと同じレイアウトを有する従来の半導体装置では、オーバーラップ領域103を、ゲート電極101および活性領域102のパターニングに際して、それぞれのリソグラフィーの解像限界で定まる最小加工寸法でゲート電極101および活性領域102が形成された場合よりも小さくすることは不可能である。しかし、本実施形態の半導体装置のように、活性領域2が2つ以上の独立した領域(拡散層)に分割されないようにゲート電極1を配置することで、ゲート電極1と活性領域2によって形成されるオーバーラップ領域3を従来の半導体装置の場合よりも大幅に縮小することができる。これにより、ゲート絶縁膜4が薄膜化されてもゲートリーク電流を大幅に軽減できるため、アンチフューズ素子としての信頼性を向上させることが可能となる。

40

【0015】

また、ゲート電極1の周縁部と活性領域2の周縁部とが互いに重なるように配置するこ

50

とで、拡散層 5 は 1 つで構成されることになる。これにより、図 1 (b) に太線で示した、オーバーラップ領域 3 の平面パターンと拡散層 5 の平面パターンとの接線部分であるパターンエッジ A の長さを、従来の半導体装置の場合（図 1 (d) に示した太線の合計の長さ）よりも、容易に短くすることが可能となる。このパターンエッジ A は、後述するゲート電極 1 の形成工程における加工時のダメージ等により、耐圧の悪化やゲートリーク電流の増加が起こりやすい箇所である。したがって、パターンエッジ A を短くすることは、絶縁破壊が起こる位置の分散を抑えることにつながり、アンチフューズ素子としての信頼性をより効果的に向上させることにつながっている。

【 0 0 1 6 】

従来のレイアウトであれば、パターンエッジ A の長さの合計が最小となるのは、活性領域 2 がリソグラフィーの解像限界で定まる最小加工寸法で形成された場合である。しかし、本実施形態の半導体装置のようなレイアウトにすれば、パターンエッジ A は容易に短くすることができ、従来のレイアウトにおける最小の長さである、活性領域 2 における最小加工寸法の 2 倍より小さくすることも可能となる。

【 0 0 1 7 】

以上のように、本実施形態の半導体装置では、オーバーラップ領域 3 およびパターンエッジ A を、加工上で微細化することなく、従来の半導体装置と比べて小さくすることができます、ゲートリーク電流の軽減と破壊対象領域の縮小化が可能となる。それにより、ゲート絶縁膜 4 が薄膜化されても、ゲート絶縁膜 4 の破壊時に流れる電流の分散を抑制し、オーミックな接続が得られやすくなるため、より信頼性の向上したアンチフューズ素子としての半導体装置を実現することができる。

【 0 0 1 8 】

次に、図 2 から図 6 を参照して、本実施形態の半導体装置の製造方法について説明する。

【 0 0 1 9 】

まず、図 2 に示すように、STI (Shallow Trench Isolation) 技術等の素子分離方法を用いて、シリコンからなる半導体基板 10 を素子分離領域 6 で分離し、活性領域 2 を形成する。活性領域 2 には、図には示していないが、リソグラフィー、イオン注入、アニール技術等を用いて、所望のウェルおよびMOSトランジスタのチャネル領域を形成する。この際のイオン注入では、N型領域にはリン、砒素、アンチモンなどを使用し、P型領域にはボロン、フッ化ボロン、ガリウム、インジウムなどを使用する。

【 0 0 2 0 】

次に、図 3 でゲート絶縁膜 4 およびゲート電極 1 の形成工程について説明する。まず、熱酸化法等の技術を用いて、活性領域 2 上にゲート絶縁膜 4 を形成する。ゲート絶縁膜 4 としては、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、ハフニウム酸化膜やハフニウム酸窒化膜などのハフニウム系絶縁膜、アルミニウム酸化膜やアルミニウム酸窒化膜などのアルミナ系絶縁膜、酸化ジスプロシウムなどのジスプロシウム系絶縁膜などを用いることができる。さらに、このゲート絶縁膜 4 上にCVD (Chemical Vap or Deposition) 法等の技術を用いてゲート電極層を堆積する。ゲート電極層の例としては、CVD法やスパッタ法を用いて形成するポリシリコン、タンゲステン、タンゲステンシリサイド、チタン、チタンシリサイド、コバルト、コバルトシリサイド、タンタル、炭化タンタルや、これらの膜の積層構造などがある。このゲート電極層を、リソグラフィー、エッチング技術等を用いて加工し、ゲート電極 1 のパターン形成を行う。このゲート電極 1 のパターンングにおけるリソグラフィーでは、アンチフューズとして機能させる素子領域において、ゲート電極 1 の端部が活性領域 2 の端部で重なるようにされ、従来のレイアウトで実現できるよりもオーバーラップ領域 3 が小さくなるように、またパターンエッジ長さが短くなるようにレイアウトされたレチカルを使用する。

【 0 0 2 1 】

続いて、図 4 に示すように、リソグラフィー、イオン注入、アニール、エッチング、C

10

20

30

40

50

V D、エピタキシャル技術等を用いて、L D D (Lightly Dosed Drain) 領域やソース、ドレイン領域などの拡散層5を形成する。拡散層5はゲート電極1をマスクとして自己整合的に活性領域2に形成される。アンチフューズとして機能させる素子領域では、ゲート電極1の端部が活性領域2の端部で重なるような配置であるため、通常のMOSトランジスタと同じレイアウトである従来のアンチフューズ素子と異なり、拡散層5は1つしか形成されない。N型拡散層の形成にはリン、砒素、アンチモンなどを使用し、P型拡散層の形成にはボロン、フッ化ボロン、ガリウム、インジウムなどを使用することができる。

【0022】

図5はコンタクトプラグ8の形成工程を説明する図である。CVD法等を用いて層間絶縁膜7を堆積し、その後、リソグラフィー、エッティング技術等を用いて、拡散層5およびゲート電極1に対するコンタクトホールを形成する。ここに、CVD法およびCMP(Chemical Mechanical Polishing)法等により導電体を埋め込むことで、コンタクトプラグ8が形成される。

【0023】

最後に、図6に示すように、スパッタ法等により堆積した配線材料を、CVD、リソグラフィー、エッティング技術等を用いて、それぞれのコンタクトプラグ8に対して形成して、所望の配線9とする。

【0024】

以上のように、アンチフューズ素子として用いられる本実施形態の半導体装置は、従来のアンチフューズ素子と同様、通常回路で使用しているトランジスタと同じ膜構造である。そのため、従来のアンチフューズ素子と比べて、プロセス変更や工程数の増加を伴うことなくアンチフューズ特性の改善が可能なことも、大きな利点となる。

【0025】

本発明の半導体装置の他の実施形態について、図7から図9を参照して説明する。

【0026】

図7(a)では、矩形状の活性領域2a上に、活性領域2aよりも小さな開口11を備えたゲート電極1aが設けられており、活性領域2aの周縁部とゲート電極1aの開口縁部とが重なるような配置が実現されている。したがって、オーバーラップ領域3aは、活性領域2aの周縁部の全ての辺に沿って拡散層5aを取り囲むように形成されている。もちろん、オーバーラップ領域3aが活性領域2aの周縁部の3辺、2辺、1辺のいずれかで形成されるように、ゲート電極1aが配置されるとより効果的である。

【0027】

また、図7(b)に示すように、活性領域2bを十字形状にすることで、オーバーラップ領域3bの面積をさらに縮小することができる。ここでオーバーラップ領域3bは、活性領域2bの4箇所の先端部に位置しているが、この場合も、3箇所、2箇所、1箇所のいずれかの先端部に配置することが可能である。また、活性領域2bは十字形状に限定されるものではなく、中央矩形部21とそこから延びた延長部22で構成されているような形状であってよい。

【0028】

図8(a)では、図7と同様に、矩形状の開口13がゲート電極1cに設けられているが、ここでは、オーバーラップ領域3cが矩形状の活性領域2cの4つの角部とゲート電極1cの開口縁部の4つの辺との間にそれぞれ形成されている。この場合も、3つ、2つ、1つの角部のいずれかにオーバーラップ領域3cを配置することが可能である。また、図8(b)は、図8(a)の実施形態の1つの変形例であり、図8(a)においてゲート電極1cに設けた開口13の一部を取り除き、ゲート電極1dに切り込み部14を形成した構成例である。オーバーラップ領域3dは、矩形状の活性領域2dの2つの角部とゲート電極1dの切り込み縁部の辺との間に形成されている。

【0029】

図9(a)は、活性領域2eの任意の1辺に凹形状の切り欠き部23が設けられ、切り

10

20

30

40

50

欠き部 2 3 を構成する 3 辺に沿ってオーバーラップ領域 3 e が形成されているレイアウトを示している。ゲート電極 1 e を左右どちらかに移動させることで、切り欠き部 2 3 を構成する 3 辺のうち、隣接した 2 辺に沿ってオーバーラップ領域 3 e が形成されるようなレイアウトにすることもできる。また、図 9 (b) では、活性領域 2 f が、図 9 (a) の場合と比べてより深く形成された切り欠き部 2 4 を有している構成例を示している。切り欠き部 2 4 の周縁の 2 箇所の先端部分でオーバーラップ領域 3 f が形成されており、この場合も、ゲート電極 1 f を左右どちらかに移動させることで、オーバーラップ領域 3 f を 1 箇所に配置することが可能となる。

【 0 0 3 0 】

上記の構成例はいずれの場合も、ゲート電極の平面パターンが活性領域の平面パターンを分割するように配置された従来のようなレイアウトではなく、ゲート電極 1 a - 1 f の周縁部と活性領域 2 a - 2 f の周縁部とが互いに重なるようなレイアウトを有している。したがって、これらの場合も、オーバーラップ領域 3 a - 3 f およびパターンエッジ A を従来よりも小さくすることができ、ゲートリーク電流の軽減と破壊対象領域の縮小化が実現できる。それにより、破壊時の破壊箇所以外への電流の分散が抑えられ、破壊が一点に集中することで、オーミックな接続が得られやすくなり、アンチフューズ特性を改善することが可能となる。

【 0 0 3 1 】

また、上記の構成例、すなわち 2 箇所以上のオーバーラップ領域 3 a - 3 f を有するレイアウトには、製造時の各パターンの重ね合わせマージンの大きな素子を得ることができ、各パターン間で重ね合わせずれが生じた場合でもいずれかの箇所で必ず接触を確保できるという利点もある。

【 0 0 3 2 】

なお、リソグラフィーの最小加工寸法が $0.2 \mu m$ 以下となるパターンでは、レチクル上の矩形パターンあるいは矩形ホールパターンを半導体基板上のレジストに転写形成すると、矩形の角が光学特性によって丸くなってしまう。それらの変動分を予め考慮してゲート電極パターンをレイアウトすることが可能である。

【 0 0 3 3 】

本発明の半導体装置の他の実施形態として、さらに効果的なレイアウトについて、図 10 から図 13 を参照して説明する。

【 0 0 3 4 】

図 10 の平面図で示す実施形態は、図 1 (b) に示す実施形態におけるゲート電極の配置を変更した変形例である。図 11 は、図 10 における B - B' 線での断面図である。

【 0 0 3 5 】

本実施形態では、図 10 において、ゲート電極 1 g は、ゲート電極 1 g に接続するコンタクトプラグ 18 a と活性領域 2 g に接続する 2 つのコンタクトプラグ 28 a とを結ぶ B - B' 線上に沿って延びるように形成されている。これにより、ゲート電極 1 g および活性領域 2 g によって形成されるオーバーラップ領域 3 g が、ゲート電極 1 g に接続するコンタクトプラグ 18 a と活性領域 2 g に接続するコンタクトプラグ 28 a とを結ぶ直線上であって、各コンタクトプラグ 18 a 、 28 a 間に位置することになる。

【 0 0 3 6 】

オーバーラップ領域 3 g とコンタクトプラグ 18 a 、 28 a とがこのように配置されることで、ゲート絶縁膜 4 a を破壊してアンチフューズ素子を導通状態とする際に、ゲート電極 1 g と活性領域 2 g (拡散層 5 a) との間に印加される電界をゲート電極 1 g 端部の領域に集中させることができる。これにより、オーバーラップ領域 3 g における絶縁膜破壊を、図 10 の太線 C で示した部分の近傍に発生させることができとなる。図 11 に示すように、太線 C で示したゲート電極 1 g 端部の下には、活性領域 2 g に形成された不純物拡散層 5 a (図 11) があり、そのため、絶縁破壊によって形成される電流バスの端部は拡散層 5 a に到達し、電気抵抗値は低く保たれることになる。したがって、図 10 に示すような、コンタクトプラグ 18 a 、 28 a とオーバーラップ領域 3 g とが同一直線上

10

20

30

40

50

に配置された構成によって、絶縁破壊の発生する場所の分散を抑制することが可能となり、多数のアンチフューズ素子を設ける場合には、図1に示す実施形態の場合よりも抵抗値を一層安定させることが可能となる。

【0037】

また、図12に示すように、図10に示すレイアウトにさらに別のゲート電極を形成して、矩形状の活性領域2hの両端にそれぞれゲート電極1hが形成されたレイアウトを有していてもよい。その場合、2つのゲート電極1hは共に、半導体基板に直交する方向から見て、ゲート電極1hに接続するコンタクトプラグ18bと活性領域2h上のコンタクトプラグ28bとを結ぶB-B'線上に沿って延びるように形成されている。こうして、活性領域2hと2つのゲート電極1hによって形成される2つのオーバーラップ領域3hは共にB-B'線上にあって、各オーバーラップ領域3hは、活性領域2hに接続するコンタクトプラグ28bと各ゲート電極1hに接続する各コンタクトプラグ18bとの間に位置することになる。このような配置によって、アンチフューズ素子の導通状態での抵抗値のばらつきを抑制することが可能となる。これに加えて、図12に示す実施形態によれば、1つの活性領域に対して2つのオーバーラップ領域、すなわち2つのアンチフューズ素子領域を配置できるため、図10に示す実施形態と比べて、1つのアンチフューズ素子を配置するのに必要な面積を削減することができ、回路の微細化にも寄与することができる。

10

【0038】

さらに、図13に示すように、矩形状の活性領域2iの4辺のそれぞれにゲート電極1iを配置して、それによって形成される各オーバーラップ領域3iを、半導体基板に直交する方向から見て、活性領域2iに接続するコンタクトプラグ28cと各ゲート電極1iに接続する各コンタクトプラグ18cとを結ぶ各直線(B-B'線またはD-D'線)上に配置することもできる。

20

【0039】

以上、説明したように、本発明によれば、アンチフューズ素子の導通状態における電気抵抗値のばらつきを抑えて、信頼性を向上させた半導体装置を容易に製造することができる。

【図面の簡単な説明】

【0040】

30

【図1】本発明の半導体装置の一実施形態を概略的に示す断面図および平面図である。

【図2】本発明の一実施形態における半導体装置の製造方法を説明するために示す概略断面図である。

【図3】本発明の一実施形態における半導体装置の製造方法を説明するために示す概略断面図である。

【図4】本発明の一実施形態における半導体装置の製造方法を説明するために示す概略断面図である。

【図5】本発明の一実施形態における半導体装置の製造方法を説明するために示す概略断面図である。

【図6】本発明の一実施形態における半導体装置の製造方法を説明するために示す概略断面図である。

40

【図7】本発明の半導体装置の他の実施形態を概略的に示す平面図である。

【図8】本発明の半導体装置の他の実施形態を概略的に示す平面図である。

【図9】本発明の半導体装置の他の実施形態を概略的に示す平面図である。

【図10】本発明の半導体装置の他の実施形態を概略的に示す平面図である。

【図11】本発明の半導体装置の他の実施形態を概略的に示す断面図である。

【図12】本発明の半導体装置の他の実施形態を概略的に示す平面図である。

【図13】本発明の半導体装置の他の実施形態を概略的に示す平面図である。

【図14】アンチフューズ素子として用いられる従来の半導体装置を概略的に示す断面図および平面図である。

50

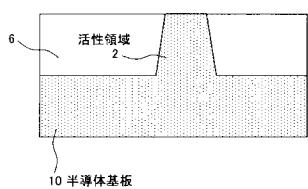
【符号の説明】

【0041】

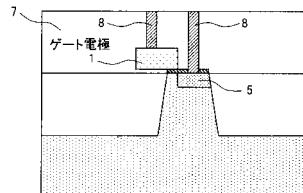
- 1、1a - 1i ゲート電極
 2、2a - 2i 活性領域
 3、3a - 3i オーバーラップ領域
 4、4a ゲート絶縁膜
 8、18a - 18c、28a - 28c コンタクトプラグ
 10 半導体基板
 11、12、13 開口
 14 切り込み部
 21 中央矩形部
 22 延長部
 23、24 切り欠き部

10

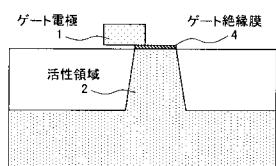
【図2】



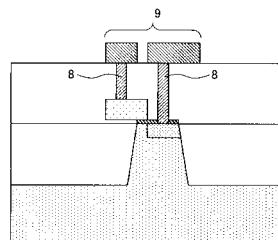
【図5】



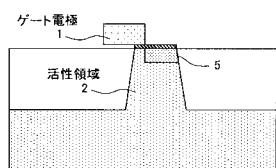
【図3】



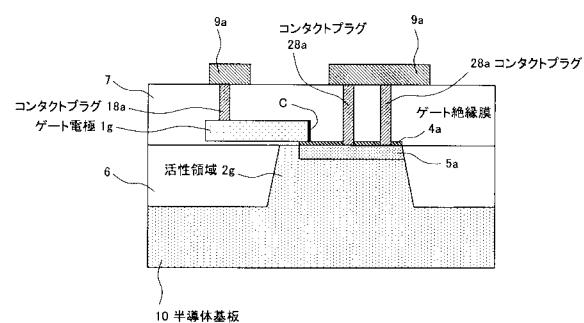
【図6】



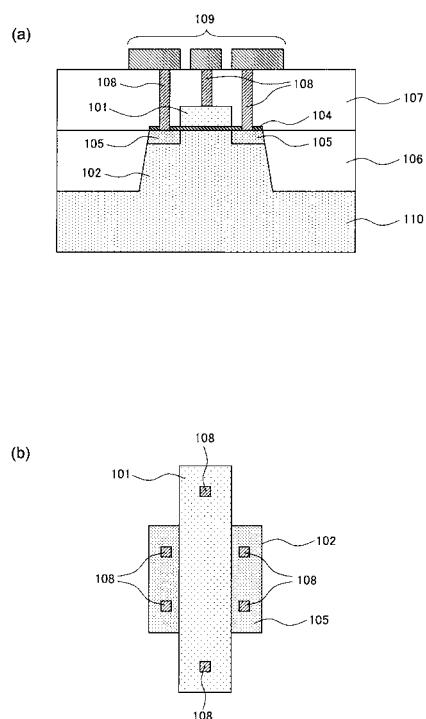
【図4】



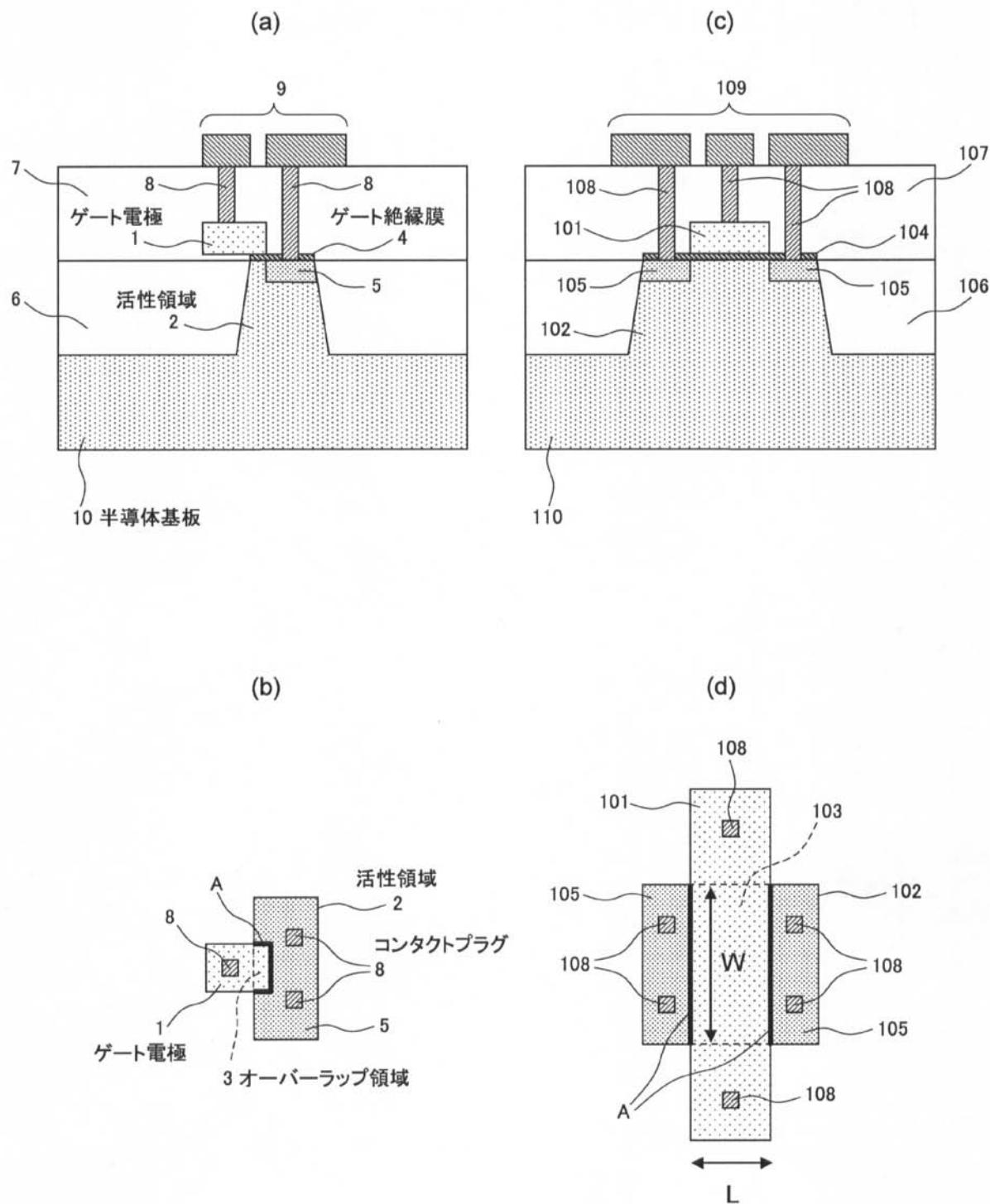
【図 1 1】



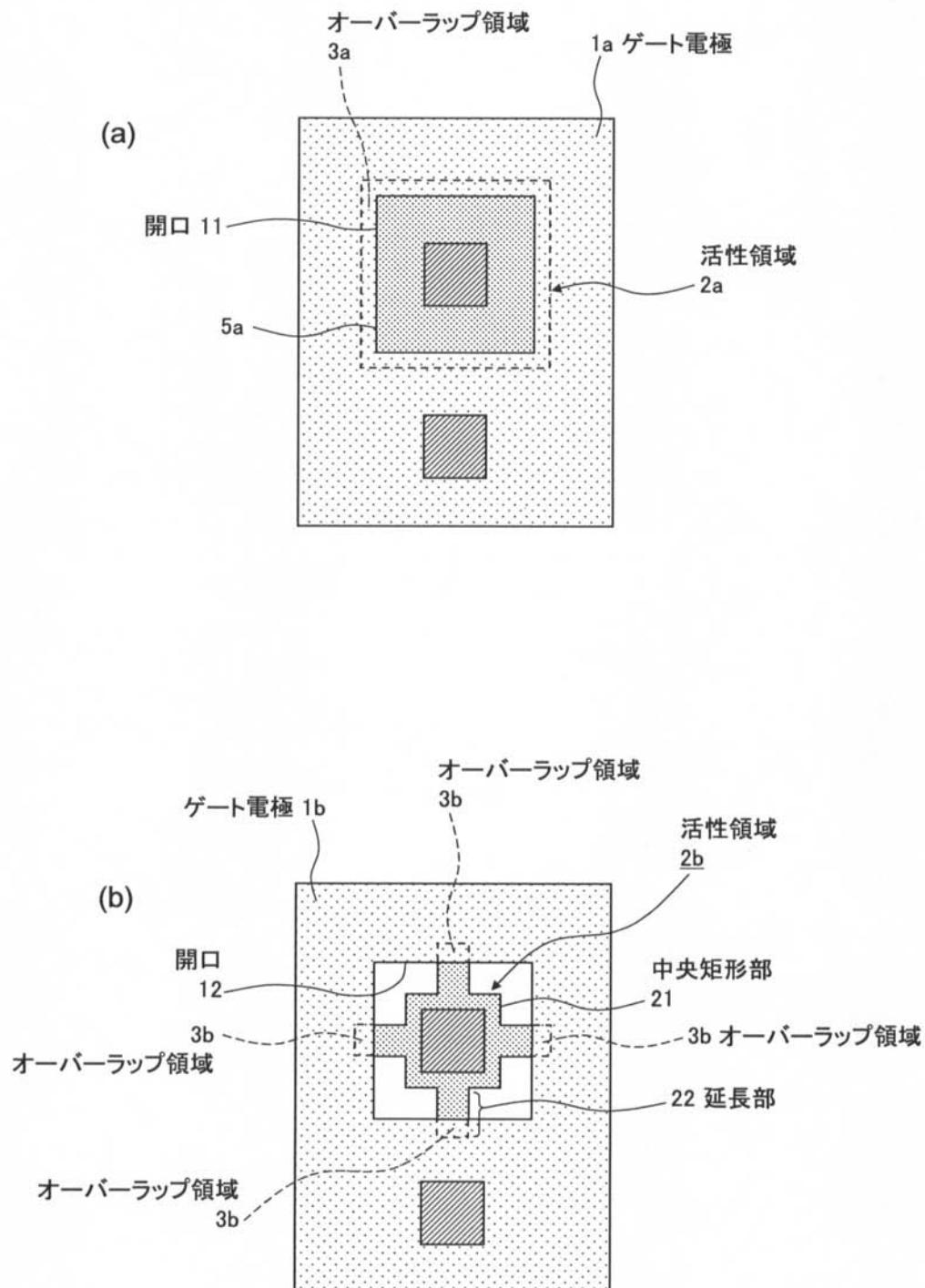
【図 1 4】



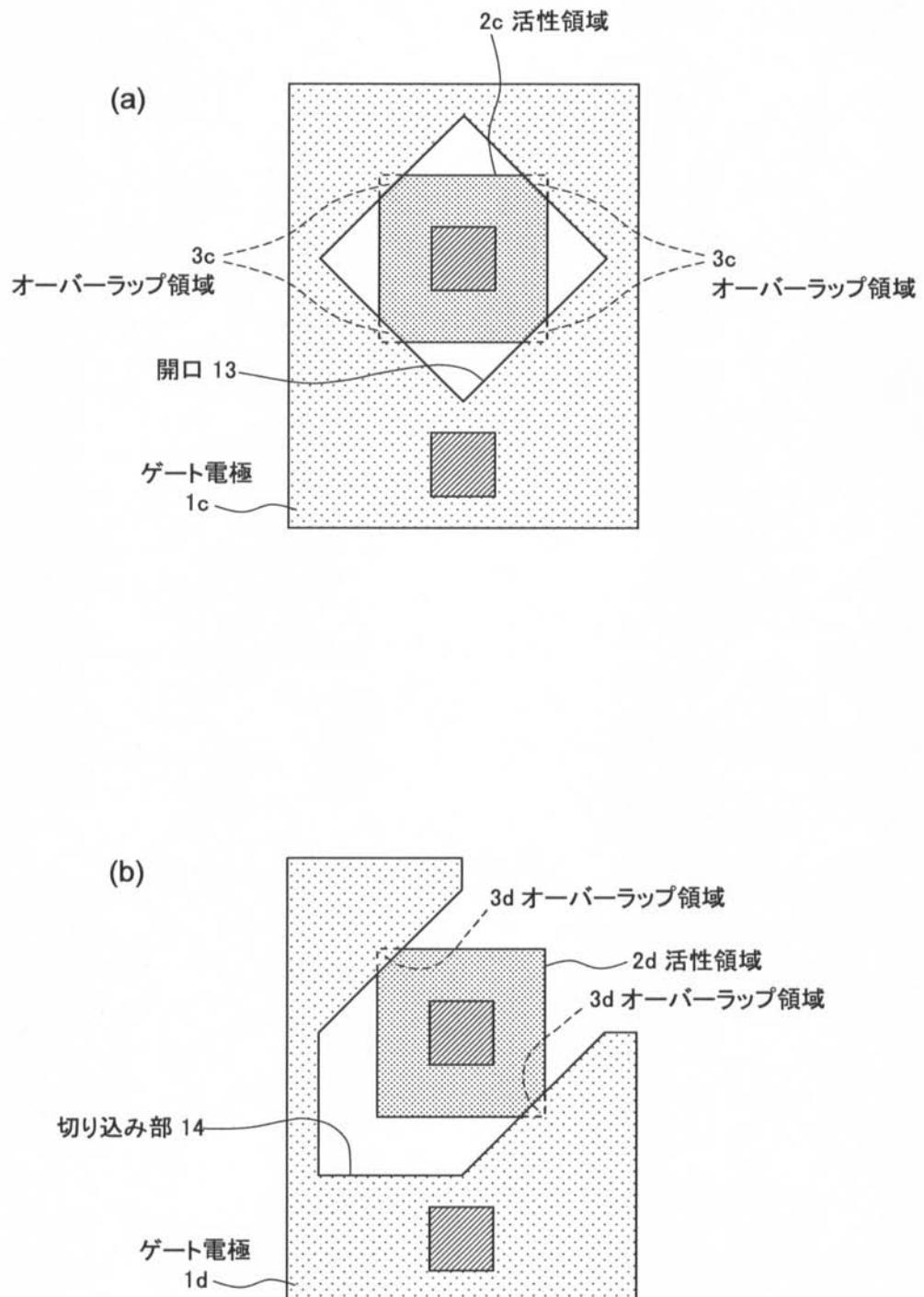
【図1】



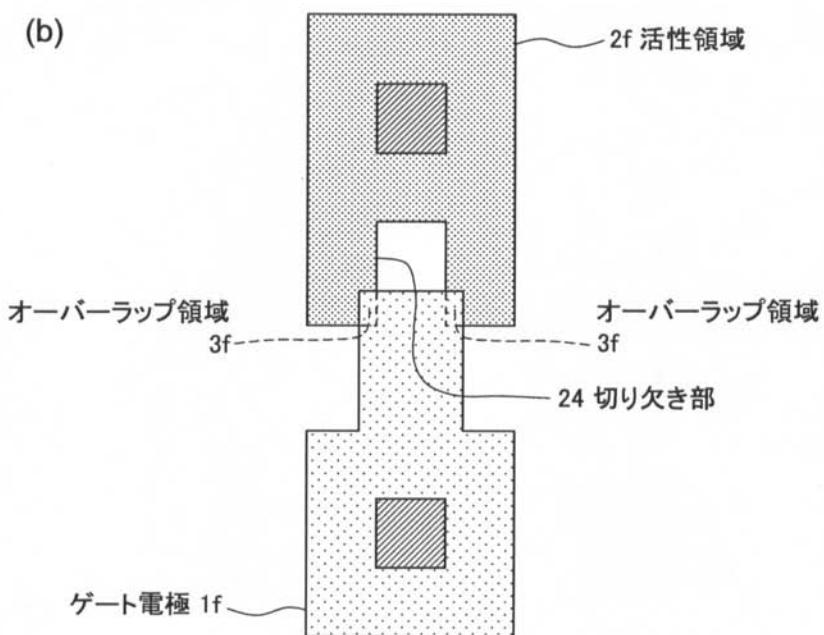
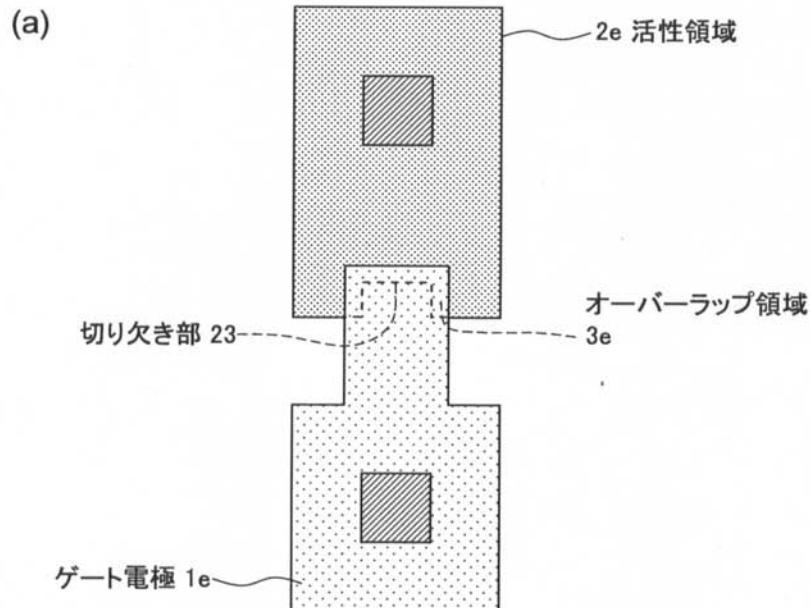
【図7】



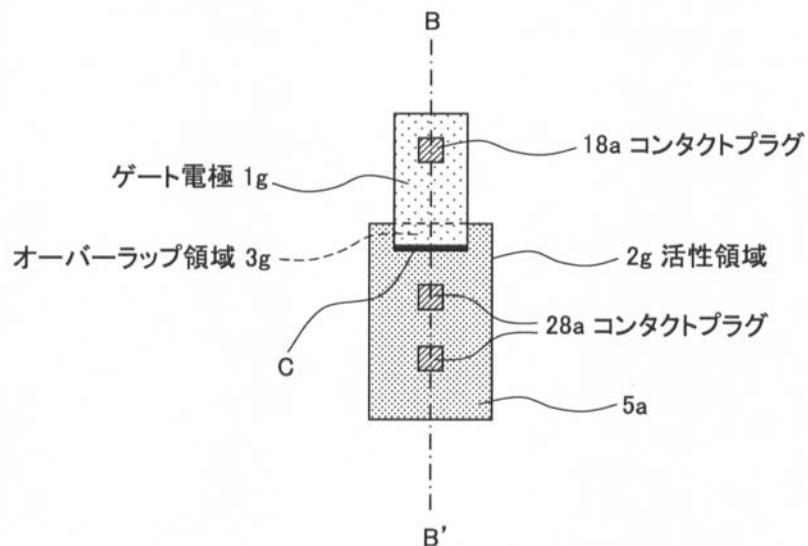
【図 8】



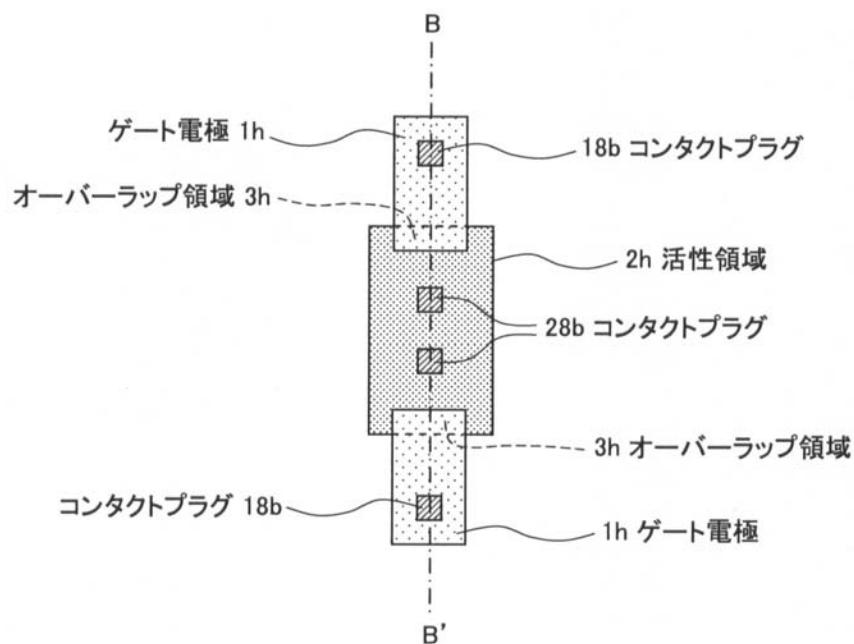
【図9】



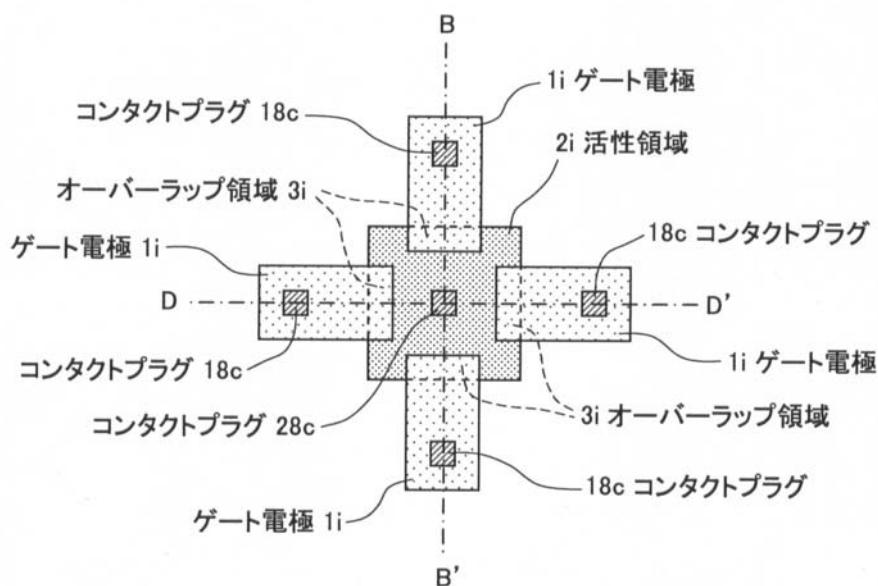
【図 10】



【図 12】



【図 1 3】



フロントページの続き

(72)発明者 中村 暢之

東京都中央区八重洲2 - 2 - 1 エルピーダメモリ株式会社内

F ター&ム(参考) 5F064 CC09 CC12 EE26 EE27 FF02 FF28 FF29 FF34 FF45
5F083 GA09 GA21 GA27 JA35 JA39 MA06 MA19 NA01 PR40 ZA10