

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4409428号
(P4409428)

(45) 発行日 平成22年2月3日(2010.2.3)

(24) 登録日 平成21年11月20日(2009.11.20)

(51) Int.Cl.

F I

H O 1 L 21/822 (2006.01)

H O 1 L 27/04

V

H O 1 L 27/04 (2006.01)

H O 1 L 27/04

C

請求項の数 8 (全 12 頁)

(21) 出願番号 特願2004-518391 (P2004-518391)
 (86) (22) 出願日 平成15年6月12日(2003.6.12)
 (65) 公表番号 特表2005-538533 (P2005-538533A)
 (43) 公表日 平成17年12月15日(2005.12.15)
 (86) 国際出願番号 PCT/DE2003/001956
 (87) 国際公開番号 W02004/006334
 (87) 国際公開日 平成16年1月15日(2004.1.15)
 審査請求日 平成17年1月6日(2005.1.6)
 (31) 優先権主張番号 10230697.4
 (32) 優先日 平成14年7月8日(2002.7.8)
 (33) 優先権主張国 ドイツ(DE)

(73) 特許権者 501209070
 インフィネオン テクノロジーズ アクチ
 エンゲゼルシャフト
 ドイツ連邦共和国 85579 ノイビー
 ベルク アム カンペオン 1-12
 (74) 代理人 100078282
 弁理士 山本 秀策
 (74) 代理人 100062409
 弁理士 安村 高明
 (74) 代理人 100113413
 弁理士 森下 夏樹
 (72) 発明者 フィッシャー, アルミン
 ドイツ国 81825 ミュンヘン, ハ
 ンスヤーコプシュトラーク 107ペー

最終頁に続く

(54) 【発明の名称】 集積キャパシタ構造セット、特に集積グリッドキャパシタ

(57) 【特許請求の範囲】

【請求項 1】

一組の集積キャパシタ構造(10)であって、

同一の幾何学設計に従って生成された少なくとも2つの集積キャパシタ構造(10)であって、該少なくとも2つの集積キャパシタ構造(10)のそれぞれは、第1の端部と、該第1の端部の反対側に位置する第2の端部とを有する回路上有効な主キャパシタ(12)と、2つの端部をそれぞれ有する少なくとも1つの修正キャパシタ(16)と、2つの端部をそれぞれ有する少なくとも1つのさらなる修正キャパシタ(14)とを含む、少なくとも2つの集積キャパシタ構造(10)と、

1つのキャパシタ構造において、該修正キャパシタの一方の端部と、該主キャパシタの該第1の端部のみとの間の導電性アンチヒューズ結合であって、このキャパシタ構造の該主キャパシタの生成の後に生成された導電性アンチヒューズ結合と、

他のキャパシタ構造(10)において、該修正キャパシタ(16)の該一方の端部と、該主キャパシタ(12)の該第1の端部のみとの間の電気絶縁性アンチヒューズ切断(62)であって、該幾何学設計に従って生成された電気絶縁性アンチヒューズ切断(62)と、

該1つのキャパシタ構造(10)において、該さらなる修正キャパシタの一方の端部と、該主キャパシタ(12)の該第2の端部のみとの間のさらなる導電性ヒューズ結合(42)であって、該幾何学設計に従って生成されたさらなる導電性ヒューズ結合(42)と、

10

20

該他のキャパシタ構造において、該さらなる修正キャパシタの該一方の端部と、該主キャパシタの該第2の端部のみとの間のさらなる電気絶縁性ヒューズ切断であって、該他のキャパシタ構造の該主キャパシタの生成の後に生成されたさらなる電気絶縁性ヒューズ切断と

を備える、一組の集積キャパシタ構造(10)。

【請求項2】

前記結合は、局所的な加熱によって生成され、および/または

該結合は、誘電体を貫通する材料ひずみであって、該加熱により生じた材料ひずみを含む、請求項1に記載のキャパシタ構造(10)。

【請求項3】

前記結合を覆う材料は、該結合に通じる切抜き部を含み、

前記切断(62)を覆う材料は、該切断に通じる切抜き部(58)を含み、および/または

該切抜き部は、パッシベーション材料で充填されている、請求項1または2に記載のキャパシタ構造(10)。

【請求項4】

前記さらなる切断は、導電性部分の局所的な加熱および蒸発の結果として生じる、請求項1に記載のキャパシタ構造(10)。

【請求項5】

前記キャパシタ(112~116)の誘電体は、集積された半導体素子への結合の結合部分が位置するメタライズ層間の誘電体の厚さに等しい厚さを有する、請求項1から4のいずれか1項に記載のキャパシタ構造(110)。

【請求項6】

前記キャパシタ(112~116)は、2つより多いメタライズ層内に位置する電極を有し、および/または、

該電極は、全面あるいはグリッド状に形成される、請求項1から5のいずれか1項に記載のキャパシタ構造(110)。

【請求項7】

前記キャパシタ(12~16)の誘電体は、集積された半導体素子への結合の結合部分が位置するメタライズ層間の誘電体の厚さより小さい、好ましくは少なくとも該層間誘電体の厚さの半分より小さい厚さを有する、請求項1から6のいずれか1項に記載のキャパシタ構造(10)。

【請求項8】

前記修正キャパシタ(14, 16; 114, 116)の容量は、前記主キャパシタ(12, 112)の容量の1/3未満、1/10未満、1/100未満、または、1/1000未満に相当する、請求項1から7のいずれか1項に記載のキャパシタ構造(10、110)。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、少なくとも1つの回路上有効な主キャパシタを含む集積キャパシタ構造に関する。

【背景技術】

【0002】

集積構造から、個別の部品をその部品の破壊を伴うことなく互いに機械的に分離することはできない。集積構造の製造技術として、とりわけ層形成方法および層パターンニング方法が使用されている。

【0003】

キャパシタは、その間に誘電体が配置される互いに対向する2つの電極を含む。集積キャパシタの例として：

10

20

30

40

50

- いわゆる、MIMキャパシタ（金属 - 絶縁体 - 金属）、
- サンドイッチキャパシタとも呼ばれるスタックキャパシタ、あるいは
- グリッド（G i t t e r）キャパシタ

がある。

【 0 0 0 4 】

容量は、寄生的である場合、すなわち本来的に不都合である場合のみならず、回路構造の機能として必要とされる場合に、回路上、有効である。例えば、回路上有効なキャパシタは：

- ブロックキャパシタあるいは保護キャパシタ、
- スイッチング回路の一部、
- 充電キャパシタ、あるいは
- デジタル情報の蓄積

として機能する。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

集積形態における、いわゆる、B E O L（B a c k E n d O f L i n e：後工程）容量、あるいはF a r - B E O L容量の製造に際し、容量値のかなりの変動が生じる。この変動は、プロセスの不均衡性に基づく幾何学的相違によって生じる。変動は、1つの半導体基板あるいはウエーハ内で、1つの製造バッチ内で、また異なる製造バッチ内で発生する。容量値が所定の仕様限界を超える場合、いわゆる生産損、あるいは対応する集積回路の歩留まり損さえ生じる。

【 0 0 0 6 】

本発明の課題は、簡易に製造でき、その容量が所定の所望容量に可能な限り近いキャパシタ構造のセットを提供することにある。特に、グリッド（G i t t e r）キャパシタのセットを提供することにある。

【 課題を解決するための手段 】

【 0 0 0 7 】

この課題は、請求項1に提供された特徴を有するキャパシタ構造セットによって解決される。さらなる形態は、従属請求項において提供される。

【 0 0 0 8 】

本発明によるセットは、少なくとも2つの集積キャパシタ構造を含む。少なくとも2つの集積キャパシタ構造は、同一の幾何学設計、あるいはレイアウトによって製造され、かつ各々、回路上有効な主キャパシタと少なくとも1つの修正キャパシタとを含む。1つのキャパシタ構造は、修正キャパシタと主キャパシタとの間の導電性結合を含み、ここで、導電性結合は、このキャパシタ構造の主キャパシタの製造の後に生成される。他のキャパシタ構造は、同一の修正キャパシタと主キャパシタとの間の電気絶縁性切断を含む、ここで、電気絶縁性切断は該幾何学設計によって製造される。

【 0 0 0 9 】

所望容量を得るために、製造されたキャパシタ構造の例えば単に20%が修正されねばならない場合は、修正が単にキャパシタの分離によってのみ実行できる修正手段と比較して、費用は大幅に低減する。すなわち、そのような場合、キャパシタ構造の80%において、キャパシタが局所的に分離されねばならないであろう。

【 0 0 1 0 】

さらなる形態においては、結合が簡易な方法である局所的な加熱によって生成され、そのため、結合周辺の部品は、高い熱負荷から保護される。さらに、簡易な方法である局所的な加熱によって、連続的な結合が生成され得る。局所的な加熱による切断の生成と比較して、局所的な加熱による結合は、より低い温度において実施され得る。そのため、特に半導体基板上において複数の結合を製造する場合、熱負荷が少ない。

【 0 0 1 1 】

局所的な加熱は、例えばレーザー光を用いて実施される。それにより、回路上有効な主キャパシタの容量を、修正キャパシタの並列あるいは直列接続によって増加あるいは減少させる手段が与えられる。この修正手段によって、所定の容量値を有する集積キャパシタ構造が簡易な方法により生産可能となる。

【 0 0 1 2 】

さらなる形態においては、結合は、その間に単に誘電体が配置される互いに分離された2つの導体路部分を含む。導体路部および誘電体の材料は、加熱によって誘電体を貫通する材料ひずみ (V e r w e r f u n g) が生じるように選定される。例えば、ここでは、他の場合においては不都合な「スパイキング」が電気的結合のために利用され得る。他の形態において、誘電体は、加熱によって誘電体の導電性を变化させるドーブ原子を含む。これに関連して、ドーブ原子の活性化も挙げられる。しかしながら、また、アンチヒューズ (A n t i f u s e) と呼ばれる結合製造への手段も存在する。

10

【 0 0 1 3 】

次のさらなる形態においては、回路構造は、主キャパシタから分離されるあるいは主キャパシタに接続される、少なくとも1つのさらなる修正キャパシタを含む。

【 0 0 1 4 】

さらなる形態は、本来同時に生成された集積キャパシタの容量値は所望値の上下に分散する、という考察に由来する。修正は、容量値を増加されるための容量値の修正手段に対して行われる場合であっても、また、容量値を減少されるための容量値の修正手段に対して行われる場合であっても、最小限に制限され得る。さらなる修正キャパシタは、キャパシタが並列接続される上記修正キャパシタと比較して、この第2の修正手段を提供する。

20

【 0 0 1 5 】

さらなる形態においては、さらなる修正キャパシタの分離のためのさらなる切断が、局所的な加熱によって生成される。局所的な加熱は、例えばレーザー光を用いた、あるいはサージ電流を用いた導体路収縮によって実施され得る。

【 0 0 1 6 】

他のさらなる形態においては、キャパシタの誘電体は、メタライズ層間の誘電体によって形成される。メタライズ層には、集積キャパシタ構造の集積半導体素子への接続の接続部分が位置する。メタライズ層間の残された領域内よりキャパシタの領域内に、他の誘電体、例えば高誘電率を有する誘電体を利用し得る。そのようなキャパシタの例として、スタックキャパシタあるいはグリッドキャパシタがある。言い換えれば、キャパシタの電極は2層以上のメタライズ層内に位置する。そのようなキャパシタにおいては、形成の際に、上位のメタライズ層内の電極のみならず、下位のメタライズ層内の電極も、修正によって回路的に分離され、あるいは回路的に追加される。下部電極のための結合要素および切断は、下位メタライズ層内に位置し、そのため、例えば、それに対応してレーザー光用の深い切抜き部が提供される。あるいは、下部電極のための結合要素および切断は、下部のメタライズ層への接続がもたらされる上部のメタライズ層に位置する。

30

【 0 0 1 7 】

他のさらなる形態においては、キャパシタの誘電体は、メタライズ層間の誘電体の厚さよりも実質的に小さい厚さを有する。例えば、そのようなキャパシタはMIMキャパシタである。言い換えれば、キャパシタの少なくとも1つの電極は、メタライズ層の外部に位置する。

40

【 0 0 1 8 】

次のさらなる形態においては、修正キャパシタの容量は、主キャパシタの容量の1/3未満、1/10未満、1/100未満、あるいは1/1000未満である。この処置により、微調整の手段が得られる。そのため、1/1000の領域における修正手段によって、同一の集積された回路構造の2つのキャパシタ構造の容量値は、互いに正確に一致する。これは、同一の応用にとって不可避免的に要求される。

【 0 0 1 9 】

本発明は、特に修正横電極を有するグリッドキャパシタセットに関係する。また、グリ

50

ッドキャパシタの個別の横電極も、製造の際に容量修正の手段を提供する。そのため、上記技術的効果は、特にグリッドキャパシタに有効である。

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施例が添付の図面を参照して説明される。

【0021】

図1は、MIMキャパシタ構造10の平面図を示す。MIMキャパシタ構造10は、電子回路に接続される主キャパシタ12および主キャパシタ12の右に位置する複数の分離可能なキャパシタを含み、その内の1つの分離可能なキャパシタ14のみが示される。より明確にするために、図1には、誘電体は示されていない。

10

【0022】

キャパシタ構造10内において、主キャパシタ12の左に複数の接続可能なキャパシタが位置し、図1には、1つの接続可能なキャパシタ16が示される。キャパシタ(12~16)は、長さ寸法を除いて、同一に形成される。キャパシタ(12, 14あるいは16)は、それぞれ、基板に近い底面電極(18, 20あるいは22)および基板から遠い電極(24, 26あるいは28)を含む。基板に近い底面電極(18, 20あるいは22)は、各々、対応する基板から遠い電極(24, 26あるいは28)より長く、基板から遠い電極(24, 26あるいは28)の両サイドから長手方向に突き出ている。そのため、基板に近い底面電極(18, 20あるいは22)に、垂直に伸びるコンタクト30のための接続領域が生じる。

20

【0023】

主キャパシタ12および分離可能なキャパシタ14は、底面電極(18, 20)間は導体路32によって、また基板から遠い電極(24, 26)間は導体路34によって電氣的に並列に接続される。しかしながら、幾何学的に見ると、分離可能なキャパシタ14は、互いに一列に配置されている。導体路(32, 34)は、上方のメタライズ層内に位置する。導体路(32, 34)を覆う図示されない絶縁材料内において切抜き部(36あるいは38)が、導体路(32, 34)に通じる。主キャパシタ12の容量の修正の際に、切抜き部(36あるいは38)を介して、領域(40あるいは42)がレーザ光を用いて蒸発され得る。その結果、切断が生じる。

【0024】

30

一方、接続可能なキャパシタ16は、底面電極(18, 22)間は導体路52によって、あるいは基板から遠い電極(24, 28)間は導体路54によって、主キャパシタ12に対して電氣的に並列に接続される。しかしながら、幾何学的に見ると、接続可能なキャパシタ16は、互いに一列に配置されている。導体路(52, 54)もまた、上方のメタライズ層内に位置する。

【0025】

切抜き部(56あるいは58)が、図示されない絶縁材料を介して導体路(52, 54)の結合領域(60あるいは62)まで通ずる。結合領域(60, 62)は、いわゆるアンチヒューズを、すなわち、レーザ光の照射によって導体路(52)の部分間、あるいは導体路(54)の部分間に継続的な導電性接続を生成する接続手段を形成する。

40

【0026】

主キャパシタ12は、キャパシタ構造10の長手方向に、分離可能なキャパシタ14の長さ L_b より大きい、あるいは接続可能キャパシタ16の長さ L_c より大きい長さ L_a を有する。そのため、主キャパシタ12の容量 $C(0)$ も、分離可能キャパシタ14の容量 $C_m(I)$ より大きい。ここで、 I は最後の分離可能キャパシタ14を示す自然数である。図示されない分離可能キャパシタは、容量 $C_m(I)$ と等しい $C_m(1)$ から $C_m(I-1)$ までの容量を有する。

【0027】

同様に、主キャパシタ12の容量 $C(0)$ は、接続可能キャパシタ16の容量 $C_p(1)$ より大きい。図1に示されない接続可能なキャパシタは、容量 $C_p(1)$ あるいは容量

50

$C_m(I)$ と等しい $C_p(2)$ から $C_p(N)$ までの容量を有する。ここで、 N は最後の接続可能なキャパシタを示す自然数である。

【0028】

主キャパシタ12の容量の修正は、図5を参照して詳細に説明される。

【0029】

他の実施例においては、主キャパシタ12の右あるいは左に、単に1つの分離可能キャパシタ14あるいは単に1つの接続可能キャパシタ16が存在する。次の実施例においては、主キャパシタ12の右あるいは左に、単に1つのまたは複数の分離可能キャパシタ14あるいは単に1つのまたは複数の接続可能キャパシタ16が存在する。次の実施例においては、キャパシタ構造10の $C_m(1)$ から $C_m(I)$ までの容量は互いに異なる。また、キャパシタ構造10の $C_p(1)$ から $C_p(N)$ までの容量は互いに異なって形成され得る。

【0030】

図2は、グリッドキャパシタ構造110の平面図を示す。グリッドキャパシタ構造110は、電子回路に接続される主キャパシタ112および複数の分離可能キャパシタを含み、その内の1つの分離可能キャパシタ114が図2に示されている。グリッドキャパシタ構造110は、さらに、複数の接続可能キャパシタを含み、図2には、その内の1つの接続可能キャパシタ116が示されている。図2には、主キャパシタ112あるいはキャパシタ114あるいはキャパシタ116の上部電極のみが示されている。その下方に位置するメタライズ層内には、上部電極と同一に走る他の電極が存在する。第1の実施例においては、キャパシタ(112, 114あるいは116)の異なるメタライズ層に位置する電極は、各々互いに、少なくとも垂直コンタクトによって接続されている。キャパシタ(112, 114および116)間の導体路は、上方のメタライズ層にのみ存在する。

【0031】

主キャパシタ112は、上方のメタライズ層内に、その歯が互いにかみ合った2つのくし型電極を含む。縦($l a n g s$)電極118から、例えば同一のパターン寸法で並ぶ4本の横($q u e r$)電極(120から126まで)が分岐する。縦電極118に対向する縦電極128に、該縦電極128に対して横向きに、縦電極118の場合と同様に複数の横電極(130から136まで)、すなわち4本の横電極(130から136まで)が配置されている。4本の横電極(130から136まで)は、横電極(120から126まで)間の中間領域内に伸びる。その結果、電極(120から126)と横電極(130から136)との間に蛇行する中間領域が形成され、その中間領域は誘電体によって充填される。主キャパシタ112の蛇行の長さを、再度 $L a$ とする。

【0032】

分離可能キャパシタおよび接続可能キャパシタは、主キャパシタ112と同様に形成され、しかしながら、各々例えば2本の横電極(150から160まで)が分岐する短い縦電極(140, 142, 144あるいは146)を含む。

【0033】

縦電極118とキャパシタ114の縦電極142との間に、集積回路の上面からの切抜き部164が通じる領域162が位置する。縦電極128とキャパシタ114の縦電極140との間に、集積回路の上面からのさらなる切抜き部168が通じる領域166が位置する。切抜き部(164および166)を介して、レーザ光を用いて、縦電極(118および142)の間において、あるいは縦電極(128および140)の間において、領域(162あるいは164)内に切断が生成され得る。これにより、分離可能キャパシタ114の全体が主キャパシタ112から分離される。さらなる分離可能キャパシタ間においても、切抜き部(174および176)の通じるさらなる領域(170および172)が存在し、その結果、他の場所においても分離され得る。

【0034】

縦電極118と修正キャパシタ116の縦電極146との間に、結合領域180が存在する。縦電極128と修正キャパシタ116の縦電極144との間に、結合領域182が

存在する。切抜き部（１８４あるいは１８６）が、結合領域１８０あるいは結合領域１８２に通じる。切抜き部（１８４あるいは１８６）を介して、結合領域（１８０および１８２）は、レーザ光を用いて局所的に加熱され得る。局所的加熱によって、縦電極１１８と縦電極１４６との間の結合、あるいは縦電極１２８と縦電極１４４との間の結合が生じる。切抜き部（１９４あるいは１９６）が通じるさらなる結合領域（１９０，１９２）を用いて、さらなる接続可能なキャパシタ１１６への導電性接続が生成され得る

主キャパシタ１１２の蛇行は、分離可能キャパシタ１１４の蛇行長 L_b より大きい、あるいは接続可能キャパシタ１１６の蛇行長 L_c より大きい長さ L_a を有する。そのため、主キャパシタ１１２の容量 $C(0)$ は、分離可能キャパシタ１１４の容量 $C_m(I)$ より大きい。さらなる分離可能キャパシタのさらなる $C_m(1)$ から $C_m(I-1)$ までの容量は、容量 $C_m(I)$ と等しい。接続可能キャパシタ１１６の容量 $C_p(1)$ は $C_m(1)$ に等しい。さらなる接続可能キャパシタ１１６の $C_p(2)$ から $C_p(N)$ までの容量は、容量 $C_p(1)$ と等しい。

【００３５】

回路構造１１０の容量の修正は、図５を参照して詳細に説明される。

【００３６】

他の実施例においては、異なるメタライズ層に通じる、例えばその上方あるいはその下方に位置する接続手段あるいは切断手段とオフセットして配置される接続手段あるいは切断手段に通じる切抜き部が存在する。その他の実施例においては、結合領域あるいは切断領域は、下方のメタライズ層に配置された電極に関係するにもかかわらず、上方のメタライズ層内に配置される。さらに、キャパシタ構造１１０の $C_m(1)$ から $C_m(I)$ 、あるいは $C_p(1)$ から $C_p(N)$ までの容量は、互いに異なった容量を有し得る。

【００３７】

図３は、グリッドキャパシタの横（quer）電極２００を示す。横電極２００は、その長さのほぼ３分の１の地点に領域２０２、およびその長さのほぼ３分の２の地点に領域２０４を有する。領域２０２には切抜き部２０６が通じ、領域２０４には切抜き部２０８が通じる。横電極２００が属するグリッドキャパシタの容量の変更の際に、領域２０２内での切断、あるいは領域２０４内での切断が生成される。領域２０２内で切断が生成された場合、横電極２００の単にほぼ３分の１が回路上有効である。それに対して、領域２０４内で切断が生成された場合、横電極２００のほぼ３分の２がなお回路上有効である。領域２０２あるいは領域２０４の選択により、グリッドキャパシタの容量の変更が１０００分の１の範囲においてなされ得る。

【００３８】

横電極２００の長さは、例えば１０マイクロメートル（ μm ）である。その幅は、例えば０．５ μm である。そのため、レーザ光による切断は問題なく可能である。

【００３９】

図４は、切抜き部２２２が通じる横電極２２０を示す。切抜き部２２２は、ほぼ横電極２２０の全長の上方において広がる。そのため、横電極２２０は任意の位置において切断され得る。言い換えれば、切断点は、横電極２２０の長軸に沿って連続的に設置され得る。

【００４０】

横電極（２００および２２０）の他の実施例によれば、結合領域が、切断に機能する領域の代わりに、あるいは切断に機能する領域との組み合わせによって使用される。切断領域あるいは結合領域は、グリッドキャパシタの１つの横電極において、あるいはグリッドキャパシタの複数の横電極において、配置される。

【００４１】

図５は、例えば図１，図２，図３あるいは図４に従う集積キャパシタ構造の容量を修正するための方法工程を示す。本方法の前段階の、設計およびシミュレーションにおいて、集積キャパシタ構造の容量の所望容量にかかる変動が、例えば経験的にあるいはシミュレーション結果に基づいて確定される（方法工程３００参照）。容量変動に依存して、修正

10

20

30

40

50

手段が予め準備される（方法工程 3 0 2 参照）。修正手段は、例えば分離可能キャパシタ、接続可能キャパシタ、分離可能キャパシタ領域、および/または接続可能キャパシタ領域である。方法工程 3 0 2 における修正手段は、予期される容量変動の考慮のもとに、全製造工程において、レーザ光を用いた加熱による切断および結合の生成ができる限り少なくなるように、前もって決定される。

【 0 0 4 2 】

実際の修正方法は方法工程 3 0 4 において開始され、そこでは、ウエーハ処理が終了する（方法工程 3 0 6 参照）。例えば、ウエーハの半導体材料内にトランジスタが生成される。続いてメタライズ層が形成され、その際、キャパシタも生成される。

【 0 0 4 3 】

方法工程 3 0 8 において、測定によって、集積キャパシタ構造の実際の容量、すなわち特に、分離可能キャパシタ（ 1 4 , 1 1 4 ）の容量を伴った主キャパシタ（ 1 2 , 1 1 2 ）の容量が、把握される。

【 0 0 4 4 】

続く方法工程 3 1 0 において、実際容量と所望容量とが比較される。実際容量が所望容量より小さいかあるいは大きい場合は、特に所定の許容範囲より小さいかあるいは大きい場合は、方法工程 3 1 0 の直後に方法工程 3 1 2 が続く。方法工程 3 1 2 において、実際容量が所望容量より大きいかが調べられる。実際容量が所望容量より大きい場合、方法工程 3 1 2 の直後に方法工程 3 1 4 が続く。方法工程 3 1 4 において、レーザ光を用いて、集積キャパシタ構造に切断が生成される。その際、分離可能キャパシタ（ 1 4 , 1 1 4 ）が主キャパシタ（ 1 2 , 1 1 2 ）から分離される。キャパシタ構造の容量は減少する。その他、横電極からの電極の一部の分離も実施される。

【 0 0 4 5 】

それに対して、方法工程 3 1 2 において、実際容量が所望容量より小さいと確定された場合には、方法工程 3 1 2 の直後に方法工程 3 1 6 が続く。方法工程 3 1 6 において、レーザ光を用いて、結合領域が加熱される。それにより、接続可能キャパシタ（ 1 6 , 1 1 6 ）が主キャパシタ（ 1 2 , 1 1 2 ）に、あるいは主領域に追加接続される。その結果、キャパシタ構造の容量は所望容量に向けて増加する。その他、横電極の電極の一部の接続も実施される。

【 0 0 4 6 】

一方、方法工程 3 1 0 において、実際容量と所望容量とが一致すると確定された場合には、直後に方法工程 3 1 8 が続く。方法工程 3 1 8 は、また、方法工程 3 1 4 あるいは方法工程 3 1 6 の後にも実施される。方法工程 3 1 8 において、ウエーハはさらに処理される。その際、とりわけ、レーザ光用の切抜き部を密閉するパッシベーション層が形成される。

【 0 0 4 7 】

さらなる方法工程 3 2 0 において、ウエーハ上に配置された回路は個別に分断され、ハイジング内に収納される。本方法は、方法工程 3 2 2 において終了する。

【 0 0 4 8 】

他の実施例においては、回路の分断後に修正が実施される。例えば、切断領域あるいは結合領域の加熱にはサージ電流が使用される。また、方法工程 3 1 0 および 3 1 2 における問いかけは、他に表現され得る。

【 0 0 4 9 】

提供された方法によって以下の利点が生じる：

- 幾何学的あるいはプロセス変動に起因するキャパシタの変動は、簡易な方法によって後に修正され得る。その結果、歩留まり、あるいは生産性が向上され得る。
- その上さらに、後の修正手段によって、各集積回路に個別に適合する容量が得られる。その結果、特に他の回路素子に適合した容量適合、例えば最適動作点の設定のための容量適合がなされ得る。そのため、これは、他の回路素子がもはや修正できないときに、特に有益である。

10

20

30

40

50

【 0 0 5 0 】

そのため、いわゆるヒューズあるいはアンチヒューズを用いたキャパシタの領域の分離あるいは追加によって、プロセスあるいは幾何学的変動による主キャパシタのパラメータへの影響、特に容量および抵抗への（およびそれによる R C 定数への）影響が、後に修正され得る。

【 0 0 5 1 】

方法工程 3 1 0 から方法工程 3 1 6 までにおける修正の際、以下の式が使用され得る：

$$C_{korr} = C(0) - \text{総和}(C_m(i), i = 1 \sim I1) \\ + \text{総和}(C_p(n), n = 1 \sim N1)$$

ここで、使用された量は、量 I 1 および N 1 を除いて、すでに上記されている。容量 C m を総和する際の添え字 i は、分離された全てのキャパシタが考慮されねばならない。その際、I 1 は、分離された最後のキャパシタを示す。容量 C p を総和する際の添え字は、接続された全てのキャパシタが考慮されねばならない。その際、N 1 は、接続された最後のキャパシタを示す。さらに、キャパシタが接続されたか、あるいは分離されたかに注意を払う必要がある。

10

【 0 0 5 2 】

容量 C m あるいは容量 C p が全て等しい場合には、総和に代えて、分離されたあるいは接続されたキャパシタの数を示す因数によって積算され得る。

【 0 0 5 3 】

容量変動の確定の際に、以下の平面キャパシタに有効な関係が使用し得る：

$$C = \varepsilon_0 \cdot \varepsilon_r \cdot A_{eff} / D_{eff}$$

ここで、 ε_0 、 ε_r は対応する誘電率を示し、 A_{eff} は有効電極面積を示し、 D_{eff} は有効電極間隔を示す。このとき、面積の変動 ΔA_{eff} あるいは間隔の変動 ΔD_{eff} は、容量の変動を：

$$\Delta C = \Delta A_{eff} / A_{eff} \quad \text{あるいは} \quad \Delta C = \Delta D_{eff} / D_{eff}$$

によって制限する。

20

【 0 0 5 4 】

第 1 の近似値において、有効電極面積は：

- a) M I M キャパシタにおいては：オーバーラップする電極の面積、
 - b) サンドイッチキャパシタにおいては：金属電極の面積、
 - c) グリッドキャパシタにおいては：導体路の、長さ L および厚さ T から生じる側面積、
- に対応する。

30

【 0 0 5 5 】

有効電極間隔は：

- a) M I M キャパシタにおいては：メタライズ層間の誘電体とは異なる誘電体の厚さ、
- b) サンドイッチキャパシタにおいては：金属間 (I n t e r m e t a l l) 誘電体の厚さ、
- c) グリッドキャパシタにおいては：金属内 (I n t r a m e t a l l) 誘電体の、すなわち、いわゆるスペーシングの厚さ、に対応する。

【 0 0 5 6 】

他の影響因子は、例えば、グリッドキャパシタの場合、角の形成がある。この影響量は、少なくとも測定技術的に把握され、そのため考慮され得る。

40

【 0 0 5 7 】

容量の変動は、以下の、プロセスに制限される原因を有する：

- a) M I M キャパシタにおいては：例えば、ウエーハ上方での不均一な堆積レートによる、あるいは下部電極の均一でない粗さによる M I M 誘電体の厚さ内の変動。
- b) サンドイッチキャパシタにおいては：金属間誘電体の厚さの変動、例えば、研磨の不均一性、あるいはウエーハ上方でのエッチング深さの変動による厚さ変動。
- c) グリッドキャパシタにおいては：金属内誘電体の厚さの変化によって制限される電極間隔の変動、例えば、アルミニウムを使用する場合のリソグラフィ、R I E (反応性イオ

50

ンエッチング)パターニングによる、あるいは銅を使用する場合のトレンチエッチングによる電極間隔の変動。さらなる原因は、導电路の厚さの変化による、あるいは銅を使用する場合のCMP(化学機械的研磨)変動、いわゆるディッシング、非直角なトレンチ形成による、あるいは不均一な堆積レートによる電極面積の変動である。

【0058】

MIMキャパシタあるいはサンドイッチキャパシタの場合には、容量は、電極のM個の面積セグメントによる直接の分離あるいは接続によって修正される：

$$A = A_0 \pm \text{総和}(A_i, i = 1 \sim M),$$

ここで、 A_0 は修正不可能な基本電極面積、Mは自然数、 A_i は分離可能なあるいは接続可能な個別の面積要素である。分離可能な面積要素に対してはマイナス符号が有効であり、接続可能な面積要素に対してはプラス符号が有効である。

10

【0059】

グリッドコンデンの場合には、電極面積Aは、導体路の長さLを介して設定される： $A = L \cdot T$ 、ここで、Tは、キャパシタ構造内部での平均的な導体路の厚さである。M個の導体路セグメントの分離あるいは接続によって、例えば電極のn個の個別セグメント L_i が修正される：

$$L = L_0 \pm \text{総和}(L_i, i = 1 \sim M),$$

ここで、 L_0 は修正不可能な基本電極長、Mは自然数、 L_i は分離可能なあるいは接続可能な個別の導体路セグメントを示す。分離可能な導体路セグメントに対してはマイナス符号が有効であり、接続可能な導体路セグメントに対してはプラス符号が有効である。

20

【図面の簡単な説明】

【0060】

【図1】MIMキャパシタ構造の平面図である。

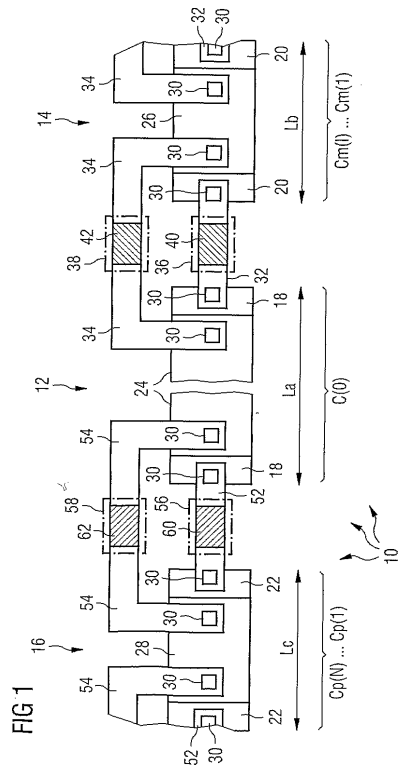
【図2】グリッドキャパシタ構造の平面図である。

【図3】グリッドキャパシタの2つの切断手段を有する横電極を示す。

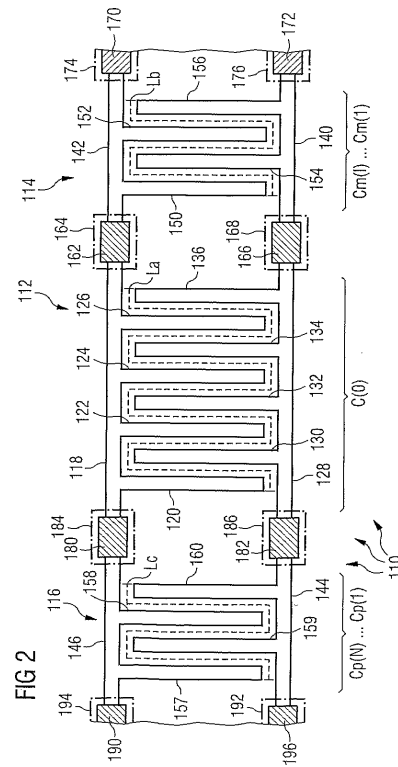
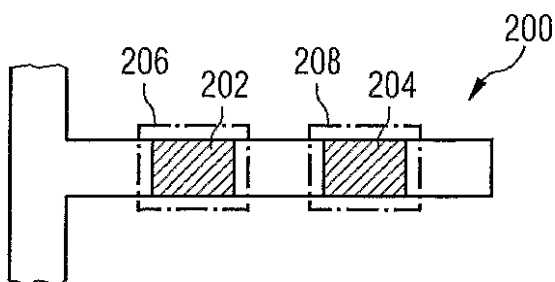
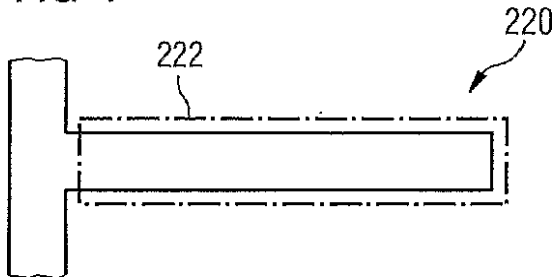
【図4】グリッドキャパシタの連続的な切断手段を有する横電極を示す。

【図5】集積キャパシタの容量修正のための方法工程を示す。

【図 1】

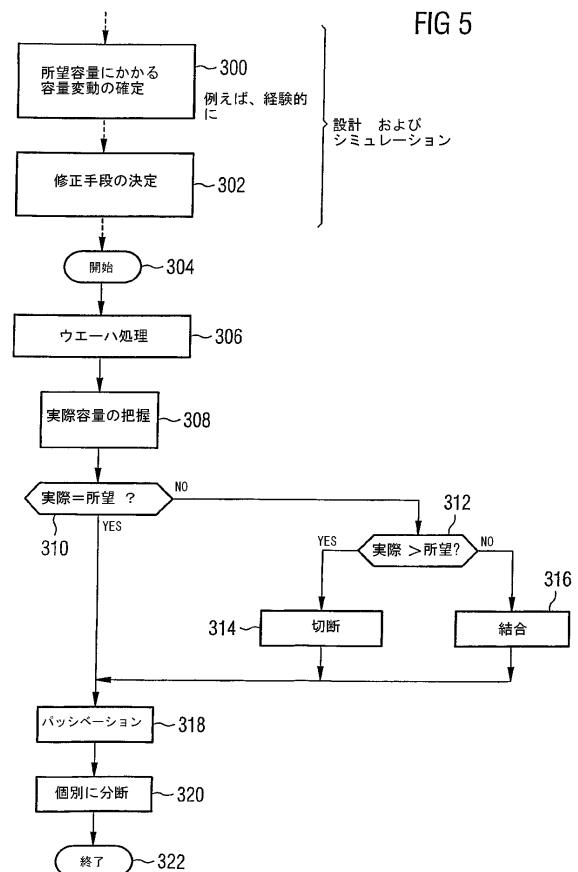


【図 2】

【図 3】
FIG 3【図 4】
FIG 4

【図 5】

FIG 5



フロントページの続き

(72)発明者 ウンガー, フランツ

ドイツ国 8 5 2 3 2 ウンターバッヒェルン, ルートヴィヒ - トーマ - シュトラーセ 6 0

審査官 棚田 一也

(56)参考文献 特開昭 5 8 - 0 2 8 8 2 1 (J P , A)

特開昭 6 3 - 0 4 1 0 4 7 (J P , A)

特開昭 6 2 - 1 5 5 5 3 6 (J P , A)

(58)調査した分野(Int.Cl., D B 名)

H01L 21/822

H01L 27/04