

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H04N 9/73

(11) 공개번호 특2000-0035545
(43) 공개일자 2000년06월26일

(21) 출원번호	10-1999-0051232
(22) 출원일자	1999년11월18일
(30) 우선권 주장	98-328064 1998년11월18일 일본(JP) 99-046384 1999년02월24일 일본(JP)
(71) 출원인	가부시끼가이샤 도시바 니시무로 타이조
(72) 발명자	일본국 가나가와켄 가와사끼시 사이와이쿠 호리가와쵸 72반지 다고모리레이지 일본가나가와켄가와사끼시사이와이쿠호리카와쵸580-1가부시끼가이샤도시바반 도체시스템기술센터내 하라겐지 일본가나가와켄가와사끼시사이와이쿠호리카와쵸580-1가부시끼가이샤도시바반 도체시스템기술센터내 스미요시하지메 일본도쿄도미나토쿠신바시3-3-9도시바에이브이이가부시끼가이샤나이 김성택, 나영환
(74) 대리인	김성택, 나영환

심사청구 : 있음

(54) 컬러 영상 디스플레이의 자동 화이트 밸런스 조절 회로

요약

본 발명에 따르면, 최소한 하나의 캐소드 전극을 구비한 컬러 영상 디스플레이 튜브의 화이트 밸런스를 자동으로 조절하는 자동 화이트 밸런스 조절 회로는 수직 귀선소거 기간을 갖는 컬러 비디오 신호 및 최소한 하나의 기준 신호를 수신하고 컬러 비디오 신호를 선택하고 수직 귀선소거 기간의 일부 기간 동안 최소한 하나의 기준 신호를 선택 및 출력하는 셀렉터 회로, 이 셀렉터 회로로부터 출력된 신호를 수신하고 제어 신호에 따라 그 신호의 DC 레벨 및 AC 진폭 중 최소한 하나를 조절하고 이 조절된 신호를 출력하는 조절 회로, 이 조절 회로의 출력 신호를 수신하고 이 출력 신호에 따라 컬러 영상 디스플레이 튜브의 최소한 하나의 캐소드 전극에 제공되는 구동 신호를 출력하는 구동 회로, 컬러 영상 디스플레이 튜브에 접속되어 그 컬러 영상 디스플레이 튜브의 캐소드 전극을 흐르는 전류에 따른 전압을 검출하는 검출기 회로, 이 검출기 회로로 검출된 전압을 수신하여 이 전압을 홀딩하는 제1 전압 홀드 회로, 상기 셀렉터 회로에 의해 기준 신호가 선택되는 기간 동안 상기 검출기 회로로 검출된 전압 및 컬러 비디오 신호 및 기준 신호 중 어느 것도 선택되지 않는 기간 동안 상기 제1 전압 홀드 회로에 의해 홀딩된 전압을 수신하고, 이 전압들간의 전압차(voltage in difference)를 얻는 산술 회로, 상기 산술 회로로 얻어진 전압차를 수신하고 이 전압차를 기준 전압과 비교하고 이 비교 결과에 따라 조절 회로의 동작을 제어하는 조절 신호를 발생하는 비교기 회로를 포함한다.

대표도

도4

명세서

도면의 간단한 설명

도 1은 종래 AKB(Automatic Kine Bias) 회로의 예를 도시한 블록도.

도 2는 도 1에 도시된 종래 AKB 회로 내의 검출된 캐소드 전류 및 기준 전압간의 비교와 연관된 회로 부분을 도시한 블록도.

도 3은 도 1에 도시된 것과 상이한 종래 AKB 회로 내의 검출된 캐소드 전류 및 기준 전압간의 비교와 연관된 회로 부분을 도시한 블록도.

도 4는 본 발명의 제1 실시예에 따른 AKB 회로의 전체 구성을 도시한 블록도.

도 5는 복수 개의 제어 회로의 R 축의 컷오프 조절 회로의 동작을 제어하는 하나의 제어 회로의 내부 구성을 전류 검출용 레지스터와 함께 도시한 회로도.

도 6은 도 4의 실시예의 구체화된 회로의 동작을 나타내는 타이밍도.

- 도 7은 본 발명의 제2 실시예에 따른 AKB 회로의 주요부의 구성을 도시한 회로도.
- 도 8은 본 발명의 제3 실시예에 따른 AKB 회로의 주요부의 구성을 도시한 회로도.
- 도 9는 본 발명의 제4 실시예에 따른 AKB 회로의 주요부의 구성을 도시한 회로도.
- 도 10은 본 발명의 제5 실시예에 따른 AKB 회로의 전체 구성을 도시한 회로 블록도.
- 도 11은 도 10의 실시예의 회로 동작을 나타내는 타이밍도.
- 도 12는 본 발명의 제6 실시예에 따른 AKB 회로의 전체 구성을 도시한 회로 블록도.
- 도 13은 도 12의 회로의 동작을 나타내는 타이밍도.
- 도 14는 본 발명의 제7 실시예에 따른 AKB 회로의 전체 구성을 도시한 회로 블록도.
- 도 15는 본 발명의 제8 실시예에 따른 AKB 회로의 전체 구성을 나타내는 회로 블록도.
- 도 16은 도 15의 실시예의 회로 동작을 나타내는 타이밍도.
- 도 17은 본 발명의 제9 실시예에 따른 AKB 회로의 전체 구성을 나타내는 회로 블록도.
- 도 18은 본 발명의 제10 실시예에 따른 AKB 회로의 주요부의 전체 구성을 나타내는 회로도.
- 도 19는 본 발명의 제11 실시예에 따른 AKB 회로의 주요부의 전체 구성을 나타내는 회로도.
- 도 20a 및 도 20b는 전류 검출기 회로 내의 두 기준 전압(V_{refH} , V_{refL}) 및 변환 전압(VIK)간의 관계를 나타내는 도면.
- 도 21은 CRT 캐소드 전압 및 캐소드 전류간의 관계를 나타내는 특성도.
- 도 22는 본 발명의 제12 실시예에 따른 AKB 회로의 주요부의 구성을 도시한 회로도.
- 도 23은 도 22의 실시 회로 내의 두 기준 전압(V_{refH} , V_{refL}) 및 변환 전압(VIK)간의 관계를 나타내는 도면.
- 도 24는 도 15에 도시된 제8 실시예에 따른 AKB 회로를 다시 도시한 블록도.
- 도 25는 도 24의 회로에 사용된 신호의 타이밍도.
- 도 26은 본 발명의 제13 실시예에 따른 AKB 회로의 전체 구성을 도시한 블록도.
- 도 27a, 도 27b 및 도 27c는 도 26의 실시 회로와 연관된 전류 검출기 회로 내의 검출된 전류의 여러 수렴 상태를 나타내는 도면.
- 도 28은 메모리 데이터가 수렴하지 않고 진동하고 있는 상태를 나타내는 도면.
- 도 29는 본 발명의 제14 실시예에 따른 AKB 회로의 전체 구성을 도시한 블록도.
- 도 30은 본 발명의 제14 실시예에 따른 회로의 제어예를 나타내는 흐름도.
- 도 31은 도 29의 회로의 상세한 회로 구성을 부분적으로 도시한 도면.
- 도 32는 도 29의 회로의 상세한 회로 구성을 부분적으로 도시한 도면.
- 도 33은 도 29의 회로의 상세한 회로 구성을 부분적으로 도시한 도면.
- 도 34는 도 31 및 도 33의 회로에 사용될 전체 기준 전압들간의 관계를 나타낸 도면.
- 도 35는 본 발명의 제15 실시예에 따른 AKB 회로의 전체 회로 구성을 도시한 블록도.
- 도 36은 본 발명의 제15 실시예에 따른 회로의 제어예를 나타내는 흐름도.
- 도 37은 도 35의 회로의 상세한 회로 구성을 부분적으로 도시한 도면.
- 도 38은 본 발명의 제16 실시예에 따른 AKB 회로의 전체 회로 구성을 도시한 블록도.
- 도 39는 본 발명의 제16 실시예에 따른 회로의 제어예를 나타내는 흐름도.
- 도 40은 본 발명의 제16 실시예에서 D/A 변환기의 변환 전압이 최종적으로 최적의 값에서 수렴하는 상태를 나타내는 도면.
- 도 41은 본 발명의 제17 실시예에 따른 AKB 회로의 전체 회로 구성을 나타내는 도면.
- 도 42는 본 발명의 제17 실시예에 따른 회로의 제어예를 나타내는 흐름도.
- 도 43은 본 발명의 제18 실시예에 따른 AKB 회로의 전체 회로 구성을 도시한 블록도.
- 도 44는 본 발명의 제18 실시예에 따른 회로의 제어예를 나타내는 흐름도.
- 도 45는 본 발명의 제19 실시예에 따른 AKB 회로의 전체 회로 구성을 나타내는 블록도.
- 도 46은 도 45의 실시 회로에 사용되는 클럭 신호의 타이밍도.
- 도 47은 본 발명의 제19 실시예에 따른 회로의 제어예를 나타내는 흐름도.
- 도 48은 본 발명의 제19 실시예에 따른 회로의 또 다른 제어예를 나타내는 흐름도.

도 49는 본 발명의 제20 실시예에 따른 AKB 회로의 전체 회로 구성을 나타내는 블록도.

도 50은 본 발명의 제20 실시예에 따른 회로의 제어예를 나타내는 흐름도.

도 51은 본 발명의 제21 실시예에 따른 AKB 회로의 전체 회로 구성을 나타내는 블록도.

도면의 주요 부분에 대한 부호의 설명

1, 2, 3 : 스위치 회로

4, 5, 6 : 구동 이득 조절 회로

7, 8, 9 : 컷오프 조절 회로

10, 11, 12 : 구동 회로

13, 14, 15 : 출력 트랜지스터

16 : CRT

51, 52, 53 : 귀선소거 회로

62 : 샘플 홀드 회로

64 : 비교기 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 텔레비전 수신기 또는 모니터 장치의 화이트 밸런스(white balance)를 자동적으로 조절하는 자동 화이트 밸런스 조절 회로에 관한 것이다.

텔레비전 수신기 또는 모니터 장치에 있어서, 백색 귀선소거 기간이 입력될 때에는 음극선관(이하 CRT라 지칭함)에서 소정의 색 온도가 재생되어야만 한다. 통상적으로, CRT의 출력광 R(적색), G(녹색) 및 B(청색)는 각 캐소드(cathode) 전류에 따라 결정된다. 그러나 캐소드 전압에 대한 캐소드 전류의 특성은 CRT에 따라 상이하다. 따라서, 소정의 색 온도를 재생하기 위해서는 CRT에 의한 R, G 및 B간의 캐소드 전류의 비율을 조절해야 한다.

통상적으로, CRT 스크린은 텔레비전 카메라 등으로 모니터링(monitoring)되어 그 화이트 밸런스 상태가 검출되고, 이 검출된 값은 이 값과 소정의 기준값을 비교하는 조절 작업을 행하도록 컴퓨터 시스템 또는 서비스 담당자에게 귀환되어, 그 비교값에 따라 각 출력 R, G 및 B의 이득 및 DC 전압 레벨이 조절된다. 또한, 이 조절 작업 동안에, DC 전압 레벨 조절 회로에 가변 저항을 제공하고 이득 조절 회로를 수동으로 조절하거나 저장 회로에 저장된 조절 데이터를 데이터 버스를 통해 재기록한다.

그러나, 전술한 종래 방법에 있어서는, 조절 위치에서 산업용 텔레비전 카메라, 조절 작업용 컴퓨터 시스템 또는 서비스 담당자가 요구된다. 따라서, 화이트 밸런스 특성이 자기 조절될 수 없어 텔레비전 수신기 또는 모니터 장치의 적재 후 시간의 경과로 CRT의 변화가 뒤따른다.

최근들어, 이러한 조절을 자동으로 수행하는 오토매틱 키네 바이어스(Automatic Kine Bias; AKB) 회로가 사용되고 있다. 이 회로에 있어서는, 비디오 신호의 수직 귀선소거 기간 동안 귀선소거 기간이 입력되고, 이 시간에 CRT의 캐소드 전류를 검출하고, 이 검출된 값을 사용하여 화이트 밸런스를 자동으로 조절한다.

도 1은 이러한 AKB 회로의 종래 회로의 예를 도시하고 있다. 화이트 밸런스는 각 R, G 및 B 축 상의 컷오프(cutoff) 레벨(DC 전압 제법) 및 구동 이득(AC 진폭)을 설정함으로써 조절된다. 특히, 특정 기간 동안에 그 컷오프 레벨은 비디오 신호를 대체하는 기준 신호 1(블랙 레벨)을 사용하여 조절되고, 이와 유사하게 구동 이득은 기준 신호 1 위에 중첩되지 않는 기간 동안에 비디오 신호를 대체하는 기준 신호 2(화이트 레벨)를 사용하여 조절된다. 이 두 블랙 레벨 및 화이트 레벨을 조절하여, 개별적인 입력 신호 및 각 R, G 및 B 축의 캐소드 전류를 동일하게 설정한다.

이제, 도 1의 AKB 회로를 구체적으로 설명한다.

스위치 회로(1, 2, 3) 각각은 R, G 및 B 신호, 기준 신호 1(블랙 레벨) 및 기준 신호 2(화이트 레벨) 중 하나를 선택하여 출력한다. 기준 신호 1 및 2를 선택하는 기간은 수직 귀선소거 기간이지만, 수직 귀환 기간, 즉 일반적으로 오버스캐닝(overscanning)되어 사용자에게 보이지 않게 되는 기간의 일부는 아니다. 기준 블랙 레벨에 해당하는 기준 신호 1의 레벨은, 예컨대 약 3 IRE 내지 약 5 IRE(백색 신호의 최고치는 100 IRE임)이고, 기준 화이트 레벨에 해당하는 기준 신호 2의 레벨은, 예컨대 약 30 IRE 내지 약 50 IRE이다.

또한, 상기 R, G 및 B 신호는 3 개의 주요 색 구동 내의 각 R, G 및 B 축의 주요 색 신호이고, 이 주요 신호의 휘도, 색조 등은 미리 제어된다.

각각 이득 제어 증폭기로 구성된 구동 이득 조절 회로(4, 5, 6)는 스위치 회로(1, 2, 3)로부터 출력된 각 신호에 대한 구동 이득의 조절, 즉 AC 진폭의 조절을 수행한다. 또한, 각각 클램프(clamp) 회로로 구성된 컷오프 조절 회로(7, 8, 9)는, 예컨대 각 구동 이득 조절 회로(4, 5, 6)로부터의 신호 출력의 DC 레벨의 조절(예컨대, 클램핑)을 수행한다. 컷오프 조절 회로(7, 8, 9)의 출력은 각각 개별적인 구동 회로(10, 11, 12)를 거쳐 출력 트랜지스터(PNP 트랜지스터)(13, 14, 15)의 베이스(base)에 제공된다. 이 트랜지스터

(13, 14, 15)의 에미터(emitter)는 각각 CRT(16)의 R, G 및 B 축의 캐소드 전극에 접속된다. 이 트랜지스터(13, 14, 15)는 구동 회로(10, 11, 12)의 출력에 의해 구동되어, 전류가 CRT(16)의 R, G 및 B의 캐소드 전극을 흐르고, CRT(16)가 디스플레이되도록 구동된다.

상기 각 트랜지스터(13, 14, 15)의 콜렉터(collector)에는 각 캐소드 전극을 흐르는 전류를 전압으로 변환하는 저항(17, 18, 19)이 각각 접속된다. 이 저항(17, 18, 19) 내에서의 전압 강하는 각각 샘플 홀드 회로(sample hold circuit)(S/H)에서 각각 샘플링된다. 이 샘플 홀드 회로(20, 21, 22)는 특정 기간, 예컨대 1 H(1 수평 기간) 동안 캐소드 전류에 비례하는 전압을 샘플링한다. 이 샘플링된 전압은 각각 블랙 레벨을 홀딩(holding)하는 커패시터(23, 24, 25) 및 화이트 레벨을 홀딩하는 커패시터(26, 27, 28)에 의해 홀딩된다.

상기 커패시터(23, 24, 25)에 의해 홀딩된 전압은 비교기 회로(29, 30, 31)의 기준 블랙 레벨에 해당하는 기준 전압과 각각 비교된다. 기준 전압은 기준 전압원(32)으로부터 출력된다. 이 비교기 회로(29, 30, 31)의 비교 결과는 각각 컷오프 조절 회로(7, 8, 9)에 제공되고, DC 레벨은 각 R, G 및 B 축에 의해 조절된다.

상기 커패시터(26, 27, 28)에 의해 홀딩된 전압은 비교기 회로(33, 34, 35)의 기준 화이트 레벨에 해당하는 기준 전압과 각각 비교된다. 기준 전압은 기준 전압원(36)으로부터 출력된다. 이 비교기 회로(33, 34, 35)의 비교 결과는 각각 구동 이득 조절 회로(4, 5, 6)에 제공되고, AC 진폭은 각 R, G 및 B 축에 의해 조절된다.

도 1에 도시된 AKB 회로에 있어서, 각 R, G 및 B 축에 의한 AC 진폭의 조절 동작 및 DC 레벨의 조절 동작은 각각 구동 이득 조절 회로(4, 5, 6), 컷오프 조절 회로(7, 8, 9), 구동 회로(10, 11, 12), 트랜지스터(13, 14, 15), 샘플 홀드 회로(20, 21, 22) 및 비교기 회로(29 내지 35)로 구성된 부귀환 루프에 의해 제어된다. 각 비교기 회로(29 내지 31, 33 내지 35)의 두 입력 단자 모두의 전압이 서로 동일할 때에는 상기 각 부귀환 루프의 동작은 안정된다. 각 귀환 루프의 동작이 안정할 때에 기준 신호에 대한 각 R, G 및 B 축간의 캐소드 전류의 비율은 동일하게 설정된다.

한편, 도 1에 도시된 종래 AKB 회로에 있어서, 키라인(keyline) 기간 동안 캐소드 전류를 변환시킴으로써 얻어진 전압을 홀딩하기 위해서는 샘플 홀드 회로(20 내지 22)에 커패시터(23 내지 28)가 필요하다. 이 키라인 기간이 1 V(1 수직 기간, 약 17 mS)이므로, 상기 커패시터는 상대적으로 큰 커패시턴스를 필요로 하고, 약 수 μF 내지 10 μF 을 사용한다.

결과적으로, 집적된 AKB 회로는 상기 커패시터를 집적 회로로 통합시킬 수 없으며, 집적 회로 외부에 제공되어야 한다. 또한, 집적 회로는 이 커패시터를 회로 외부에 제공하는 전용 외부 단자를 제공해야 하고, 집적 회로 크기의 증가는 피할 수 없다.

한편, CRT에 있어서, 캐소드 전압이 제공되지 않고 디스플레이 스크린이 완전히 검은 상태가 되더라도, 누수 전류가 캐소드 전극을 흐를 것이다. 따라서, 이 경우 캐소드 전류를 변환함으로써 얻어지는 전압은 0 V가 아니고, 이 누수 전류로 인한 전압이 샘플 홀드 회로(20 내지 22)의 커패시터(23 내지 28)의 홀드 전압에 부가된다.

도 2는 R 축의 캐소드 전류를 검출하고 검출된 전류를 전압으로 변환하는 저항(17) 및 이 저항(17)에 의해 변환된 전압과 기준 블랙 레벨에 해당하는 기준 전압을 비교하는 비교기 회로(29)를 도시한 회로도이다.

기준 신호 입력 동안에, 이 기준 신호에 해당하는 캐소드 전류(I_k)에 부가하여 누수 전류($I_{\text{누수}}$)가 캐소드 전극을 흐른다. 따라서, 전류 검출용 저항(17)에서 $V_{1k} = R \times (I_k + I_{\text{누수}})$ [R은 저항(17)의 저항값임]의 전압 강하가 발생한다.

즉, 저항(17)에서 누수 전류로 인한 전압 강하가 발생하여, 종종 최적의 컷오프 또는 구동 이득을 얻을 수 없다.

또한, 누수 전류의 값이 3 개의 축 R, G 및 B간에 상이하면, 정확한 화이트 밸런스를 얻을 수 없다는 문제점이 발생한다.

누수 전류로 인해 화이트 밸런스가 변이되는 문제점을 해결하기 위한 방법으로, 도 3에 도시된 회로가 통상적으로 설계되었다. 이 회로에서, 수직 귀선소거 기간 동안 캐소드 전류(I_k)를 클램핑하는 클램프 회로(41)를 도 2에 도시한 회로에 첨가하였다.

이 클램프 회로(41)는 클램핑 커패시터(42), 클램핑 전압원(32) 및 스위치 회로(SW)(44)로 구성된다.

이 회로에 있어서, 캐소드 전극에 누수 전류가 존재하면, 수직 귀선소거 기간 동안에 저항(17)의 양 단자간에 그 전류에 해당하는 전압 강하가 발생한다. 또한, 수직 귀선소거 기간 동안 스위치 회로(44)는 턴온(turn ON)되고 비교기 회로(29) 및 커패시터(42)간의 접속 노드(N1)의 전압은 클램핑 전압원(43)의 전압과 거의 동일하게 설정된다.

한편, 또 다른 수직 귀선소거 기간 동안, 상기 저항(17)의 양 단자간에 기준 신호에 해당하는 전류 및 누수 전류간에 첨가되는 전류에 해당하는 전압 강하가 발생한다. 이 때, 스위치 회로(44)는 턴오프(turn OFF)되고, 비교기 회로(29) 및 커패시터(42)간의 접속 노드(N1)에서 단지 기준 신호에만 해당하는 전류에 기인한 전압 강하가 발생한다. 즉, 누수 전류 성분에 기인한 전압은 오프셋이다. 그 다음, 노드(N1)의 전압은 비교기 회로(29)에 의해 기준 전압원(32)의 기준 전압과 비교된다.

그러나, 도 3에 도시된 회로에서는 클램핑 커패시터(42)가 더 필요하다.

이러한 방식으로, 종래 AKB 회로에 있어서는 커패시턴스가 큰 다수의 커패시터를 제공할 필요가 있다. 결과적으로, 다수의 부품이 외부에 제공되어야 하고, 따라서 회로 집적 동안의 제조 가격이 높아지는 문제점이 있다.

또한, 종래 AKB 회로에 있어서는 캐소드 전극을 흐르는 누수 전류의 영향에 의해 최적의 오프셋 또는 구동 이득을 얻을 수 없다는 문제점이 있다. 또한, 이 누수 전류의 영향을 제거하기 위해 더 많은 커패시터를 필요로 한다는 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명의 제1 목적은 적은 수의 커패시터를 사용하는 캐소드의 누수 전류의 영향을 제거하여 컷오프 또는 구동 이득을 최적으로 조절할 수 있는 자동 화이트 밸런스 조절 회로를 제공하는 것이다.

본 발명의 제2 목적은 집적 단계에서 외부 커패시터 없이도 저렴하게 제조될 수 있는 자동 화이트 밸런스 조절 회로를 제공하는 것이다.

본 발명의 제3 목적은 비디오 신호의 DC 레벨이 음극선관에 제공되는 높은 전압의 변화에 의해 빠르게 변하더라도, 이 DC 레벨의 변화를 원래 값으로 빠르게 복귀시켜 이를 특정 값으로 유지할 수 있는 자동 화이트 밸런스 조절 회로를 제공하는 것이다.

본 발명의 제4 목적은 이산(離散) 데이터가 비디오 신호의 DC 레벨이 데이터를 사용하여 조절될 때 사용되더라도 그 DC 레벨을 하나의 점으로 수렴시킬 수 있는 자동 화이트 밸런스 조절 회로를 제공하는 것이다.

본 발명에 따르면, 최소한 하나의 캐소드 전극을 구비한 컬러 영상 디스플레이 튜브(image display tube)의 화이트 밸런스를 자동으로 조절하는 자동 화이트 밸런스 조절 회로는 컬러 비디오 신호 및 최소한 하나의 기준 신호를 수신하여 이 신호 중 하나를 선택 및 출력하는 셀렉터(selector) 회로, 이 셀렉터 회로의 출력 신호를 수신하고 제어 신호에 따라 최소한 하나의 DC 레벨을 조절하여 신호를 출력하는 조절 회로, 이 조절 회로의 출력 신호를 수신하고 컬러 영상 디스플레이 튜브에 제공될 구동 신호를 출력하는 구동 회로, 컬러 영상 디스플레이 튜브에 접속되어 컬러 영상 디스플레이 튜브의 캐소드 전극을 흐르는 전류에 따른 전압을 검출하는 검출기 회로, 이 검출 회로로 검출된 전압을 수신하여 그 전압을 홀딩하는 제1 전압 홀드 회로, 셀렉터 회로에 의해 기준 신호가 선택되는 기간 동안에 상기 검출기 회로로 검출된 전압을 수신하고 컬러 비디오 신호 및 기준 신호 중 어느 것도 선택되지 않는 기간 동안에 제1 전압 홀드 회로에 의해 홀딩된 전압을 수신하여 이들 전압간의 전압차를 얻는 산술 회로 및 이 산술 회로로 얻어진 전압차를 수신하고 이 전압차와 기준 전압을 비교하여 이 비교 결과에 따라 조절 회로의 동작을 제어하는 제어 신호를 발생하는 비교기 회로를 포함한다.

본 발명에 따르면, 최소한 하나의 캐소드 전극을 구비한 컬러 영상 디스플레이 튜브의 화이트 밸런스를 자동으로 조절하는 자동 화이트 밸런스 조절 회로는 수직 귀선소거 기간을 갖는 컬러 비디오 신호 및 최소한 하나의 기준 신호를 수신하고 컬러 비디오 신호를 선택하여 수직 귀선소거 기간의 일부 동안 최소한 하나의 기준 신호를 선택 및 출력하는 셀렉터 회로, 이 셀렉터 회로의 출력 신호를 수신하고 제어 신호에 따라 최소한 그 신호의 DC 레벨을 조절하여 신호를 출력하는 조절 회로, 이 조절 회로의 출력 신호를 수신하고 컬러 영상 디스플레이 튜브의 최소한 하나의 캐소드 전극에 제공되는 구동 신호를 출력하는 구동 회로, 컬러 영상 디스플레이 튜브에 접속되어 컬러 영상 디스플레이 튜브의 캐소드 전극을 흐르는 전류에 따른 전압을 검출하는 검출기 회로, 최소한 하나의 기준 신호가 선택되지 않는 수직 귀선소거 기간 동안에 상기 검출기 회로로 검출된 전압을 수신하고 그 전압을 홀딩하는 전압 홀드 회로, 한 쌍의 입력 노드를 가지고, 상기 검출기 회로로 검출된 전압이 최소한 하나의 기준 신호가 셀렉터 회로에 의해 선택되는 기간 동안에 하나의 입력에 제공되고, 기준 전압은 또 다른 노드에 제공되며, 한 쌍의 입력 노드에 제공되는 이 두 전압을 비교하여 비교 결과에 따라 회로의 동작을 제어하는 제어 신호를 발생하는 비교기 회로 및 기준 전압을 발생하고 상기 전압 홀드 회로에 의해 홀딩된 전압을 수신하여 그 전압에 따라 기준 전압의 값을 변화시키는 기준 전압 발생기 회로를 포함한다.

본 발명에 따르면, 최소한 하나의 캐소드 전극을 구비한 컬러 영상 디스플레이 튜브의 화이트 밸런스를 자동으로 조절하는 자동 화이트 밸런스 조절 회로는 수직 귀선소거 기간을 갖는 컬러 비디오 신호 및 최소한 하나의 기준 신호를 수신하고 컬러 비디오 신호를 선택하여 수직 귀선소거 기간의 일부 동안 최소한 하나의 기준 신호를 선택 및 출력하는 셀렉터 회로, 이 셀렉터 회로의 출력 신호를 수신하여 제어 신호에 따라 최소한 하나의 DC 레벨을 조절하고 신호를 출력하는 조절 회로, 이 조절 회로의 출력 신호를 수신하고 출력 신호에 따라 컬러 영상 디스플레이 튜브의 최소한 하나의 캐소드 전극에 구동 신호를 출력하는 구동 회로, 컬러 영상 디스플레이 튜브에 접속되어 컬러 영상 디스플레이 튜브의 캐소드 전극을 흐르는 전류에 따른 전압을 검출하는 제1 검출기 회로, 셀렉터 회로에 의해 최소한 하나의 기준 신호가 선택되는 기간 동안 제1 검출기 회로에 의해 검출된 전압을 수신하고 이 전압을 제1 기준 전압과 비교하는 제1 비교기 회로, 상기 조절 회로의 동작 조절용 데이터를 저장하는 메모리 회로, 상기 제1 비교기 회로의 비교 결과 및 메모리 회로에 저장된 데이터를 수신하고 제1 비교기 회로의 비교 결과를 기초로 데이터를 갱신하고 이 갱신된 데이터를 다시 메모리 회로에 저장되도록 메모리 회로에 제공하는 갱신 회로 및 메모리 회로에 저장된 데이터를 수신하고 이 데이터를 아날로그 신호로 변환시켜 변환된 신호를 제어 신호로서 조절 회로로 출력하는 D/A 변환기를 포함한다.

본 발명에 따르면, 높은 전압이 제공되는 컬러 영상 디스플레이 튜브의 화이트 밸런스를 자동으로 조절하는 3 개의 주요 색의 비디오 신호에 해당하는 3 개의 캐소드 전극을 구비한 자동 화이트 밸런스 조절 회로는 각각 수직 귀선소거 기간을 갖는 3 개의 주요 색 비디오 신호 및 기준 신호를 수신하고 각 컬러 비디오 신호를 선택하여 각 수직 귀선소거 기간의 일부 동안 각 기준 신호를 선택 및 출력하는 3 개의 셀렉터 회로, 이 셀렉터 회로의 출력 신호를 각각 수신하고 각 신호의 DC 레벨 및 AC 진폭에 따라 신호를 각각 조절 및 출력하는 3 개의 조절 회로, 상기 각 셀렉터 회로의 출력 신호를 수신하고 컬러 영상 디스플레이 튜브의 각 캐소드 전극에 제공될 구동 신호를 출력하는 3 개의 구동 회로, 컬러 영상 디스플레이 튜브에 접속되어 컬러 영상 디스플레이 튜브의 3 개의 각 캐소드 전극을 흐르는 전류에 따른 전압을 검출하는 3 개의 검출기 회로, 기준 신호가 3 개의 선택기 회로에 의해 선택되는 기간 동안 3 개의 검출기 회로에 의해 검출된 전압을 수신하고 이 전압 및 제1 기준 전압간의 차 전압을 발생하는 비교기 회로, 각 3 개의 조절 회로의 동작을 제어하는 데이터를 저장하는 3 개의 메모리 회로, 3 개의 메모리 회로에 각각 저장된 데이

타를 수신하고 이 데이터를 아날로그 신호로 각각 변환하여 이 신호를 제어 신호로서 각 조절 회로로 출력하는 3 개의 D/A 변환기 및 3 개의 메모리 회로에 각각 미리 저장된 데이터를 수신하고 이 3 개의 개별적인 데이터를 제1 변화량(variation quantity)의 스텝(step) 및 제1 변화량 보다 큰 제2 변화량의 스텝에서 갱신하여 이 갱신된 데이터는 각 해당 메모리 회로에 다시 저장되는 것으로서, 제1 차 전압과 셀렉터 회로가 기준 신호를 선택하는 동안 검출기 회로로 검출된 3 개의 전압간의 3 개의 기준 값의 미리 정해진 값 보다 크며 서로 동일할 경우 3 개의 메모리 회로로부터 제공된 3 개의 데이터 아이템을 제2 변화량으로 갱신하고, 기타 경우에 3 개의 데이터 아이템을 제1 변화량으로 갱신하는 갱신 회로를 포함한다.

본 발명에 따르면, 최소한 하나의 캐소드 전극을 구비한 컬러 영상 디스플레이 튜브의 화이트 밸런스를 자동으로 조절하는 자동 화이트 밸런스 조절 회로는 컬러 영상 신호 및 기준 신호를 수신하고 이 두 신호 중 하나를 선택 및 출력하는 제1 셀렉터 회로, 이 제1 셀렉터 회로의 출력 신호를 수신하고 제어 신호에 따라 이 신호의 DC 레벨을 조절하여 신호를 출력하는 조절 회로, 조절 회로의 출력 신호를 수신하고 컬러 영상 디스플레이 튜브의 캐소드 전극에 제공될 구동 신호를 출력하는 구동 회로, 조절 회로의 동작 제어용으로 사용되는 데이터를 저장하는 메모리 회로, 메모리 회로에 저장된 데이터를 수신하고 이 데이터를 아날로그 전압으로 변환시켜 변환된 데이터를 출력하는 D/A 변환기, 기준 신호가 제1 셀렉터 회로로 선택되는 기간 동안 제2 아날로그 전압을 발생시키고, 이 제2 아날로그 전압은 조절 회로로 제공되어 컬러 영상 디스플레이의 캐소드 전류가 소정의 기준 전류와 거의 일치하는 것인 증폭기 회로, 제1 셀렉터 회로에 의해 선택되는 기간 동안 증폭기 회로에 의해 발생된 제2 아날로그 전압 및 D/A 변환기에 의해 발생된 제1 아날로그 전압을 수신하여 두 전압간의 차 전압을 발생시키는 차동 전압 발생기 회로, 이 차동 전압 발생기 회로에 의해 발생된 전압을 수신하고 이 전압을 홀딩하는 전압 홀드 회로, 전압 홀드 회로에 의해 홀딩된 전압 및 차동 전압 발생기 회로에 의해 발생된 전압을 수신하여 이 전압을 비교하는 비교기 회로, 이들 전압 및 비교 결과에 따라 메모리 회로에 저장된 데이터를 갱신하는 갱신 회로 및 D/A 변환기의 제1 아날로그 전압 및 증폭기 회로에 의해 발생된 제2 아날로그 전압을 수신하고 제1 셀렉터 회로에 의해 비디오 신호가 선택되는 기간 동안 제1 아날로그 전압을 선택하여 그 선택된 전압을 제어 신호로서 조절 회로로 출력하는 제2 셀렉터 회로를 포함한다.

본 발명에 따르면, 최소한 하나의 캐소드 전극을 갖는 컬러 영상 디스플레이 튜브의 화이트 밸런스를 자동으로 조절하는 자동 화이트 밸런스 조절 회로는 수직 귀선소거 기간을 갖는 컬러 비디오 신호 및 기준 신호를 수신하고 수직 귀선소거 기간의 일부 동안 기준 신호를 선택 및 출력하는 셀렉터 회로, 셀렉터 회로의 출력 신호를 수신하고 이 신호의 DC 레벨을 제어 신호에 따라 조절하여 신호를 출력하는 조절 회로, 조절 회로의 출력 신호를 수신하고 컬러 영상 디스플레이 튜브의 캐소드 전극에 제공될 구동 신호를 출력하는 구동 회로, 조절 회로의 동작을 제어하는 데 사용되는 데이터를 저장하는 메모리 회로, 메모리 회로에 저장된 데이터를 수신하고 그 데이터를 아날로그 전압으로 변환하여 이 변환된 전압을 제어 신호로서 조절 회로에 제공하는 D/A 변환기, 컬러 영상 디스플레이 튜브에 접속되어 기준 신호가 셀렉터 회로에 의해 선택되는 기간 동안 컬러 영상 디스플레이 튜브의 캐소드 전극을 검출하는 검출기 회로, 기준 신호가 셀렉터 회로에 의해 선택되는 기간 동안 검출기 회로의 검출된 값을 수신하고 검출된 값을 기준값과 비교하는 제1 비교기 회로, 제1 비교기 회로의 비교 결과를 수신하고 그 결과를 홀딩하는 홀드 회로, 홀드 회로의 출력 및 제1 비교기 회로의 비교 결과를 수신하고 이들 결과를 비교하는 제2 비교기 회로 및 제1 및 제2 비교기 회로의 비교 결과를 수신하고 이 비교 결과에 따라 메모리 회로에 저장된 데이터를 갱신하는 갱신 회로를 포함한다.

본 발명에 따르면, 최소한 하나의 캐소드 전극을 구비한 컬러 영상 디스플레이 튜브의 화이트 밸런스를 자동으로 조절하는 자동 화이트 밸런스 조절 회로는 수직 귀선소거 기간을 갖는 컬러 비디오 신호 및 기준 신호를 수신하여 수직 귀선소거 기간의 일부 동안 기준 신호를 선택 및 출력하는 셀렉터 회로, 셀렉터 회로의 출력 신호를 수신하고 이 신호의 DC 레벨을 제어 신호에 따라 조절하여 신호를 출력하는 조절 회로, 조절 회로의 출력 신호를 수신하고 컬러 영상 디스플레이 튜브의 캐소드 전극에 제공되는 구동 신호를 출력하는 구동 회로, 조절 회로의 동작 제어용으로 사용되는 데이터를 저장하는 메모리 회로, 메모리 회로에 저장된 데이터를 수신하고 이 데이터를 아날로그 전압으로 변환하여 이 전압을 제어 신호로서 조절 회로에 제공하는 D/A 변환기, 컬러 영상 디스플레이 튜브에 접속되어 기준 신호가 셀렉터 회로에 의해 선택되는 기간 동안 컬러 영상 디스플레이 튜브의 캐소드 전류를 검출하는 검출기 회로, 기준 신호가 셀렉터 회로에 의해 선택되는 기간 동안 검출기 회로의 검출된 값을 수신하여 검출된 값을 기준값과 비교하는 비교기 회로, 메모리 회로에 저장된 컬러 비디오 신호의 하나의 필드(field) 기간의 제1 기간 동안 메모리 회로로부터 출력된 데이터가 D/A 변환기로 변환되고 조절 회로의 동작이 아날로그 전압에 따라 제어될 때, 비교기 회로로 부터 출력된 제2 비교 결과를 수신하여 그 결과를 홀딩하는 제1 홀드 회로, 컬러 비디오 신호의 필드 기간과 동일한 필드 기간에서, 제1 기간 후의 제2 기간 내에서 메모리 회로로부터 출력된 데이터가 D/A 변환기로 변환되고 조절 회로의 동작이 아날로그 전압에 따라 제어될 때, 비교기 회로로부터 출력된 제2 비교 결과를 수신하여 그 결과를 홀딩하는 제2 홀드 회로 및 비교기 회로의 비교 결과 및 제1 및 제2 홀드 회로의 홀딩된 내용을 수신하고 메모리 회로에 저장된 데이터를 이들 기준 결과 및 홀딩된 내용에 따라 갱신하는 갱신 회로를 포함한다.

본 발명에 따르면, 최소한 하나의 캐소드 전극을 구비한 컬러 영상 디스플레이 튜브의 화이트 밸런스를 자동으로 조절하는 자동 화이트 밸런스 조절 회로는 수직 귀선소거 기간을 갖는 컬러 비디오 신호 및 기준 신호를 수신하고 수직 귀선소거 기간의 일부 동안 기준 신호를 선택 및 출력하는 셀렉터 회로, 셀렉터 회로의 출력 신호를 수신하고 제어 신호에 따라 그 신호의 DC 레벨을 조절하여 신호를 출력하는 조절 회로, 셀렉터 회로의 출력 신호를 수신하고 컬러 영상 디스플레이 튜브의 캐소드 전극에 제공될 구동 신호를 출력하는 구동 회로, 조절 회로의 동작 제어용으로 사용되는 데이터를 저장하는 메모리 회로, 메모리 회로에 저장된 데이터를 수신하고 그 데이터를 아날로그 전압으로 변환하고 그 변환된 전압을 제어 신호로서 조절 회로에 제공하는 D/A 변환기, 컬러 영상 디스플레이 튜브에 접속되어 셀렉터 회로에 의해 기준 신호가 선택되는 기간 동안 컬러 영상 디스플레이 튜브의 캐소드 전류를 검출하는 검출기 회로, 셀렉터 회로에 의해 기준 신호가 선택되는 기간 동안 검출기 회로의 검출된 값을 수신하여 검출된 값을 기준값과 비교하는 비교기 회로, 컬러 비디오 신호의 제1 필드 기간 동안 비교기 회로의 비교 결과를 수신하고 그 결과를 홀딩하는 제1 홀드 회로, 컬러 비디오 신호의 제1 필드 기간 전의 제2 필드 기간에서 상기 비교기

회로의 비교 결과를 수신하고 그 결과를 홀딩하는 제2 홀드 회로 및 상기 제1 및 제2 홀드 회로의 홀딩된 내용을 수신하여 메모리 회로에 저장된 데이터를 그 홀딩된 내용에 따라 갱신하는 갱신 회로를 포함한다.

본 발명에 따르면, 최소한 하나의 캐소드 전극을 구비한 컬러 영상 디스플레이 튜브의 화이트 밸런스를 자동으로 조절하는 자동 화이트 밸런스 조절 회로는 컬러 비디오 신호 및 기준 신호를 수신하여 이들 신호 중 하나를 선택 및 출력하는 제1 셀렉터 회로, 제1 셀렉터 회로의 출력 신호를 수신하고 제어 신호에 따라 그 신호의 DC 레벨을 조절하여 신호를 출력하는 조절 회로, 조절 회로의 출력 신호를 수신하고 컬러 영상 디스플레이 튜브의 캐소드 전극에 제공될 구동 신호를 출력하는 구동 회로, 조절 회로의 동작 제어에 사용되는 데이터를 저장하는 메모리 회로, 메모리 회로에 저장된 데이터를 수신하고 그 데이터를 제1 아날로그 전압으로 변환하여 제1 아날로그 전압을 출력하는 D/A 변환기, 제1 셀렉터 회로에 의해 기준 신호가 선택되는 기간 동안 제2 아날로그 전압을 발생하며, 이 제2 아날로그 전압은 상기 조절 회로에 제공되어 컬러 영상 디스플레이 튜브의 캐소드 전류가 소정의 기준 전류와 일치하는 것인 증폭기 회로, 제1 셀렉터 회로에 의해 기준 신호가 선택되는 기간 동안 증폭기 회로에 의해 발생된 제2 아날로그 전압 및 D/A 변환기에 의해 발생된 제1 아날로그 전압을 수신하여 이들 아날로그 전압의 차를 나타내는 전압에 따른 신호를 발생하는 신호 발생기 회로, 컬러 비디오 신호의 하나의 필드 기간의 제1 기간 동안 메모리 회로로부터 출력된 데이터가 D/A 변환기에 의해 변환되고 조절 회로의 동작이 얻어진 아날로그 전압에 따라 제어될 때, 신호 발생기 회로에 의해 발생된 제1 신호를 수신하고 이 제1 신호를 홀딩하는 제1 홀드 회로, 컬러 비디오 신호의 필드 기간과 동일한 필드 기간에서, 제1 기간 후의 제2 기간에 메모리 회로로부터 출력된 데이터가 D/A 변환기에 의해 변환되고 조절 회로의 동작이 얻어진 아날로그 전압에 따라 제어될 때, 신호 발생기 회로에 의해 발생된 제2 신호를 수신하고 이 제2 신호를 홀딩하는 제2 홀드 회로, 신호 발생기 회로에 의해 발생된 신호 및 상기 제1 및 제2 홀드 회로의 홀딩된 내용을 수신하고 메모리 회로에 저장된 데이터를 이들 신호 및 홀딩된 내용에 따라 갱신하는 갱신 회로, D/A 변환기에 의해 발생된 제1 아날로그 전압 및 증폭기 회로에 의해 발생된 제2 아날로그 전압을 수신하고 제1 셀렉터 회로에 의해 기준 신호가 선택되는 기간 동안 제2 아날로그 전압을 선택하고 제1 셀렉터 회로에 의해 비디오 신호가 선택되는 기간 동안 제1 아날로그 전압을 선택하여 선택된 아날로그 전압을 제어 신호로서 조절 회로로 출력하는 제2 셀렉터 회로를 포함한다.

본 발명에 따르면, 비디오 디스플레이 장치는 소정의 캐소드 전류가 비디오 신호의 DC 레벨의 조절 기간 동안 영상 디스플레이 튜브의 캐소드 전극을 흐르도록 제어 전압을 발생시키는 제어 전압 발생 회로, 제어 전압을 수신하고 그 데이터를 아날로그 변환시켜 얻어진 아날로그 전압값이 제어 전압에 근접하는 방향으로 그 데이터를 변환시키는 데이터 변환 회로 및 제어 전압 및 아날로그 전압을 수신하고 변환 전 및 후에 데이터를 아날로그 변환시킴으로써 얻어진 아날로그 전압 및 제어 전압간의 차를 나타내는 절대값이 더 작은 데이터를 검출하는 검출기 회로를 포함하며, 여기서 비디오 신호의 DC 레벨은 검출된 데이터를 아날로그 데이터 및 제어 전압간의 차를 나타내는 절대값이 검출기 회로 내에서 더 작은 데이터로서 아날로그 변환시킴으로써 얻어진 아날로그 전압을 사용하여 조절된다.

본 발명에 따르면, 비디오 디스플레이 장치는 비디오 신호의 DC 레벨의 조절 기간 동안 데이터를 갱신하고, 갱신 전 및 후 각각에서 영상 디스플레이 튜브의 캐소드 전극을 흐르는 캐소드 전류를 검출하는 제1 검출기 회로 및 제1 검출기 회로의 검출 결과를 수신하고 검출된 캐소드 전류 및 소정의 기준값간의 차를 나타내는 절대값이 더 작은 데이터를 검출하는 제2 검출기 회로를 포함하며, 여기서 비디오 신호의 DC 레벨은 제2 검출기 회로의 검출 데이터를 아날로그 변환시킴으로써 얻어진 아날로그 전압을 사용하여 조절된다.

본 발명에 따르면, 비디오 디스플레이 장치는 비디오 신호의 DC 레벨의 조절 기간 동안에 데이터를 변환하고 이 변환 전 및 후에 이미지 디스플레이 튜브의 캐소드 전극을 흐르는 캐소드 전류를 검출하는 검출기 회로, 검출기 회로의 검출 결과를 수신하고 검출된 캐소드 전류가 소정의 수렴값을 통해 변환 때 데이터의 수렴 여부를 판단하는 판단 회로 및 판단 회로의 판단 결과를 수신하고 데이터의 수렴이 판단될 때 캐소드 전류의 값이 수렴값을 초과하는 시간 또는 캐소드 전류의 값이 수렴값을 초과하기 전의 시간 중 임의의 시간에 해당하는 데이터에 고정시키는 데이터 고정 회로를 포함하며, 여기서 비디오 신호의 DC 레벨은 고정된 데이터를 사용하여 조절된다.

본 발명의 기타 목적 및 장점은 아래의 설명에 개시되며, 부분적으로는 상세한 설명으로부터 명백하거나 본 발명을 실시함으로써 알게될 것이다. 본 발명의 목적 및 장점은 이하에서 특별히 사용된 수단 및 조합에 의해 구현 및 달성될 수 있다.

발명의 구성 및 작용

본 명세서의 일부를 이루는 첨부된 도면은 본 발명의 바람직한 실시예를 나타내며, 전술한 발명이 이루고자 하는 기술적 과제 및 후술하는 바람직한 실시예에 관한 상세한 설명과 함께 본 발명을 설명을 돕는다.

이하에서는, 첨부된 도면을 참조하여 실시예를 설명하는 방식으로 본 발명을 설명한다.

도 4는 본 발명의 제1 실시예에 따른 AKB 회로의 전체 구성을 도시한 블록도이다. 도 1의 종래 회로의 소자와 동일한 소자에는 동일한 도면 부호로 표시하였으며, 이를 설명한다.

R, G 및 B 신호, 기준 신호 1(블랙 레벨) 및 기준 신호 2(화이트 레벨) 중 각 하나는 스위치 회로(1, 2, 3)로 입력된다. 이 스위치 회로(1, 2, 3)에 있어서는, 각 R, G 및 B 신호 중 하나의 신호와 각 기준 신호 1 및 기준 신호 2 중 하나가 제어 신호(도시되지 않음)를 기초로 선택 및 출력된다. 기준 신호(1, 2)가 출력될 때의 기간은 수직 귀선소거 기간이지만, 수직 귀환 기간, 즉 일반적으로 오버스캐닝되어 사용자에게 보이지 않는 기간의 일부는 아니다. 기준 블랙 레벨에 해당하는 기준 신호 1의 레벨은, 예컨대 약 3 IRE 내지 약 5 IRE이고, 기준 화이트 레벨에 해당하는 기준 신호 2의 레벨은, 예컨대 약 30 IRE 내지 약 50 IRE이다.

또한, 상기 R, G 및 B 신호는 3 개의 주요 색 구동 내의 각 R, G 및 B 축의 주요 색 신호이고, 이 주요 신호의 휘도, 색조 등은 제어된다.

각각 이득 제어 증폭기로 구성된 구동 이득 조절 회로(4, 5, 6)에 있어서, 구동 이득, 즉 AC 진폭의 조절은 각 스위치 회로(1, 2, 3)가 출력한 신호로 수행된다. 또한, 예컨대 각각 클램프 회로로 구성된 컷오프 조절 회로(7, 8, 9)에 있어서는, 각각 구동 이득 조절 회로(4, 5, 6)으로부터 출력된 신호의 DC 레벨의 조절(클램핑)이 수행된다. 컷오프 조절 회로(7, 8, 9)의 출력은 각각 귀선소거 회로(51, 52, 53) 및 구동 회로(10, 11, 12)를 경유하여 출력 트랜지스터(PNP 트랜지스터)(13, 14, 15)의 베이스에 제공된다. 이들 트랜지스터(13, 14, 15)의 에미터는 CRT(16)의 R, G 및 B 축의 캐소드 전극에 접속되고, 이들 트랜지스터(13, 14, 15)는 구동 회로(10, 11, 12)의 출력으로 구동되어, 전류가 CRT(16)의 R, G 및 B 축의 캐소드 전극을 흐르고 CRT(16)는 디스플레이되도록 구동된다.

상기 각 귀선소거 회로(51, 52, 53)는 각 귀선소거 신호(R.BLK, G.BLK, B. BLK)를 기초로 CRT(16)의 해당 캐소드 전극을 무신호(no-signal) 상태로 설정한다.

각 캐소드 전극을 흐르는 전류를 변환시키는 전류 검출 저항(17, 18, 19)은 각각 트랜지스터(13, 14, 15)의 콜렉터에 접속된다. 저항(17)에 의한 변환된 전압은 2 개의 제어 회로(54, 55)에 병렬로 제공된다. 제어 회로(54)는 저항(17)에 의해 변환된 전압을 기초로 R 축의 컷오프 조절 회로(7)의 컷오프 조절 동작을 제어한다. 제어 회로(55)는 저항(17)에 의해 변환된 전압을 기초로 R 축의 구동 이득 조절 회로(4) 내의 구동 이득 조절 동작을 제어한다. 이와 유사하게, 저항(18)에 의해 변환된 전압은 2 개의 제어 회로(56, 57)에 병렬로 제공된다. 제어 회로(56)는 저항(18)에 의해 변환된 전압을 기초로 G 축의 컷오프 조절 회로(8) 내의 컷오프 조절 동작을 제어한다. 제어 회로(57)는 저항(18)에 의해 변환된 전압을 기초로 G 축의 구동 이득 조절 회로(5) 내의 구동 이득 조절 동작을 제어한다. 이와 유사하게, 저항(19)에 의해 변환된 전압은 제어 회로(58, 59)에 병렬로 제공된다. 제어 회로(58)는 저항(19)에 의해 변환된 전압을 기초로 B 축의 컷오프 조절 회로(9) 내의 컷오프 조절 동작을 제어한다. 제어 회로(59)는 저항(19)에 의해 변환된 전압을 기초로 B 축의 구동 이득 조절 회로(6) 내의 구동 이득 조절 동작을 제어한다.

도 5는 도 4의 6 개의 제어 회로(54 내지 59)의 R 축의 컷오프 조절 회로(7)의 동작을 제어하는 제어 회로의 내부 구성을 도시하고 있다. 모든 회로(54 내지 59)의 내부 구성이 유사하므로 제어 회로(54)의 예만 설명한다.

제어 회로(54)에 있어서는, 누수 전류로 인한 저항(17)의 전압 강하를 없애도록 2 개의 샘플 홀드 회로(S/H)(61, 62) 및 감산 회로(63)가 제공된다. 즉, 이 두 샘플 홀드 회로(61, 62)의 입력 단자는 저항(17)의 하나의 단자에 공통으로 접속된다.

샘플 홀드 회로(61)는 입력 클럭 신호(CK)가 활성화될 때('H' 레벨) 저항(17)에서 발생된 전압 강하를 샘플링 및 홀딩한다. 샘플 홀드 회로(62)는 입력 클럭 신호(CK)가 활성화될 때('H' 레벨) 저항(17)에서 발생된 전압 강하를 샘플링 및 홀딩한다. 샘플 홀드 회로(61)의 홀드 전압은 감산 회로(63)에 의해 샘플 홀드 회로(62)의 홀드 전압으로부터 감산되고, 감산 결과로 얻어진 전압(VIK')은 비교기 회로(64)의 하나의 입력 단자에 제공된다. 기준 전압원(65)에서 발생된 기준 블랙 레벨에 해당하는 기준 전압은 비교기 회로(64)의 또 다른 입력 단자(+)에 제공된다. 출력 전압 및 감산 회로(63)로부터의 기준 전압간의 비교는 비교기 회로(64)에 의해 수행되고, 이 비교 결과는 컷오프 조절 회로(7)에 제공된다.

기준 블랙 레벨에 해당하는 기준 전압은 도 4의 각 기타 제어 회로(56, 58) 내의 기준 전압원(65)에서 발생되고, 기준 화이트 레벨에 해당하는 기준 전압은 각 제어 회로(55, 57, 59) 내의 기준 전압원(65)에서 발생된다.

이제, 도 6의 타이밍도를 참조하여 전술한 회로 구성의 동작을 설명한다.

우선, 수직 귀선소거 기간 동안 스위치 회로(1, 2, 3)가 스위칭되고, 기준 신호 1 또는 기준 신호 2가 R, G 및 B 신호 대신에 각각 선택되어, 기준 신호 1 또는 기준 신호 2를 사용하는 AKB 동작이 수행되지만, 이러한 AKB 동작 전에 귀선소거 펄스가 AKB 회로에 입력된다.

이 귀선소거 펄스는 CRT(16)의 캐소드 전극을 무신호 상태로 설정하고, 귀선소거 펄스는 귀선소거 회로(51, 52, 53)에 제공된다. 이 귀선소거 펄스의 활성화 기간 동안 클럭 신호(CK)는 활성화된다. 이 귀선소거 기간 동안, 일반적으로 캐소드 전류는 흐르지 않으며, 따라서 도 5의 저항(17) 내의 전압 강하(VIK)는, 예컨대 이상적으로 0 V가 된다. 그러나, 누수 전류(Ileak)가 발생하면, 저항(17)에서 $V_{IK} = R \times I_{leak}$ 로 표현되는 전압 강하가 발생하며, 여기서 R은 저항(17)의 저항값을 나타낸다. 클럭 신호(CK)가 활성화되면, 이 전압 강하는 샘플 고정 회로(61)에 의해 샘플링 및 고정된다.

그 다음, 예컨대 스위치 회로(1)가 스위칭되고, 기준 신호[기준 신호 1 또는 기준 신호 2]가 선택된다. 이 선택 기간 동안, 클럭 신호(CK2)는 활성화되고, 저항(17) 내의 전압 강하는 샘플 홀드 저항(62)에 의해 샘플링 및 홀딩된다. 그 후, 샘플 홀드 회로(61)에 의해 홀딩된 전압은 감산 회로(63)에 의해 샘플 홀드 회로(62)에 의해 홀딩된 전압으로부터 감산된다.

샘플 홀드 회로(62)에 의해 홀딩된 전압은 캐소드 전극을 흐르는 기준 신호에 해당하는 전류 및 기준 신호가 입력될 때의 누수 전류를 합한 전류가 변환된 전압이다. 따라서, 누수 전류를 기초로 변환된 전압을 포함하지 않는, 기준 신호만의 캐소드 전류에 해당하는 변환된 전압이 감산 회로(63)로부터 출력된다. 감산 회로(63)로부터 출력된 전압은 비교기 회로(64)에 의해 기준 전압과 비교된다. 이 때의 비교 결과는 컷오프 조절 회로(7)로 입력되고 컷오프 조절 회로(7)에 의해 블랙 레벨 조절이 수행된다.

스위치 회로(1, 2, 3)에서 기준 신호 1이 선택되면, 블랙 레벨 조절 동작은 각각 컷오프 조절 회로(7, 8, 9)에 의해 제어된다. 기준 신호 2가 각각 스위치 회로(1, 2, 3)에서 선택되면, 각 구동 이득 조절 회로(4, 5, 6)에 의해 화이트 레벨 조절 동작이 제어된다.

이러한 방식으로, 제1 실시예에 따른 AKB 회로는 캐소드 전극을 흐르는 누수 전류에 영향을 미칠 수 있어서, 최적의 컷오프 조절 및 구동 이득 조절의 수행이 가능하게 한다.

또한, 샘플 홀드 회로(61, 62)에 있어서는, 비록 샘플링 동작이 샘플링 펄스(CK, CK2)에 의해 제어되지만, 이 샘플링 펄스(CK, CK2)의 사이클은 도 6에 도시된 바와 같이 단일 수평 기간이다. 수평 동

기 신호의 통상 주파수가 15 KHz이기 때문에 하나의 사이클은 약 $64 \mu s$ 이다. 샘플 홀드 회로(61, 62)에 있어서, 샘플링된 전압을 홀딩하는 데 사용되는 커패시터의 커패시턴스는 약 수십 pF일 수 있다. 이러한 커패시턴스를 갖는 커패시터는 집적 회로에서 용이하게 형성될 수 있다. 따라서, 집적 회로의 외부에 커패시터를 제공할 필요가 없어지고, 집적 회로의 외부 단자의 수는 감소되며, 집적 회로를 저렴하게 제조할 수 있다.

이제, 본 발명의 제2 실시예를 설명한다. 도 7은 도 4의 제어 회로(54 내지 59)의 R 측의 컷오프 조절 회로(7)의 동작을 제어하는 제어 회로(54)의 내부 구성을 전류 검출 저항(17)과 함께 도시하고 있다. 제어 회로(54 내지 59)의 내부 구성은 유사하므로 제어 회로(54)의 예만 설명한다.

도 7의 제어 회로는 도 5의 샘플 홀드 회로(62)가 제거되고 저항(17) 내의 전압 강하가 감산 회로(63)의 하나의 입력 단자(+)로 직접 입력된다는 점에서 도 5의 제어 회로와 상이하다.

이 실시예에 있어서, 귀선소거 펄스가 귀선소거 회로(51)로 입력되고, 이 귀선소거 기간 동안 클록 신호(CK)가 활성화된다. 누수 전류(I_{leak})가 발생하면, 저항(17)에서 $V_{lk} = R \times I_{leak}$ 로 표현되는 전압 강하가 발생한다. 클록 신호(CK)가 활성화되면, 이 전압 강하는 샘플 홀드 회로(61)에 의해 샘플링 및 홀딩된다.

그 다음, 스위치 회로(1)가 스위치되고, 기준 신호(1 또는 2)가 선택된다. 이 선택 기간 동안, 저항(17)에서의 전압 강하는 감산 회로(63)의 하나의 입력 단자(+)에 직접 입력된다. 샘플 홀드 회로(61)에 의해 홀딩된 전압은 감산 회로(63)에 의해 저항(14)에 의해 검출된 전압으로부터 감산된다. 결과적으로, 제1 실시예에서와 같이, 누수 전류를 기초로 한 변환 전압을 포함하지 않는 하나의 기준 신호에만 해당하는 변환 전압(V_{lk})이 감산 회로(63)로부터 출력된다.

이 경우, 변환 전압만이 누수 전류를 기초로 샘플 홀드 회로에 의해 샘플링된다. 즉, 저항(17)에서의 변환 전압은 기준 신호가 입력될 때 샘플링되어 감산 회로(63)로 입력된다.

비교기 회로(64)를 포함하는 그 다음 단의 회로가 아날로그 프로세서 회로로 구성될 때, 도 5의 실시예에 도시된 바와 같이 저항(17)에서의 변환 전압이 기준 신호가 입력될 때 샘플링되면, 제어 루프는 이 샘플링 기간 동안 인터럽트(interrupt)된다. 그러나, 이 실시예에 있어서 이러한 인터럽트는 발생하지 않는다.

따라서, 이 실시예의 제어 회로는 비교기 회로(64)를 포함하는 다음 단의 회로가 아날로그 프로세서 회로를 사용할 때 바람직하다. 이 경우, 비교기 회로(64)는 비교기 대신 연산 증폭기로 구성된다.

이제, 본 발명의 제3 실시예를 설명한다. 도 8은 도 4의 제어 회로(54 내지 59)의 R 측의 컷오프 조절 회로(7)의 동작을 제어하는 제어 회로(54)의 내부 구성을 전류 검출 저항(17)과 함께 도시하고 있다. 제어 회로(54 내지 59)의 내부 구성이 서로 유사하므로 제어 회로(54)의 예만 설명한다.

도 8의 제어 회로에 있어서는, 누수 전류로 인한 저항(17)에서의 전압 강하를 제거하기 위해서 샘플 홀드 회로(S/H)(66) 및 연산 증폭기 회로(67)가 제공된다. 즉, 상기 샘플 홀드 회로(66)의 입력 단자는 저항(17)의 하나의 단자에 접속된다. 이 샘플 홀드 회로(66)는 클록 신호(CK)가 활성화될 때('H' 레벨) 저항(17)에서의 전압 강하를 샘플링 및 홀딩한다.

상기 연산 증폭기 회로(67)에 있어서는, 전압 폴로어(voltage follower) 회로를 구성하도록 반전 입력 단자(-)가 출력 단자에 접속된다. 상기 샘플 홀드 회로(66)의 출력은 연산 증폭기 회로(67)의 비반전 입력 단자(+)로 입력된다.

이 경우, 상기 고정 전압원(65)은 하나의 단자가 전력 전압(V_{cc})의 공급 노드에 접속된 고정 전류원(68)과 고정 전류원(68)의 또 다른 단자 및 비교기 회로(64)의 비반전 입력 단자(+)간에 접속된 저항(69)으로 구성된다.

또한, 비교기 회로(64)의 반전 입력 단자(-)는 저항(17) 및 샘플 홀드 회로(66)간의 접속 단자(N2)에 접속된다.

이 실시예에 있어서, 귀선소거 펄스 입력 기간 동안 클록 신호(CK)가 활성화된다. 이 기간 동안, 누수 전류(I_{leak})가 발생하면, $V_{lk} = R \times I_{leak}$ 로 표현되는 전압 강하가 저항(17)에서 발생한다. 클록 신호(CK)가 활성화되면, 이 전압 강하는 샘플 홀드 회로(66)에 의해 샘플링 및 홀딩된다. 샘플 홀드 회로(66)에 의해 홀딩된 전압은 연산 증폭기 회로(67)를 경유하여 전압(V_{leak})으로서 고정 전압원(65) 내의 저항(69)의 또 다른 단자에 인가된다.

한편, 고정 전류원(68)의 고정 전류(I)가 저항(69)을 흐르기 때문에 연산 증폭기 회로(67)의 출력 전압(V_{leak})이 0 V라고 가정하면, 저항(69)의 저항값이 ' r '일 때 고정 전류원(68) 및 저항(69)간의 접속 노드, 즉 비교기 회로(64)의 비반전 입력 단자(+)의 전압(V_s)은 $V_s = r \times I$ 로 표현된다. 이 전압(V_s)은 전술한 기준 전압에 해당하는 전압이다. 전압(V_{leak})이 0 V가 아니면 전압(V_s)은 $V_{leak} + r \times I$ 로 표현된다.

그 다음, 기준 신호[기준 신호 1 또는 기준 신호 2]가 스위치 회로(1)에 의해 선택된다. 이 기준 신호의 선택 기간 동안, 저항(17)에서의 전압 강하는 비교기 회로(64)의 반전 입력 단자(-)로 입력된다. 이 때, 저항(17)에서의 전압 강하는 캐소드 전류 변환 전압 및 기준 신호를 사용하는 누수 전류 변환 전압의 합이다. 따라서, 비교기 회로(64)에서, 누수 전류가 변환된 전압을 포함하는 2 개의 전압이 비교되기 때문에, 누수 전류 변환 전압이 오프셋이다.

즉, 이 실시예의 경우에 있어서는, 캐소드 전극을 흐르는 누수 전류의 영향이 제거될 수 있어서, 최적의 컷오프 조절 또는 구동 이득 조절이 가능하다.

또한, 샘플 홀드 회로(66)에 있어서는, 비록 샘플링 동작이 샘플 펄스(CK)에 의해 제어되지만, 이 샘플링 펄스(CK)의 사이클은 도 6에 도시된 바와 같이 1 수평 기간이다. 따라서, 이 경우, 샘플 홀드 회로(66)에서 샘플링된 전압을 홀딩하는 데 사용되는 커패시터의 커패시턴스는 약 수십 pF이다. 이러한 커패시턴스

를 갖는 커패시터는 집적 회로에서 용이하게 형성될 수 있다.

이제, 본 발명의 제4 실시예를 설명한다. 도 9는 도 4의 제어 회로(54 내지 59)의 R 축의 컷오프 조절 회로(7)의 동작을 제어하는 제어 회로(54)의 내부 구성을 전류 검출 저항(17)과 함께 도시하고 있다. 제어 회로(54 내지 59)의 내부 구성이 서로 유사하므로 제어 회로(54)의 예만 설명한다.

도 9의 제어 회로는 아래의 특징부에 있어서 도 8의 제어 회로와 상이하다. 즉, 도 8의 제어 회로에는 고정 전압원(65)이 고정 전류원(68) 및 저항(69)으로 구성된다. 그러나, 도 9의 경우에 있어서는, 고정 전압원(65)이 비반전 입력 단자(+) 및 연산 증폭기 회로(67)의 출력 단자 사이에 접속된 고정 전압원(70)이다.

이 실시예의 경우에 있어서는, 고정 전압원(70)에서 발생한 기준 전압 및 연산 증폭기 회로(67)로부터 출력된 전압(V_{leak})은 비교기 회로(64)의 비반전 입력 단자(+)로 입력되며, 따라서 제3 실시예의 경우에서와 같이 CRT 캐소드 전극을 흐르는 누수 전류의 영향을 제거할 수 있어서, 최적의 컷오프 조절 및 구동 이득 조절이 가능하다.

도 10은 본 발명의 제5 실시예에 따른 AKB 회로의 내부 구성을 도시한 블록도이다. 제1 내지 제4 실시예에 따른 AKB 회로에 있어서는, 각 R, G 및 B 축, 각 구동 이득 조절 및 각 컷오프 조절(각 기준 신호)에 대해서 제어 회로(54 내지 59)를 독립적으로 제공하였다.

그러나, 이러한 구성에서는 각 축 및 각 기준 신호마다 샘플 홀드 회로, 감산 회로 또는 연산 증폭기 회로와 같은 회로를 제공해야 하므로 회로 구성이 복잡해진다.

도 10의 AKB 회로에 있어서는, 예컨대 도 7의 제어 회로와 거의 유사한 구성을 갖는 하나의 제어 회로가 제공되며, 이 단일 제어 회로는 두 기준 신호(1, 2) 모두와 함께 모든 R, G 및 B 축에 공통으로 사용되어, 전체 회로 크기가 커지는 것을 막는다.

도 10에 도시된 AKB 회로에 있어서는, 도 4의 소자와 동일한 소자에는 동일한 도면 부호로 표시하고 중복된 설명은 생략한다. 이하에서는 도 4의 AKB 회로와의 상이점만을 설명한다.

각 트랜지스터(13, 14, 15)의 콜렉터는 공통으로 접속된다. 이 콜렉터의 공통 접속 노드 및 접지 전위 노드 사이에는 CRT(16)의 각 3 개의 캐소드 전극을 통해 흐르는 전류를 전압으로 변환하는 하나의 전류 검출 저항(71)이 접속된다. 이 저항(71)에서의 전압 강하는 제어 회로(72)에 제공된다. 이 제어 회로(72)에는 샘플 홀드 회로(61)에 해당하는 샘플 홀드 회로(73), 감산 회로(63)에 해당하는 감산 회로(74) 및 비교기 회로(64)에 해당하는 비교기 회로(75)가 제공된다. 또한, 비교기 회로(75)에 의한 비교를 위한 기준 블랙 레벨을 제공하는 기준 전압을 발생하는 고정 전압원(76) 및 기준 화이트 레벨을 제공하는 기준 전압을 발생하는 고정 전압원(77)과 이들 기준 전압을 선택하여 이를 비교기 회로(75)의 비반전 입력 단자(+)로 출력하는 스위치 회로(SW)(78)가 제공된다.

저항(71)에서 발생한 전압 강하는 샘플 홀드 회로(73)에서 샘플링된다. 이 샘플 홀드 회로(73)는 특정 기간, 예컨대 1 H(1 수평 기간) 동안 캐소드 전류에 비례하는 전압을 샘플링한다. 샘플 전압은 감산 회로(74)의 반전 입력 단자(-)에 제공된다. 또한, 저항(71) 내의 전압 강하는 감산 회로(74)의 비반전 입력 단자(+)에 제공된다. 감산 회로(74)의 출력 단자는 비교기 회로(75)의 반전 입력 단자(-)에 접속된다. 이 비교기 회로(75)의 비반전 입력 단자(+)로는, 스위치 회로(78)로 선택된 블랙 레벨 기준 전압을 발생하는 고정 전압원(76)으로부터의 출력 전압 또는 화이트 레벨 기준 전압을 발생하는 고정 전압원(77)의 출력 전압이 입력된다.

이 실시예에 있어서는, 각 R, G 및 B 축 및 각 구동 이득 조절 및 컷오프 조절에 대해 독립적으로 전압 홀딩 커패시터 및 샘플 홀드 회로(S/H)가 더 제공된다. 비교기 회로(75)의 비교 결과는 R 축상의 구동 이득 조절 샘플 홀드 회로(79), G 축상의 구동 이득 조절 샘플 홀드 회로(80), B 축상의 구동 이득 조절 샘플 홀드 회로(81), R 축상의 구동 이득 조절 샘플 홀드 회로(82), G 축상의 컷오프 조절 샘플 홀드 회로(83) 및 B 축상의 컷오프 조절 샘플 홀드 회로로 입력된다. 도면 부호 85 내지 90의 소자는 개별적인 샘플 홀드 회로로 샘플링된 전압을 홀딩하는 전압 홀딩 커패시터이다.

각 샘플 홀드 회로(79 내지 84)로 샘플링되고 각 커패시터(85 내지 90)로 홀딩된 전압은 구동 이득 조절 회로(4, 5, 6) 및 컷오프 조절 회로(7, 8, 9)에 제공되어, 각 R, G 및 B 축에 의한 AC 진폭 조절 및 DC 레벨 조절이 수행된다.

이제, 도 10의 회로의 동작을 도 11의 타이밍도를 참조하여 설명한다.

우선, 스위치 회로(1, 2, 3)가 스위칭되고, 기준 신호 1(블랙 레벨) 또는 기준 신호 2(화이트 레벨)가 R, G 및 B 신호 대신 선택되기 전에 모든 귀선소거 신호(R, BLK, G, BLK, B, BLK)가 'H' 레벨로 설정된다. 이러한 방식으로, 귀선소거 회로(51, 52, 53)는 해당 컷오프 조절 회로(7, 8, 9)로부터 해당 구동 회로(10, 11, 12)로의 출력을 억제한다. 이 귀선소거 기간 동안, 누수 전류로 인한 저항(71)에서의 전압 강하는 제어 회로(72)로 입력되며, 샘플 홀드 회로(73)에 의해 샘플링 및 홀딩된다.

그 다음, 스위치 회로(1, 2, 3)가 스위칭되고, 기준 신호 1이 R, G 및 B 신호 대신 선택된다. 이 기준 신호 1이 선택되는 기간 동안, 신호(R, BLK, G, BLK, B, BLK)는 순서대로 소정 기간 'L' 레벨로 설정된다. 이 신호(R, BLK, G, BLK, B, BLK)가 'L' 레벨로 설정되는 기간은 서로 중첩된다.

귀선소거 신호(R, BLK)가 'L' 레벨로 설정되는 기간 동안, R 축 내의 컷오프 조절 회로(7)의 출력은 귀선소거 회로(51) 및 구동 회로(10)를 거쳐 R 축의 캐소드에 접속된 트랜지스터(13)의 베이스로 입력되고, 전류는 CRT(16)의 R 축 캐소드 전극을 흐른다. 이 때의 캐소드 전류는 저항(71)에 의해 전압으로 변환되고, 변환된 전압은 제어 회로(72) 내의 감산 회로(74)의 비반전 입력 단자(+)로 입력된다. 누수 전류를 기초로한 전압 성분이 이 변환된 전압에 포함되면, 감산 회로(74)에 의해 샘플 홀드 회로(73)에 의해 샘플링 및 홀딩된 전압들간의 감산이 수행되어, 누수 전류에 기인한 전압은 제거된다.

또한, 기준 신호 1이 입력되는 기간 동안, 블랙 기준 레벨에 해당하는 고정 전압원(76)으로부터의 기준

전압이 스위치 회로(78) 내에서 선택되며, 감산 회로(74)에 의해 누수 전류를 기초로한 전압 성분이 제거된 전압 및 이 기준 전압이 비교기 회로(75)에 의해 서로 비교된다. 그 다음, 이 비교기 회로(75)의 비교 결과는 회로(도시되지 않음)에 의해 발생된 샘플 홀드 회로 제어 신호(82)를 기초로 R 축상의 컷오프 조절에 대해 샘플 홀드 회로(82)에 의해 샘플링되고, 해당 커패시터(88)에 의해 출력된다. 출력된 전압은 제어 신호로서 R 축상의 컷오프 조절 회로(7)에 제공되고, R 축의 DC 레벨은 이 제어 신호를 기초로 조절된다. 이 조절 동작은 귀선소거 신호(R. BLK)가 'L' 레벨로 설정되는 기간 동안에 수행되고, 샘플 홀드 제어 신호(SH82)는 'H' 레벨로 설정되며, 마지막으로 이 컷오프 조절 회로(7)의 클램프 레벨은 비교기 회로(75)의 반전 입력 단자 및 비반전 입력 단자 둘 모두가 서로 일치하도록 조절된다.

그 후, 귀선소거 신호(R. BLK, G. BLK, B. BLK)는 소정 기간 동안 순차적으로 'L' 레벨로 설정되고, 회로(도시되지 않음)에 의해 발생된 샘플 홀드 제어 신호(SH83, SH84)는 순차적으로 'H' 레벨로 설정되어, 각 DC 레벨은 G 및 B 축에 대해 유사하게 조절된다.

그 다음, 스위치 회로(1, 2, 3)는 스위치되고, 기준 신호 2가 R, G 및 B 신호 대신 선택 및 출력된다. 이 기준 신호 2가 선택되는 기간 동안에도, 귀선소거 신호(R. BLK, G. BLK, B. BLK)는 소정 기간 동안 순차적으로 'L' 레벨로 설정된다.

귀선소거 신호(R. BLK)가 'L' 레벨로 설정되는 기간 동안, R 축상의 컷오프 조절 회로(7)의 출력은 R 축상의 캐소드 전극에 접속된 트랜지스터(13)의 베이스로 입력되고, 전류는 CRT(16)의 R 축상의 캐소드 전극을 흐른다. 이 때의 캐소드 전류는 저항(71)에 의해 전압으로 변환되어 감산 회로(74)의 비반전 입력 단자(+)로 입력된다. 변환된 전압에 누수 전류를 기초로한 전압 성분이 포함되면, 감산 회로(74)에 의해 샘플 홀드 회로(73)에 의해 샘플링된 저항들간의 감산이 수행되어, 누수 전류에 기초한 전압은 제거된다.

또한, 기준 신호 2가 선택되는 기간 동안, 스위치 회로(78)에서 백색 기준 레벨에 해당하는 고정 전압원(77)으로부터의 기준 전압이 선택되고, 누수 전류를 기초로한 전압 성분이 제거된 전압 및 이 기준 전압은 비교기 회로(75)에 의해 서로 비교된다. 그 다음, 비교기 회로(75) 내의 비교 결과는 회로(도시되지 않음)에 의해 발생한 샘플 홀드 제어 신호(SH79)를 기초로 R 축의 구동 이득 조절에 대해 샘플 홀드 회로(79)에 의해 샘플링되고, 해당 커패시터(85)에 의해 출력된다. 출력된 전압은 제어 신호로서 R 축상의 구동 이득 조절 회로(4)에 제공되고, 이 제어 신호를 기초로 AC 진폭이 R 축상에서 조절된다. 이 조절 동작은 귀선소거 신호(R. BLK)가 'H' 레벨로 설정되고, 샘플 홀드 제어 신호(SH79)가 'H' 레벨로 설정될 때 수행되고, 마지막으로 구동 이득 조절 회로(4) 내의 AC 진폭은 비교기 회로(75)의 반전 입력 단자 및 비반전 입력 단자 둘 모두의 입력 전압이 서로 일치하도록 조절된다.

그 후, 귀선소거 신호(G. BLK, B. BLK)는 소정 기간 동안 순차적으로 'L' 레벨로 설정되고, 회로(도시되지 않음)에 의해 발생된 샘플 홀드 제어 신호(SH80, SH81)는 소정 기간 동안 순차적으로 'H' 레벨로 설정되어, 각 AC 진폭은 G 및 B 축에 대해 유사하게 조절된다.

이러한 방식으로, 이 실시예에 따르면, 캐소드 전극을 흐르는 누수 전류를 기초로한 전압을 제거하는 회로부는 3 개의 모든 R, B 및 B 축에 공통으로 그리고 기준 신호(1, 2)와 함께 사용된다. 따라서, 캐소드 전극을 흐르는 누수 전류의 영향을 제거시킬 수 있는 효과를 얻을 수 있으며, 컷오프 조절 또는 구동 이득 조절을 최적으로 수행할 수 있다. 또한, 회로 크기가 커지는 것을 막을 수 있다는 또 다른 효과가 있다.

이 실시예에 있어서는, 캐소드 전극을 흐르는 누수 전류를 기초로한 전압을 제거하도록 도 7의 회로와 거의 유사한 구성의 제어 회로가 사용되는 경우를 설명하였다. 그러나, 도 7의 회로와 구성의 거의 유사한 이러한 제어 회로에 부가하여, 도 5, 도 8 및 도 9 각각에 도시된 제어 회로에 대해 도 10의 제어 회로(72)와 같이 2 개의 고정 전압원(76, 77) 및 스위치 회로(78)로 구성된 회로가 첨가된 제어 회로를 사용할 수 있다.

제1 내지 제5 실시예에 있어서는, 비록 컷오프(블랙 레벨) 및 구동 이득(화이트 레벨) 둘 모두를 조절하는 경우를 설명하였지만, 그 둘 중 하나를 조절하도록 회로를 변경시킬 수 있다.

전술한 바와 같이, 각 실시예에 따른 AKB 회로에 있어서는 최적의 컷오프 특성 또는 구동 이득 특성을 얻도록 더 적은 수의 커패시터를 사용하여 캐소드 전극의 누수 전류의 영향을 제거하였다. 이제, 커패시터 없이도 저렴하게 제조할 수 있는 AKB 회로의 다양한 실시예를 설명한다.

도 12는 본 발명의 제6 실시예에 따른 커패시터가 필요 없는 AKB 회로의 전체 구성을 도시한 블록도이다. 도 12의 회로에 있어서는, R, G 및 B 축 중 R 축과 연관된 R 축 관련 회로(R-CCT)의 회로 구성만을 도시하고 있다. 나머지 두 축(G 및 B 축)과 연관된 G 축 관련 회로(G-CCT) 및 B 축 관련 회로(B-CCT)의 구성은 R 축 관련 회로와 유사하므로 그 설명을 생략하였다.

도 12에 있어서, R 축 관련 회로(R-CCT) 내의 스위치 회로(1)는 비디오 신호(R 신호), 기준 신호 1(블랙 레벨) 및 기준 신호 2(화이트 레벨) 중 하나의 신호를 선택 및 출력한다. 이 스위치 회로(1)의 출력은 구동 이득 조절 회로(4)로 입력된다. 구동 이득 조절 회로(4)는 스위치 회로(1)의 출력의 AC 진폭을 조절한다. 컷오프 조절 회로(7)는 구동 이득 조절 회로(4)로부터 출력되는 신호의 DC 레벨의 조절(클램핑)을 수행한다. 이 컷오프 조절 회로의 출력은 귀선소거 회로(51) 및 구동 회로(10)를 거쳐 트랜지스터(13)의 베이스에 제공된다.

트랜지스터(13)의 에미터는 CRT(16)의 3 개의 캐소드 전극의 R 축의 캐소드 전극에 접속된다. 이 트랜지스터(13)는 구동 회로(10)의 출력에 의해 구동되어, 전류가 CRT(16)의 캐소드 전극을 흐르며, CRT(16)는 디스플레이되도록 구동된다.

또한, 트랜지스터(13)의 콜렉터 및 접지 전위 노드 사이에는 캐소드 전극을 흐르는 전류를 변환시키는 전류 검출 저항(17)이 접속된다. 이 저항(17)에서의 전압 강하는 2 개의 비교기 회로(비교 회로)(91, 92)의 각 비반전 입력 단자(+)로 입력된다. 고정 전압원(93)에 의해 발생한 블랙 기준 레벨에 해당하는 기준 전압은 비교기 회로(91)의 반전 입력 단자(-)로 입력된다. 고정 전압원(94)에 의해 발생한 화이트 기준 레

벨에 해당하는 기준 전압은 비교기 회로(92)의 반전 입력 단자(-)로 입력된다.

또한, 도면 부호 95 및 96으로 표시된 각 소자는, 예컨대 각각 전원 공급 없이 데이터의 저장 및 출력이 가능한 비휘발성 메모리 등으로 구성된 메모리 소자이다. 전술한 메모리 회로(95, 96)에 있어서는, 소정의 디지털 데이터가 컷오프 조절 회로(7) 및 구동 이득 조절 회로(4)의 개별적인 동작을 제어하기 위해서 미리 저장된다. 두 메모리 회로(95, 96) 모두에 저장된 데이터는 판독되고, 각각 D/A(digital/analog) 변환기(97, 98)에 제공되어, 아날로그 전압으로 변환되고, 제어 신호로서 컷오프 조절 회로(7) 및 구동 이득 조절 회로(4)로 입력된다.

또한, 두 메모리 회로(95, 96) 모두에 저장된 데이터는 각각 레지스터 회로(99, 100)로 판독된다. 그 다음, 두 레지스터 회로(99, 100) 내의 데이터는 가산기(101, 102)로 입력된다.

두 가산기(101, 102)로는, 소정의 디지털 데이터, 예컨대 '+1' 또는 '-1'을 선택 및 출력하는 데이터 셀렉터 회로(103, 104)의 출력이 입력된다. 상기 데이터 셀렉터 회로(103, 104)의 데이터 선택 동작은 상기 비교기 회로(91, 92)의 비교 출력에 따라 수행된다. 두 가산기(101, 102)의 가산 결과는 두 메모리 회로(95, 96) 모두로 입력되고, 재저장되어, 두 메모리 회로(95, 96) 모두의 저장 데이터는 갱신된다.

데이터가 메모리 회로(95, 96) 둘 모두에 저장 또는 재저장될 때, 모든 저장 동작은 저장 신호(STORE 1, STORE 2)에 의해 제어된다. 두 메모리 회로(95, 96) 둘 모두의 저장 데이터가 레지스터 회로(99, 100)상으로 로드(load)될 때, 모든 로드 동작은 로드 신호(LOAD 1, LOAD 2)에 의해 제어된다.

이제, 도 13의 타이밍도를 참조하여 상기 AKB 회로 구성의 동작을 설명한다.

우선, 수직 귀선소거 기간이지만 귀환 기간은 아닌 기간 동안 스위치 회로(1)에 의해 R 신호 대신 기준 신호 1(블랙 레벨)이 선택된다. 이 때, 메모리 회로(95, 96)에 미리 저장된 초기값 데이터가 각각 판독되고, D/A 변환기(97, 98)에 의해 아날로그 전압으로 각각 변환되고, 제어 신호로서 컷오프 조절 회로(7) 및 구동 이득 조절 회로(4)로 입력된다. 결과적으로, 컷오프 조절 회로(7) 및 구동 이득 조절 회로(4) 각각에서 초기값 데이터에 따라 DC 레벨 및 구동 이득이 조절된다.

한편, 메모리 회로(85)의 저장 데이터는 신호(LOAD 1)의 타이밍에서 저항 회로(99)에 의해 패치(fetch)된다.

또한, CRT(16)의 캐소드 전류는 기준 신호 1이 입력될 때 저항(17)에 의해 전압으로 변환되고, 비교기 회로(91)의 비반전 입력 단자(+)로 입력된다. 상기 변환 전압은 비교기 회로(91)에 의해 기준 전압과 비교되고, '+1' 데이터 또는 '-1' 데이터가 그 비교 결과에 따라 데이터 셀렉터 회로(103)에 의해 선택된다. 비교기 회로(91)가 저항(17) 내의 변환 전압이 기준 전압 보다 클 때 'H' 레벨 신호를 출력하도록 구성된다. 고 가정하면, 예컨대 데이터 선택기 회로(103)는 이 때 '-1' 데이터를 선택 및 출력한다.

그 후, 데이터 셀렉터 회로(103)로부터 출력되는 '-1' 데이터가 저항 회로(99)의 내용에 더해진다. 즉, 이 경우 저항 회로(99)의 내용으로부터 '1'이 감산된다. 감산된 데이터는 신호(STORE 1)의 타이밍에서 메모리 회로에 재저장되며, 초기값 데이터는 갱신된다.

즉, 메모리 회로(95)의 갱신된 저장 데이터는 이전의 데이터와 비교했을 때 '1'만큼 감소되며, 갱신된 데이터는 재판독되고, D/A 변환기(97)에 의해 변환되고, 제어 신호로서 컷오프 조절 회로(7)로 입력되어, 데이터는 컷오프 레벨이 낮아지도록 컷오프 조절 회로(7) 내에서 조절된다. 그 결과, 캐소드 전류는 전보다 더욱 감소된다.

편의상, 메모리 회로의 데이터 갱신 동작이 기준 신호 1의 하나의 입력 기간 동안에 한번 수행되는 것으로 설명하였다. 그러나, 신호(LOAD 1) 및 신호(STORE1)의 타이밍에서의 관계, 즉 데이터가 신호(LOAD 1)에 의해 레지스터에 로드된 후 데이터가 신호(STORE 1)에 의해 메모리 회로에 저장되는 관계가 맞으면, 기준 신호 1의 입력 기간 동안 메모리 회로의 복수 개의 데이터 갱신 동작이 수행될 수 있다. 그러나, 메모리 회로에 저장되는 데이터의 단위 비트 길이는 약 8 비트로, 1 V(1 수직) 기간 동안 하나의 데이터 갱신 동작이 족할 것이다. 예컨대, 데이터 길이가 8 비트이면, 데이터값이 16 진수 '0'에서 'FF'로 바뀔 가능성이 있다. 56 개의 데이터 갱신 동작이 수행된다고 가정하면, 하나의 데이터 갱신 동작이 1 V 기간 동안에 수행될 때, 데이터는 약 4.3 초 내에 최종값으로 설정된다.

이와 유사하게, 기준 신호 2는 스위치 회로(2)에 의해 선택되고, 구동 이득 조절 회로(4)를 제어하는 메모리 회로(96)의 데이터 갱신 동작은 이 선택 기간 동안에 수행된다. 이 경우에 있어서, 데이터가 신호(LOAD 1)에 의해 레지스터 회로(100)에 로드된 후, 그 데이터는 신호(STORE 2)와 동기하여 메모리 회로(96) 내에 재저장된다.

따라서, 이 실시예에 따르면, CRT(16)의 캐소드 전류가 저항(17)에 의해 전압으로 변환된 후 이 변환된 전압은 비교기(91, 92)에 의해 기준 전압과 비교되고, 구동 이득 조절 회로 및 컷오프 조절 회로의 동작을 제어하는 데 사용되는 디지털 데이터는 그 비교 결과를 기초로 갱신되고, 제어 신호는 구동 이득 조절 회로 및 컷오프 조절 회로에 제공된다. 즉, 이 실시 회로에 있어서는, 커패시터가 요구되는 샘플 홀드 회로가 사용되지 않는다.

결과적으로, 집적시에 외부 커패시터가 필요하지 않으며, 집적 회로의 외부 단자의 수가 감소되어, 제조가격을 감소시킬 수 있다.

도 14는 본 발명의 제7 실시예에 따른 커패시터가 필요 없는 AKB 회로의 구성을 도시하고 있다. 도 14의 회로에 있어서는, R, G 및 B 측 중 R 측과 연관된 R 측 관련 회로(R-CCT)의 회로 구성만이 도시되어 있다. 그러나, G 측과 연관된 G 측 관련 회로(G-CCT) 및 B 측과 연관된 B 측 관련 회로(B-CCT)는 R 측 관련 회로(R-CCT)와 유사하므로 설명을 생략하였다.

이 실시예의 AKB 회로는 레지스터 회로(99, 100)가 상이한 위치에 제공된다는 점에서 도 12의 AKB 회로와 상이하다. 즉, 도 12에서 레지스터 회로(99, 100)는 가산기(101, 102)의 입력측에 제공되지만, 이 실시예에서는 이 회로가 가산기(101, 102)의 출력측에 제공된다.

즉, 메모리 회로(95, 96)로부터 판독된 데이터는 가산기(101, 102)에 제공된다. 이 가산기(101, 102)에서는, 메모리 회로(95, 96)로부터 판독된 데이터 및 데이터 셀렉터 회로(103, 104)로부터 출력된 데이터간의 가산이 수행되고, 이 가산 후의 데이터는 레지스터 회로(103, 104)에 로드된다. 따라서, 레지스터 회로(99, 100) 내의 데이터는 메모리 회로(95, 96)에 재저장된다.

이 실시예의 로드 및 스토어(store) 신호의 타이밍은 도 13의 것과 동일할 수 있다.

도 15는 본 발명의 제8 실시예에 따른 AKB 회로의 전체 구성을 도시한 블록도이다. 제7 실시예에 따른 AKB 회로에 있어서는, 비교기 회로(91, 92), 기준 블랙 및 화이트 레벨을 제공하는 고정 전압원(93, 94), 데이터 셀렉터 회로(103, 104) 및 레지스터 회로(99, 100)가 각 3 개의 R, G 및 B 축마다 개별적으로 제공된다. 그러나, 이는 전체 회로 구성을 복잡하게 만든다.

도 15에 도시된 AKB 회로에 있어서는, 공통으로 사용 가능한 회로를 모든 3 개의 R, G 및 B 축에 공통으로 사용하여, 회로 크기가 커지는 것을 막았다. 도 15의 메모리 회로 및 D/A 변환기에 대해서는, R 축과 연관된 소자들은 도면 부호의 끝에 'R'을 덧붙였고, G 축과 연관된 소자들은 도면 부호의 끝에 'G'를 덧붙였고, B 축과 연관된 소자들은 도면 부호의 끝에 'B'를 덧붙였다.

도 15에 있어서, 각 스위치 회로(1, 2, 3)는 R, G 또는 B 신호, 기준 신호 1(블랙 레벨) 및 기준 신호 2(화이트 레벨) 중 각각 하나의 신호를 선택하여 출력한다. 상기 기준 신호 1 및 기준 신호 2를 선택하는 기간은 수직 귀선소거 기간이지만, 수직 귀환 기간, 즉 일반적으로 오버스캐닝되어 사용자에게 보이지 않게 되는 기간의 일부는 아니다.

각각 이득 제어 증폭기로 구성되는 구동 이득 조절 회로(4, 5, 6)는 스위치 회로(1, 2, 3)로부터 각각 출력된 신호의 구동 이득, 즉 AC 진폭의 조절을 수행한다. 또한, 각각 클램프 회로로 구성되는 컷오프 조절 회로(7, 8, 9)는, 예컨대 구동 이득 조절 회로(4, 5, 6)로부터 각각 출력되는 신호의 DC 레벨의 조절(클램핑)을 수행한다. 컷오프 조절 회로(7, 8, 9)의 출력은 각 출력 트랜지스터(13, 14, 15)의 베이스에 제공된다.

트랜지스터(13, 14, 15)의 에미터는 각 R, G 및 B 축의 캐소드 전극에 접속되어 있으며, 이 트랜지스터(13, 14, 15)는 구동 회로(10, 11, 12)의 출력으로 구동되어, 전류가 CRT(16)의 각 R, G 및 B 축의 캐소드 전극을 흐르고, CRT(16)는 구동된다.

또한, 각 트랜지스터(13, 14, 15)의 콜렉터는 공통으로 접속되고, 캐소드 전극을 흐르는 전류를 전압으로 변환시키는 전류 검출 저항(105)은 이 콜렉터 공통 접속 노드 및 접지 전위 노드 사이에 접속된다. 이 저항(105)에서의 전압 강하는 비교기 회로(106)의 비반전 입력 단자(+)로 입력된다.

비교기 회로(106)의 반전 입력 단자(-)로는, 블랙 레벨 기준 전압을 발생하는 고정 전압원(107)으로부터 출력된 기준 전압 또는 화이트 레벨 기준 전압을 발생하는 고정 전압원(108)로부터 출력된 기준 전압이 스위치 회로(109)를 통해 선택적으로 입력된다.

상기 비교기 회로(106)의 비교 결과는 데이터 셀렉터 회로(110)로 입력된다. 이 데이터 셀렉터 회로(110)는 비교기 회로(106)의 비교 결과에 따라 소정의 디지털 데이터, 즉 '+1' 데이터 또는 '-1' 데이터를 선택하여 출력한다.

또한, 도면 부호 95R, 95G, 95B, 96R, 96G 및 96B로 표시된 소자는, 예컨대 각각 비휘발성 메모리로 구성된 메모리 회로이다. 이 각 메모리 회로(95R, 95G, 95B, 96R, 96G, 96B)에는, 각 R, G 및 B 축 상의 구동 이득 조절 회로(4, 5, 6) 및 컷오프 조절 회로(7, 8, 9)의 개별적인 동작을 제어하는 소정의 디지털 데이터가 미리 저장된다. 이 각 메모리 회로(95R, 95G, 95B, 96R, 96G, 96B)에 저장된 데이터는 판독되고, D/A 변환기(97R, 97G, 97B, 98R, 98G, 98B)에 각각 저장되고, 아날로그 전압으로 변환되며, 또한 제어 신호로서 컷오프 조절 회로(7, 8, 9) 및 구동 이득 조절 회로(4, 5, 6) 중 해당하는 하나에 제공된다.

또한, 이 각 메모리 회로(95R, 95G, 95B, 96R, 96G, 96B)로부터 판독된 데이터는 스위치 회로(111)에 의해 선택되고, 레지스터 회로(112)에 로드된다. 이 레지스터 회로(112) 내의 데이터는 가산기(113)로 입력된다.

또한, 상기 데이터 셀렉터 회로(110)의 출력 데이터는 상기 가산기(113)에 더해진다. 가산기(113)의 가산 결과는 상기 메모리 회로(95R, 95G, 95B, 96R, 96G, 96B)로부터 선택되고 메모리 회로로 입력되며, 그 메모리 회로로 다시 저장되어, 저장된 데이터는 갱신된다.

이제, 기준 신호(1)(블랙 레벨)가 스위치 회로(1)에 의해 선택되어, R 신호 대신에 구동 이득 조절 회로(4)로 입력된다. 이 때, R 축상의 귀선소거 신호(R. BLK)만이 'L' 레벨로 설정되고, 나머지 귀선소거 신호(G. BLK, B. BLK)는 모두 'H' 레벨로 설정된다. 이러한 방식으로, 귀선소거 회로(51)만이 해당 구동 이득 조절 회로(4)로부터 구동 회로(10)로 출력을 제공하고, 귀선소거 회로(52, 53)는 해당 컷오프 조절 회로(8, 9)의 출력이 해당 구동 회로(11, 12)에 제공되는 것을 억제한다. 이 때, 캐소드 전류는 G 및 B 축을 거의 흐르지 않는다.

한편, 캐소드 전류는 기준 신호에 따라 R 축을 흐르며, 이 캐소드 전류는 저항(105)에 의해 전압으로 변환되고, 비교기 회로(106)의 비반전 입력 단자(+)로 입력된다. 이 때, 스위치 회로(109)에서는 기준 블랙 레벨에 해당하는 고정 전압원(107)로부터의 기준 전압이 선택된다. 그 후, 저항(105)에 의한 변환 전압은 비교기 회로(106)에 의해 기준 전압과 비교되고, 이 비교 결과에 따라 '+1' 또는 '-1' 데이터가 데이터 셀렉터 회로(110)에 의해 선택 및 출력된다. 예컨대, 저항(105) 내의 변환 전압이 기준 전압보다 클 때 'H' 레벨 신호를 출력하도록 비교기 회로(106)를 구성하였다고 가정하면, 데이터 셀렉터 회로(110)는 '-1' 데이터를 선택 및 출력한다.

이 때, 스위치 회로(111)는 메모리 회로(95R)로부터 판독된 데이터를 선택하고, 이 선택된 데이터는 로드 신호의 타이밍에서 레지스터 회로(112)로 로드된다. 그 후, 데이터 셀렉터 회로(110)로부터 선택 및 출력된 '-1' 데이터는 가산기(113)에 의해 레지스터 회로(112)의 내용에 가산된다. 즉, 이 경우 레지스터 회

로(112)의 내용으로부터 '1'이 감산된다. 이 가산된 데이터는 스위치 회로(114)를 통해 데이터가 판독된 원래 메모리 회로(95R)에 제공된다. 그 다음, 메모리 회로(95R)는 스토어 신호의 타이밍에서 재저장되며, 초기값 데이터는 갱신된다.

즉, 메모리 회로(95R)의 갱신된 저장 데이터는 이전 값에 비해 '1'만큼 감소하며, 갱신된 데이터는 판독되고, D/A 변환기(97R)에 의해 변환되고, R 축상의 컷오프 조절 회로(7)로 이력되어, 컷오프 조절 회로(7)는 컷오프 레벨이 낮아지도록 제어된다. 그 결과, R 축상의 캐소드 전류는 전보다 훨씬 감소한다.

또한, 이 경우에 있어서는 메모리 회로의 데이터 갱신 동작이 기준 신호 1의 하나의 입력 기간 동안에 수행되도록 설명하였으나, 로드 및 스토어 신호의 관계, 즉 데이터가 로드 신호로 레지스터에 로드된 후 스토어 신호에 의해 메모리 회로에 재저장되는 관계가 되면, 기준 신호 1의 하나의 입력 기간 동안 복수 개의 데이터 갱신 동작이 수행될 수 있다.

그 다음, 기준 신호 2(화이트 레벨)가 스위치 회로(2)에 의해 R 축상에 선택되고, 전술한 방식으로 이 기간 동안에 구동 이득 조절 회로(4)를 제어하는 메모리 회로(96R)의 데이터 갱신 동작이 수행된다. 그러나, 이 경우에 스위치 회로(109)는 기준 화이트 레벨에 해당하는 기준 전압원(108)의 전압을 선택하고, 스위치 회로(111)는 메모리 회로(96R)로부터 데이터를 선택하고 그 데이터를 출력하며, 스위치 회로(114)는 가산기(113)의 가산 결과를 선택하여 그 결과를 메모리 회로(96R)로 출력한다.

그 다음, 기준 신호 1(블랙 레벨)이 G 신호 대신 스위치 회로(2)에 의해 선택되어, G 축상의 구동 이득 조절 회로(3)로 입력된다. 이 때, G 축상의 귀선소거 신호(G. BLK)만이 'L' 레벨로 설정되고, 나머지 귀선소거 신호(R. BLK, B. BLK)는 모두 'H' 레벨로 설정된다. 이러한 방식으로, 귀선소거 회로(51, 53)는 해당 컷오프 조절 회로(7, 9)로부터의 출력이 해당 구동 회로(10, 13)에 제공되는 것을 억제한다. 즉, CRT(16)에서는 캐소드 전류가 R 및 B 축을 거의 흐르지 않는다.

한편, 기준 신호에 해당하는 캐소드 전류는 G 축상의 캐소드 전극을 흐르고, 이 캐소드 전류는 저항(105)에 의해 전압으로 변환되어 비교기 회로(106)의 비반전 입력 단자(+)로 입력된다. 이 때, 스위치 회로(109)는 기준 블랙 레벨에 해당하는 고정 전압원(107)의 전압을 선택한다. 그 후, 저항(105)에 의한 변압 전압은 비교기 회로(106)에 의해 기준 전압과 비교되고, 이 비교 결과에 따라 데이터 셀렉터 회로(110)에 의해 '+1' 또는 '-1' 데이터 또는 '-1' 데이터가 선택 및 출력된다.

이 때, 스위치 회로(111)는 메모리 회로(95G)로부터 판독된 데이터를 선택하고, 이 선택된 데이터는 로드 신호의 타이밍에서 레지스터 회로(112)로 로드된다. 그 후, 데이터 셀렉터 회로(110)로부터 출력된 데이터는 가산기(113)에 의해 레지스터 회로(112)의 내용에 가산된다. 이 가산된 데이터는 스위치 회로(114)를 통해 원래 메모리 회로(95G)로 제공된 후, 스토어 신호의 타이밍에서 메모리 회로(95G)에 재저장된다. 그러면, 초기값 데이터는 갱신된다.

이 경우에 있어서는, 기준 신호 1의 하나의 입력 기간 동안에 메모리 회로의 복수 개의 데이터 갱신 동작이 수행될 수 있다.

그 다음, 스위치 회로(2)에 의해 기준 신호 2(화이트 레벨)가 선택되고, G 축상의 구동 이득 조절 회로(5)로 입력된다. 이 기간 동안에, 구동 이득 조절 회로(5)를 제어하는 메모리 회로(96G)의 데이터 갱신 동작은 전술한 바와 같은 방법으로 수행된다. 그러나, 이 경우에서 스위치 회로(109)는 기준 화이트 레벨에 해당하는 기준 전압원(108)의 전압을 선택하고, 스위치 회로(111)는 메모리 회로(96G)로부터 레지스터 회로(112)로 데이터를 출력하고, 스위치 회로(114)는 가산기(113)의 가산 결과를 메모리 회로(96G)로 출력한다.

그 후, 이와 유사하게, B 축상의 컷오프 조절 회로(9) 및 구동 이득 조절 회로(6) 내의 동작이 수행된다.

이 실시예에 있어서는, 샘플 홀드 회로가 사용되지 않았기 때문에, 회로 집적시에 외부 커패시터가 제거되는 효과가 얻어지고 집적 회로의 외부 단자의 수가 감소하여, 제조 가격을 감소시킬 수 있다. 또한, 캐소드 전류 검출기 회로 및 검출기 회로로 검출된 전압과 기준 전압을 비교하는 비교기 회로가 R, G 및 B 축상에 공통으로 기준 신호 1 및 2와 함께 사용되고, 회로 크기가 커지지 않게 되는 효과를 얻는다.

이 실시예에 있어서는, 레지스터 회로(112)의 위치는 도 14의 실시예와 유사하게 가산기(113)의 외부로 변경될 수 있다.

도 17은 본 발명의 제9 실시예에 따른 AKB 회로의 전체 구성을 도시한 블록도이다. 제9 실시예에 따른 AKB 회로는 도 15의 AKB 회로의 비교기 회로(106) 및 데이터 셀렉터 회로(110) 사이에 샘플 홀드 회로(115)를 삽입하여, 비교기(106)의 비교 결과를 임시로 저장할 수 있게한다.

이러한 구성으로 고속 동작이 보장된다. 즉, 기준 신호 입력 후 비교기(106)의 비교 결과가 얻어질 때까지 특정 시간이 소요된다. 비교기 회로(106)의 이전 비교 결과가 샘플 홀드 회로(115)에 저장되면, 기준 신호가 변경되더라도 후속 처리는 영향을 받지 않는다. 따라서, 예컨대 그 다음 축상의 동작을 조절하는 기준 신호의 입력 타이밍이 빨라질 수 있어서, 고속 동작을 견뎌낼 수 있다.

이 경우, 샘플 홀드 회로(115)가 제공되어 전압 홀딩 커패시터가 요구된다. 그러나, 하나의 비교기 회로(115)만으로 충분하므로 하나의 단자만이 증가되며 제조 가격은 그다지 높지 않다.

도 18은 본 발명의 제10 실시예에 따른 AKB 회로의 부분 구성을 도시한 블록도이다. 이 실시예에 따른 AKB 회로는 개별적인 2 개의 카운터 회로(121, 122) 및 게이트 회로(123, 124)가 첨가되었다는 점에서 도 15의 AKB 회로와 상이하다. 데이터 셀렉터 회로(110)로부터 동일한 데이터가 복수 개로 연속적으로 출력될 때에만, 레지스터 회로(112) 내의 데이터 및 데이터 셀렉터 회로(110)로부터의 데이터가 가산기(113)에 의해 가산된다.

이 각 2 개의 카운터 회로(121, 122)는 클럭 입력 단자, 리셋 단자(R) 및 카운트 출력 단자(Q)를 포함한다. 또한, 이 각 2 개의 게이트 회로(123, 124)는 입력 단자, 출력 단자 및 제어 단자를 포함한다.

또한, 데이터 셀렉터 회로(110)는 '+1' 데이터 출력 단자 및 '-1' 데이터 출력 단자를 포함한다.

게이트 회로(123)의 입력 단자는 데이터 셀렉터 회로(110)의 '+1' 데이터의 출력 단자에 접속되고, 이 게이트 회로(123)의 출력 단자는 가산기(113)에 접속된다. 게이트 회로(124)의 입력 단자는 데이터 셀렉터 회로(110)의 '-1' 데이터 출력 단자에 접속되고, 이 게이트 회로(124)의 출력 단자는 가산기(113)에 접속된다.

또한, 카운터 회로(121)의 클럭 입력 단자는 데이터 셀렉터 회로(110)의 '+1' 데이터의 출력 단자에 접속되고, 리셋 단자는 데이터 셀렉터 회로(110)의 '-1' 데이터의 출력 단자에 접속되고, 카운트 출력 단자는 게이트 회로(123)의 제어 단자에 접속된다. 카운터 회로(122)의 클럭 입력 단자는 데이터 셀렉터 회로(110)의 '-1' 데이터의 출력 단자에 접속되고, 리셋 단자는 데이터 셀렉터 회로(110)의 '+1' 데이터의 출력 단자에 접속되고, 카운트 출력 단자는 게이트 회로(124)의 제어 단자에 접속된다.

도면에 있어서, 비록 스위치 회로(111, 114) 등은 도시되지 않았지만, 이는 물론 도 15에 도시된 바와 유사한 방식으로 제공된다. 이러한 구성의 AKB 회로에 있어서는, 비교기 회로(106)로 입력되는 변환된 전압은 기준 전압 보다 크고, 비교기 회로(106)의 출력은 'H' 레벨로 설정되며, 데이터 셀렉터 회로(110)는 '-1' 데이터를 선택 및 출력한다. '-1' 데이터가 출력되어, 카운터 회로(122)는 카운트업(count up)하고, 동시에 카운터 회로(121)는 리셋된다.

그 후, 데이터 셀렉터 회로(110)가 '-1' 데이터를 출력할 때마다. 카운터 회로(121)는 계속해서 카운트업한다. 카운터 회로(122)의 카운트값이 소정의 수가 되면, 카운트 출력 단자로부터의 출력 신호는 반전되고, 게이트 카운터(124)가 오픈되며, '-1' 데이터가 가산기(113)로 출력된다. 따라서, 가산기(113)에 있어서는, 메모리 회로[95(또는 96)]로부터 미리 판독된 데이터 및 '-1' 데이터간의 가산이 수행된 후에, 그 가산값은 원래 메모리 회로[95(또는 96)]로 재저장된다.

이와 대조적으로, 비교기 회로(106)로 입력되는 변환된 전압이 기준 전압 보다 작으면, 비교기 회로(106)의 출력은 'L' 레벨로 설정되고, 데이터 셀렉터 회로(110)는 '+1' 데이터를 선택하여 선택한다. '+1' 데이터가 출력되어, 카운터 회로(121)는 카운트업되고, 동시에 카운터 회로(122)는 리셋된다. 그 후, 데이터 셀렉터 회로(110)가 '+1' 데이터를 출력할 때마다. 카운터 회로(121)는 계속해서 카운트업한다. 카운트 회로(121)의 카운트값이 소정의 수가 되면, 카운트 출력 단자로부터의 출력 신호는 반전되고, 게이트 회로(123)는 오픈되며, '+1' 데이터가 가산기(113)로 출력된다. 따라서, 가산기(113)에서는 메모리 회로[95(또는 96)]로부터 미리 판독된 데이터 및 '+1' 데이터간의 가산이 수행된 후, 그 가산값은 원래 메모리 회로[95(또는 96)]로 재저장된다.

즉, 이 실시예에 따른 AKB 회로는 동일한 데이터의 특정 카운트가 데이터 셀렉터 회로(110)로부터 연속적으로 출력될 때에만 가산기(113)에 의해 가산이 수행되도록 구성되어, 비교기 회로(106)의 출력이 노이즈(noise) 등으로 인해 일시적으로 반전될 때 가산기(113)에 의한 가산을 억제한다.

도 19는 본 발명의 제11 실시예에 따른 AKB 회로의 부분 구성을 도시한 블록도이다. 이 실시예에 따른 AKB 회로는 레지스터 회로(112)의 내용 및 '-n' 데이터 또는 '+n' 데이터('n'은 2 또는 그 이상의 양의 정수)간의 가산을 수행하여, 도 15의 AKB 회로 내의 비교기 회로(106)의 2 개의 입력 전압간에 상당히 큰 차이가 있을 경우 가산기(113)로 레지스터 회로(112)의 내용 및 '+1' 데이터 및 '-1' 데이터간의 가산을 수행하는 대신에 폐쇄 루프 시스템의 변환 시간을 감소시킨다.

도 19의 AKB 회로는 감산기(125), 절대값 검출기 회로(126), 비교기 회로(127), 고정 전압원(128), 데이터 셀렉터 회로(129) 및 스위치 회로(130)가 새로이 첨가되었다는 점에서 도 15의 AKB 회로와 상이하다.

상기 감산기(125)는 저항(105)에 의해 변환된 전압 및 스위치 회로(109)로 선택되는 화이트 또는 블랙 기준 레벨에 해당하는 기준 전압간의 감산을 수행한다. 이 감산기(125)의 출력은 절대값 회로(126)에 의해 절대값이 패치된 후 비교기 회로(127)의 비반전 입력 단자에 제공된다. 고정 전압원(128)에 의해 발생한 기준 전압은 이 비교기 회로(127)의 반전 입력 단자에 제공된다. 비교기(106)의 출력은 데이터 셀렉터 회로(110, 129)에 제공된다. 데이터 셀렉터 회로(110, 129)의 출력은 스위치 회로(130)에 제공된다.

이러한 구조에 있어서, 비교기 회로(127)의 비반전 입력 단자에 제공되는 절대값 검출기 회로(126)로부터의 출력이 고정 전압원(128)에 의해 발생한 기준 전압 보다 작으면, 데이터 셀렉터 회로(110)의 출력이 스위치 회로(130)에 의해 선택된다. 따라서, 이 경우에는 전술한 방식과 유사하게 가산기(113)에 의해 레지스터 회로(112)의 내용 및 데이터 셀렉터 회로(110)으로부터 출력된 '-1' 데이터 또는 '+1' 데이터간의 합산이 수행된다.

한편, 비교기 회로(127)의 비반전 입력 단자에 제공되는 절대값 검출기 회로(126)의 출력이 고정 전압원(128)의 기준 전압 보다 크면, 데이터 셀렉터 회로(129)의 출력이 스위치 회로(130)에 의해 선택된다.

따라서, 이 경우에는 레지스터 회로(112)의 내용 및 셀렉터 회로(129)로부터 출력된 '-n' 또는 '+n' 데이터간의 합산이 가산기(113)에 의해 수행되고, 가산기(113)의 가산 결과는 불연속적인 값이되어, 폐쇄 루프 시스템의 변환 시간을 감소시킬 수 있다.

제6 내지 제11 실시예 각각에 있어서는 비록 컷오프(블랙 레벨) 및 구동 이득(화이트 레벨) 둘 모두가 조절되는 경우를 설명하였지만, 이 중 하나만을 조절하도록 회로를 변경시킬 수 있다.

한편, 제6 내지 제11 실시예 각각에 따른 디지털 시스템의 AKB 회로에 있어서는, 수직 귀선소거 기간 동안 기준 신호가 입력되고, 이 때 캐소드 전류가 검출되어 전압으로 변환되고, 변환된 전압이 비교기 회로에 의해 하나의 기준 전압과 비교되는 경우를 설명하였다. 그러나, 일반적으로 디지털 시스템의 경우에 있어서, 비교기 회로로 전압이 비교될 때에는 하이 및 로우 레벨측의 2 개의 기준 전압(VrefH 및 VrefL)이 각각 기준 전압으로 사용된다.

즉, 디지털 시스템의 경우에 있어서, 저항(17 또는 105) 내의 전압 강하가 불연속적인 값이기 때문에, 2 개의 기준 전압이 사용된다. 예컨대, 하나의 기준 전압만이 사용되면, 전압 강하는 아날로그 시스템과는

달리 하나의 점에서 수렴하지 않으며 기준 전압을 포함하도록 변한다. 따라서, 디지털 시스템에서는 '전압 창(voltage window)'을 형성하도록 2 개의 기준 전압이 제공된다. 변환된 전압이 이 창 내에 위치하면, 데이터가 변경되는 안정한 점을 형성하려고 한다.

또한, 상기 2 개의 기준 전압(VrefH, VrefL)의 값은 D/A 변환기의 정밀도에 따른 컷오프 조절 및 구동 이득 조절 동안 하강 전압 스텝 당 변화량 보다 더 넓은 전위차(VrefH, VrefL)로 설정되어야만 한다.

이는 2 개의 기준 전압(VrefH, VrefL)의 전위차가 도 20b의 'NG'에 도시된 바와 같이 스텝 당 변화량 보다 더 작으면, 변환된 전압(Vik)가 2 개의 기준 전압(VrefH, VrefL)을 뛰어넘고, 안정한 점이 발견되지 않기 때문이다. 도 20a의 'OK'에서는 2 개의 기준 전압(VrefH, VrefL)간의 전위차가 스텝당 변화량 보다 크고, 변환된 전압(Vik)의 안정한 점이 존재할 때의 경우를 도시하고 있다.

그러나, CRT의 캐소드 전압(Vk) 및 캐소드 전류(Ik)간의 관계가 도 21에 도시된 바와 같이 선형이 아니며, 따라서 스텝당 변환된 전압(Vik)의 변화량은 Ik에 의존한다.

또한, CRT에 따른 단위 차가 크기 때문에, 이 전압 폭을 스텝당 변화량 보다 넓은 전압 폭(전위차)으로 확실히 설정하기 위해서 필요분 보다 더 넓게 설정하는 것이 요구된다.

그러나, 이는 안정한 점이 큰 에러를 포함하게 된다.

이하, 이러한 불편함을 제거한 본 발명의 제12 실시예에 따른 디지털 시스템의 AKB 회로를 설명한다.

도 22는 이 회로의 주요부의 구성을 도시하고 있다.

CRT 캐소드 전류를 전압으로 변환시키는 전류 검출 저항(105)에서의 전압 강하는 2 개의 변환기 회로(141, 142) 중 각 하나의 비반전 입력 단자(+)로 입력된다.

고정 전압원에 의해 발생한 로우 레벨측의 기준 전압(VrefL)은 비교기 회로(143)의 반전 입력 단자에 제공된다. 고정 전압원(144)에 의해 발생한 하이 레벨측의 기준 전압(VrefH)은 로우 레벨측의 기준 전압(VrefL)과 중첩되어, 비교기 회로(142)의 반전 입력 단자(-)에 제공된다.

비교기(141)의 출력은 인버터(inverter)(145)에 제공되고, 인버터(145)의 출력은 래치 회로(145)의 입력 단자에 제공되어 2 입력 AND 게이트(147)의 하나의 입력 단자에 제공된다. 또한, 이 래치 회로(146)의 출력은 AND 게이트(147)의 또 다른 입력 단자에 제공된다.

비교기 회로(142)의 출력은 래치 회로(148)의 입력 단자에 제공되고, 2 입력 AND 게이트(149)의 하나의 입력 단자에 제공된다. 또한, 이 래치 회로(148)의 출력은 AND 게이트(149)의 또 다른 단자에 제공된다.

AND 게이트(147, 149)의 출력은 2 입력 AND 게이트(150, 151) 각각의 하나의 입력 단자에 제공된다. 클럭 신호(CLK)는 각 AND 게이트(150, 151)의 또 다른 입력 단자에 제공된다. AND 게이트(150, 151)의 출력은 2 입력 OR 게이트(152)에 제공된다. 이 OR 게이트(152)의 출력은 카운터 회로(153)에 의해 카운트되고, 카운트 출력은 D/A 변환기(154)에 제공된다. 이 D/A 변환기(154)의 출력은 기준 전압의 값을 변경시키기는 제어 신호로서 하이 레벨측의 기준 전압(VrefH)을 발생하는 고정 전압원(144)에 제공된다.

또한, 이 변환기 회로(141, 142)의 출력은, 예컨대 도 12에 도시된 바와 같이 레지스터 회로(100) 및 가산기(101, 102)로 구성된 AKB 처리기 회로(155)에 제공된다.

이러한 구성의 AKB 회로에 있어서, 비교기 회로(141, 142)의 비교 결과는 2 개의 연속된 필드간에 서로 비교되고, 카운터 회로(153)는 비교 결과를 기초로 카운트업된다. 또한, 카운터(153)의 카운트 출력은 D/A 변환기에 의해 D/A 변환되고, 고정 전압원(144)에 의해 발생한 하이 레벨측의 기준 전압(VrefH)의 값은 D/A 변환된 출력값에 따라 변경된다.

즉, 도 23에 도시된 바와 같이, 초기 상태 동안에 하이 레벨측의 기준 전압(VrefH)의 값은 최소값으로 설정된다. 저항(105)에서의 전압 강하(Vik)가 VrefL 및 VrefH간의 전위차의 점프(jump)를 변화시킬 때, 이 2 개의 AND 게이트(147, 149) 중 어느 하나는 'H' 레벨로 설정되어, 카운터 회로(153)는 하나의 클럭만큼 카운트업되고, 고정 전압원(144)에 의해 발생한 하이 레벨측의 기준 전압(VrefH)의 값이 D/A 변환기(154)의 D/A 변환된 출력값에 따라 증가하도록 제어된다. 이러한 제어는 전압 강하(Vik)가 기준 전압들(VrefL, VrefH)간의 전위차를 점프하지 않을 때까지 수행된다.

이 실시예의 AKB 회로에 따르면, 저항(105)에 의해 변환된 전압(Vik)은 D/A 변환기(154)의 정밀도 한계 내의 최적의 값으로 수렴한다. 따라서, 컷오프 조절 및 구동 이득 조절은 높은 정밀도로 수행된다.

도 25는 도 15에 도시된 AKB 회로를 재도시하고 있다. 이 도면의 전류 검출기 회로(161)는 도 15의 전류 검출용 저항(105)에 해당한다. 이 도면의 기준 전압 회로(162)는 도 15의 고정 전압원(107, 108) 및 스위치 회로(109)에 해당한다. 이 도면의 AKB 처리기 회로(113)는 도 15의 데이터 셀렉터 회로(110), 레지스터 회로(112) 및 가산기(113)에 해당한다. 또한, 셀렉터 회로(164)는 도 14의 스위치 회로(111, 114)에 해당한다. 도 24에 있어서는, 캐소드 전극 등을 구동하는 트랜지스터가 도시되지 않았다.

도 24의 AKB 회로에 있어서, 스위치 회로(1, 2, 3)로부터 선택되어 출력된 신호의 구동 이득, 즉 AC 진폭의 조절은 구동 이득 조절 회로(4, 5, 6)에서 수행된다. 이 기간 동안, 메모리 회로(MEM)(96R, 96G, 96B)에 미리 저장된 디지털 데이터는 각 R, G, B 축에 판독된다. 이 디지털 데이터가 각 R, G 및 B 축의 D/A 변환기(D/A)(98R, 98G, 98B)에 의해 D/A 변환된 후, 이 변환된 아날로그 데이터는 제어 신호로서 해당 구동 이득 조절 회로(4, 5, 6)에 제공된다.

또한, 컷오프 조절 회로(7, 8, 9)에서는 각 스위치 회로(1, 2, 3)로부터 출력된 신호의 DC 레벨이 조절된다. 이 기간 동안, 메모리 회로(MEM)(97R, 97G, 97B)에 미리 저장된 디지털 데이터는 각 R, G 및 B 축에 판독된다. 이 디지털 데이터가 각 R, G 및 B 축마다 D/A 변환기(D/A)(97R, 97G, 97B)에 의해 D/A 변환된 후, 이 변환된 아날로그 데이터는 제어 신호로서 해당 컷오프 조절 회로(7, 8, 9)에 제공된다.

각 컷오프 조절 회로(7, 8, 9)의 출력은 CRT(16)의 각 R, G 및 B 축의 캐소드 전극에 제공된다.

귀선소거 회로(51, 52, 53)에 있어서는, 일반적인 귀선소거에 부가하여 AKB 조절 기간 동안에 조절 축이 아닌 기타 원하지 않는 신호가 블랭킹(blanking)된다. 또한, CRT(16)에서는 각 캐소드 전극에 전압이 제공되어, 캐소드 전류가 흐르고 CRT는 디스플레이하도록 구동된다.

CRT(16)에 있어서, 기준 신호 1 또는 기준 신호 2가 제공될 때 캐소드 전류는 각 캐소드 전극에 인가된 전압에 따라 흐른다. 이 각 캐소드 전류는 전류 검출 회로(161)에 의해 검출되고 전압으로 변환되어 출력된다. 이 전류 검출 회로(161)로부터 출력된 변환된 전압은 기준 전압 회로(162)로부터 출력된 블랙 레벨 기준 전압 또는 화이트 레벨 기준 전압과 비교된다.

이 비교기 회로(106)의 출력은 AKB 처리기 회로(163)에 제공된다. 이 AKB 처리기 회로에서는 비교기 회로(106)의 비교 결과에 따라 새로운 디지털 데이터가 생성된다. 이 새로운 디지털 데이터는 복수 개의 메모리 회로(95R, 95G, 95B, 96R, 96G, 96B) 중 해당 회로에 재저장되고, 그 데이터는 갱신된다.

전술한 정귀환 루프에 의해서, 암부(暗部) 및 명부(明部)에서의 캐소드 전류의 값은 각 R, G 및 B 축의 소정의 기준값과 일치하도록 조절된다. 그 결과, 화이트 밸런스는 자동으로 조절된다.

한편, 도 24에 도시된 AKB 회로에 있어서는 회로 시스템의 안정성을 보장하기 위해서 캐소드 전류의 검출 카운트를 증가시키는 것이 요구된다. 따라서, 통상적으로 각 조절 축마다 1 수직 기간(1 H)의 검출 기간이 할당된다.

예컨대, 회로 구성을 간소화하기 위해서 전류 검출기 회로(161), 기준 전압 회로(162), 비교기 회로(106), AKB 처리기 회로(163) 및 셀렉터 회로(164) 등이 각 R, G 및 B 축에 공통으로 사용된다. 도 25에 도시된 바와 같이 3 축 조절이 시분할 처리에 의해 수행될 때, 그 조절은 귀선소거 기간 내의 3 개의 연속된 수직 기간(3 H)을 사용하여 수행된다.

즉, 첫번째 1 필드 내에서 R 축 컷오프 조절, G 축 컷오프 조절 및 B 축 컷오프 조절로 이루어진 블랙 레벨 조절이 수행되고, 그 다음 1 필드에서 R 축 이득 조절, G 축 이득 조절 및 B 축 이득 조절로 이루어진 화이트 레벨 조절이 수행되고, 계속해서 마지막으로 블랙 레벨 및 화이트 레벨은 이 조절 동작을 반복함으로써 수렴된다.

도 25에 있어서, PV는 수직 동기 신호를 나타내고, PH는 수평 동기 신호를 나타낸다. 또한, 일반적인 키라인 기간은 블랙 레벨 및 화이트 레벨이 조절되는 귀선소거 기간의 종료 후에 개시된다.

한편, AKB 처리 동안에, 전원이 인가되었을 때의 초기 조절, 온도로 인한 변화 및 저하된 CRT 특성과 같은 시간의 경과로 인한 변화와 같은 변화가 비교적 느린 것이 물론 요구된다. 또한, CRT에 인가된 스크린 전압(CRT의 제2 그리드 전압)과 같은 높은 전압의 변동 등에 기인한 빠른 변화도 물론 요구된다.

CRT 애노드(anode) 전압은 디스플레이 스크린[비디오 콘텐츠(contents)]의 휘도에 따라 변동하고, 또한 CRT 비암(beam) 전류의 값에 의존한다.

한편, 스크린 전압 또는 애노드 전압과 같은 고전압은 고전압 발생기 회로에 의해 발생한다. 통상적으로, 텔레비전 수신기에 제공되는 고전압 발생기 회로는 충분한 전압 안정성을 갖고 있지 않다. 따라서, 상기 비암 전류가 변동할 때, 고전압 발생기 회로에 의해 발생된 고전압은 변동한다. 이러한 현상은 일반적으로 '고전압 변동(high voltage fluctuation)'이라고 지칭된다.

또한, CRT 스크린 전압은 고전압 변동에 의해 영향을 받고, 변동한다. CRT 컷오프 레벨은 이 스크린 전압에 의해 영향을 받는다. 따라서, 고전압 변동이 발생하면, 컷오프 레벨은 변동한다.

이러한 고전압 변동은 종종 발생한다. 이 고전압 변동이 발생하면, 컷오프 레벨은 상당히 변한다. 이 변화는 빠르고, 변화량은 크며, 빠른 응답이 요구된다. 따라서, 도 25에 도시된 바와 같이 각 축마다 2 필드씩 한번의 AKB 처리가 수행될 때, 고전압 변동이 발생하면 트랙 속도의 특성 상 이러한 변동에 대처할 수 없을 수 있다.

또한, 각 필드마다 3 수직 기간 보다 더 많은 조절 기간이 제공될 때 CRT 튜브면의 반사가 캐소드 전류를 검출하도록 입력된 기준 신호로 인해 뚜렷해지는 문제점 및 검출 기간이 1 수직 기간 보다 작을 때 안정성이 전술한 바와 같이 손상되는 문제점이 발생한다.

고전압 변동 동안 AKB 처리의 수렴 속도를 향상시킨 예로서, 도 25에 도시된 회로가 있다. 도 26은 본 발명의 제13 실시예에 따른 디지털 시스템의 AKB 회로의 전체 구성을 도시하고 있다. 도 24에 도시된 소자에 해당하는 소자의 설명은 생략하며, 도 24와 상이한 점만을 설명한다.

이 AKB 회로에 있어서, 메모리 회로에 저장된 데이터가 갱신되는 양은 도 19에 도시된 AKB 회로와 동일하게 설정된다. 즉, 데이터가 수렴 지점에 근사할 때 높은 정밀도의 데이터 갱신을 보장하도록 작은 변화량이 설정되고, 데이터가 수렴 지점으로부터 멀리 있을 때 높은 정밀도의 데이터 갱신을 보장하도록 큰 변화량이 설정된다.

따라서, 전류 검출기 회로(161)로부터 변환된 전압 및 기준 전압 회로(162)로 발생된 기준 전압은 비교기 회로(165)에 의해 서로 비교되며(이 경우 이 전압들간의 차가 큼), 메모리 회로 저장 데이터는 AKB 처리기 회로(166)에 의해 거친(coarse) 변화량($\pm m$)으로 갱신된다. 한편, 상기 차가 작을 경우, 메모리 회로 저장 데이터는 AKB 처리기 회로(166)에 의해 미세한(fine) 변화량($\pm n$; $n < m$)으로 갱신된다.

이 경우, 불연속적인 데이터 갱신 상태에서 큰 변화량이 발생한다. 그러나, 노이즈가 발생하면, 이 노이즈는 고전압 변동으로 인해 잘못 판단된다. 비록 고전압 변동이 실제로 발생하지는 않지만, 데이터는 큰 변화량으로 갱신되고 스크린 휘도가 깜빡일 가능성이 있다.

이러한 불편함을 해소하기 위해서, 오동작을 제거하도록 캐소드 전류 검출 카운트를 증가시킴으로 인한 집적 효과가 제공된다. 그러나, 이는 처리 시간을 증가시켜, 고전압 변동과 같은 빠른 변화에 적응하지

못하게 한다.

통상적으로, CRT 캐소드 전극 내의 전압/전류 특성은 비선형이며, 감마(gamma) 특성을 제공한다. 따라서, 전술한 바와 같이 데이터가 불연속적인 변화량(스텝)으로 갱신될 때, 조절 지점에서 수렴이 얻어지는 지를 판단하는 것은 어렵다.

이는 스텝 당 캐소드 전류의 변화량이 각 CRT 또는 심지어 동일한 CRT이더라도 그 CRT에 의한 캐소드 전압의 값에 따라 변하기 때문이다.

따라서, 수렴 영역이 결정될 때, 그 영역이 높은 정밀도를 보장하도록 좁게 설정되면 캐소드 전류는 종종 수렴 영역에 걸쳐 1 스텝만큼 변하고 수렴 지점에 도달하지 않는다. 이와 대조적으로, 수렴 영역이 이 문체에 대처하도록 넓혀지면, 조절의 정밀도를 해치게 된다.

도 27A는 스텝 당 캐소드 전류의 변화량(ΔI_k)이 최적으로 설정된 경우를 나타내고 있다. 캐소드 전류(I_k)의 변환된 전압(V_{ik})이 고전압측인 기준 전압(V_{refH})측으로부터 하강하고 저전압측인 기준 전압(V_{refL})측으로부터 상승할 때, 전류는 기준 전압(V_{refH} , V_{refL}) 사이에서 수렴한다. 도 27B는 스텝 당 캐소드 전류의 변화량(ΔI_k)이 높게 설정된 경우를 나타내고 있다. 변화량(V_{ik})이 고전압측인 기준 전압(V_{refH})측으로부터 하강하고 저전압측인 기준 전압(V_{refL})측으로부터 상승할 때, 전압은 기준 전압(V_{refH} , V_{refL}) 사이에서 점프한다. 따라서, 전압은 수렴하지 않는다. 또한, 도 27C는 스텝 당 캐소드 전류의 변화량(ΔI_k)이 낮게 설정된 경우를 나타낸다. 변화량(V_{ik})이 고전압측인 기준 전압(V_{refH})측으로부터 하강하고 저전압측인 기준 전압(V_{refL})측으로부터 상승할 때, 수렴 지점은 서로 상이할 것이다.

대조적으로, 크기면에서의 관계가 수렴 영역의 설정 없이 하나의 지점에서 비교되어, 도 27B에 도시된 바와 같이 수렴되지 않거나 도 27C에 도시된 바와 같이 수렴되는 문제점을 해결할 수 없다.

그러나, 도 28에 도시된 바와 같이 불연속 데이터를 사용하면, AKB 처리기 회로(166)에 의해 발생한 데이터(V_{ik})는 캐소드 전류(I_k)를 기초로 변동한다.

도 29는 본 발명의 제14 실시예에 따른 AKB 회로의 전체 회로 구성을 도시한 블록도이며, 여기서 고전압 변동이 발생하고 비디오 신호의 DC 레벨이 빠르게 변하면, 이 고속 DC 레벨 변화에 맞추어 조절이 수행된다. 도 29에 있어서는, 3 개의 주요 컬러 비디오 신호의 R, G 및 B 축 중 B 축과 연관된 B 축 관련 회로(B-CCT)만을 도시하고 있다. 그러나, 나머지 R 축 및 G 축과 연관된 R 축 및 G 축 관련 회로(R-CCT, G-CCT)의 구성이 B 축 관련 회로와 유사하므로 그 설명을 생략한다. 도 24의 실시 회로의 소자에 해당하는 동일한 소자에는 동일한 도면 부호를 표시하여 설명할 것이다.

CRT(16)에 있어서, 기준 신호 1 또는 기준 신호 2가 제공될 때 인가되는 캐소드 전압에 따라 캐소드 전류가 캐소드 전극을 흐르며, 그 캐소드 전류는 전류 검출기 회로(161)에 의해 검출되고 전압으로 변환되어 출력된다.

전류 검출기 회로(161)로부터 출력된 변환된 전압은 기준 전압 회로(162)에 의해 발생한 블랙 레벨 기준 전압 또는 화이트 레벨 기준 전압과 비교된다.

비교기 회로(106)의 출력은 AKB 처리기 회로(163)에 제공된다. AKB 처리기 회로(163)에서는, 비교기 회로(106)의 비교 결과에 따라 새로운 디지털 데이터가 생성된다. 이 생성된 새로운 디지털 데이터는 셀렉터 회로(164)를 거쳐 메모리 회로(95B, 96B)에 재저장되며, 그 데이터는 갱신된다.

또한, 도 29의 회로에 있어서는, 상기 구조에 부가하여 고전압 변동 검출기 회로(171), 강제(forcible) 셀렉터 회로(172) 및 수렴 검출기 회로(173)가 첨가되었다.

고전압 변동 검출기 회로는 전류 검출기 회로(161)에 접속된다. 전류 검출기 회로(161)로부터 출력된 변환된 전압이 빠르게 변동하는 경우에는 고전압 변동 검출기 회로(171)가 이 상태를 CRT(16)에 인가된 고전압의 변동의 발생으로서 감지한다. 고전압 변동 검출기 회로(171)의 검출 출력은 강제 셀렉터 회로(172)에 제공된다. 고전압 변동이 고전압 변동 검출기 회로(171)에서 발생할 때, 강제 셀렉터 회로(172)는 AKB 처리기 회로에 의해 생성된 블랙 레벨(암부)에 대한 디지털 데이터 갱신만이 선택되도록 셀렉터 회로(164)의 동작을 제어한다.

또한, 수렴 검출기 회로(173)는 전류 검출기 회로(161)에 접속된다. 이 수렴 검출기 회로(173)는 전류 검출기 회로(161)로부터 출력된 변환된 전압에 따라 실제 블랙 레벨이 기준 블랙 레벨로 수렴하는지 안하는지를 검출한다. 이 수렴이 검출될 때, 강제 셀렉터 회로(173)의 상태는 셀렉터 회로(164)에서 블랙 레벨(암부) 및 화이트 레벨(명부)이 선택된 상태로 복귀한다.

또한, 강제 셀렉터 회로(172)의 출력은 스위치 회로(3)에 제공된다. 이 스위치 회로(3)는 각 필드마다 기준 블랙 레벨에 해당하는 기준 신호 1만을 선택하거나 각 필드마다 기준 블랙 또는 화이트 레벨에 해당하는 기준 신호 1 및 2를 교대로 선택하도록 제어된다.

이러한 구성으로, 고전압 변동이 발생하지 않는 상태에서, 스위치 회로(3)는 각 필드마다 기준 화이트 및 블랙 레벨에 해당하는 기준 신호 1 및 2를 교대로 선택하도록 제어된다. 또한, 셀렉터 회로(164)는 AKB 처리기 회로(163)에 의해 생성된 화이트 레벨(명부) 갱신 및 블랙 레벨(암부) 갱신에 대한 디지털 데이터를 교대로 선택하도록 제어된다. 따라서, 컷오프 조절 회로(9)의 블랙 레벨 조절 동작 및 구동 이득 조절 회로(6)의 화이트 레벨 조절 동작은 각 필드에서 교대로 수행된다.

한편, 고전압 변동 검출기 회로(171)에서 고전압 변동의 발생이 검출될 때, 각 필드의 기준 블랙 레벨에 해당하는 기준 신호 1을 선택하도록 스위치 회로(3)가 제어된다. 또한, 강제 셀렉터 회로(172)의 출력에 의해, 셀렉터 회로(164)는 AKB 처리기 회로(163)로 발생된 블랙 레벨(암부)에 대한 디지털 데이터만을 선택하도록 제어된다. 결과적으로, 컷오프 조절 회로(9)의 단지 블랙 레벨에 대한 조절 동작은 각 필드에 대해 수행된다.

수렴 검출기 회로(173)에 있어서, 실제 블랙 레벨이 기준 블랙 레벨로 수렴되었다고 검출될 때, 강제 셀렉터 회로(172)의 상태는 블랙 레벨(암부) 및 화이트 레벨(명부)의 두 조절 동작 모두가 수행되는 상태로

복귀한다. 계속해서, 상기 상태는 전술한 일반적인 상태, 즉 컷오프 조절 회로(9)의 블랙 레벨의 조절 동작 및 구동 이득 조절 회로(6)의 화이트 레벨의 조절 동작이 교대로 수행되는 상태로 복귀한다.

도 30은 제14 실시예에 따른 AKB 회로의 제어예를 흐름도로 도시하고 있다. 단계 S1에서 기준 신호 선택 동작의 고전압 변동이 검출되면, 단계 S2에서 블랙 레벨 조절 동작이 수행된다. 그 다음, 단계 S3에서는 블랙 레벨 수렴 상태가 검출된다. 수렴이 검출되지 않으면 그 다음 필드에서 조절 동작이 재수행된다.

한편, 블랙 레벨 수렴이 검출되면, 단계 S1으로 복귀하여 고전압 변동의 검출이 수행된다.

고전압이 검출되지 않으면, 단계 S4에서 홀수 필드 또는 짝수 필드가 검출된다. 홀수 필드가 검출되면, 단계 S5에서 화이트 레벨 조절 동작이 수행된다. 그 다음, 단계 S1으로 다시 복귀하여 고전압 변동의 검출이 수행된다. 고전압 변동이 검출되지 않으면, 홀수 필드 또는 짝수 필드가 검출된다. 홀수 필드가 검출되면 단계 S6에서 블랙 레벨 조절 동작이 수행된다.

한편, 실제 고전압 변동에서, 블랙 레벨(컷오프 레벨)은 크게 변하지만 화이트 레벨은 거의 변하지 않는다. 따라서, 고전압 변동 동안 빠른 화이트 레벨 조절이 필요 없다. 따라서, 고전압 변동 동안에 크게 변하는 블랙 레벨은 각 필드에 대해 조절되며, 따라서 그 변동은 도 24의 실시예의 경우보다 2 배 빠른 속도로 수렴할 수 있다.

그 결과, 비디오 신호의 DC 레벨이 고전압 변동으로 인해 빠르게 변하더라도, 이 변화에 맞추어 고속 조절 수행이 가능하다.

이 실시예에 따른 AKB 회로는 이 회로가 도 30에 도시된 각 단계의 기능을 포함한다면, 도 29에 도시된 회로 구성으로 항상 제한되는 것은 아니다. 예컨대, 프로그램 제어 CPU를 사용하는 회로를 사용할 수 있다.

도 31은 도 29의 전류 검출기 회로(161), 고전압 변동 검출기 회로(171) 및 비교기 회로(106) 각각의 회로 구성의 특정예를 도시하고 있다. 전류 검출기 회로(161)는 CRT(16)의 캐소드 전류(Ik)를 전압으로 변환하는 저항으로 구성된다. 비교기 회로(106)는 전류 검출기 회로(161)로 변환된 전압과 기준 전압 회로(162)로 발생된 화이트 기준 레벨 또는 블랙 기준 레벨에 해당하는 기준 전압(Vref)을 비교하는 비교기(106a) 및 비교기(106a)의 출력이 데이터(D) 입력 단자에 제공되고 클럭 신호(CK)가 클럭 입력 단자에 제공되는 래치 회로(106b)로 구성된다.

이러한 구성을 갖는 비교기 회로(106)에 있어서, 변환된 전압이 기준 전압(Vref) 보다 크면 비교기(106a)의 출력(Q)은 '1' 레벨로 설정된다. 이와 대조적으로, 변환된 전압의 값이 기준값(Vref) 보다 작으면 비교기(Q)의 출력(Q)은 '0' 레벨로 설정된다. 비교기(106a)의 출력은 클럭 신호(CK)와 동기하여 래치 회로(106b)에 의해 래치되어 AKB 처리기 회로(163)에 제공된다.

고전압 변동 검출기 회로(171)는 전류 검출기 회로(161)로 변환된 전압과 기준 전압(Vref) 보다 큰 전압인 기준 전압(VH1)을 서로 비교하는 비교기(181), 전류 검출기 회로(161)로 변환된 전압과 기준 전압(Vref) 보다 작은 전압인 기준 전압(VL1)을 서로 비교하는 비교기(182), 비교기(181)의 출력이 그 데이터(D) 입력 단자에 제공되고 클럭 신호(CK)가 클럭 입력 단자에 제공되는 래치 회로(185), 비교기(182)의 출력이 그 데이터(D) 입력 단자에 제공되고 클럭 신호(CK)가 클럭 입력 단자에 제공되는 래치 회로(184) 및 래치 회로(183)의 출력(Q)과 래치 회로(184)의 반전 출력(/Q)이 제공되는 OR 회로(185)로 구성된다.

고전압 변동이 발생하면, 전류 검출기 회로(161) 내의 변환된 전압은 기준 전압(Vref) 보다 더 크거나 작을 수 있다.

고전압 변동이 발생하면, 전류 검출기 회로(161)의 변환된 전압은 기준 전압(Vref) 보다 크며, 또한 고전압 변동 검출기 회로(171) 내의 비교기(181)에 제공된 기준 전압(VH1)을 초과할 때, 이 비교기(181)의 출력은 '1' 레벨로 설정된다. 그러면, 비교기(181)의 출력 상태는 클럭(CK)이 제공되는 타이밍에서 래치 회로(183)에 의해 래치된다.

고전압 변동이 발생하면, 전류 검출기 회로(161)의 변환된 전압의 값이 기준 전압(Vref) 보다 작으며, 또한 고전압 변동 검출기 회로(171) 내의 비교기(182)에 제공된 기준 전압(VL1) 보다 작을 때, 이 비교기의 출력은 '0' 레벨로 설정된다. 그러면, 비교기(182)의 출력 상태는 클럭 신호(CK)가 제공되는 타이밍에서 래치 회로에 의해 래치된다.

따라서, 고전압 변동이 발생하면, 래치 회로(183)의 출력(Q) 및 래치 회로(184)의 반전 출력(/Q) 중 어느 하나는 '1' 레벨로 설정되고, 이 '1' 레벨의 검출 신호는 OR 회로(185)를 거쳐 도 29에 도시된 강제 셀렉터 회로(172)에 제공된다.

도 32는 도 29에 도시된 강제 셀렉터 회로(172)의 회로 구성의 특정예를 도시하고 있다. 이 강제 셀렉터 회로(172)는 반전 출력(/Q)이 데이터(D) 입력 단자로 복귀되고 클럭 신호(VCLK)가 데이터(D) 클럭 입력 단자에 제공되는 플립 플롭(flip-flop) 회로(187), 고전압 검출기 회로(171)의 검출 출력에 의해 설정되고 수렴 검출기 회로(173)의 검출 출력에 의해 리셋되는 플립 플롭 회로(187, 188)의 출력(Q)이 입력되는 OR 회로(189)로 구성된다.

상기 클럭 신호(VCLKS)는 수직 동기 신호로 동기되는 클럭 신호이며, 각 필드 당 하나씩 출력된다.

도 32의 강제 셀렉터 회로(172)에 있어서, 플립 플롭 회로(187)의 출력은 각 필드에 대해 '1' 및 '0' 레벨이 교대로 반복하는 신호가 된다. 이 도면에 도시된 바와 같이, 예컨대 각각 '1' 레벨은 암부 조절 기간에 해당하며, '0' 레벨은 명부 조절 기간에 해당한다. 따라서, 고전압 변동이 검출되지 않을 때, 플립 플롭 회로(187)의 출력은 OR 회로(189)를 거쳐 도 29에 도시된 셀렉터 회로에 제공된다. 이러한 방식으로, 블랙 레벨 조절 데이터가 AKB 처리기 회로(163)로부터 출력될 때, 셀렉터 회로(164)는 그 데이터를 메모리 회로(95B)에 제공한다. 화이트 레벨 조절 데이터가 AKB 처리기 회로(163)로부터 출력될 때, 셀렉터 회로(164)는 그 데이터를 메모리 회로(96B)에 제공한다.

한편, 고전압 변동이 검출되고 '1' 레벨 검출 신호가 출력될 때, 플립 플롭 회로(188)는 셋(set)되고 그

출력(Q)은 '1' 레벨로 설정된다. 이 때, OR 회로(178)의 출력은 플립 플롭 회로(187)의 출력에 상관없이 '1' 레벨로 설정된다. 이러한 방식으로, 셀렉터 회로(164)는 AKB 처리기 회로(163)로부터 출력된 블랙 레벨 조절 데이터를 메모리 회로(95B)에 제공한다.

강제 셀렉터 회로(172)의 출력은 전술한 바와 같이 스위치 회로(3)에 제공된다. 고전압 변동의 검출 동안, 강제 셀렉터 회로(172)의 출력은 스위치 회로(3)에 제공되어, 이 스위치 회로(3)는 수직 동기 신호의 매 사이클에서 기준 신호 1 및 2의 블랙 레벨에 해당하는 기준 신호 1을 선택하도록 제어된다.

도 33은 전류 검출기 회로(161), 비교기 회로(106) 및 수렴 검출기 회로(173) 각각의 회로 구성의 특징을 도시하고 있다.

전류 검출기 회로(161) 및 비교기 회로(106)는 도 31에서 이미 설명하였으므로 설명하지 않는다.

수렴 검출 회로(173)는 전류 변환기 회로(161)로부터 출력된 변환된 전압 및 기준 전압(Vref) 보다 높고 기준 전압(VH1) 보다 낮은 기준 전압(VH2)을 서로 비교하는 비교기(190), 전류 변환기 회로(161)로부터 출력된 변환된 전압 및 기준 전압(Vref) 보다 낮고 기준 전압(VL1) 보다 높은 기준 전압(VL2)을 서로 비교하는 비교기(191), 비교기(191)의 출력이 데이터(D) 입력 단자에 제공되고 클록 신호(CK)가 클록 입력 단자에 제공되는 래치 회로(192), 비교기(191)의 출력이 데이터(D) 입력 단자에 제공되고 클록 신호(CK)가 클록 입력 단자에 제공되는 래치 회로(193) 및 래치 회로(192)의 반전 출력(/Q) 및 래치 회로(193)의 출력(Q)이 제공되는 AND 회로(194)로 구성된다.

도 31의 회로와 도 33의 회로에 사용된 각 기준 전압의 관계는 도 34에 전체적으로 나타내었다. 수렴 검출기 회로(173)에 의해 변환이 검출되는 블랙 레벨 변환 영역은 도 34에 도시된 기준 전압(VH2, VL2)의 사이이다.

수렴 검출기 회로(173)에 있어서, 고전압 변동이 발생하고, 전류 검출기 회로(161) 내의 변환된 전압의 값이 기준값(Vref) 보다 커진 후 전류 검출기 회로(161) 내의 변환된 전압의 값이 기준 전압(VH2) 보다 낮으면, 비교기(190)의 출력은 '0' 레벨로 설정된다. 그러면, 비교기(190)의 출력 상태는 클록 신호(CK)가 제공되는 타이밍에서 래치 회로(192)에 의해 래치된다. 이 때, 비교기(191)의 출력은 '1' 레벨로 설정되고, 그 다음 비교기(191)의 출력 상태는 클록 상태(CK)가 제공되는 타이밍에서 래치 회로(193)에 의해 래치된다. 따라서, 상기 래치 후 래치 회로(192, 193)의 출력은 '1' 레벨이 되며, 이 '1' 레벨 신호는 AND 회로(194)로부터 강제 셀렉터 회로(172) 내의 플립 플롭 회로(188)의 리셋 단자에 제공된다. 이러한 방식으로, 플립 플롭 회로(188)는 리셋되고, 그 출력 'Q'는 '0'로 복귀되며, 그 다음 강제 셀렉터 회로(172)는 그 정상 상태로 복귀한다.

또한, 고전압 변동이 발생하고, 전류 검출기 회로(161)의 변환된 전압이 기준 전압(Vref) 보다 작아진 후 전류 검출기 회로(161)의 변환된 전압의 값이 기준 전압(VL2)를 초과하면, 비교기(191)의 출력은 '1' 레벨로 설정된다. 그러면, 비교기(191)의 출력 상태는 클록 신호(CK)가 제공되는 타이밍에서 래치 회로(193)에 의해 래치된다. 이 때, 비교기(190)의 출력은 '0' 레벨로 설정되고, 그 다음 비교기(191)의 출력 상태는 래치 회로(192)에 의해 래치된다.

따라서, 이 경우, 래치 후의 래치 회로(192, 193)의 출력은 '1' 레벨로 설정되고, 강제 셀렉터 회로(172) 내의 플립 플롭 회로(188)는 전술한 바와 같이 리셋된다.

한편, 고전압 변동에 기인한 비디오 신호의 블랙 레벨 변동은 일반적으로 R, B 및 G 축 상에서 유사한 경향을 나타낸다. 따라서, 이 3 개의 축 상에서 블랙 레벨 조절 동안 캐소드 전류가 유사하게 변동하는 경우에, 이는 고전압 변동의 발생으로 간주될 수 있다. 이와 유사한 변동은 변화량 및 변경이 동일한 방향으로 배향될 때로 귀착된다. 고전압 변동의 발생이 3 개의 축 상의 변화 경향을 체크함으로써 판단되면, 데이터는 수렴 지점으로부터의 분리 정도에 따라 크게 또는 보다 덜 중요하게 변경된다. 수렴 지점으로부터의 분리 정도가 크면, 데이터는 크게 변경되어 짧은 시간 내에 수렴 지점에서의 이동을 가능하게 한다.

도 35는 블랙 레벨 및 화이트 레벨 조절의 수행 및 주요 동작을 기초로 고전압 변동을 검출하는 본 발명의 제15 실시예에 따른 AKB 회로의 전체 회로 구성을 도시한 블록도이다.

이 실시예에 따른 회로에 있어서는, 고전압 변동이 발생하고 비디오 신호의 DC 레벨이 빠르게 변하면, 이 DC 레벨의 변화에 맞추어 조절이 수행된다.

도 35의 경우에 있어서는, 3 개의 주요 색 비디오 신호의 R, G 및 B 축 중 B 축과 연관된 B 축 관련 회로(B-CCT)만을 도시하고 있다. 그러나, 도 35의 경우도 3 개의 주요 색의 비디오 신호의 나머지 R 및 G 축과 연관된 R 축 및 G 축 관련 회로(R-CCT, G-CCT)가 B 축의 것과 유사하므로 그 설명을 생략한다. 또한, 도 26에 도시된 제13 실시예에 따른 회로에 해당하는 소자는 동일한 도면 부호로 표시하여 설명한다.

이 실시예에 있어서는, 새로운 디지털 데이터가 비교기 회로(165)의 비교 결과에 따라 상대적으로 작은 변화량($\pm n$)으로 생성된다. 생성된 새로운 디지털 데이터는 셀렉터 회로(164)를 거쳐 메모리 회로(95B, 96B) 내에 재저장되며, 그 데이터는 갱신된다.

한편, 전류 검출기 회로(161)로부터의 변환된 전압 및 기준 전압간의 차가 큰 경우에 있어서, 그 정보는 래치 회로(195)에 의해 각 R, G 및 B 축에 래치된다. 래치 회로에 의해 래치된 각 R, G 및 B 축에 대한 그 차의 값은 비교기 회로(196)에 의해 서로 비교된다.

비교기 회로(196)에서는, 변동의 경향이 각 3 개의 축간에 동일한지 여부가 판단되고, 그 판단 결과는 AKB 처리기 회로(166)에 제공된다. 변동의 경향이 동일한 것으로 판단되는 경우에는, AKB 처리기 회로(166) 내에서 새로운 디지털 데이터가 큰 변화량($\pm m; m > n$)으로 생성되고, 이 생성된 새로운 디지털 데이터는 셀렉터 회로(164)를 거쳐 메모리 회로(95B, 96B) 내에 재저장되고, 그 데이터는 갱신된다.

한편, 변동의 경향이 3 개의 축간에 상이한 경우, 즉 R, G 및 B 축 중 어느 하나가 현저한 경우에는, 노이즈 또는 서지(surge)로 인한 영향으로 간주되며, 그 판단 결과는 비교기 회로(196)로부터 AKB 처리기 회로(166)에 제공된다. 이 경우, AKB 처리기 회로(166)에서는, 새로운 디지털 데이터가 상대적으로 작은

변화량($\pm n$)으로 생성되거나 데이터 갱신이 일어나지 않는다.

따라서, 전원 제공과 같은 초기 상태가 배재될 때에는, 고전압 변동이 아닌 데이터의 큰 갱신이 필요하지 않으며, 따라서 R, G 및 B 축간의 변동의 경향이 서로 상이한 경우에 데이터는 큰변화량으로 갱신되지 않는다. 한편, 메모리 회로(95B, 96B)의 데이터가 전원 제공 등의 동안에 정해지지 않으면, 최소한 비교기 회로(196)는 동작해서는 안된다. 이 회로(196)는 안정한 지점으로의 수렴이 얻어진 후에 동작해야 한다.

이 실시예에 있어서는, 전류 검출기 회로(161)가 3 개의 R, G 및 B 축 상에 공통으로 사용되며, 따라서 R, G 및 B 축 상에서 전류 검출기 회로(161)로부터 변환된 전압 및 기준 전압(V_{ref})간의 차이의 값을 래치하는 래치 회로(195)가 제공된다. 그러나, 전류 검출기 회로가 R, G 및 B 축 상에서 개별적으로 제공되어 이 각 3 개의 축 상에서 전류 검출이 개별적으로 수행되면, 이 래치 회로(195)는 불필요하다.

도 36은 제15 실시예에 따른 장치의 제어예를 흐름도로 나타내고 있다. 단계 S11에서는, 기준 신호 입력 동안 캐소드 전류(I_k)가 검출되고, 그 다음 단계 S12에서는 변환된 전압(V_{lk}) 및 기준 전압(V_{ref})가 서로 비교된다. 그 차가 작을 때에는 단계 S13에서 데이터가 작은 변화량으로 갱신된다.

한편, 그 차는 단계 S12의 비교 결과로서 크며, 변동의 경향은 그 다음 단계 S14에서 각 R, G 및 B 축 상에서 비교된다. 그 경향이 단계 S14와 동일하다고 판단되면, 고전압 변동이 발생된 것으로 간주되며, 그 다음 단계 S16에서 데이터는 큰 변화량으로 갱신된다.

또한, 그 경향이 단계 S14와 동일하다고 판단되면, 노이즈 또는 서지로 인한 영향은 고전압 변동 대신으로 간주되고, 단계 S17에서 데이터는 갱신되지 않는다.

이 실시예에 따른 회로는 도 36에 도시된 각 단계를 포함한다면 도 35에 도시된 회로 구성으로 항상 제한되지 않는다.

도 37은 도 35의 실시 회로 내의 전류 검출기 회로(161), 비교기 회로(165), 래치 회로(195) 및 비교기 회로(196)의 회로 구성의 특정예를 도시하고 있다.

전류 검출기 회로(161)는 도 31의 전류 검출기 회로와 유사하게 구성되며, 따라서 그 설명을 생략한다.

비교기 회로(165)는 전류 검출기 회로(161)로부터의 변환된 전압(V_k)과 기준 전압(V_{ref})을 비교하는 비교기(201), 비교기(201)의 출력이 데이터(D) 입력 단자에 제공되고 클록 신호(CK)가 클록 입력 단자에 제공되는 래치 회로(202), 변환된 전압(V_k)과 기준 전압(V_{ref}) 보다 큰 전압인 기준 전압(V_H)를 비교하는 비교기(203), 변환된 전압(V_k)과 기준 전압(V_{ref}) 보다 낮은 전압인 기준 전압(V_L)을 비교하는 비교기(204), 비교기(203)의 출력이 데이터(D) 입력 단자에 제공되고 클록 신호(CK)가 클록 입력 단자에 제공되는 래치 회로(205), 비교기(204)의 출력이 데이터(D) 입력 단자에 제공되고 클록 신호(CK)가 클록 입력 단자에 제공되는 래치 회로(206) 및 래치 회로(205)의 출력 및 래치 회로(206)의 반전 출력($\bar{Q}$)이 제공되는 OR 회로(207)로 구성된다.

상기 비교기 회로(165)에 있어서는, 변환된 전압(V_k)의 값이 기준 전압(V_{ref}) 보다 클 때 비교기(201)의 출력은 '0' 레벨로 설정된다. 비교기의 출력은 클록 신호(CK)와 동기하여 래치 회로(202)에 의해 래치되며, AKB 처리기 회로(166)에 제공된다.

또한, 전류 검출기 회로(161) 내의 변환된 전압(V_k)의 값은 고전압 변동의 발생 또는 노이즈 또는 서지의 생성으로 인해 기준 전압(V_H) 보다 크면, 비교기의 출력은 '1' 레벨로 설정된다. 그 다음, 비교기(203)의 출력 상태는 클록 신호(CK)와 동기하여 래치 회로(205)에 의해 래치된다.

한편, 전류 검출기 회로(161) 내의 변환된 전압(V_k)의 값이 전압 변동의 발생 또는 노이즈 또는 서지의 생성으로 인해 기준 전압 보다 작으면, 비교기(204)의 출력은 '0' 레벨로 설정된다. 그러면, 비교기(204)의 출력 상태는 클록 신호(CK)와 동기하여 래치 회로(206)에 의해 래치된다.

따라서, 전류 검출기 회로(161) 내의 변환된 전압(V_k)의 값이 기준 전압(V_H) 보다 크거나 기준 전압(V_L) 보다 작으면, 래치 회로(205)의 출력(Q) 및 래치 회로(206)의 반전 출력 중 하나는 '1' 레벨로 설정되며, OR 회로(207)의 출력은 '1' 레벨로 설정된다.

래치 회로(195)는 래치 회로(205)의 출력이 각 데이터(D) 입력 단자로 입력되며 상이한 클록 신호(RCK, GCK, BCK)가 각 클록 입력 단자에 제공되는 3 개의 래치 회로(208 내지 210), 및 클록 신호(RCK, GCK, BCK)가 각 클록 입력 단자에 제공되는 3 개의 래치 회로(211 내지 213)로 구성된다.

이 3 개의 래치 회로(208 내지 210)는 각각 클록 신호(RCK, GCK, BCK)와 동기하여 각 R, G 및 B 축의 래치 회로(205)의 래치 출력을 출력하며, 3 개의 래치 회로(211 내지 213)는 클록 신호(RCK, GCK, BCK) 각각에 동기하여 래치 회로(206)의 래치 출력($\bar{Q}$)을 래치한다.

비교기 회로(196)는 래치 회로(195) 내의 3 개의 래치 회로(208 내지 210)의 출력이 입력되는 AND 회로(214), 래치 회로(195) 내의 래치 회로(211 내지 213)의 출력(Q)이 입력되는 AND 회로(215), 이 AND 회로(214, 215)의 출력이 입력되는 OR 회로(216), OR 회로(216)의 출력이 데이터(D) 입력 단자에 제공되며 클록 신호(CK2)가 클록 입력 단자에 제공되는 래치 회로(217), 신호(SW)가 이 래치 회로(217)의 출력(Q) 및 전원 공급과 같은 초기 상태 동안에 '1'로 설정되도록 입력되고 기타 경우에는 '0' 레벨로 설정되는 OR 회로(218) 및 이 OR 회로(217)의 출력 및 비교기 회로(165) 내의 OR 회로(207)의 출력이 입력되는 AND 회로(219)로 구성된다.

고전압 변동이 발생하고 래치 회로(195) 내의 3 개의 모든 래치 회로(208 내지 210)가 '1' 레벨로 설정되면, AND 회로(214)의 출력은 '1' 레벨로 설정되고, 그 출력이 입력되는 OR 회로(216)의 출력은 '1' 레벨로 설정된다. 클록 신호(CK2)가 제공된 후, OR 회로(216)의 출력은 래치 회로(217)에 의해 래치되어, 래치 회로(217)의 출력은 '1' 레벨로 설정되며, 또한 OR 회로(218)를 거쳐 AND 회로(219)로 입력된다. 따라서, 이 때 AND 회로(219)가 오픈되고 OR 회로(207)의 출력(고전압 변동이 발생할 때 '1' 레벨)이 AKB 처리기 회로(166)에 제공된다.

이 때, '1' 레벨 신호가 비교기 회로(165, 196)로부터 AKB 처리기 회로(166)로 입력된다. AKB 처리기 회로(166)에 있어서, 이 두 입력 모두가 '1' 레벨로 설정되면, 전술한 바와 같이 새로운 디지털 데이터가 큰 스텝의 변화량($\pm m: m > n$)으로 생성된다.

또한, 고전압 변동이 발생하고, 래치 회로(195) 내의 기타 3 개의 래치 회로(211 내지 213)의 모든 출력(Q) '1' 레벨로 설정되면, 새로운 디지털 데이터가 생성된다.

한편, 노이즈 또는 서지가 고전압 변동의 발생 대신에 발생하면, 각 R, G 및 B 축의 변환된 전압의 변동의 경향은 각각 상이하다. 따라서, 클럭 신호(RCK, GCK, BCK)를 사용하여 데이터가 래치된 후, 래치 회로(195) 내의 래치 회로(208 내지 210) 및 래치 회로(211 내지 213) 각각의 모든 출력은 '1' 레벨이 되지 않는다. 노이즈 또는 서지가 발생하면, 비교기 회로(196) 내의 각 AND 회로(214, 215)의 출력은 '0' 레벨로 설정되며, 그 출력이 입력되는 OR 회로(216)의 출력도 또한 '0' 레벨로 설정된다. 그 후, 클럭 신호(CK2)가 제공되고 OR 회로(216)의 출력이 래치 회로(217)에 의해 래치될 때, 이 래치 회로(217)의 출력은 '0' 레벨로 설정된다. 전원 공급과 같은 초기 상태가 도입되지 않으면, 신호(SW)는 '0' 레벨로 설정된다. 따라서, OR 회로(218)의 출력은 '0' 레벨로 설정되고, AND 회로(219)는 오픈되지 않는다. 즉, AND 회로(219)의 출력은 OR 회로(207)의 출력에 상관 없이 '0' 레벨로 설정된다.

이 때, 변환된 전압(V_k)이 수렴하지 않으면, '1' 레벨 및 '0' 레벨 신호는 각각 비교기 회로(165, 196)로부터 AKB 처리기 회로(166)로 입력되지 않는다. 이 때 AKB 회로에서는, 전술한 바와 같이 데이터가 작은 스텝의 변화량($\pm n$)으로 생성된다.

또한, 전원 공급과 같은 초기 상태가 도입되면, 신호(SW)가 '1' 레벨로 설정되고 AND 회로(218)의 출력은 '1' 레벨로 설정된다. 이 때, 래치 회로(205 또는 216)의 출력이 '1' 레벨로 설정되면, AND 회로(219)의 출력은 '1' 레벨로 설정된다. 그러면, 전술한 바와 같이 AKB 처리기 회로(166)에 있어서, 새로운 디지털 데이터가 큰 스텝의 변화량($\pm m: m > n$)으로 생성된다.

따라서, 도 35에 도시된 바와 같은 제15 실시예에 따른 AKB 회로에 있어서는, 고전압 변동이 발생할 때에만, 새로운 디지털 데이터가 AKB 처리기 회로(166) 내에서 큰 스텝의 변화량($\pm m: m > n$)으로 생성되며, 메모리 회로 내에 재저장된다. 따라서, 노이즈에 기인한 오동작을 제거할 수 있다. 고전압 변동의 발생에 기인하여 DC 레벨이 빠르게 변하더라도, 이 변화에 맞추어 조절을 수행할 수 있다.

이제, DC 레벨의 변동 없이 하나의 지점에서 DC 레벨을 조절하는 데 사용되는 불연속 데이터를 수렴할 수 있는 AKB 회로의 실시예를 설명한다.

도 38은 본 발명의 제16 실시예에 따른 AKB 회로의 전체 회로 구성을 도시한 블록도이다. 도 38의 경우에서도 역시 3 개의 주요 색 비디오 신호의 R, G 및 B 축 중 B 축에 연관된 B 축 관련 회로(B-CCT)만을 도시하고 있다. 그러나, 나머지 R 및 G 축과 연관된 R 축 및 G 축 관련 회로(R-CCT, G-CCT)의 구성이 B 축 회로의 구성과 동일하므로 그 설명을 생략한다.

CRT(16)에서는, 기준 신호 10이 캐소드 전극에 인가되는 기간 동안의 전압에 따라 전류가 흐른다. 이 캐소드 전류는 전류 검출기 회로(161)에 의해 검출되어 전압으로 변환된다. 이 변환된 전압은 노이즈 제거 회로의 기능을 하는 저역 통과 필터(Low Pass Filter; LPF)를 거쳐 차동 증폭기(222)의 반전 입력 단자(-)에 제공된다.

기준 전압 회로(162)에 의해 발생된 블랙 레벨 기준 전압(V_{ref})은 상기 차동 증폭기(222)의 비반전 입력 단자(+)에 제공되며, 상기 변환된 전압 및 기준 전압(V_{ref})은 차동 증폭기(222)에 의해 서로 비교된다.

차동 증폭기(222)의 출력 전압은 각 R, G 및 B 축에 공통으로 제공되는 스위치 회로(SW)(223) 및 각 R, G 및 B 축에 개별적으로 제공되는 스위치 회로(SW)(223)를 거쳐 컷오프 조절 회로(9)에 제공되며, 그 다음 샘플 홀드 회로(S/H)(225)에 제공되어 홀딩된다. 샘플 홀드 회로(S/H)(225)에서 홀딩된 전압은 감산기 회로로서의 비교기 회로(226)의 반전 입력 단자(-)에 제공된다. D/A 변환기(97B)에 의해 변환된 전압은 각 R, G 및 B 축에 제공된 스위치 회로(SW)(227)를 거쳐 이 비교기 회로(226)의 비반전 입력(+)에 제공되며, 이 전압들간의 전압차는 비교기 회로(226)에 의해 발생된다. 이 전압차는 형성 회로(228)에 제공되고, '1' 레벨 또는 '0' 레벨의 논리 신호로 변환되어, AKB 처리기 회로(166)에 제공된다.

또한, 비교기 회로(226)에 의해 발생한 전압차는 절대값 회로(ABS)(229)에 제공되며, 여기서 절대값이 생성된다. 이 절대값 회로(229)의 출력은 비교기(230)의 비반전 입력(+)에 제공되고, 샘플 홀드 회로(S/H)(231)에 제공되어 홀딩된다. 그 다음, 이 샘플 홀드 회로(231)의 출력은 비교기(230)의 반전 입력 단자(-)에 제공되며, 또한 이 비교기(230)의 출력은 AKB 회로(166)에 제공된다. AKB 처리기 회로(166)의 출력은 각 R, G 및 B 축에 공통으로 제공되는 스위치 회로(SW)(232)를 경유하여 메모리 회로(95B)에 제공된다.

상기 스위치 회로(223, 227, 232)는 AKB 처리기 R 축과 연관된 R 축 관련 회로(R-CCT)에서 수행될 때 R 축 관련 회로(R-CCT) 내의 해당 회로간에 신호 또는 데이터가 수신되도록 스위치 제어된다. 이에 추가하여, AKB 처리기 G 축과 연관된 G 축 관련 회로(G-CCT)에서 수행될 때, 이 스위치(223, 227, 232)는 G 축 관련 회로(G-CCT) 내의 해당 회로간에 신호 또는 데이터가 수신되도록 스위치 제어된다. 또한, AKB 처리기 B 축과 연관된 B 축 관련 회로(B-CCT)에서 수행될 때, 이 스위치(223, 227, 232)는 B 축 관련 회로(B-CCT) 내의 해당 회로간에 신호 또는 데이터가 수신되도록 스위치 제어된다.

이제, 상기 구조의 AKB 회로의 동작을 설명한다.

우선, 스위치 회로(3)에서 기준 신호 10이 선택되는 기간 동안, 차동 증폭기(222)의 출력 전압이 스위치 회로(223, 224)를 거쳐 컷오프 조절 회로(9)에 제공된다. 이에 추가하여, AKB 기간이 아닌 키라인 기간에서, D/A 변환기(97B)로부터의 전압은 스위치 회로(224)에 의해 선택되어 컷오프 조절 회로(9)에 제공된다.

AKB 기간 동안에, 컷오프 조절 회로(9), 구동기 회로(12), CRT(16), 전류 검출기 회로(161), 저역 통과

필터 회로(221), 차동 증폭기(222), 스위치 회로(223, 224) 및 컷오프 조절 회로(9)로 구성된 부귀환 루프가 형성된다. 차동 증폭기(222)의 출력 전압(V_{CI})의 값은 전류 검출기 회로(161) 내의 검출된 전압(V_{Ik})이 기준 전압 회로(162)에 의해 발생한 기준 전압(V_{ref})과 거의 동일하도록 제어된다. 이 때, 차동 증폭기(222)의 출력 전압(V_{CI})의 값은 도 28의 수렴 지점에 해당한다. 즉, 비디오 기간 동안 D/A 변환기(97B)로부터 출력된 제어 전압은 이 V_{CI} 에 가장 가까운 지점에서의 조절 동안의 최적의 값이다. 이 전압(V_{CI})은 샘플 홀드 회로(225)에 의해 홀딩된다. 메모리 회로에 미리 저장된 데이터 'm'은 D/A 변환기(97B)로부터 출력된 제어 신호의 전압값이 최적의 값으로 설정되도록 판독된다. 그 데이터는 D/A 변환기(97B)에 의해 아날로그 전압으로 변환된다. 이 때, 전압값이 $V(m)$ 이라고 가정하면, 이 전압값 $V(m)$ 은 수렴 지점 보다 가까운 값으로 간주된다. 이에 부가하여, 전술한 이 AKB 기간의 킨라인 기간에서, 이 전압 [$V(m)$]은 컷오프 조절 회로(9)를 제어하는 조절 신호로서 사용된다.

그 다음, 상기 전압 [$V(m)$]은 스위치 회로(227)를 거쳐 비교기 회로(226)에 제공되고, 미리 샘플 홀드 회로(225)에서 홀딩된 전압 [$V(m)$] 및 전압(V_{CI}) 간의 차는 이 비교기 회로(226)에 의해 생성되며, 또한 그 절대값은 절대값 회로(229)에 의해 생성되고, 이 절대값은 샘플 홀드 회로(231)에 의해 홀딩된다. 이 때, 샘플 홀드 회로(231)의 홀딩된 전압을 V_{pe} 로 가정한다.

이에 부가하여, 비교기 회로(226)에 의해 비교되어 생성된 그 전압차는 형성 회로(228)에 의해 논리 신호로 형성되어, AKB 처리기 회로(166)에 제공된다. 이 경우, 전압 [$V(m)$]이 전압(V_{CI}) 보다 낮다고 가정하면, AKB 처리기 회로(166)의 출력은 스위치 회로(232)를 거쳐 메모리 회로(95B)로 입력되고, '1'이 이 메모리 회로(95B)의 이전 저장 데이터에 가산된다. 이러한 방식으로, 메모리 회로(95B)의 저장 데이터는 ($m+1$)로 갱신되고, 이 갱신된 데이터는 재판독되어, D/A 변환기(97B)에 의해 아날로그 전압으로 변환된다. 이 때, 변환된 전압의 값을 $V(m+1)$ 로 가정한다.

그 다음, 샘플 홀드 회로(225)에 의해 미리 홀딩된 상기 전압 $V(m+1)$ 및 전압(V_{CI})간의 차가 비교기 회로(226)에 의해 생성되고, 그 절대값이 절대값 회로(229)에 의해 생성된다. 이 때, 절대값을 V_{te} 라고 가정한다. 상기 전압(V_{te}) 및 샘플 홀드 회로(231)에 의해 미리 홀딩된 전압(V_{pe})는 서로 비교되어, 이 비교 결과는 AKB 처리기 회로(166)에 제공된다.

$V_{te} > V_{pe}$ 이면, 원래 메모리 데이터('m')는 ($m+1$) 보다 수렴 지점에 더 가까우며, 따라서 메모리 회로(95B)의 데이터는 이 때 비교기 회로(226)의 비교 출력을 기초로 AKB 처리기 회로(166)에 의해 원래 'm'으로 복귀한다.

한편, $V_{te} < V_{pe}$ 이면, 메모리 데이터($m+1$)가 수렴 지점에 더 가까우면, 메모리 회로(95B)의 데이터는 이 때 비교기 회로(226)의 비교 출력을 기초로 AKB 처리기 회로(166)에 의해 갱신되지 않는다.

1 필드 내의 AKB 처리는 완료되지 않았다. 그 다음 AKB 기간까지의 킨라인 기간 동안, 컷오프 조절 회로(9)의 동작은 메모리 회로(95B)에 저장된 데이터를 기초로 제어된다.

우선, 전압 [$V(m)$]이 전압(V_{CI}) 보다 높으면, 메모리 회로(95B)의 데이터는 ($m-1$)로 갱신되며 유사한 동작이 수행된다. 계속해서, 상기 동작이 각 AKB 기간 마다 반복되어, D/A 변환기(97B)에 의해 변환된 전압은 최적의 값으로 수렴한다.

따라서, 상기 실시예에 따르면, 컷오프 조절 회로의 동작을 제어하는 제어 신호의 전압값은 최종적으로 하나의 지점에서 수렴할 수 있어서, 비디오 신호의 DC 레벨을 변동시킴이 없이 하나의 지점에서의 수렴을 얻을 수 있다.

상기 설명에 있어서, 메모리 회로 데이터는 각 필드 마다 갱신되며, 상기 전압과의 비교는 아날로그 전압으로 변환 후 한번씩 수행된다. 그러나, 수렴에 요구되는 시간은 데이터 갱신 카운트를 1 필드에서 허용 최대치까지 증가시킴으로써 감소될 수 있다.

또한, 상기 설명에 있어서, 메모리 회로의 데이터 갱신의 양은 각 필드 당 '1'로 설정된다. 그러나, D/A 변환기에 의해 변환된 전압이 수렴 지점으로부터 상당히 분리되어 있으면, 최적값에 도달하는 데 필요한 시간은 데이터 갱신 유닛을 '1' 보다 큰 값으로 증가시킴으로써 감소될 수 있다. 이 때, 수렴 지점으로부터의 분리 정도는 비교기 회로(226)의 출력 전압에 의해 모니터링될 수 있다.

상기 설명에 있어서, 블랙 레벨(암부)만이 조절되며, 화이트 레벨(명부)을 조절하는 구동 이득 조절 회로의 제어 회로는 도시되지 않았다. 그러나, 화이트 레벨(명부) 조절도 물론 수행될 수 있다. 이 경우, 화이트 레벨 조절에 대한 기준 신호 2는 각 스위치 회로(1, 2, 3)에 의해 선택된다.

도 39는 제16 실시예에 따른 회로의 제어예를 흐름도로 도시하고 있다. 단계 S21에서는, 조절 동안 최적값이 되는 전압(V_{CI})가 검출된다. 그 다음 단계 S22에서는, 메모리 회로(95B)에 미리 저장된 데이터('m')을 D/A 변환시킴으로써 얻어진 전압 [$V(m)$] 및 상기 전압(V_{CI})간의 차를 나타내는 전압의 절대값($|V_{CI} - V(m)|$)은 전압(V_{pe})으로서 생성된다. 그 다음, 단계 S23에서는, 전압(V_{CI}) 및 전압 [$V(m)$]의 크기가 서로 비교된다.

$V_{CI} > V(m)$ 이면, D/A 변환된 전압 [$V(m)$]은 수렴 전압(V_{CI}) 보다 작아져야 하며, D/A 변환된 전압은 증가되어야 한다. 그 다음 단계 S24에서는, 메모리 회로(95B)에 미리 저장된 데이터('m')에 1이 가산된 데이터($m+1$)를 D/A 변환시킴으로써 얻어진 전압 [$V(m)$] 및 전압(V_{CI})간의 차를 나타내는 전압의 절대값($|V_{CI} - V(m+1)|$)이 전압(V_{te})로서 생성된다. 그 다음, 단계 S25에서는, 전압(V_{te}) 및 전압(V_{pe})의 크기가 서로 비교된다.

전압(V_{pe})이 전압(V_{te}) 보다 더 크면, 그 데이터는 단계 S26에서 ' $m+1$ '로 유지된다. 이와 대조적으로, 전압(V_{pe})가 전압(V_{te})보다 작으면, 그 데이터는 단계 S27에서 'm'으로 복귀된다.

한편, 그 결과가 $V_{CI} > V(m)$ 으로 판단되지 않으면, D/A 변환된 전압 [$V(m)$]은 수렴 전압(V_{CI}) 보다 커져야 하고 D/A 변환된 전압은 감소되어야 한다. 단계 S28에서는, 메모리 회로(95B)에 미리 저장된 데이터('m')에 -1이 가산된 데이터($m-1$)를 D/A 변환시킴으로써 얻어진 전압 [$V(m)$] 및 전압(V_{CI})간의 차를 나타내는 전압의 절대값($|V_{CI} - V(m-1)|$)이 전압(V_{te})로서 생성된다. 그 다음, 단계 S29에서는, 전압(V_{te}) 및

전압(V_{pe})의 크기가 서로 비교된다.

전압(V_{pe})가 전압(V_{te}) 보다 더 크면, 그 데이터는 단계 S30에서 'm-1'로 유지된다. 이와 대조적으로, 전압(V_{pe})가 전압(V_{te})보다 작으면, 그 데이터는 단계 27에서 'm'으로 복귀된다.

이 실시예에 따른 회로는 도 39에 도시된 각 단계의 기능을 포함한다면 도 38의 회로 구성으로 항상 제한되지 않는다. 예컨대, 프로그램 제어 CPU 등을 사용하는 회로를 사용할 수 있다.

도 40은 D/A 변환된 전압이 최종적으로 최적값으로 수렴하는 상태를 나타내고 있다. 도 40에 있어서, 집적 결과로서 표시된 값을 개재하는 2 개의 값 중에서 집적 결과(절대값은 작음)에 해당하는 D/A 변환기의 출력이 제어 신호 전압으로서 사용된다.

도 41은 본 발명의 제17 실시예에 따른 전체 회로 구성을 도시한 블록도로서, DC 레벨을 조절하기 위하여 불연속적인 데이터를 사용하였지만 그 데이터는 이 DC 레벨의 변동 없이 하나의 지점에서 수렴될 수 있다.

도 41의 경우에 있어서도, 3 개의 주요 색 비디오 신호의 B 축과 연관된 회로 부분이 도시되어 있다.

이 실시예에 따른 회로는 스위치 회로(SW)가 각 R, G 및 B 축에 대해 제거되고, D/A 변환기(97R, 97G, 97B)에 의해 변환된 전압이 컷오프 조절 회로(7, 8, 9)에 제공된다는 점에서 제16 실시예에 따른 도 38의 회로와 상이하다. 또 다른 상이점은 샘플 홀드 회로(225), 비교기 회로(226) 및 스위치 회로(SW)(227)가 제거되고, 차동 증폭기(222)의 출력이 증폭기 회로(228) 및 절대값 회로(229) 각각에 직접적으로 제공된다는 점이다.

이 실시예에 따른 회로에 있어서는, CRT(16)의 캐소드 전극을 흐르는 전류(I_k)가 각 필드 당 두번씩 검출된다.

이하에서는 그 동작을 설명한다.

우선, 메모리 회로(95B)에 미리 저장된 데이터('m')가 판독되어, D/A 변환기(97B)에 의해 아날로그 전압으로 변환된다. 이 때의 전압값이 $V(m)$ 이라고 가정하면, 그 전압[$V(m)$]은 제어 신호로서 컷오프 조절 회로(9)에 제공된다. 전류 검출기 회로(161)에 의해 검출 및 변환된 전압(V_{ik})은 차동 증폭기(222)에 의해 기준 전압과 비교되며, 또한 이 절대값은 샘플 홀드 회로(231)에 의해 홀딩된다. 이 때 샘플 회로(231)에 홀딩된 전압을 V_{pe} 로 가정한다.

이에 부가하여, 차동 증폭기(222)에 의해 비교 및 생성된 차의 전압은 형성 회로(228)에 의해 논리 신호로 형성되고, AKB 처리기 회로(166)에 제공된다. 그 다음, 메모리 회로(95B)의 데이터는 이 형성 회로(228)로부터의 논리 신호에 따라 AKB 처리기 회로에 의해 갱신된다. 예컨대, 형성 회로(228)로부터 출력된 논리 신호는 $V_{ik} > V_{ref}$ 에 해당하는 신호이고, 메모리 회로(95B)에서, 그 신호는 이전 저장 데이터로부터 '1' 감산된 데이터(m-1)로 갱신된다. 이와 대조적으로, 형성 회로(228)로부터 출력된 논리 신호가 $V_{ik} < V_{ref}$ 에 해당하는 신호이면, 메모리 회로(95B)에서, 그 신호는 이전 저장 데이터에 '1' 가산된 데이터로 갱신된다.

그 다음, D/A 변환기(97B)에 의해 변환된 제어 전압은 메모리 회로(95B)의 갱신된 데이터에 따라 컷오프 조절 회로(9)에 제공되고, 전류 검출기 회로(161)에 의해 검출 및 변환된 제2 변환 전압(V_{ik})은 차동 증폭기(222)에 의해 기준 전압(V_{ref})과 비교되며, 또한 절대값 회로(229)에 의해 절대값이 생성된다. 생성된 제2 절대값(V_{te})은 비교기(230)에 제공된다.

그 다음, 전압(V_{te}) 및 샘플 홀드 회로(231)에 의해 미리 홀딩된 전압(V_{pe})는 서로 비교되어, 이 비교 결과는 AKB 처리기 회로(166)에 제공된다.

$V_{te} > V_{pe}$ 이면, 원래 메모리 데이터는 (m+1) 또는 (m-1) 보다 수렴 지점에 더 가깝다. 따라서, 메모리 회로(95B)의 데이터는 이 때 비교기(230)의 출력을 기초로 AKB 처리기 회로(166) 내에서 원래 'm'으로 복귀한다.

한편, $V_{te} < V_{pe}$ 이면, 메모리 데이터 (m+1) 또는 (m-1)은 수렴 지점에 더 가까우며, 메모리(95B)의 데이터는 이 때 비교기(230)의 출력을 기초로 AKB 처리기 회로(166)에 의해 갱신되지 않는다.

이러한 방식으로, 1 필드 내의 AKB 처리는 완료된다. 그 다음 AKB 기간까지의 비디오 기간 동안, 컷오프 조절 회로(9)의 동작은 메모리 회로(95B)에 저장된 데이터를 기초로 제어된다.

계속해서, 상기 동작은 각 AKB 기간마다 반복되어, D/A 변환기(97B)에 의해 변환된 전압은 최종적으로 최적으로 수렴한다.

따라서, 상기 실시예의 경우에 있어서도, 컷오프 조절 회로의 동작을 제어하는 제어 신호의 전압값은 하나의 지점에서 최종적으로 수렴될 수 있어서, 비디오 신호 DC 레벨의 변동 없는 하나의 지점에서의 수렴을 얻을 수 있다.

이 실시예의 경우에 있어서, 메모리 회로의 데이터 갱신의 양은 각 필드 마다 '1'로 설정된다. D/A 변환기에 의해 변환된 전압이 수렴 지점으로부터 상당히 분리되어 있으면, 최적값에 도달하는 데 요구되는 시간은 데이터 갱신 유닛을 '1' 보다 큰 값으로 증가시킴으로써 보다 더욱 감소될 수 있다. 이 경우, 수렴 지점으로부터의 분리 정도는, 예컨대 차동 증폭기(222)의 출력 전압에 의해 모니터링될 수 있다.

이에 부가하여, 상기 설명에 있어서, 블랙 레벨(암부)만이 조절되며, 화이트 레벨(명부)에 대한 구동 이득 조절 회로의 제어 회로는 도시되지 않는다. 화이트 레벨(명부) 조절은 물론 이와 유사하게 수행될 수 있으며, 이 경우 화이트 레벨 조절에 대한 기준 신호 2가 각 스위치 회로(1, 2, 3)에 의해 선택된다.

도 42는 제17 실시예에 따른 회로의 제어예를 흐름도로서 나타내고 있다. 단계 S31에서는, 전류(I_k)가 검출된다. 그 다음, 단계 S32에서는 전류(I_k)가 변환된 전압(V_{ik}) 및 기준 전압(V_{ref})간의 차를 나타내는 전압의 절대값($|V_{ik} - V_{ref}|$)이 전압(V_{pe})로서 발생된다. 그 다음, 단계 S33에서는 전압(V_{ik}) 및 전압

(Vref)의 크기가 서로 비교된다.

$V_{ik} > V_{ref}$ 이면, 전압(V_{ik})가 감소될 필요가 있으며, 그 다음 단계 S34에서는 메모리 회로(95B)에 미리 저장된 데이터('m')로부터 '1'이 감산되고, 데이터는 (m-1)로 갱신된다. 그 다음, 단계 S35에서는 전류(I_k)가 다시 검출된다. 이 때, 전류(I_k)를 I_k' 로 가정하면, 그 다음 단계 S36에서는 전류(I_k')이 변환된 전압(V_{ik}') 및 기준 전압(V_{ref})간의 차를 나타내는 전압의 절대값($|V_{ik}' - V_{ref}|$)이 V_{te} 로서 발생된다. 그 다음, 단계 S37에서는 전압(V_{te}) 및 전압(V_{pe})의 크기가 서로 비교된다.

전압(V_{pe})이 전압(V_{te}) 보다 더 클 때, 데이터는 단계 S38에서 'm-1'로 유지된다. 이와 대조적으로, 전압(V_{pe})이 전압(V_{te}) 보다 작으면, 데이터는 단계 S39에서 'm'으로 복귀한다.

한편, 단계 S33에서 $V_{ik} < V_{ref}$ 이면, 전압(V_{ik})은 증가되어야 한다. 그 다음 단계 S40에서, 메모리 회로(95B)에 미리 저장된 데이터('m')에 '1'이 가산되어, 그 데이터는 (m+1)로 갱신된다. 그 다음, 단계 S41에서는 전류(I_k)가 다시 검출된다. 이 때, 전류(I_k)를 I_k' 로 가정하면, 그 다음 단계 S42에서는 전류(I_k')가 변환된 전압(V_{ik}') 및 기준 전압(V_{ref})간의 차를 나타내는 전압의 절대값($|V_{ik}' - V_{ref}|$)이 전압(V_{te})으로서 생성된다. 그 다음, 단계 S43에서는 전압(V_{te}) 및 전압(V_{pe})의 크기가 서로 비교된다.

전압(V_{te})가 전압(V_{pe}) 보다 더 크면, 데이터는 단계 S39에서 'm'으로 복귀한다. 이와 대조적으로, 전압(V_{te})이 전압(V_{pe}) 보다 작으면, 데이터는 단계 S44에서 (m+1)로 유지된다.

이 실시예에 따른 회로는 도 42의 각 단계의 기능을 포함한다면 도 41의 회로의 회로 구성에 항상 제한되지 않는다. 예컨대, 프로그램 제어 CPU 등을 사용하는 회로를 사용할 수 있다.

도 43은 본 발명의 제18 실시예에 따른 AKB 회로의 전체 회로 구성을 도시한 블록도로서, DC 레벨을 조절하도록 불연속적인 데이터를 사용하더라도 그 데이터는 DC 레벨의 변동 없이 하나의 지점에서 수렴할 수 있다.

이 실시예에 따른 회로는 제17 실시예에 따른 도 41의 회로 보다 회로 구성을 훨씬 더욱 간소화시킨다. 상기 회로에 있어서는, 제17 실시예의 경우와는 달리 수렴 지점을 개재하는 2 개의 지점의 데이터 중 수렴 지점에 더 가까운 데이터가 사용되지 않는다. 그 대신, 수렴 지점에 가장 가까우며 수렴 지점을 초과하지 않는 데이터가 사용된다.

따라서, 도 41의 소자에 해당하는 동일한 소자는 동일한 도면 부호로 표시하며, 그 소자에 대한 설명을 생략한다. 이하, 도 41과의 상이점만을 설명한다.

이 실시예에 따른 회로에 있어서는, 비교기(233)가 차동 증폭기(222) 대신 사용된다. 즉, 이 비교기 회로(233)는 전류 검출기 회로(161)에서 변환된 전압(V_{ik})를 기준 전압(V_{ref})과 비교하여 논리 신호를 출력한다.

이에 부가하여, 형성 회로(288), 절대값 회로(299), 샘플 홀드 회로(231) 및 비교기(230)가 제거되었다. 이 회로들 대신에 2 개의 래치 회로(234, 235) 및 AND 회로(236)가 제공된다.

비교기(233)의 출력은 AKB 처리기 회로(166) 및 2 개의 래치 회로(234, 235)의 데이터(D) 입력 단자에 제공된다. 클럭 신호(CK1)는 래치 회로(234)의 클럭 단자에 제공되고, 클럭 신호(CK2)는 래치 회로(235)의 클럭 단자에 제공된다. 래치 회로(234)의 반전 출력(/Q) 및 래치 회로(235)의 출력(Q)은 AND 회로(236)에 제공된다.

이제, 그 동작을 설명한다.

우선, 메모리 회로(95B)에 미리 저장된 데이터('m')가 판독되어 D/A 회로(97B)에 의해 아날로그 신호로 변환된다. 이 때, 전압값을 $V(m)$ 으로 가정하면, 전압($V(m)$)은 제어 신호로서 컷오프 조절 회로(9)에 제공된다. 전류 검출기 회로(161)에 의해 검출 및 변환된 전압(V_{ik})은 비교기(233)에 의해 기준 전압(V_{ref})과 비교된다. 그 다음, 이 비교기(233)의 출력은 클럭 신호(CK1)와 동기하여 래치 회로(234)에 의해 래치된다.

이에 부가하여, 비교기(233)의 출력은 AKB 처리기 회로(166)에 제공된다. 메모리 회로(95B)의 데이터는 이 비교기(233)의 출력에 따라 AKB 처리기 회로(166)에 의해 갱신된다. 예컨대, 비교기(233)의 출력이 $V_{ik} < V_{ref}$ 에 해당하는 신호('1' 레벨)이면, 메모리 회로(95B) 내의 데이터는 이전 저장 데이터로부터 '1' 감산된 데이터(m-1)로 갱신된다. 이와 대조적으로, 비교기(233)의 출력이 $V_{ik} > V_{ref}$ 에 해당하는 신호('0' 레벨)이면, 메모리 회로(95B) 내의 데이터는 이전 저장 데이터에 '1' 가산된 데이터(m+1)로 갱신된다.

그 다음, D/A 변환기(97B)에 의해 제어되는 제어 전압은 메모리 회로(95B)의 갱신된 저장 데이터에 따라 컷오프 조절 회로(9)에 제공되며, 전류 검출기 회로(161)에 의해 검출 및 변환된 제2 변환 전압(V_{ik})은 기준 전압(V_{ref})과 비교된다. 이 때, 비교기(233)의 출력은 클럭 신호(CK2)와 동기하여 래치 회로(235)에 의해 래치된다.

비교기(233)의 출력이 이 2 개의 래치 회로(234, 235)에 의해 래치된 후, AND 회로(236)의 출력은 AKB 처리기 회로(166)에 제공된다.

첫 번째 I_k 검출 동안의 비교기(233)의 출력이 $V_{ik} > V_{ref}$ 에 해당하는 신호('1' 레벨)이고, 두 번째 I_k 검출 동안의 비교기(233)의 출력이 $V_{ik} > V_{ref}$ 에 해당하는 신호('1' 레벨)이면, 래치 회로(234)의 반전 출력(/Q) 및 래치 회로(235)의 출력(Q)은 각각 래치된 후 '0' 레벨 및 '1' 레벨로 설정된다. 따라서, 두 번째 I_k 검출 후의 AND 회로(236)의 출력은 '0' 레벨로 설정되며, AKB 처리기 회로(166)에 있어서, 메모리 회로(95B)의 데이터는 (m-1)로 그대로 유지된다.

첫 번째 I_k 검출 동안의 비교기(233)의 출력이 $V_{ik} > V_{ref}$ 에 해당하는 신호('1' 레벨)이고, 두 번째 I_k 검출 동안의 비교기(233)의 출력이 $V_{ik} < V_{ref}$ 에 해당하는 신호('0' 레벨)이면, 래치 회로(234)의 반전 출력(/Q) 및 래치 회로(235)의 출력(Q)은 각각 래치된 후 '0' 레벨로 설정된다. 따라서, 두 번째 I_k 검출

후의 AND 회로(236)의 출력은 '0' 레벨로 설정되며, AKB 처리기 회로(166)에 있어서, 메모리 회로(95B)의 데이터는 (m-1)로 그대로 유지된다.

또한, 첫 번째 1k 검출 동안의 비교기(233)의 출력이 $V_{ik} < V_{ref}$ 에 해당하는 신호('0' 레벨)이고, 두 번째 1k 검출 동안의 비교기(233)의 출력이 $V_{ik} > V_{ref}$ 에 해당하는 신호('1' 레벨)이면, 래치 회로(234)의 반전 출력(/Q) 및 래치 회로(235)의 출력(Q)은 각각 래치된 후 '1' 레벨로 설정된다. 따라서, 두 번째 1k 검출 후의 AND 회로(236)의 출력은 '1' 레벨로 설정되며, AKB 처리기 회로(166)에 있어서, 메모리 회로(95B)의 데이터는 원래 'm'으로 복귀한다.

한편, 첫 번째 1k 검출 동안의 비교기(233)의 출력이 $V_{ik} < V_{ref}$ 에 해당하는 신호('0' 레벨)이고, 두 번째 1k 검출 동안의 비교기(233)의 출력이 $V_{ik} < V_{ref}$ 에 해당하는 신호('0' 레벨)이면, 래치 회로(234)의 반전 출력(/Q) 및 래치 회로(235)의 출력(Q)은 각각 래치된 후 '1' 레벨 및 '0' 레벨로 설정된다. 따라서, 두 번째 1k 검출 후의 AND 회로(236)의 출력은 '0' 레벨로 설정되며, AKB 처리기 회로(166)에 있어서, 메모리 회로(95B)의 데이터는 (m+1)로 그대로 유지된다.

이제, 1 필드 내의 AKB 처리는 완료되었다. 그 다음 AKB 기간까지의 비디오 기간 동안, 컷오프 조절 회로(9)의 동작은 메모리 회로(95B)에 저장된 데이터를 기초로 제어된다.

그 후, D/A 변환기(97B)에 의해 변환된 전압은 각 AKB 기간마다 상기 동작을 반복함으로써 최종적으로 최적값으로 수렴한다. 이 경우, 수렴 지점은 항상 도 40의 집적 결과로서 나타난 값을 개재하는 2 개의 값 중 더 가까운 값이다. 그러면, 이 값에 해당하는 D/A 변환기(97B)의 출력이 제어 신호값으로서 사용된다.

따라서, 상기 실시예에 따른 회로에 있어서도, 컷오프 조절 회로의 동작을 제어하는 제어 신호의 전압값은 최종적으로 하나의 지점에서 수렴되어, 비디오 신호의 DC 레벨의 변동 없이 하나의 지점에서 수렴할 수 있게 된다.

또한, 이 실시예의 경우에 있어서는, 메모리 회로의 데이터 갱신의 양이 각 필드마다 '1'로 설정된다. D/A 변환기에 의해 변환된 전압이 수렴 지점으로부터 상당히 분리되어 있으면, 최적값에 도달하는 데 요구되는 시간은 데이터 갱신 유닛을 '1' 보다 큰 값으로 증가시킴으로써 더욱 상당히 감소될 수 있다. 이 경우, 수렴 지점으로부터의 분리 정도는 비교기(233)의 출력 전압에 의해 모니터링될 수 있다. 또한, 도 40에 있어서는, 집적 결과로서 나타난 값을 개재하는 2 값 중 낮은 값이 항상 사용되지만, 이 값을 집적 결과로서 나타난 값을 개재하는 2 값 중 높은 값으로 바꿀 수 있다.

또한, 상기 설명에 있어서는, 블랙 레벨(암부)만이 조절되며, 화이트 레벨(명부)을 조절하는 구동 이득 조절 회로(6)의 제어 회로는 도시되지 않았다. 그러나, 화이트 레벨(명부)은 물론 이와 유사하게 수행될 수 있다. 스위치 회로(1, 2, 3)에 의해 선택된 기준 신호 2가 구동 이득 조절 회로(4, 5, 6)를 제어하도록 사용된다.

도 44는 제18 실시예에 따른 회로의 제어예를 흐름도로서 도시하고 있다. 단계 S51에서는, 전류(Ik)가 검출된다. 그 다음, 단계 S52에서는 전류(Ik)가 변환된 전압(Vik) 및 기준 전압(Vref)이 서로 비교된다. 이 때, $V_{ik} > V_{ref}$ 이면, 도 44의 제어예의 경우에서는 데이터가 그 다음 단계 S53에서 (m-1)로 갱신된다.

한편, 그 다음 단계 S52의 판단 결과가 $V_{ik} < V_{ref}$ 이면, 데이터는 그 다음 단계 S54에서 (m+1)로 갱신된다. 그 다음, 단계 S55에서는 전류(Ik)가 다시 검출되고, 그 다음 단계 S56에서는 제2 변환된 전압(Vik') (이하에서는, Vik'이라 지칭함) 및 기준 전압(Vref)이 서로 비교된다. 이 때, $V_{ik'} > V_{ref}$ 이면 데이터는 그 다음 단계 S57에서 원래 'm'으로 복귀한다. 한편, $V_{ik'} < V_{ref}$ 이면 데이터는 그 다음 단계 S58에서 (m+1)로 유지된다.

이 실시예에 따른 회로는 도 44의 각 단계의 기능을 포함한다면 도 43의 회로 구성으로 항상 제한되지는 않는다.

도 45는 본 발명의 제19 실시예에 따른 AKB 회로의 전체 회로 구성을 도시한 블록도로서, 불연속 데이터가 DC 레벨을 조절하는 데 사용되더라도, 그 데이터는 DC 레벨의 변동 없이 하나의 지점에서 수렴될 수 있다.

이 실시예에 따른 회로는 다음과 같은 특징에서 도 43의 회로와 상이하다.

도 43의 회로에 있어서는 캐소드 전류(Ik)가 매 필드마다 두 번씩 검출되는 반면, 제19 실시예에서는 이러한 검출이 AKB 조절에 대한 이전 필드의 검출 결과를 그 다음 필드에 사용하기 위하여 한번만 수행된다.

도 43의 소자와 동일한 소자는 동일한 도면 부호를 표시하고 그 설명을 생략한다. 이하, 도 43의 회로와 상이한 점만을 설명한다.

이 실시예에 따른 회로에서는 2 개의 래치 회로(234, 235) 및 하나의 AND 회로(236) 대신에 2 개의 래치 회로(237, 238), 배타적 OR(XOR) 회로(238), AND 회로(240) 및 래치 회로(241)가 제공된다.

또한, 도 43과 달리 비교기 회로(233)의 출력은 AKB 처리기 회로(166)에 제공되지 않으며, 래치 회로(237)의 데이터(D) 입력 단자에만 제공된다. 래치 회로(237)의 출력(Q)은 래치 회로(238)의 데이터(D) 입력 단자에 제공된다. 또한, 클럭 신호(CK1)가 래치 회로(237)의 클럭 단자에 제공되고, 클럭 신호(CK2)가 래치 회로(235)의 클럭 단자에 제공된다.

래치 회로(238)의 출력(Q)은 제어 신호(L)로서 AKB 처리기 회로(166)에 제공되며, 래치 회로(287)의 출력(Q) 및 래치 회로(238)의 반전 출력(/Q)은 XOR 회로(239)에 제공된다. 래치 회로(237, 238)의 출력은 AND 회로(240)에 제공된다. XOR 회로(239)의 출력은 AKB 처리기 회로(166)에 제공되고, AND 회로(240)의 출력은 래치 회로(241)의 데이터(D) 입력 단자에 제공된다. 클럭 신호(CK3)가 이 래치 회로(241)의 클럭 단자에 제공된다. 이 래치 회로(241)의 출력(Q)은 제어 신호(LL)로서 AKB 처리기 회로(166)에 제공된다.

이제, 그 동작을 설명한다.

우선, 메모리 회로(95B)에 미리 저장된 데이터('m')가 판독되어 D/A 회로(97B)에 의해 아날로그 신호로 변환된다. 이 때, 전압값을 $V(m)$ 으로 가정하면, 전압[$V(m)$]은 제어 신호로서 컷오프 조절 회로(9)에 제공된다. 또한, 이전 필드 내의 캐소드 전류의 검출 결과가 래치 회로(238)에 의해 래치된다고 가정한다. 제어 신호(L)은 래치 회로(238)의 래치 데이터에 따라 AKB 처리기 회로(166)에 제공된다. 예컨대, 이 제어 신호(L)가 '1' 레벨로 설정되면, 메모리 회로(95B)의 데이터는 AKB 처리기 회로(166)에 의해 (m-1)로 갱신된다. 이와 대조적으로, 제어 신호(L)가 '0' 레벨로 설정되면, 메모리 회로(95B)의 데이터는 (m+1)로 갱신된다.

한편, 전압[$V(m)$]이 제어 전압으로서 컷오프 회로(9)에 제공되면, CRT(16)의 캐소드 전극을 흐르는 전류가 전류 검출기 회로(161)에 의해 검출되어 전압으로 변환된다. 이 때, 전류 검출기 회로(161)에 의해 검출 및 변환된 전압(Vik)은 비교기 회로(233)에 의해 기준 전압(Vref)과 비교된다. 그 다음, 전압 비교기(233)의 출력은 클록 신호(CK1)와 동기하여 래치 회로(237)에 의해 래치된다. 이전 필드 내의 Ik 검출 결과는 래치 회로(238)에 의해 이미 래치되었다. 이 래치 회로(237, 238)의 래치 데이터는 XOR 회로(239)에 제공되고, XOR 회로(239)는 그 데이터가 서로 일치하는지의 여부를 검출한다. 예컨대, 이 래치 회로(237, 238)의 출력 중 하나가 '1' 레벨로 설정되고 또 다른 하나가 '0' 레벨로 설정되면 불일치 상태가 검출되며, XOR 회로(239)의 출력은 '1' 레벨로 설정된다. 이 경우, 제18 실시예의 경우와 같이, 제1 갱신된 데이터 (m-1) 또는 (m+1)은 원래 데이터 'm'로 복귀한다. 한편, 래치 회로(237, 238)의 출력이 '1' 레벨 또는 '0' 레벨로 설정되면, 일치된 상태가 검출되며 XOR 회로(239)의 출력은 '0' 레벨로 설정된다. 이 경우에 있어서도, 제18 실시예의 경우와 같이 제1 갱신된 데이터는 (m-1) 또는 (m+1)로 유지된다.

한편, 이 래치 회로(237, 238)의 출력(Q)은 AND 회로(240)에 제공된다. 따라서, AND 회로(240)의 출력은 래치 회로(237, 238)의 출력(Q) 모두가 '1' 레벨로 설정될 때에만 '1' 레벨로 설정된다. 그 후, 도 46의 타이밍도에 도시된 바와 같이, 그 출력은 클록 신호(CK3)에서 래치 회로(214)에 의해 래치되며, 제어 신호(LL)로서 AKB 처리기 회로(166)로 입력된다.

그 다음, 래치 회로(237)의 출력은 클록 신호(CK2)의 타이밍에서 래치 회로(238)에 의해 래치된다.

이제, 1 필드 내의 AKB 처리가 완료되었다. 그 다음 AKB 처리까지의 비디오 기간 동안, 컷오프 조절 회로(9)의 동작은 메모리 회로(95B)에 저장된 데이터를 기초로 제어된다. 계속해서, 상기 동작은 각 AKB 기간마다 반복되어, D/A 변환기(97B)의 변환된 전압은 최종적으로 최적값으로 수렴한다. 비록 제어 신호(LL)가 AKB 처리기 회로(166)에서 어떻게 사용되는지는 설명하지 않았지만, 제어 신호(LL)는 전류 검출기 회로(161)의 변환된 전압이 연속된 2 필드의 전과 후에서 하강하는 것을 나타내는 신호이다.

따라서, 상기 실시예에 있어서도, 컷오프 조절 회로의 동작을 제어하는 제어 신호의 전압값은 최종적으로 하나의 지점에서 수렴할 수 있어서, 비디오 신호의 DC 레벨의 변동 없이 하나의 지점에서 수렴할 수 있게 된다.

또한, 이 실시예의 경우에 있어서는, 메모리 회로의 데이터 갱신의 양이 각 필드마다 '1'로 설정된다. D/A 변환기에 의해 변환된 전압이 수렴 지점으로부터 상당히 분리되어 있으면, 최적값에 도달하는 데 요구되는 시간은 데이터 갱신 유닛을 '1' 보다 큰 값으로 증가시킴으로써 더욱 상당히 감소될 수 있다. 이 경우, 수렴 지점으로부터의 분리 정도는 비교기(233)의 출력 전압에 의해 모니터링될 수 있다.

또한, 상기 설명에 있어서는, 블랙 레벨(암부)만이 조절되며, 화이트 레벨(명부)을 조절하는 구동 이득 조절 회로(6)의 제어 회로는 도시되지 않았다. 그러나, 화이트 레벨(명부)은 물론 이와 유사하게 수행될 수 있으며, 이 경우 스위치 회로(1, 2, 3)에 의해 선택된 기준 신호 2가 구동 이득 조절 회로(4, 5, 6)를 제어하도록 사용된다.

도 47은 제19 실시예에 따른 제어예를 흐름도로 나타내고 있다. 즉, 이 레벨이 '1' 레벨로 설정되고, 데이터는 그 다음 단계 S62에서 (m-1)로 갱신된다. 그 다음, 전류(Ik)가 단계 S63에서 검출된다. 그 다음, 단계 S64에서는 상기 전류(Ik)가 변환된 전압(Vik) 및 기준 전압(Vref)이 서로 비교된다. 이 때 $Vik < Vref$ 이면, 데이터는 그 다음 단계 S65에서 'm'으로 복귀하고 제어 신호(L)는 '0' 레벨로 설정된다.

한편, 상기 단계 S64에서 $Vik > Vref$ 이면, 데이터는 (m-1)로 고정되고 제어 신호(L)은 그 다음 단계 S66에서 '1' 레벨로 설정된다.

이에 부가하여, 상기 단계 S61에서 제어 신호(L)가 '0' 레벨로 판단되면, 데이터는 그 다음 단계 S67에서 (m+1)로 갱신된다. 그 다음, 전류(Ik)가 단계 S68에서 검출되고, 그 다음, 단계 S69에서는 상기 전류(Ik)가 변환된 전압(Vik) 및 기준 전압(Vref)이 서로 비교된다. 이 때, $Vik > Vref$ 이면, 데이터는 'm'으로 복귀하고 제어 신호(L)는 그 다음 단계 S70에서 'L' 레벨로 설정된다.

한편, 상기 단계 S69에서 $Vik < Vref$ 이면, 데이터는 (m+1)로 변경되고 제어 신호(L)는 그 다음 단계 S71에서 '0' 레벨로 설정된다.

한편, 도 47의 흐름도로 표시된 제어 기능을 갖는 회로에 있어서는, 수렴 지점을 개재하는 2 개의 안정한 지점을 조절할 수 있다.

그 다음, 수렴 지점에 가장 가까우며 수렴 지점을 초과하지 않는 지점이 안정한 지점으로 정해질 수 있는 제19 실시예에 따른 회로의 또 다른 제어예를 도 48의 흐름도로 나타낸다. 이 경우, 도 45에 도시된 래치 회로(214)로부터 출력되는 제어 신호(LL)가 사용된다.

이 경우, 단계 S61 내지 단계 S64의 동작은 도 47에 도시된 바와 동일하며, 따라서 그 설명은 생략한다. 단계 S64에서의 변환된 전압(Vik) 및 기준 전압(Vref)간의 비교의 결과로, $Vik < Vref$ 이면 제어 신호(LL)의 레벨은 그 다음 단계 S81에서 판단된다. 이 때, 신호(LL)가 '1' 레벨로 설정되면, 그 다음 단계 S82에서 데이터는 (m-1)을 유지하고 제어 신호(L, LL)는 각각 '0' 레벨로 설정된다. 한편, 제어 신호가 '0' 레벨로 설정되면, 그 다음 단계 S83에서 데이터는 원래 'm'으로 복귀하고 제어 신호(L, LL)는 각각 '0' 레벨로 설정된다.

상기 단계 S64에서 $V_{ik} > V_{ref}$ 이면, 그 다음 단계 S84에서 데이터는 $(m-1)$ 로 유지되고 제어 신호(L, LL)는 각각 '1' 레벨로 설정된다.

이에 부가하여, 제어 신호(L)가 상기 단계 S61에서 '0' 레벨로 판단될 때, 단계 S67 내지 단계 S69의 동작은 도 47과 유사하며, 따라서 그 설명을 생략한다. 단계 S69에서 변환된 전압(V_{ik}) 및 기준 전압(V_{ref})간의 비교 결과가 $V_{ik} > V_{ref}$ 이면, 그 다음 단계 S85에서 데이터는 'm'으로 복귀하고 제어 신호(L, LL)는 각각 '0' 레벨로 설정된다. 한편, $V_{ik} < V_{ref}$ 이면, 그 다음 단계 S86에서 데이터는 $(m+1)$ 로 유지되고 제어 신호(L, LL)는 각각 '0' 레벨로 설정된다.

이 실시예에 따른 회로는 도 47 또는 도 48의 각 단계의 기능을 포함한다면 도 45의 회로 구성으로 항상 제한되지는 않는다. 예컨대, 프로그램 제어 CPU 등을 사용하는 회로를 사용할 수 있다.

도 49는 본 발명의 제20 실시예에 따른 AKB 회로의 전체 회로 구성을 도시한 블록도이다. 이 실시예에 따른 회로는 제16 실시예에 따른 도 38의 회로 보다 훨씬 간소화된 구성을 갖는다. 따라서, 도 38의 소자와 동일한 소자는 동일한 도면 부호로 표시하며, 그 설명을 생략한다. 이하, 도 38의 회로와 상이한 점만을 설명한다.

또한, 이 실시예에 따른 회로에 있어서는, 수렴 지점을 재재하는 2 개의 지점의 데이터 중 수렴 지점에 더 가까운 데이터가 사용되지 않는다. 그 대신, 수렴 지점에 가장 가까우며 수렴 지점을 초과하지 않는 데이터가 사용된다.

이 실시예에 따른 회로에 있어서는, 도 38에 도시된 비교기 회로(226), 형성 회로(228), 절대값 회로(239), 샘플 홀드 회로(231) 및 비교기(230)를 제거하고, 비교기(251), 2 개의 래치 회로(252, 253) 및 AND 회로(254)를 새로이 제공한다.

상기 비교기(251)는 비교기(226) 대신에 제공되고, D/A 변환기(97B)로부터 변환된 전압은 스위치 회로(227)를 거쳐 비교기(251)의 비반전 입력 단자(+)에 제공되며, 샘플 홀드 회로(225)에 의해 홀딩된 전압은 비교기(251)의 반전 입력 단자(-)에 제공된다. 이 비교기(251)의 출력(ContM)은 AKB 처리기 회로(166)에 제공되고 2 개의 각 래치 회로(252, 253)의 데이터(D) 입력 단자에 제공된다. 래치 회로(252)의 반전 출력(/Q) 및 래치 회로(253)의 출력(Q)은 AND 회로(254)에 함께 제공된다. AND 회로의 출력은 AKB 처리기 회로(166)에 제공된다.

이제, 상기 구조의 회로의 동작을 설명한다.

AKB 기간 내의 컷오프 조절 회로(9), 구동기 회로(12), CRT(16), 저역 통과 필터(221), 차동 증폭기(222) 및 스위치 회로(223, 224)로 구성된 부귀환 루프의 동작은 도 38에 도시된 회로의 동작과 유사하고, 이 부귀환 루프가 동작하여, $V_{ik} = V_{ref}$ 로 표현된 전압(V_{CI})은 샘플 홀드 회로(225)에 의해 홀딩된다.

그 다음, 메모리 회로(95B)에 미리 저장된 데이터('m')가 판독되어 D/A 회로(97B)에 의해 아날로그 신호로 변환된다. 이 때, 전압값을 $V(m)$ 으로 가정하면, 이 D/A 변환기(97B)에 의해 변환된 전압[$V(m)$]은 스위치 회로(227)를 거쳐 비교기(251)로 입력된다. 그 다음, 상기 전압[$V(m)$] 및 샘플 홀드 회로(225) 내의 홀딩된 전압(V_{CI})은 비교기(251)에 의해 서로 비교되고, 이 비교 결과는 제어 신호로서 AKB 처리기 회로(166)에 제공되며, 이 제어 신호는 클럭 신호(CK1)와 동기하여 래치 회로(252)에 의해 래치된다.

$V(m) < V_{CI}$ 이고 상기 제어 신호(ContM)가 '0' 레벨로 설정되면, AKB 처리기 회로(166)에 의해 메모리 회로(95B) 내의 미리 저장된 데이터에 '1'이 가산된다. 한편, $V(m) > V_{CI}$ 이고 상기 제어 신호(ContM)가 '1' 레벨로 설정되면, AKB 처리기 회로(166)에 의해 메모리 회로(95B) 내의 미리 저장된 데이터에 '1'이 감산된다.

이에 부가하여, 그 갱신된 데이터는 메모리 회로(95B)로부터 다시 판독되어 D/A 변환기(97B)에 의해 아날로그 전압으로 변환된다. 이 때, 변환된 전압의 값은 $V(m+1)$ 또는 $V(m-1)$ 이다.

그 다음, 전압 $V(m+1)$ 또는 $V(m-1)$ 및 전압(V_{CI})가 비교기(251)에 의해 서로 비교되고, 이 비교 결과에 따라 출력된 제어 신호(ContM)가 클럭 신호(CK)와 동기하여 래치 회로(253)에 의해 래치된다.

예컨대, 제1 출력된 제어 신호(ContM)가 '0' 레벨로 설정되고 제2 출력된 제어 신호(ContM)이 '0' 레벨로 설정되면, 래치 후의 이들 래치 회로(252, 253)의 출력은 각각 '1' 레벨 및 '0' 레벨로 설정되고 AND 회로(254)의 출력은 '0' 레벨로 설정된다. 이 경우, 제어 전압[$V(m+1)$]이 여전히 낮으므로, 데이터는 AKB 처리기 회로(166)에 의해 메모리 회로(95B) 내의 이전 데이터($m+1$)로 유지된다.

이에 부가하여, 제1 출력된 제어 신호(ContM)가 '0' 레벨로 설정되고 제2 출력된 제어 신호(ContM)이 '1' 레벨로 설정되면, 래치 후의 이들 래치 회로(252, 253)의 출력은 각각 '1' 레벨로 설정되고 AND 회로(254)의 출력은 '1' 레벨로 설정된다. 이 경우, 제어 전압[$V(m+1)$]이 과도하게 증가하고, 메모리 회로(95B)의 내용은 AKB 처리기 회로(166)에 의해 원래 데이터('m')로 복귀된다.

또한, 제1 출력된 제어 신호(ContM)가 '1' 레벨로 설정되고 제2 출력된 제어 신호(ContM)이 '1' 레벨로 설정되면, 래치 후의 이들 래치 회로(252, 253)의 출력은 각각 '0' 레벨 및 '1' 레벨로 설정되고 AND 회로(254)의 출력은 '0' 레벨로 설정된다. 이 경우, 제어 전압[$V(m-1)$]이 여전히 낮으므로, 데이터는 이전 데이터($m-1$)로 유지된다.

이에 부가하여, 제1 출력된 제어 신호(ContM)가 '1' 레벨로 설정되고 제2 출력된 제어 신호(ContM)이 '0' 레벨로 설정되면, AND 회로(254)의 출력은 '0' 레벨로 설정된다. 이 경우, 데이터는 이전 데이터($m-1$)로 유지된다.

이제, 1 필드 내의 AKB 처리가 완료되었다. 다음 AKB 기간까지의 비디오 기간 동안, 컷오프 조절 회로(9)의 동작은 메모리 회로(95B)에 저장된 데이터를 기초로 제어된다.

계속해서, 상기 동작은 각 AKB 기간마다 반복되어, D/A 변환기(97B)의 변환된 전압은 최종적으로 최적값

으로 수렴한다.

따라서, 상기 실시예에 따르면, 컷오프 조절 회로의 동작을 제어하는 제어 신호의 전압값은 최종적으로 하나의 지점에서 수렴될 수 있으며, 따라서 비디오 신호의 DC 레벨의 변동 없이 하나의 지점에서 수렴할 수 있게 된다.

상기 설명에서는, 메모리 회로 데이터가 각 필드마다 갱신되어 아날로그 전압으로 변환되며, 변환된 전압이 상기 전압과 비교되는 경우를 설명하였다. 그러나, 수렴에 요구되는 시간은 1 필드 동안의 데이터 갱신 카운트값을 가능한 최고치까지 증가시킴으로써 더욱 상당히 감소될 수 있다.

이에 부가하여, 상기 설명에 있어서는, 메모리 회로 내의 데이터 갱신의 양은 '1'로 설정된다. 그러나, D/A 변환기 내의 변환된 전압이 수렴 지점으로부터 상당히 분리되어 있으면, 최적값에 도달하는 데 요구되는 시간은 데이터 갱신 유닛을 '1' 보다 큰 값으로 증가시킴으로써 감소될 수 있다. 이 경우, 수렴으로부터의 분리 정도는, 예컨대 차동 증폭기(222)의 출력 전압에 의해 모니터링될 수 있다.

이에 부가하여, 상기 설명에 있어서는, 블랙 레벨(암부) 조절되며, 화이트 레벨(명부)을 조절하는 회로는 도시나 설명을 하지 않았다. 그러나, 화이트 레벨(명부) 조절은 물론 유사하게 수행될 수 있으며, 이 경우 각 스위치 회로(1, 2, 3)에 의해 선택된 기준 신호 2가 사용된다.

도 50은 제20 실시예에 따른 회로의 제어예를 흐름도로서 나타내고 있다. 단계 S91에서는 조절 동안 최적값인 전압(VCI)가 검출된다. 그 다음, 단계 S92에서는 전압(VCI) 및 전압[V(m)]이 서로 비교된다.

여기서, $VCI > V(m)$ 이면, 변환된 전압[V(m)]은 수렴 전압(VCI)보다 더 작다. 이 경우, D/A 변환된 전압은 증가되어야 한다. 그 다음 단계 S93에서는, 상기 전압(VCI)가 메모리 회로(95B)에 미리 저장된 데이터('m')에 1이 가산된 데이터(m+1)를 D/A 변환시켜 얻은 전압[V(m+1)]과 비교된다. $VCI > V(m+1)$ 이면, 데이터는 그 다음 단계 S94에서 'm+1'로 유지된다. 이와 대조적으로, $VCI < V(m+1)$ 이면 데이터는 그 다음 단계 S95에서 'm'으로 복귀된다.

한편, 단계 S92에서 $VCI > V(m)$ 으로 판단되지 않으면, D/A 변환된 전압[V(m)]은 수렴 전압(VCI) 보다 크다. 이 경우, D/A 변환된 전압은 감소되어야 한다. 그 다음 단계 S96에서는, 데이터가 메모리 회로(95B)에 미리 저장된 데이터('m')로부터 '1' 감산된 데이터(m-1)로 갱신된다.

이 실시예에 따른 회로는 도 50의 각 단계의 기능을 포함한다면 도 49의 회로 구성으로 항상 제한되지는 않는다. 예컨대, 프로그램 제어 CPU 등을 사용하는 회로를 사용할 수 있다.

도 51은 본 발명의 제21 실시예에 따른 AKB 회로의 전체 회로 구성을 나타낸 블록도이다. 이 실시예에 따른 회로는 수렴 지점에 도달하는 데 요구되는 시간을 제16 실시예에 따른 도 38의 회로 보다 훨씬 더 감소시키기 위한 것이다. 따라서, 도 38의 소자와 동일한 소자는 동일한 도면 부호로 표시하고, 그 설명을 생략한다. 이하, 도 38과 상이한 점만을 설명한다.

이 실시예에 따른 회로에 있어서는, 차동 증폭기(222)의 출력이 샘플 홀드 회로(225)를 거쳐 비교기 회로(226)에 제공되는 대신 적분기(261) 및 적분 커패시터(262)로 구성된 적분 회로망을 거쳐 비교기 회로(226)에 제공된다. 또한, 스위치 회로(263)가 D/A 변환기(97B) 내의 변환된 전압이 스위치 회로(223, 224) 대신에 적분 커패시터(262)에 제공되도록 스위치 회로(227) 및 적분 커패시터(262) 사이에 제공된다.

적분기(261)는 차동 증폭기(222)의 출력에 포함된 노이즈를 제거하는 동작을 한다. 또한, D/A 변환기(97B) 내의 변환된 전압은 미리 적분 커패시터(262)에 인가되어, 수렴에 요구되는 시간을 감소시킨다.

전술한 바와 같이 제21 실시예에 따르면, 불연속적인 데이터가 DC 레벨을 조절하는 데 사용되더라도 데이터는 이 DC 레벨의 변동 없이 하나의 지점에서 수렴될 수 있다.

기타 장점 및 변형은 당업자에게 명백할 것이다. 따라서, 광범위한 특징으로 설명된 본 발명은 본 명세서의 특정 설명 및 예시적인 실시예에 제한되지 않는다. 즉, 첨부된 청구 범위 및 그 균등물에 의한 발명의 범위를 벗어남이 없이 다양한 변형이 가능하다.

발명의 효과

본 발명에 따르면 적은 수의 커패시터를 사용하거나 외부 커패시터를 사용하지 않고도 캐소드의 누수 전류의 영향을 제거하여 컷오프 또는 구동 이득을 최적으로 조절할 수 있고, 비디오 신호의 DC 레벨이 음극 선관에 제공되는 높은 전압의 변화에 의해 빠르게 변하더라도 이 DC 레벨의 변화를 원래 값으로 빠르게 복귀시켜 이를 특정 값으로 유지할 수 있으며, 불연속적인 데이터가 비디오 신호의 DC 레벨이 그 데이터를 사용하여 조절될 때 사용되더라도 그 DC 레벨을 하나의 점으로 수렴시킬 수 있는 자동 화이트 밸런스 조절 회로를 얻을 수 있다.

(57) 청구의 범위

청구항 1

최소한 하나의 캐소드(cathode) 전극을 구비한 컬러 영상 디스플레이 튜브(color image display tube)의 화이트 밸런스(white balance)를 자동으로 조절하는 자동 화이트 밸런스 조절 회로에 있어서,

수직 귀선소거(vertical blanking) 기간을 갖는 컬러 비디오 신호 및 최소한 하나의 기준 신호를 수신하고, 컬러 비디오 신호를 선택하고, 수직 귀선소거 기간의 일부 기간 동안 최소한 하나의 기준 신호를 선택 및 출력하는 셀렉터(selector) 회로와,

상기 셀렉터 회로로부터 출력된 신호를 수신하고, 제어 신호에 따라 그 신호의 DC 레벨 및 AC 진폭 중 최소한 하나를 조절하고, 이 조절된 신호를 출력하는 조절 회로와,

상기 조절 회로의 출력 신호를 수신하고, 이 출력 신호에 따라 컬러 영상 디스플레이 튜브의 최소한 하나의 캐소드 전극에 제공되는 구동 신호를 출력하는 구동 회로와,

컬러 영상 디스플레이 튜브에 접속되어 그 컬러 영상 디스플레이 튜브의 캐소드 전극을 흐르는 전류에 따른 전압을 검출하는 검출기 회로와,

상기 검출기 회로로 검출된 전압을 수신하여 이 전압을 홀딩(holding)하는 제1 전압 홀드(hold) 회로와,

상기 셀렉터 회로에 의해 기준 신호가 선택되는 기간 동안 상기 검출기 회로로 검출된 전압 및 컬러 비디오 신호 및 기준 신호 중 어느 것도 선택되지 않는 기간 동안 상기 제1 전압 홀드 회로에 의해 홀딩된 전압을 수신하고, 이 전압들간의 전압차(voltage in difference)를 얻는 산술 회로와,

상기 산술 회로로 얻어진 전압차를 수신하고, 이 전압차를 기준 전압과 비교하고, 이 비교 결과에 따라 조절 회로의 동작을 제어하는 조절 신호를 발생하는 비교기 회로

를 포함하는 것을 특징으로 하는 자동 화이트 밸런스 조절 회로.

청구항 2

제1항에 있어서, 셀렉터 회로에 의해 기준 신호가 선택되는 기간 동안 검출기 회로로 검출된 전압을 수신하여 이 전압을 홀딩하는 제2 전압 홀드 회로를 더 포함하는 것인 자동 화이트 밸런스 조절 회로.

청구항 3

제2항에 있어서, 상기 제1 및 제2 전압 홀드 회로는 각각 샘플(sample) 홀드 회로인 것인 자동 화이트 밸런스 조절 회로.

청구항 4

제1항에 있어서, 상기 조절 회로는

셀렉터 회로로부터 출력된 신호를 수신하고, 이 신호의 AC 진폭을 조절하여 신호를 출력하는 제1 조절 회로와,

상기 제1 조절 회로로부터 출력된 신호를 수신하고, 이 신호의 DC 레벨을 조절하여 신호를 출력하는 제2 조절 회로

를 포함하는 것인 자동 화이트 밸런스 조절 회로.

청구항 5

최소한 하나의 캐소드 전극을 구비한 컬러 영상 디스플레이 튜브의 화이트 밸런스를 자동으로 조절하는 자동 화이트 밸런스 조절 회로에 있어서,

수직 귀선소거 기간을 갖는 컬러 비디오 신호 및 최소한 하나의 기준 신호를 수신하고, 컬러 비디오 신호를 선택하고, 수직 귀선소거 기간의 일부 기간 동안 최소한 하나의 기준 신호를 선택 및 출력하는 셀렉터 회로와,

상기 셀렉터 회로로부터 출력된 신호를 수신하고, 제어 신호에 따라 그 신호의 DC 레벨 및 AC 진폭 중 최소한 하나를 조절하고, 이 조절된 신호를 출력하는 조절 회로와,

상기 조절 회로의 출력 신호를 수신하고, 이 출력 신호에 따라 컬러 영상 디스플레이 튜브의 최소한 하나의 캐소드 전극에 제공되는 구동 신호를 출력하는 구동 회로와,

컬러 영상 디스플레이 튜브에 접속되어 그 컬러 영상 디스플레이 튜브의 캐소드 전극을 흐르는 전류에 따른 전압을 검출하는 검출기 회로와,

컬러 비디오 신호 및 최소한 하나의 기준 신호 중 어느 것도 선택되지 않는 기간 동안 검출기 회로로 검출된 전압을 수신하여 이 전압을 홀딩하는 전압 홀드 회로와,

한 쌍의 입력 노드(node)를 가지고, 셀렉터 회로에 의해 최소한 하나의 기준 신호가 선택되는 기간 동안 검출기로 검출된 전압이 하나의 입력 노드에 제공되고, 기준 신호가 또 다른 입력 노드에 제공되어 이 한 쌍의 입력 노드에 제공된 2 개의 전압을 비교하고, 이 비교 결과에 따라 조절 회로의 동작을 제어하는 제어 신호를 발생하는 비교기 회로와,

기준 전압을 발생하고, 상기 전압 홀드 회로로 홀딩된 전압을 수신하고, 이 전압에 따라 기준 전압의 값을 변화시키는 기준 전압 발생기 회로

를 포함하는 것을 특징으로 하는 자동 화이트 밸런스 조절 회로.

청구항 6

제5항에 있어서, 상기 기준 전압 발생기 회로는

2 개의 단자를 가지고, 하나의 단자는 소정의 전위로 제공 노드에 접속되고 또 다른 단자는 비교기 회로의 또 다른 입력 노드에 접속된 고정 전류원과,

2 개의 단자를 가지고, 하나의 단자는 상기 고정 전류원의 또 다른 단자에 접속되고 또 다른 단자에는 전압 홀드 회로로 홀딩된 전압이 제공되는 저항

을 포함하는 것인 자동 화이트 밸런스 조절 회로.

청구항 7

제5항에 있어서, 상기 기준 전압 발생기 회로는 비교기 회로의 또 다른 입력 노드에 접속된 하나의 단자 및 전압 홀드 회로로 출력된 전압이 제공되는 또 다른 단자의 두 단자를 가진 고정 전압원을 포함하는 것인 자동 화이트 밸런스 조절 회로.

청구항 8

제5항에 있어서, 상기 조절 회로는

셀렉터 회로로부터 출력된 신호를 수신하고, 이 신호의 AC 진폭을 조절하여 신호를 출력하는 제1 조절 회로와,

상기 제1 조절 회로로부터 출력된 신호를 수신하고, 이 신호의 DC 레벨을 조절하여 신호를 출력하는 제2 조절 회로

를 포함하는 것인 자동 화이트 밸런스 조절 회로.

청구항 9

제5항에 있어서, 상기 전압 홀드 회로는 샘플 홀드 회로인 것인 자동 화이트 밸런스 조절 회로.

청구항 10

최소한 하나의 캐소드 전극을 구비한 컬러 영상 디스플레이 튜브의 화이트 밸런스를 자동으로 조절하는 자동 화이트 밸런스 조절 회로에 있어서,

수직 귀선소거 기간을 갖는 컬러 비디오 신호 및 최소한 하나의 기준 신호를 수신하고, 컬러 비디오 신호를 선택하고, 수직 귀선소거 기간의 일부 기간 동안 최소한 하나의 기준 신호를 선택 및 출력하는 셀렉터 회로와,

상기 셀렉터 회로로부터 출력된 신호를 수신하고, 제어 신호에 따라 그 신호의 DC 레벨 및 AC 진폭 중 최소한 하나를 조절하고, 이 조절된 신호를 출력하는 조절 회로와,

상기 조절 회로의 출력 신호를 수신하고, 이 출력 신호에 따라 컬러 영상 디스플레이 튜브의 최소한 하나의 캐소드 전극에 제공되는 구동 신호를 출력하는 구동 회로와,

컬러 영상 디스플레이 튜브에 접속되어 컬러 영상 디스플레이 튜브의 캐소드 전극을 흐르는 전류에 따라 전압을 검출하는 제1 검출기 회로와,

셀렉터 회로에 의해 최소한 하나의 기준 신호가 선택되는 기간 동안 상기 제1 검출기 회로로 검출된 전압을 수신하고, 이 전압을 제1 기준 전압과 비교하는 제1 비교기 회로와,

상기 조절 회로의 동작을 제어하는 데이터를 저장하는 메모리 회로와,

상기 제1 비교기 회로의 비교 결과 및 메모리 회로에 저장된 데이터를 수신하고, 제1 비교기 회로의 비교 결과를 기초로 그 데이터를 갱신하고, 이 갱신된 데이터가 메모리 회로에 재저장되도록 그 갱신된 데이터를 메모리 회로에 제공하는 갱신 회로와,

상기 메모리 회로에 저장된 데이터를 수신하고, 이 데이터를 아날로그 신호로 변환하고, 이 변환된 신호를 제어 신호로서 조절 회로로 출력하는 D/A 변환기

를 포함하는 것을 특징으로 하는 자동 화이트 밸런스 조절 회로.

청구항 11

제10항에 있어서, 상기 갱신 회로는

상기 제1 비교기 회로의 비교 결과를 수신하고, 이 비교 결과에 따라 제1 데이터 및 제2

데이터—여기서, 제1 데이터 및 제2 데이터는 각각 양의 값 및 음의 값을 가지며, 그 절대값이 동일함—중 하나를 선택 및 출력하는 데이터 셀렉터 회로와,

메모리 회로에 저장된 데이터 및 상기 데이터 셀렉터 회로로부터 선택 및 출력된 제1 또는 제2 데이터를 수신하여 이를 더하는 가산기

를 포함하는 것인 자동 화이트 밸런스 조절 회로.

청구항 12

제11항에 있어서, 상기 제1 비교기 회로의 비교 결과를 수신하고, 이 결과를 임시로 저장하며, 이 임시로 저장된 결과를 데이터 셀렉터 회로에 제공하는 임시 저장 회로를 더 포함하는 것인 자동 화이트 밸런스 조절 회로.

청구항 13

제11항에 있어서, 상기 갱신 회로는

데이터 셀렉터 회로로부터 선택 및 출력된 데이터를 수신하고, 데이터 셀렉터 회로로부터 동일한 데이터가 복수의 카운트(count)로 출력되는지 여부를 검출하는 데이터 검출기 회로를 더 포함하는 것으로서,

데이터의 가산은 동일한 데이터의 복수 개의 출력이 데이터 검출기 회로에 의해 검출된 후 가산기로 수행

되는 것인 자동 화이트 밸런스 조절 회로.

청구항 14

제10항에 있어서, 상기 갱신 회로는 제1 검출기 회로로 검출된 전압을 수신하며,

제1 검출기 회로로 검출된 전압 및 제1 기준 전압을 수신하고, 이 전압들간의 차를 나타내는 전압을 발생 하는 차동 전압 발생기 회로와,

상기 차동 전압 발생기 회로로 발생한 차 전압을 수신하고, 이 차 전압과 제2 기준 신호를 비교하는 제2 비교기 회로와,

제1 비교기 회로의 비교 결과를 수신하고, 그 비교 결과에 따라 제1 데이터 및 제2 데이터 — 여기서, 제1 데이터 및 제2 데이터는 각각 양의 값 및 음의 값을 가지며, 그 절대값이 동일함 — 중 하나를 선택 및 출력하는 제1 데이터 셀렉터 회로와,

제1 비교기 회로의 비교 결과를 수신하고, 그 비교 결과에 따라 제3 데이터 및 제4 데이터 — 여기서, 제3 데이터 및 제4 데이터는 각각 양의 값 및 음의 값을 가지며, 그 절대값이 각각 제1 데이터 및 제2 데이터 보다 큼 — 중 하나를 선택 및 출력하는 제2 데이터 셀렉터 회로와,

제1 데이터 셀렉터 회로로부터 선택 및 출력된 데이터, 제2 데이터 셀렉터 회로로부터 선택 및 출력된 데이터 및 제2 비교기 회로의 비교 결과를 수신하고, 제2 비교기 회로의 비교 결과에 따라 제1 데이터 셀렉터 회로로부터 선택 및 출력된 데이터 및 제2 데이터 셀렉터 회로로부터 선택 및 출력된 데이터 중 어느 하나를 선택하는 제3 데이터 셀렉터 회로와,

메모리 회로에 저장된 데이터 및 제3 데이터 셀렉터 회로로 선택된 데이터를 수신하여 이를 가산하는 가산기

를 포함하는 것인 자동 화이트 밸런스 조절 회로.

청구항 15

제10항에 있어서, 상기 조절 회로는

셀렉터 회로로부터 출력된 신호를 수신하고, 이 신호의 AC 진폭을 조절하여 신호를 출력하는 제1 조절 회로와,

상기 제1 조절 회로로부터 출력된 신호를 수신하고, 이 신호의 DC 레벨을 조절하여 신호를 출력하는 제2 조절 회로

를 포함하는 것인 자동 화이트 밸런스 조절 회로.

청구항 16

제10항에 있어서, 제1 검출기 회로로 검출된 전압을 수신하고, 이 검출된 신호를 기초로 컬러 영상 디스플레이 튜브에 제공되는 고전압의 전압 변동(voltage fluctuation)을 검출하는 제2 검출기 회로를 더 포함하는 것으로서,

갱신 회로는 제2 검출기 회로의 출력을 수신하며, 제2 검출기 회로가 고전압의 전압 변동을 검출할 때 기타 다른 데이터에 앞서서 DC 레벨에 해당하고 메모리 회로에 저장된 데이터를 갱신하도록 제어되는 것인 자동 화이트 밸런스 조절 회로.

청구항 17

제16항에 있어서, 제1 검출기 회로로 검출된 전압을 수신하고, 이 검출된 전압이 원하는 값으로 수렴했는지 여부를 검출하는 제3 검출기 회로를 더 포함하는 것으로서,

갱신 회로는 제3 검출기 회로에 의해 원하는 값에서의 검출된 전압의 수렴이 검출된 후 DC 레벨의 우선(preferential) 갱신 상태를 해제하는 것인 자동 화이트 밸런스 조절 회로.

청구항 18

제10항에 있어서, 상기 셀렉터 회로는 각각 수직 귀선소거 기간을 가지는 3 개의 주요 색의 컬러 비디오 신호 및 기준 신호를 수신하고, 수직 귀선소거 기간의 부분 기간 동안 기준 신호를 선택 및 출력하는 3 개의 셀렉터 회로를 포함하고,

상기 조절 회로는 상기 3 개의 셀렉터 회로로부터 각각 신호를 수신하는 3 개의 조절 회로를 포함하며, 각 조절 회로는 제어 신호에 따라 신호의 DC 레벨 및 AC 진폭 중 최소한 하나를 조절하여 이 조절된 신호를 출력하도록 설계되고,

상기 구동 회로는 상기 3 개의 조절 회로의 출력 신호를 수신하고, 컬러 영상 디스플레이 튜브의 캐소드 전극에 각각 제공되는 구동 신호를 출력하는 3 개의 구동 회로를 포함하고,

상기 메모리 회로는 상기 3 개의 조절 회로의 동작을 제어하는 데이터를 저장하는 최소한 3 개의 메모리 회로를 포함하고,

상기 D/A 변환기는 상기 3 개의 메모리 회로에 저장된 데이터를 수신하고, 이 각 데이터를 아날로그 신호로 변환하고, 상기 3 개의 조절 회로에 제어 신호를 출력하는 최소한 3 개의 D/A 변환기를 포함하고,

상기 갱신 회로는 각 셀렉터 회로가 기준 신호를 선택하는 동안, 상기 각 3 개의 메모리 회로로부터 제공

되는 데이터를 제1 기준 전압 및 제1 검출기 회로로 검출된 전압간의 차이값이 소정의 값보다 작을 때 제1 변화량(variation quantity)만큼, 그리고 제1 기준 전압 및 주요 색에 대하여 제1 검출기 회로로 검출된 3 개의 전압간의 3 개의 차이값이 소정의 값보다 크고 대략 서로 동일할 때 상기 제1 변화량 보다 큰 제2 변화량만큼 갱신하는 것인 자동 화이트 밸런스 조절 회로.

청구항 19

제18항에 있어서, 전원이 제공된 후 초기 상태에서, 상기 갱신 회로는 상기 3 개의 값이 서로 대략 동일 한지 여부에는 상관 없이 소정의 값보다 클 때, 각 3 개의 메모리 회로로부터 제공된 데이터를 제2 변화량만큼 갱신하는 것인 자동 화이트 밸런스 조절 회로.

청구항 20

제10항에 있어서, 메모리 회로에 저장된 데이터를 기타 디지털 값 보다 정해진(prescribed) 전압 —여기서, 정해진 전압은 제어 신호가 컬러 영상 디스플레이 튜브의 캐소드 전류를 소정의 기준 전류로 만들기 위하여 조절 회로에 제공될 때 제어 신호의 전압이 수렴하는 전압임 —에 더 가까운 디지털 값으로 안정화시키는(stabilizing) 제어 회로를 더 포함하는 것인 자동 화이트 밸런스 조절 회로.

청구항 21

제10항에 있어서, 메모리 회로에 저장된 데이터를 정해진 전압 —여기서, 정해진 전압은 제어 신호가 컬러 영상 디스플레이 튜브의 캐소드 전류를 소정의 기준 전류로 만들기 위하여 조절 회로에 제공될 때 제어 신호의 전압이 수렴하는 전압임 —보다 작은 값으로 감소시키거나 정해진 전압보다 큰 값으로 증가시키지 않으며, 그 데이터를 기타 디지털 값 보다 정해진 전압에 더 가까운 디지털 값으로 안정화시키는 제어 회로를 더 포함하는 것인 자동 화이트 밸런스 조절 회로.

청구항 22

영상 디스플레이 장치에 있어서,

각각 수직 귀선소거 기간을 갖는 홀스 필드(field)와 짝수 필드를 교대로 반복하는 컬러 영상 신호의 DC 레벨 및 AC 진폭을 조절하여, 이 조절된 컬러 영상 신호를 출력하는 조절 회로와,

최소한 하나의 캐소드 전극을 구비하고 고전압이 인가되는 컬러 영상 디스플레이 튜브와,

상기 조절 회로의 출력 신호를 수신하고 이 출력 신호에 따라 컬러 영상 디스플레이 튜브의 캐소드 전극에 구동 신호를 출력하는 구동 회로와,

상기 컬러 영상 디스플레이 튜브에 인가되는 고전압의 변동을 검출하는 고전압 변동 검출 회로와,

상기 조절 회로를 제어하여, 고전압 변동 검출 회로에 의해 고전압의 변동이 검출될 때에는 조절 회로가 DC 레벨을 우선적으로 조절하도록 하고, 고전압 변동 검출 회로에 의해 고전압의 변동이 검출되지 않을 때에는 조절 회로가 짝수 필드 및 홀수 필드의 임의의 2 개의 인접한 필드에 대해 DC 레벨 및 AC 진폭을 조절하도록 하는 제어 회로

를 포함하는 것을 특징으로 하는 영상 디스플레이 장치.

청구항 23

영상 디스플레이 장치에 있어서,

비디오 신호의 DC 레벨 및 AC 진폭 중 최소한 하나의 조절 기간 동안에 소정의 캐소드 전류가 영상 디스플레이 튜브의 캐소드 전극을 흐르도록 제어 전압을 발생하는 제어 전압 발생기 회로와,

상기 제어 전압을 수신하고, 데이터를 아날로그 변환시켜 얻어진 아날로그 전압의 값이 제어 전압에 근사하는 방향으로 그 데이터를 변경하는 데이터 변경 회로와,

상기 제어 전압 및 아날로그 전압을 수신하고, 데이터를 변경 전 및 후에서 아날로그 변환시켜 얻어진 아날로그 전압과 제어 전압간의 차를 나타내는 절대값이 더 작은 데이터를 검출하는 검출기 회로

를 포함하는 것으로서,

비디오 신호의 DC 레벨 및 AC 진폭 중 최소한 하나는 상기 검출기 회로에서 아날로그 데이터 및 제어 전압간의 차를 나타내는 절대값이 더 작은 것으로 검출된 데이터를 아날로그 변환시켜 얻어진 아날로그 전압을 사용하여 조절되는 것인 영상 디스플레이 장치.

청구항 24

영상 디스플레이 장치에 있어서,

비디오 신호의 DC 레벨 및 AC 진폭 중 최소한 하나의 조절 기간 동안 데이터를 갱신하고, 이 갱신 전 및 후 각각에서 영상 디스플레이 튜브의 캐소드 전극을 흐르는 캐소드 전극을 검출하는 제1 검출기 회로와,

상기 제1 검출기 회로의 검출 결과를 수신하고, 이 검출된 캐소드 전류 및 소정의 기준 전압간의 차를 나타내는 절대값이 더 작은 데이터를 더 작은 데이터를 검출하는 제2 검출기 회로

를 포함하는 것으로서,

비디오 신호의 DC 레벨 및 AC 진폭 중 최소한 하나는 상기 제2 검출기 회로에서 검출된 데이터를 아날로

그 변환시켜 얻어진 아날로그 전압을 사용하여 조절되는 것인 영상 디스플레이 장치.

청구항 25

영상 디스플레이 장치에 있어서,

비디오 신호의 DC 레벨 및 AC 진폭 중 최소한 하나의 조절 기간 동안 데이타를 변경하고, 이 변경 전 및 후에서 영상 디스플레이 튜브의 캐소드 전극을 흐르는 캐소드 전류를 검출하는 검출기 회로와,

상기 검출기 회로의 검출된 결과를 수신하고, 검출된 캐소드 전류가 소정의 수렴값을 가로지를 때 그 데이타가 수렴되었다고 판단하는 판단 회로와,

상기 판단 회로의 판단 결과를 수신하고, 데이타의 수렴이 판단될 때 캐소드 전류의 값이 수렴값을 가로질러 변하는 시간 또는 캐소드 전류의 값이 수렴값을 가로질러 변하기 전의 시간 중 임의의 시간에 해당하는 데이타로 고정시키는(fixing) 데이타 고정 회로

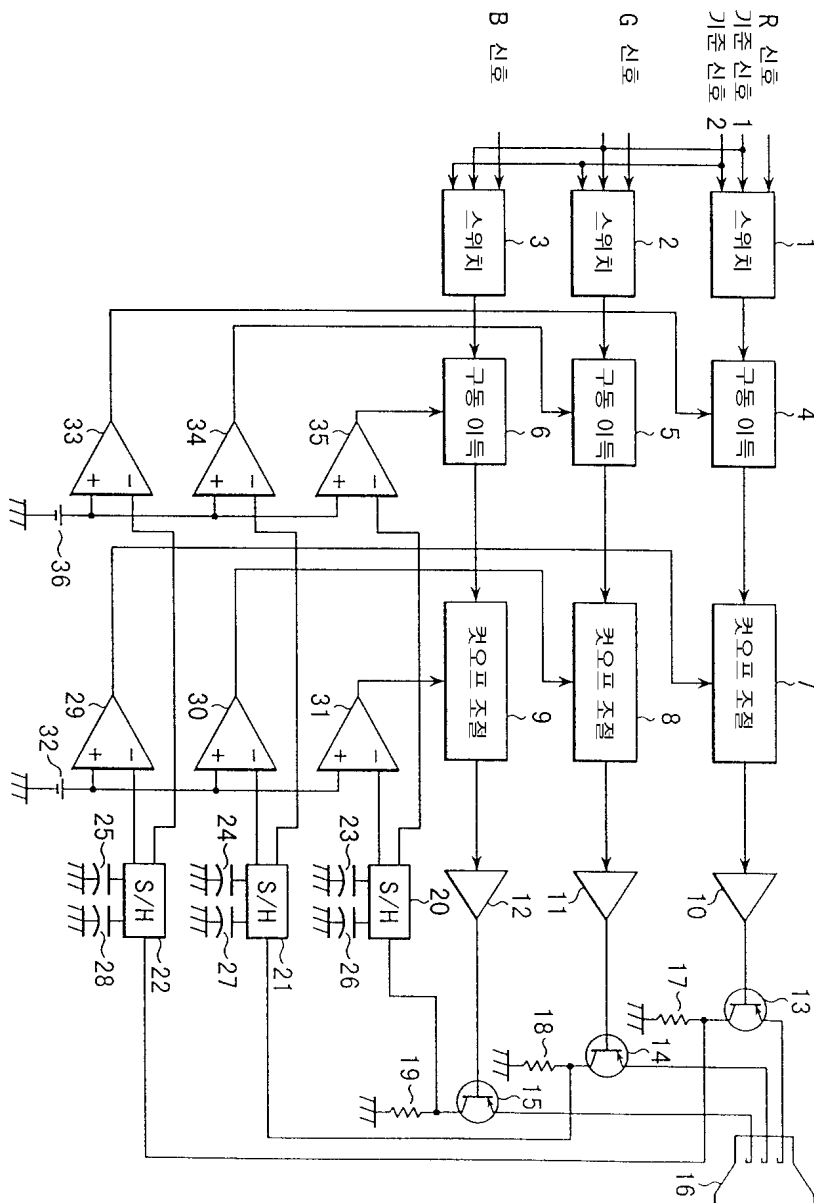
를 포함하는 것으로서,

비디오 신호의 DC 레벨 및 AC 진폭 중 최소한 하나는 상기 고정된 데이타를 사용하여 조절되는 것인 영상 디스플레이 장치.

도면

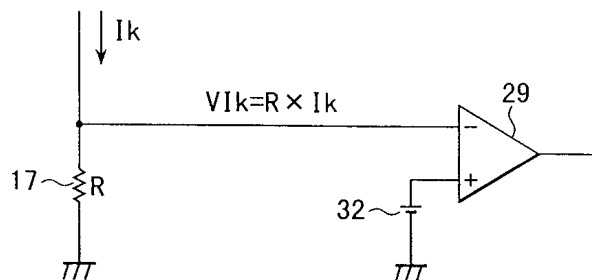
도면1

(종래 기술)



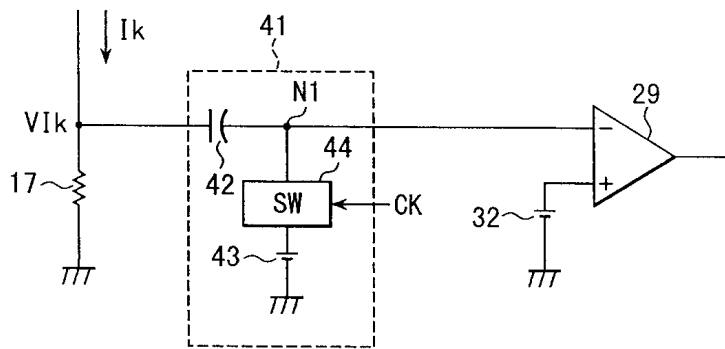
도면2

(종래 기술)

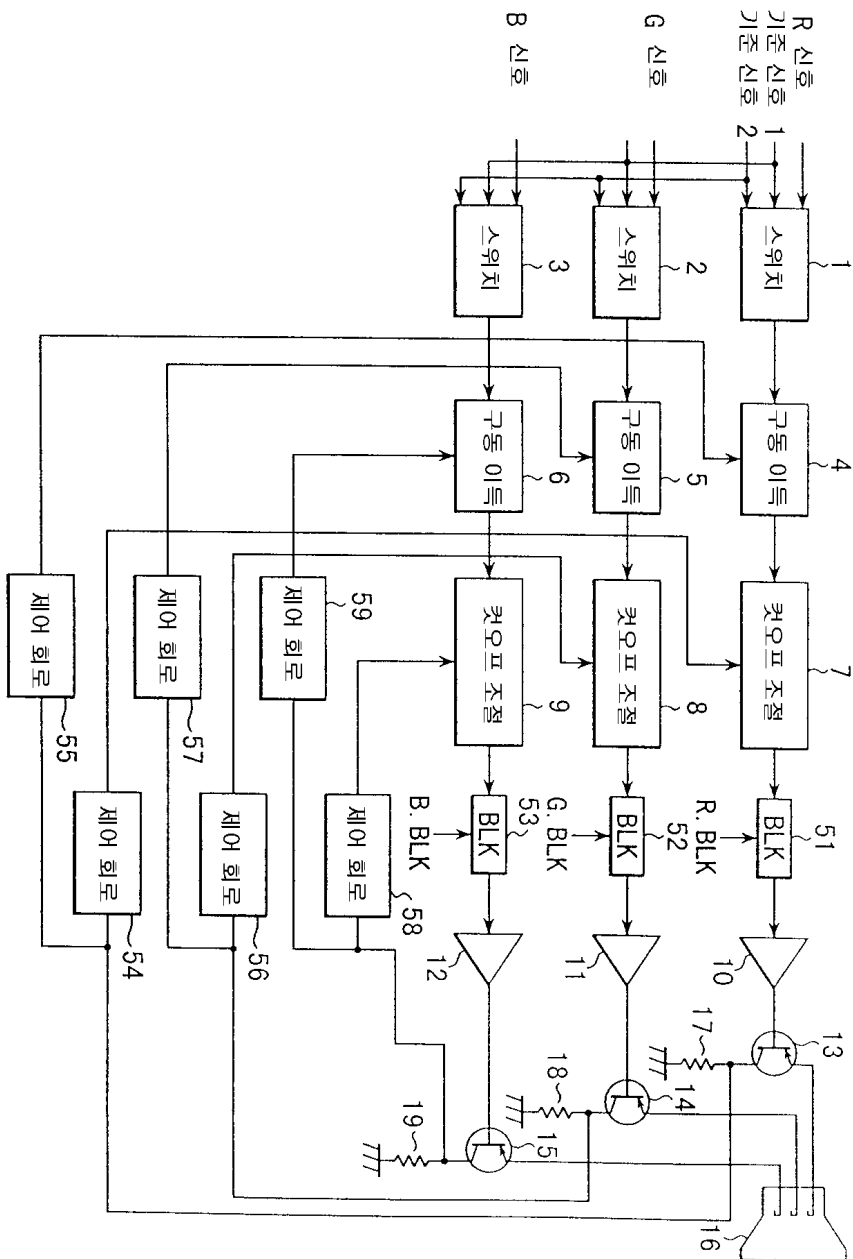


도면3

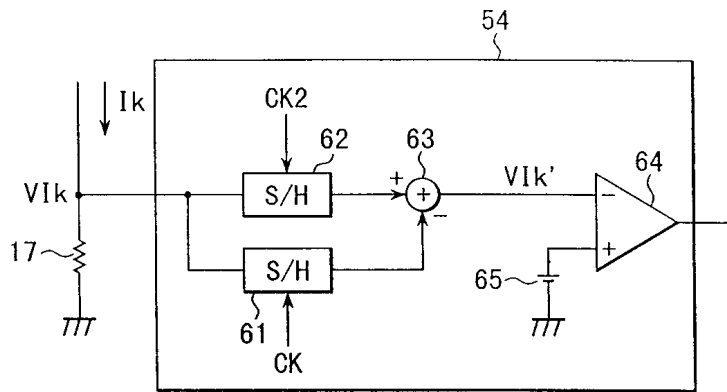
(종래 기술)



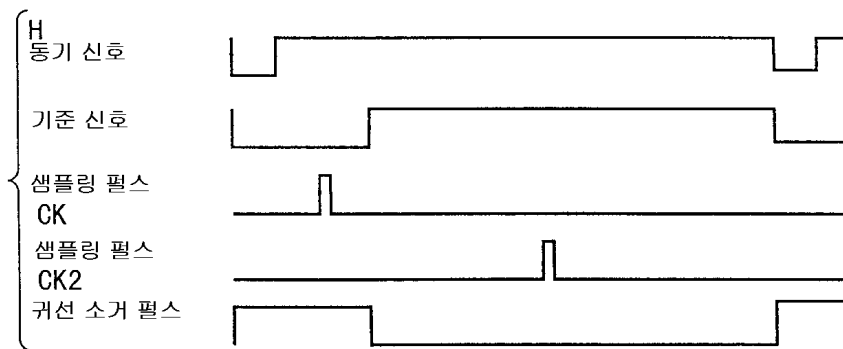
도면4



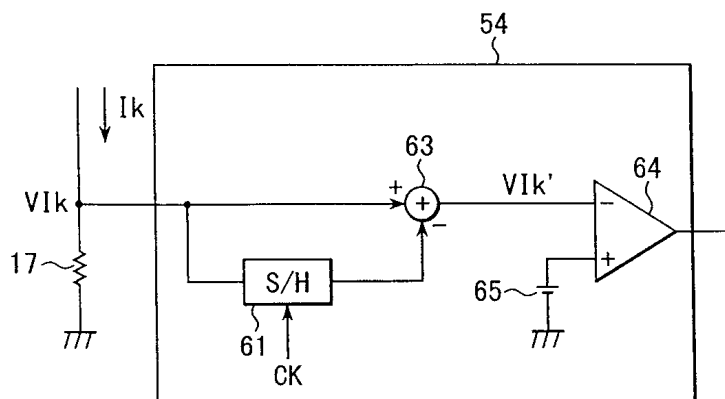
도면5



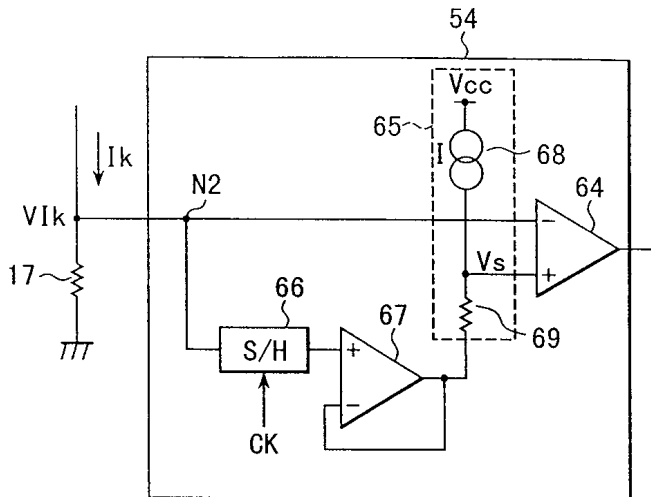
도면6



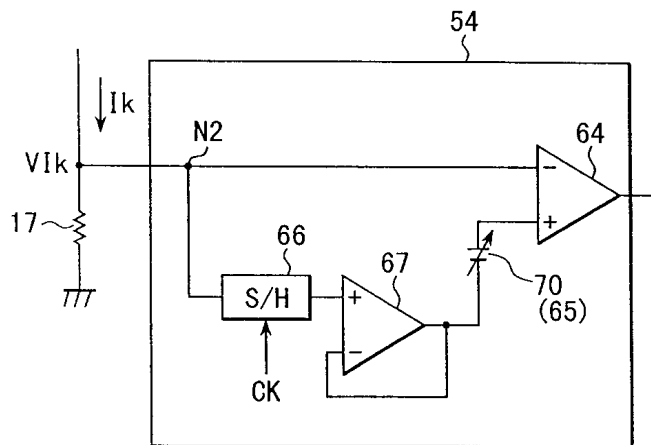
도면7



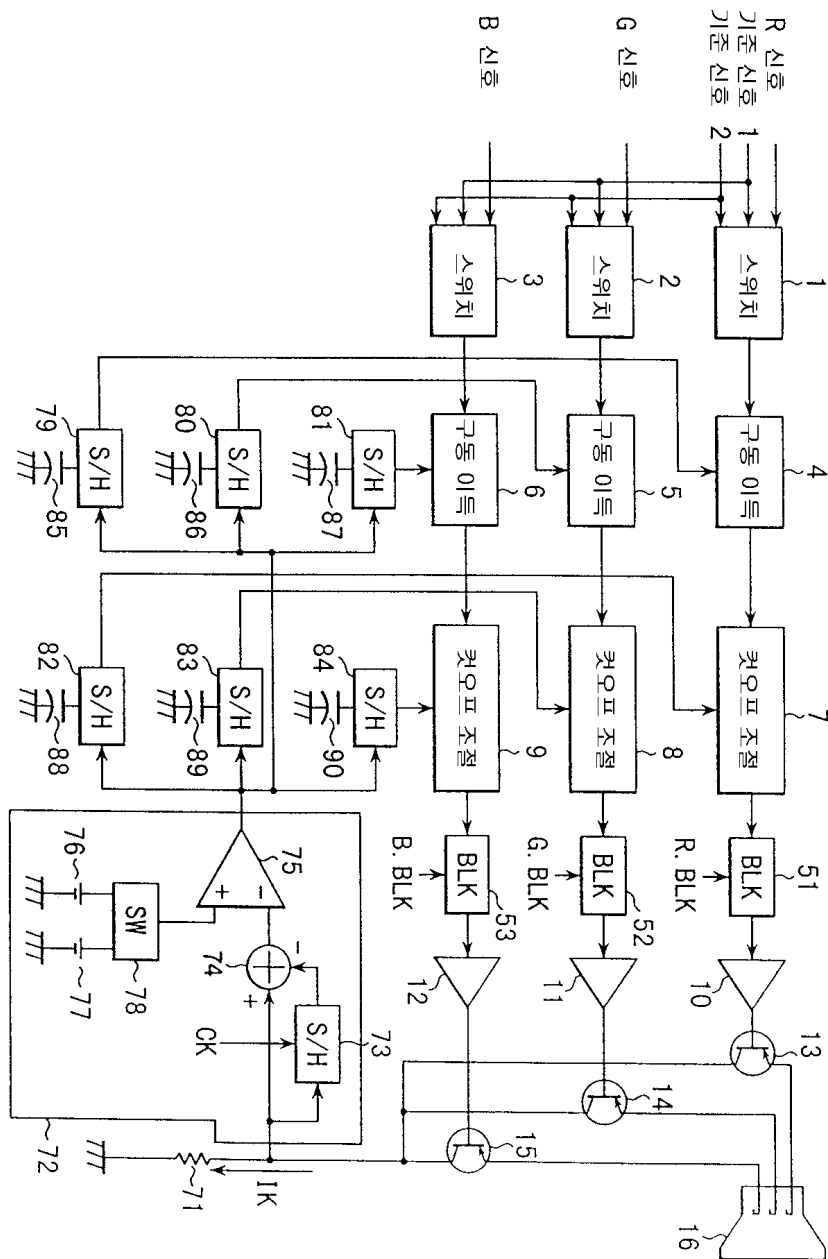
도면8



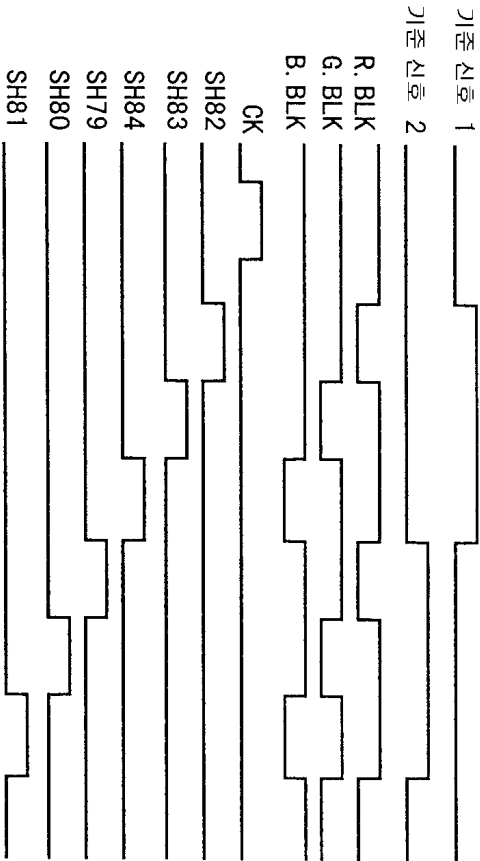
도면9



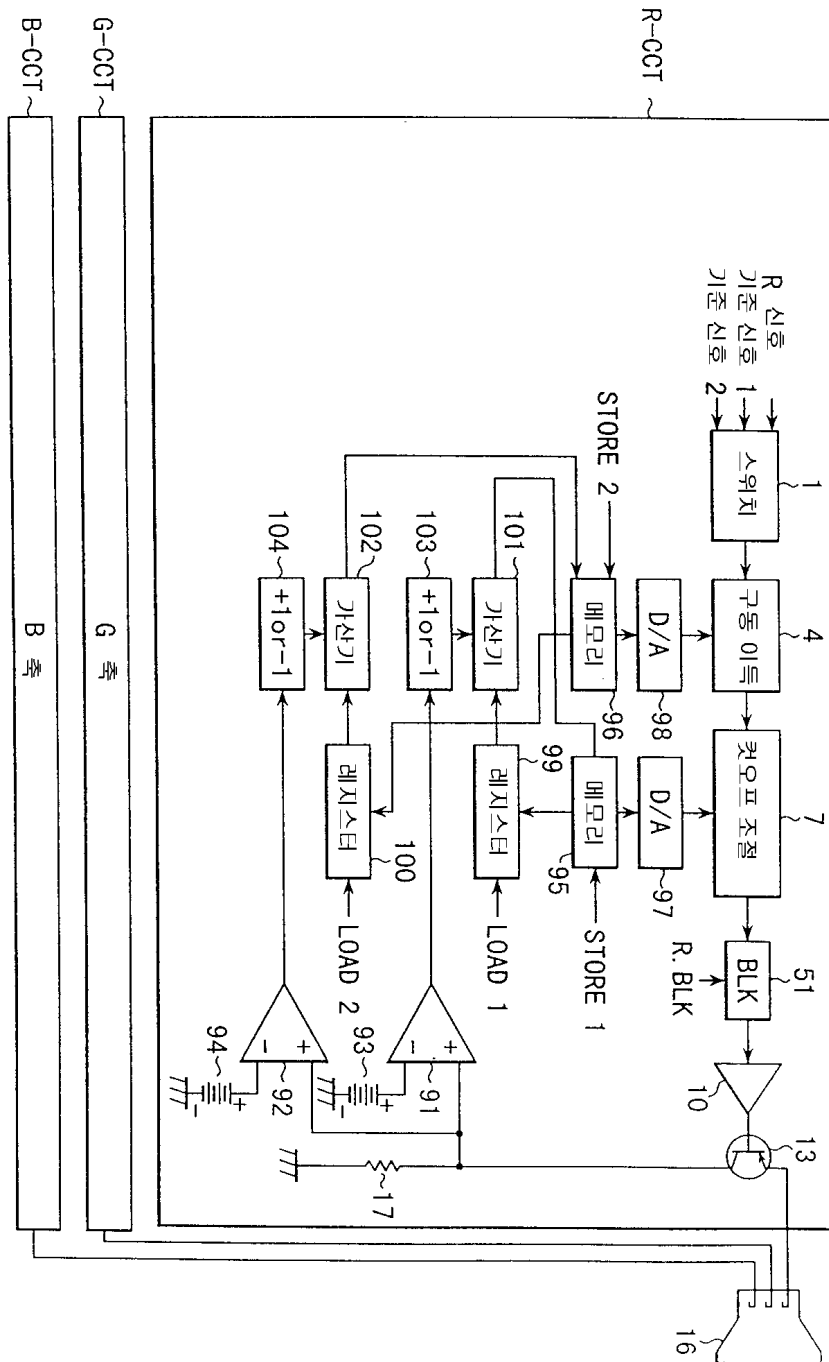
도면 10



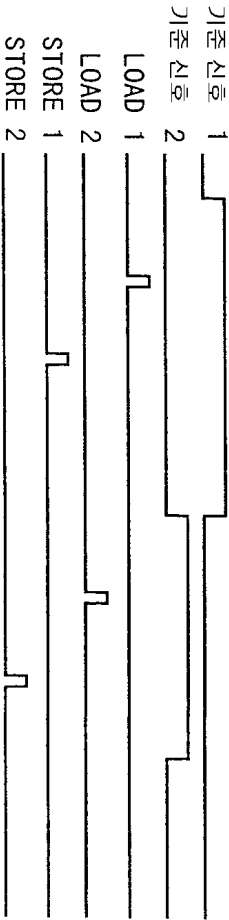
도면11



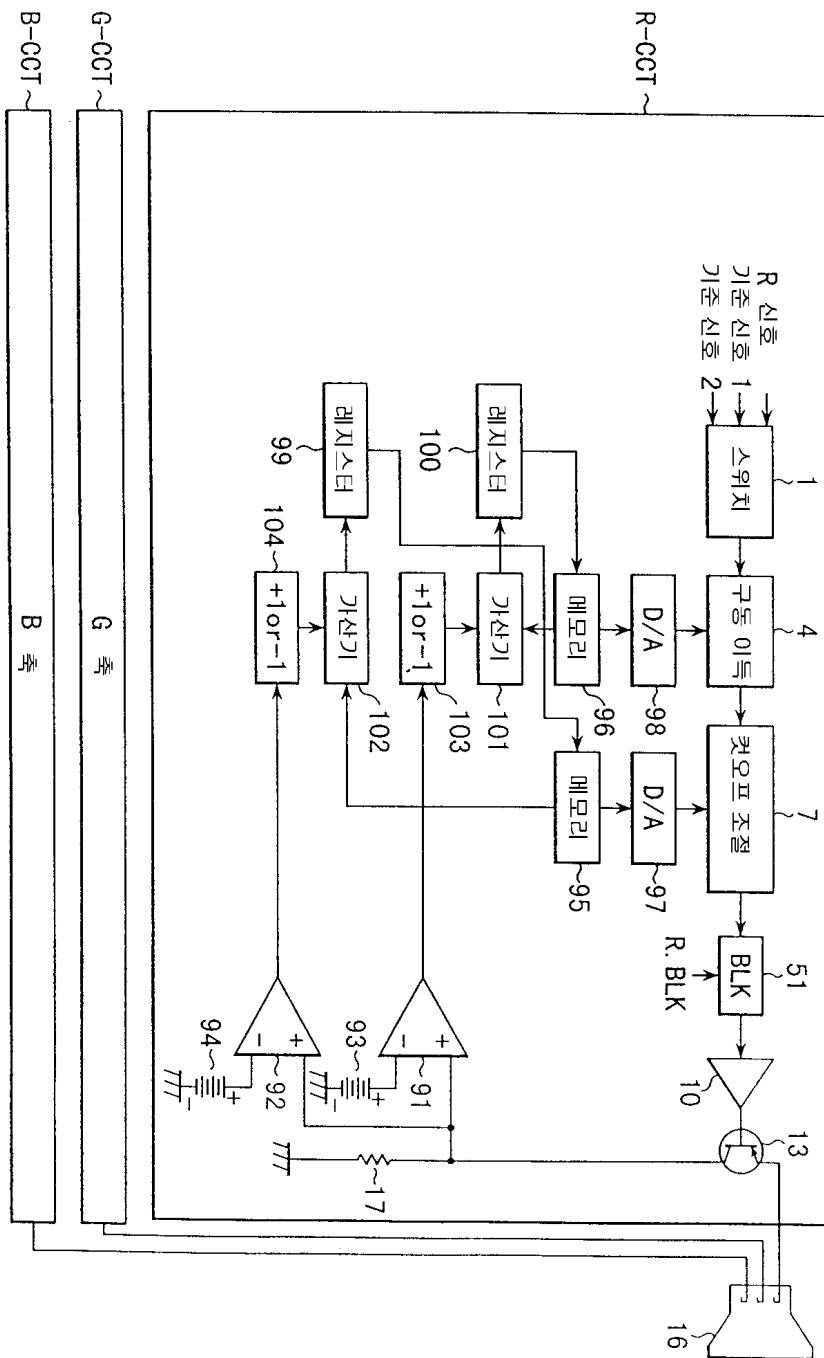
도면 12



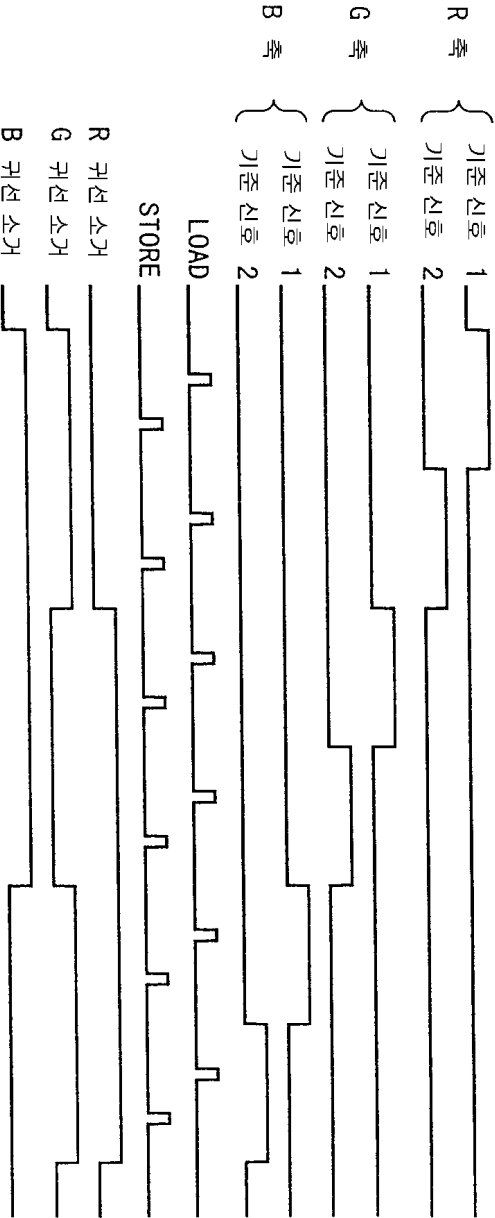
도면 13



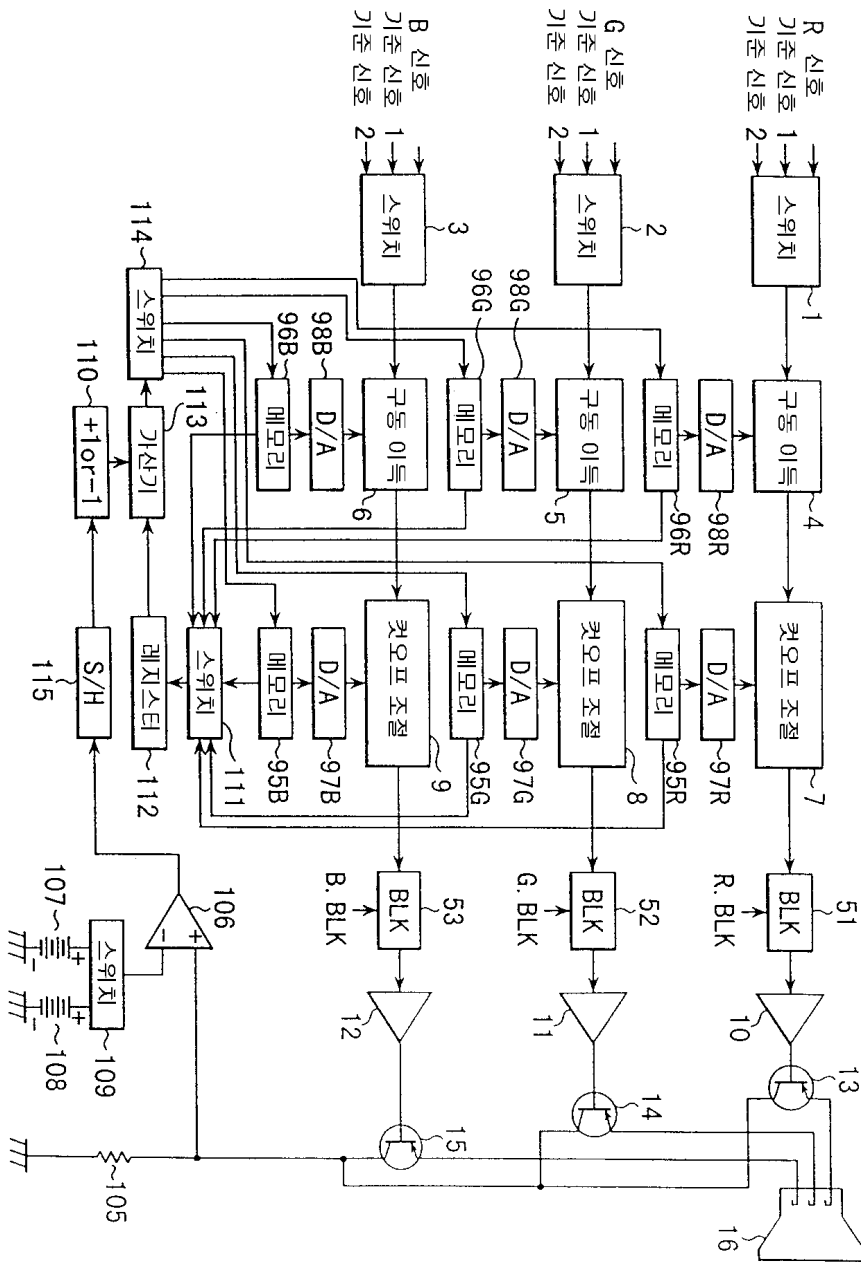
도면 14



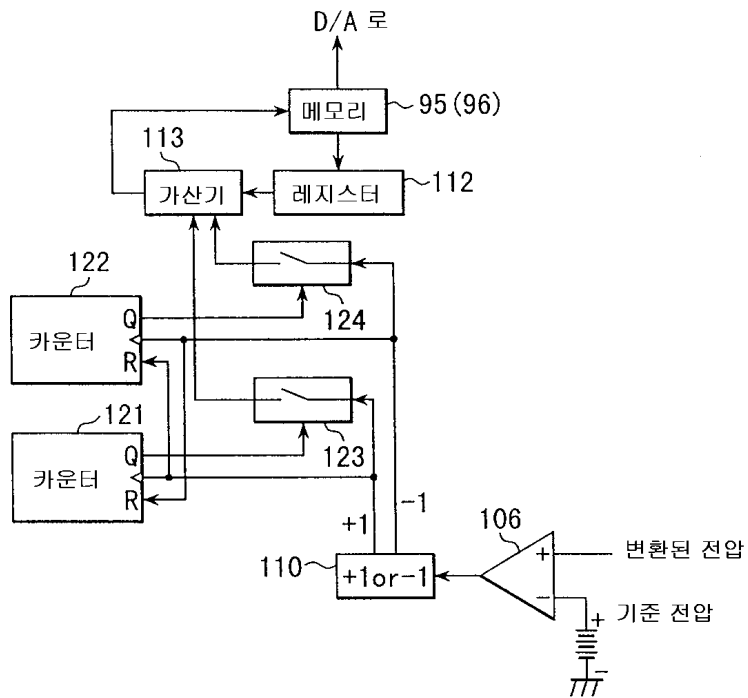
도면 16



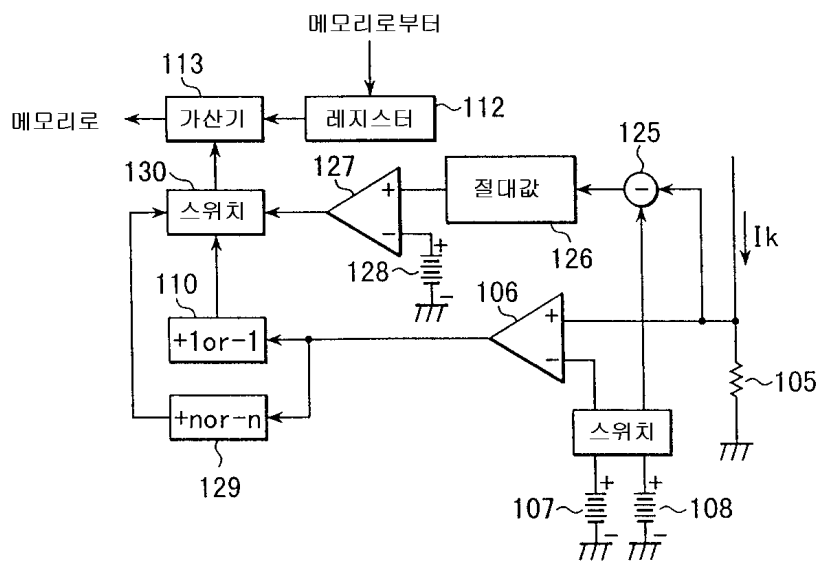
도면17



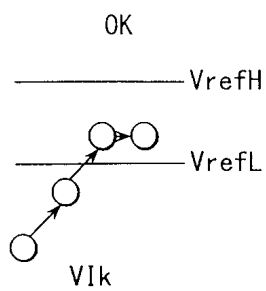
도면 18



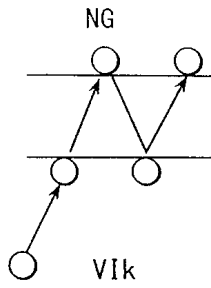
도면 19



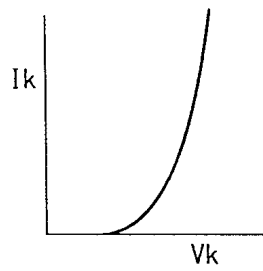
도면 20a



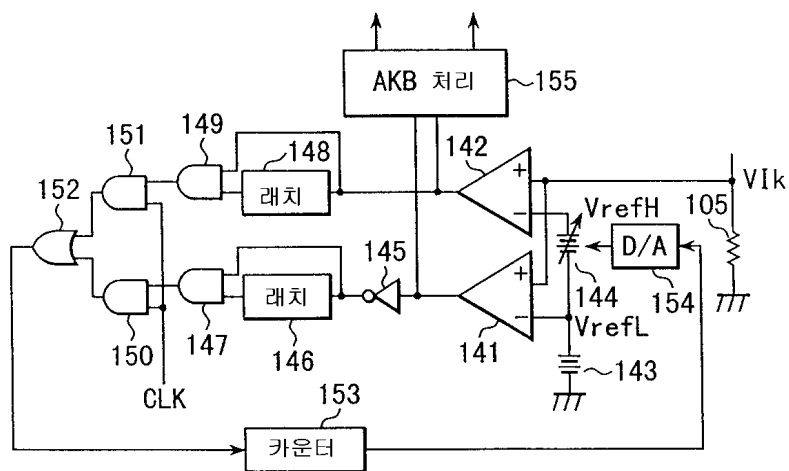
도면20b



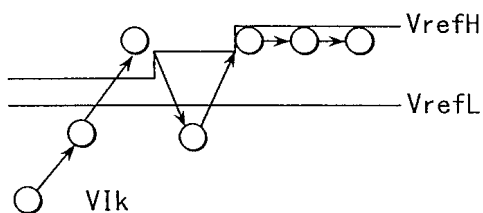
도면21



도면22



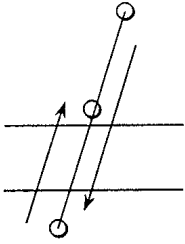
도면23



도면25

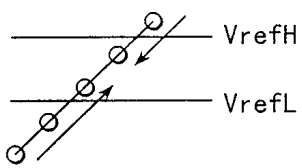


도면27b



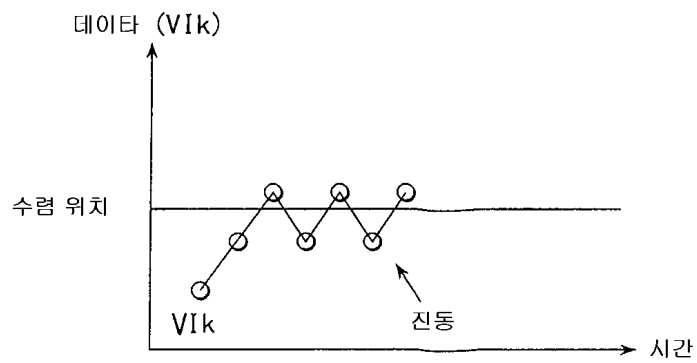
(ΔI_k 가 클 때 수렴이
발생하지 않음)

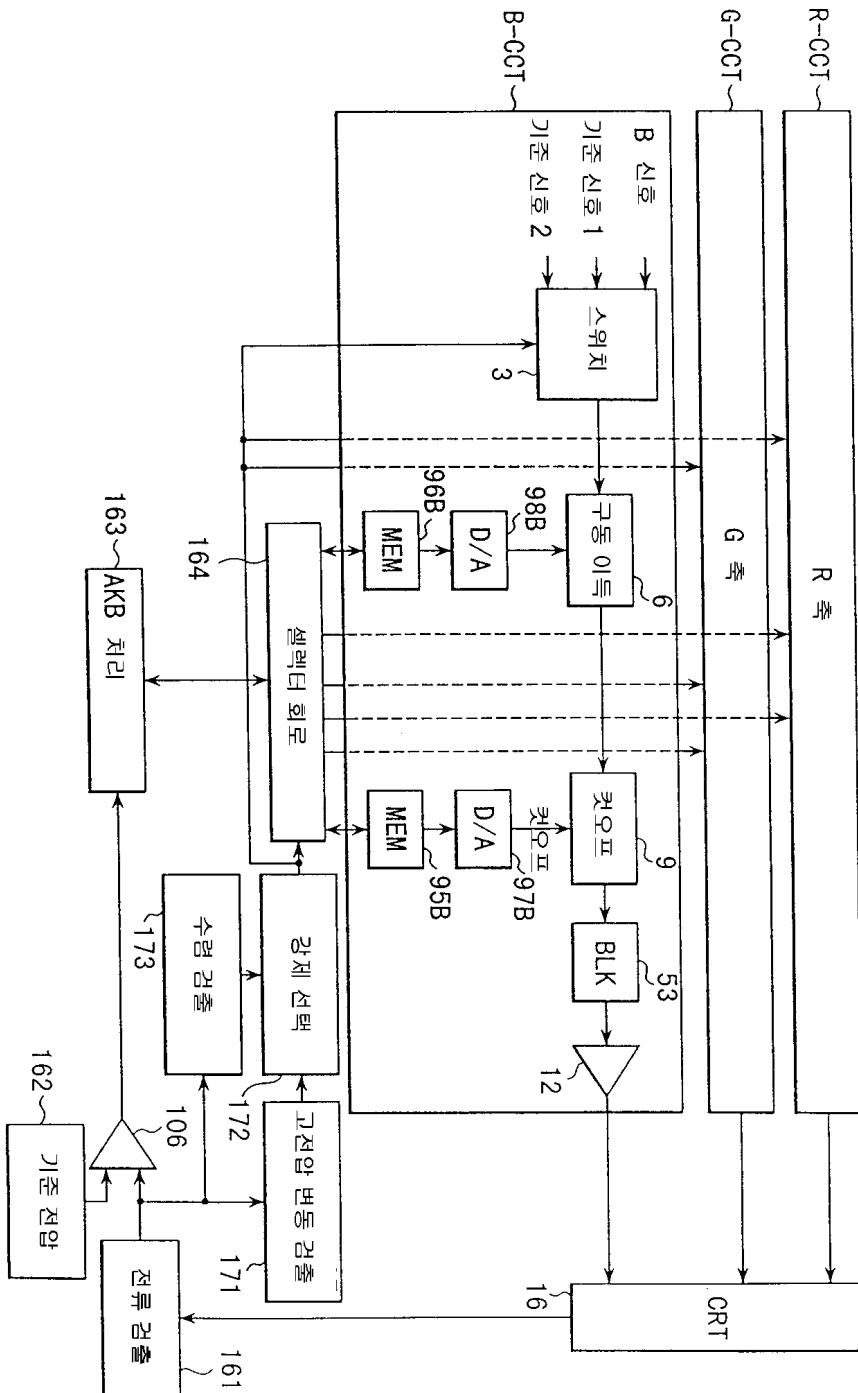
도면27c



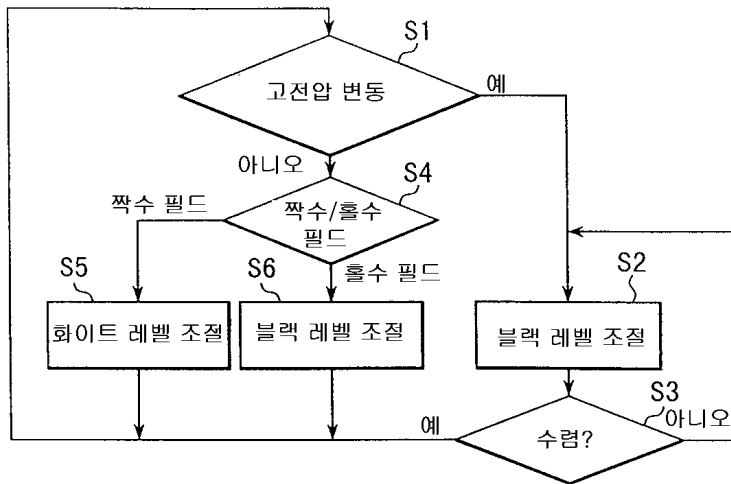
(ΔI_k 가 작을 때 정밀도가 나쁨)

도면28

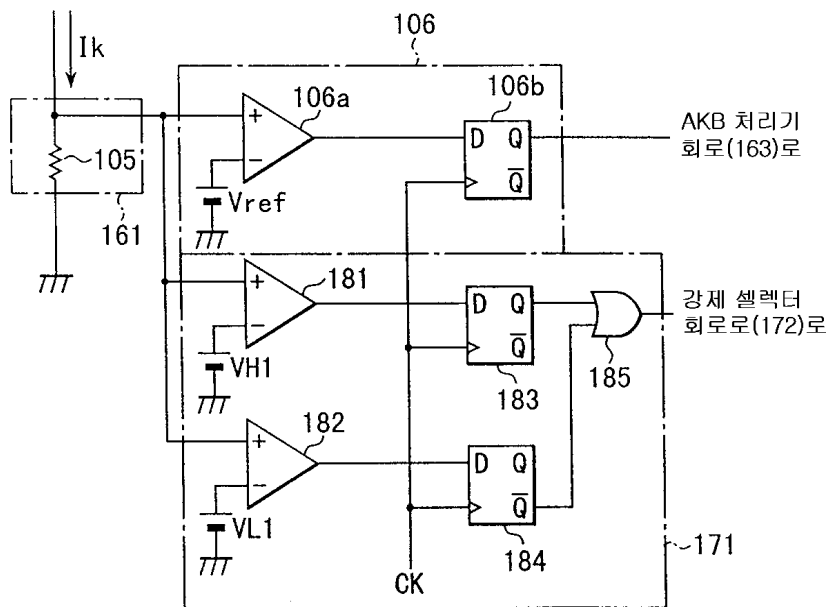




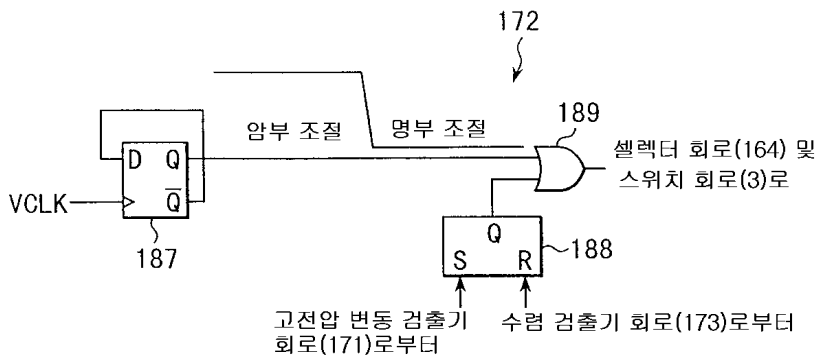
도면30



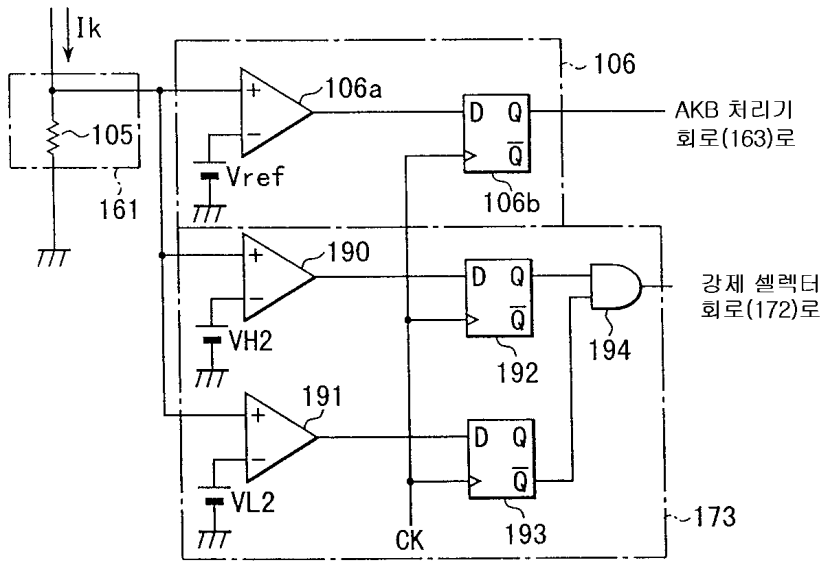
도면31



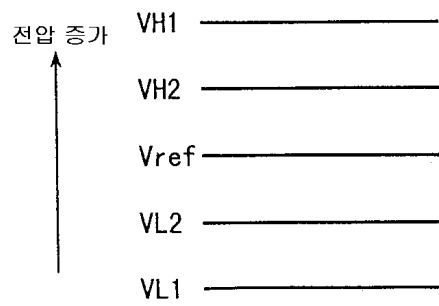
도면32

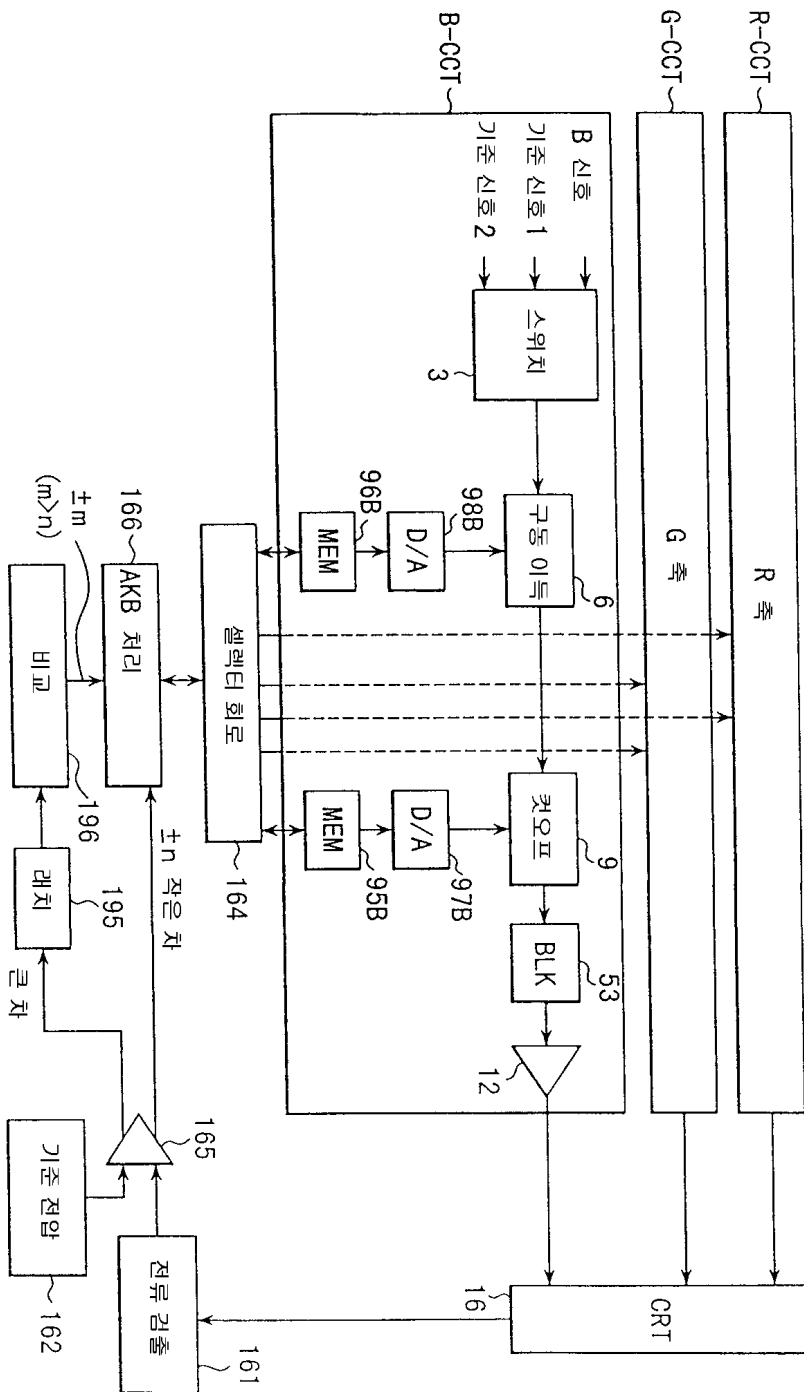


도면33

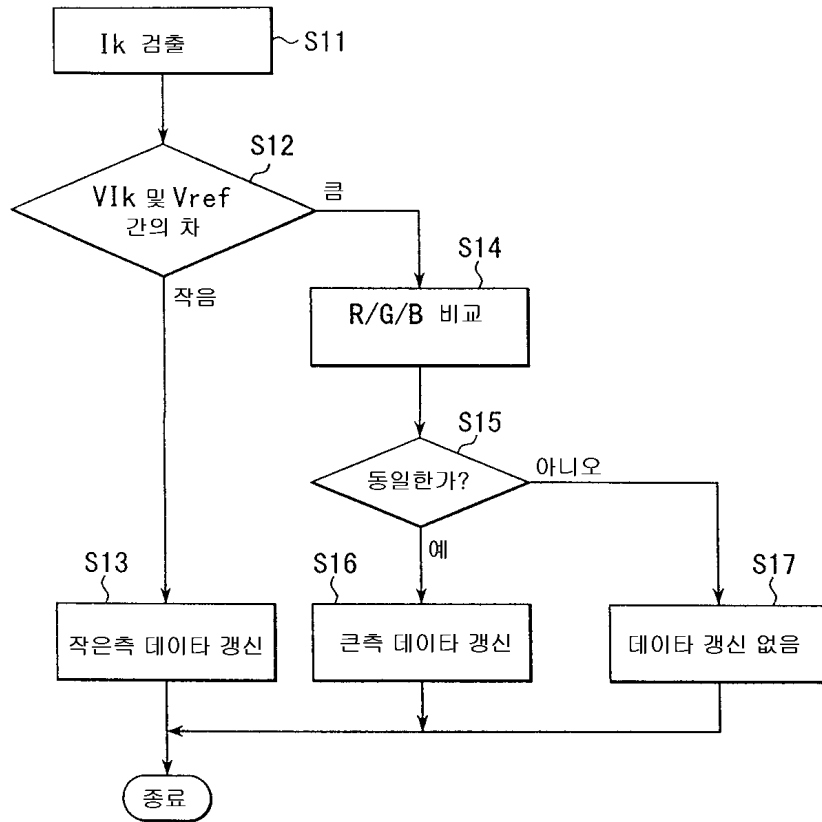


도면34

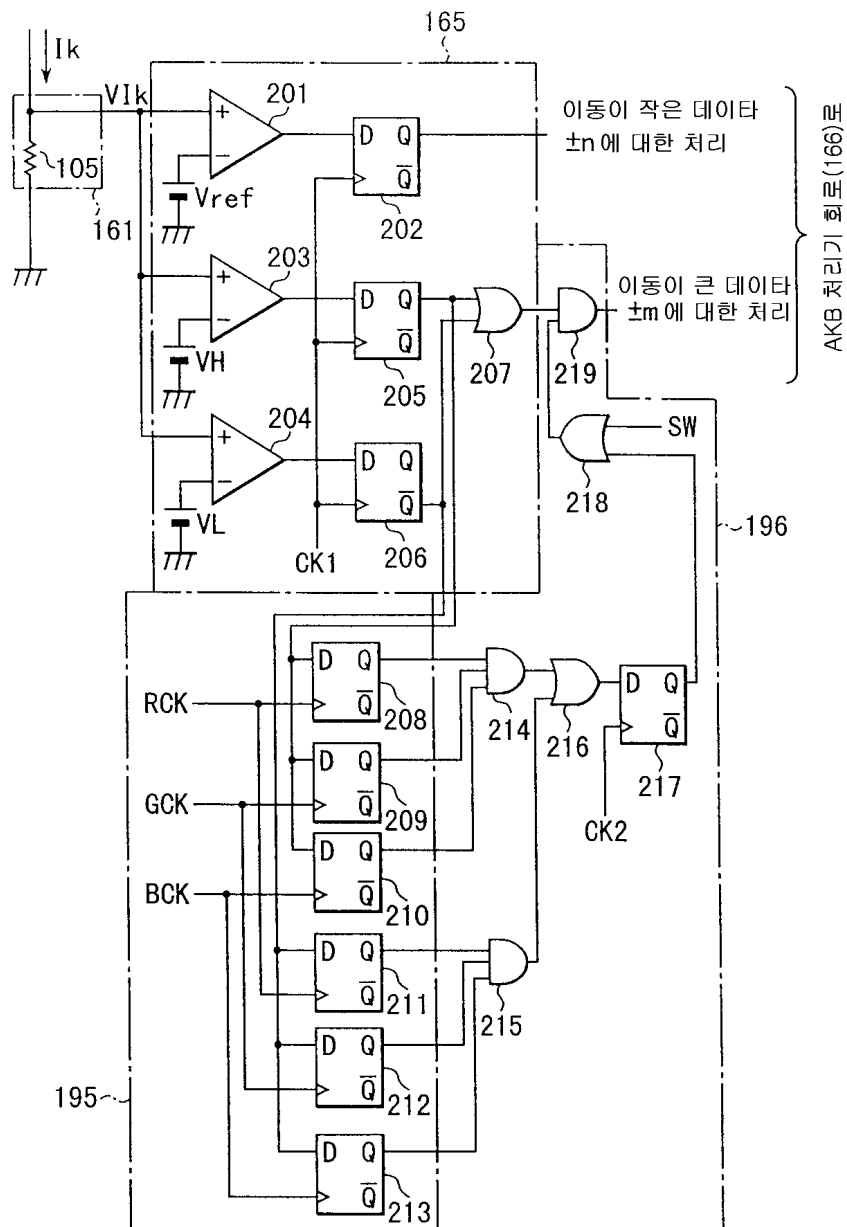




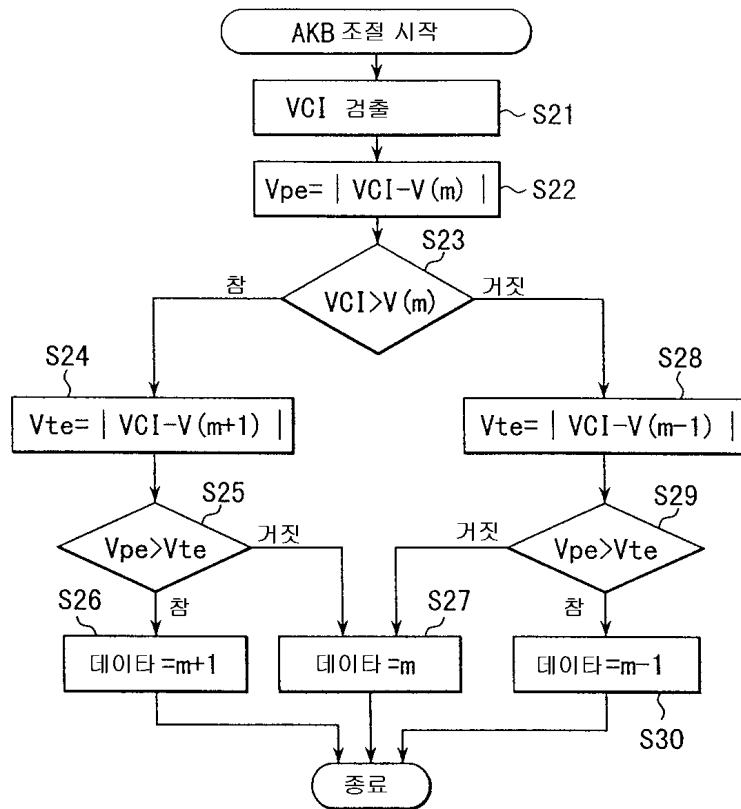
도면36



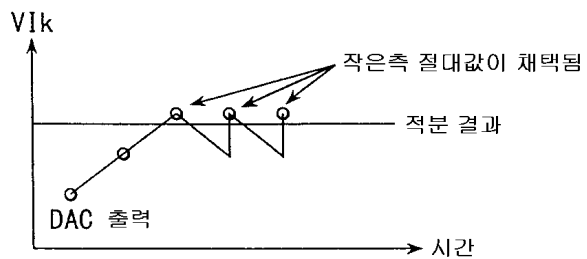
도면37

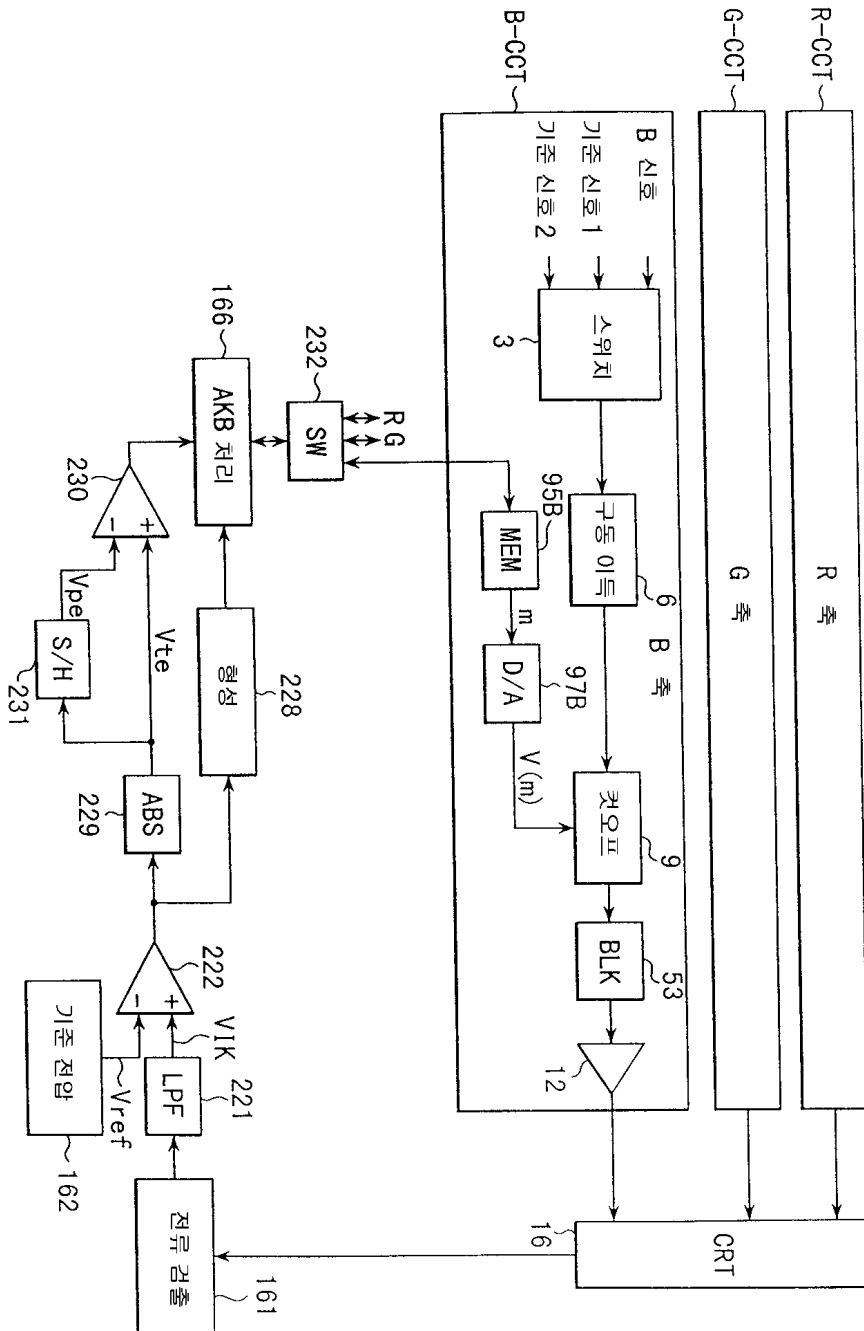


도면39

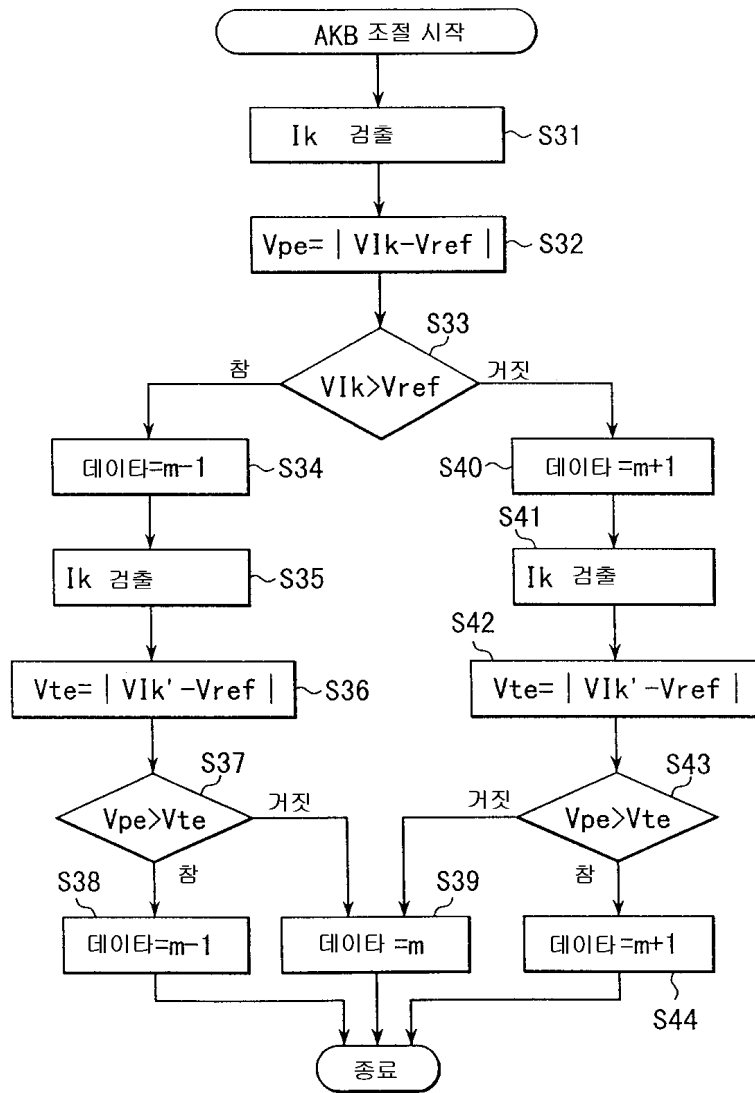


도면40

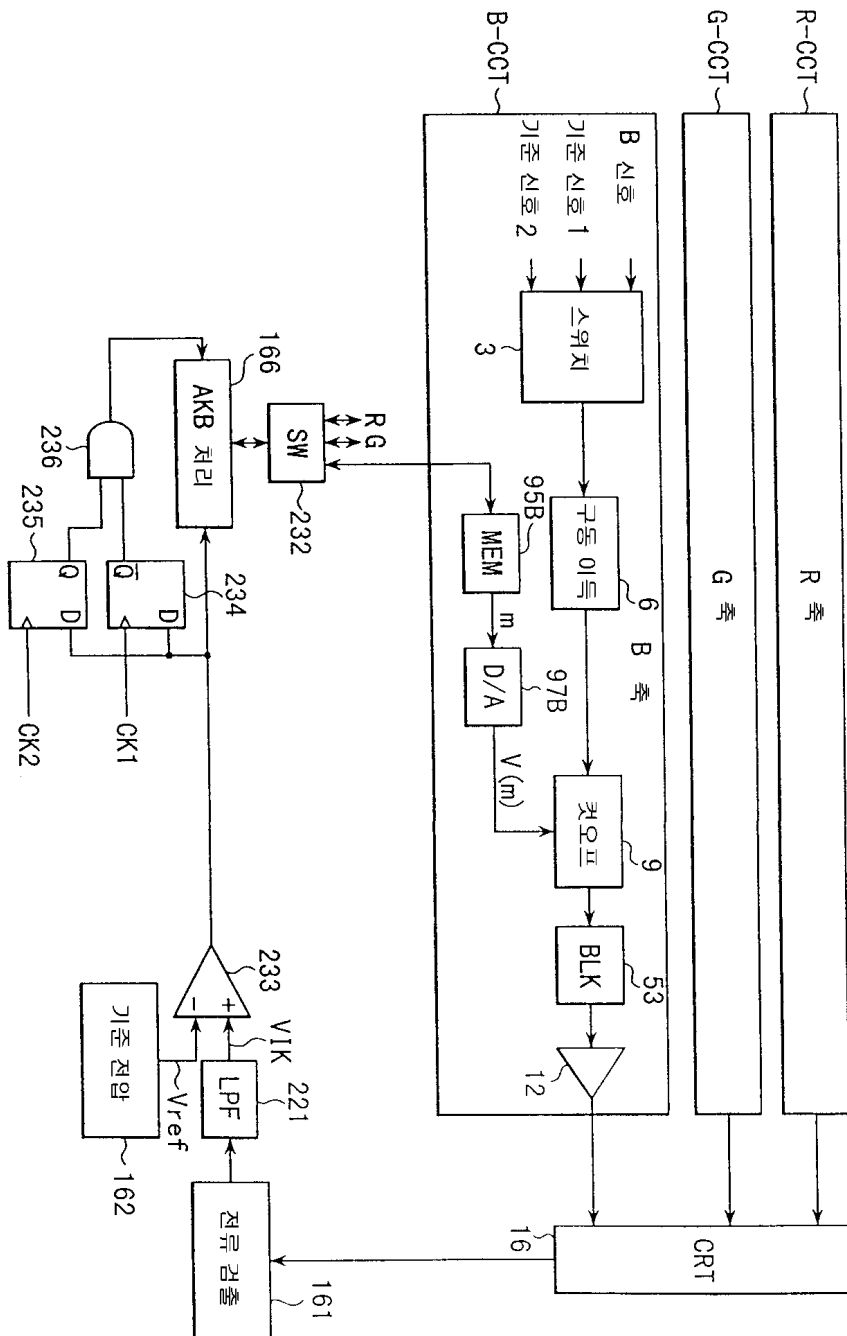




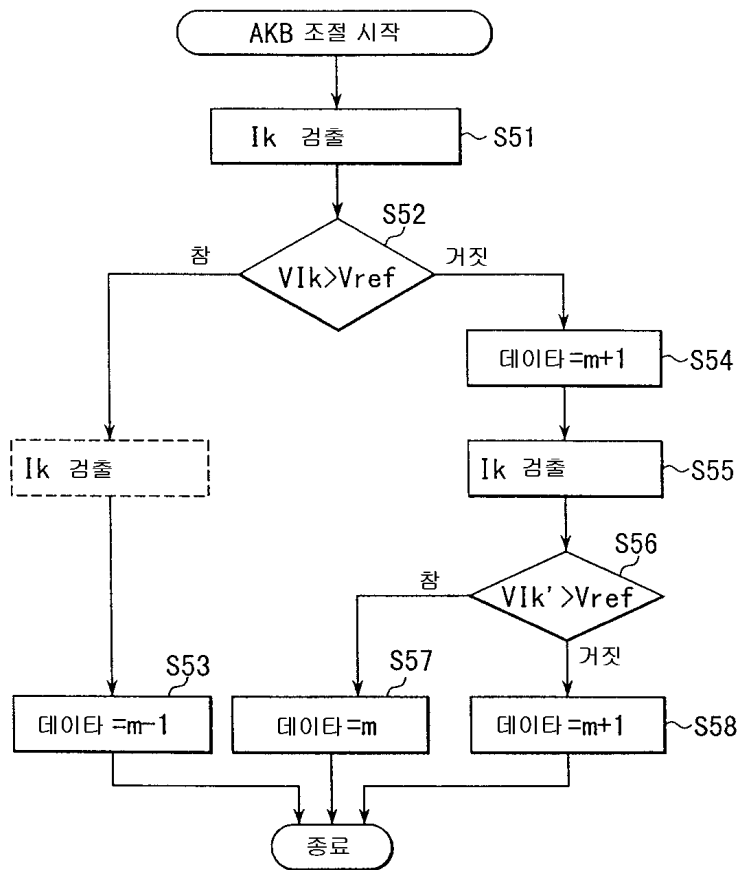
도면42



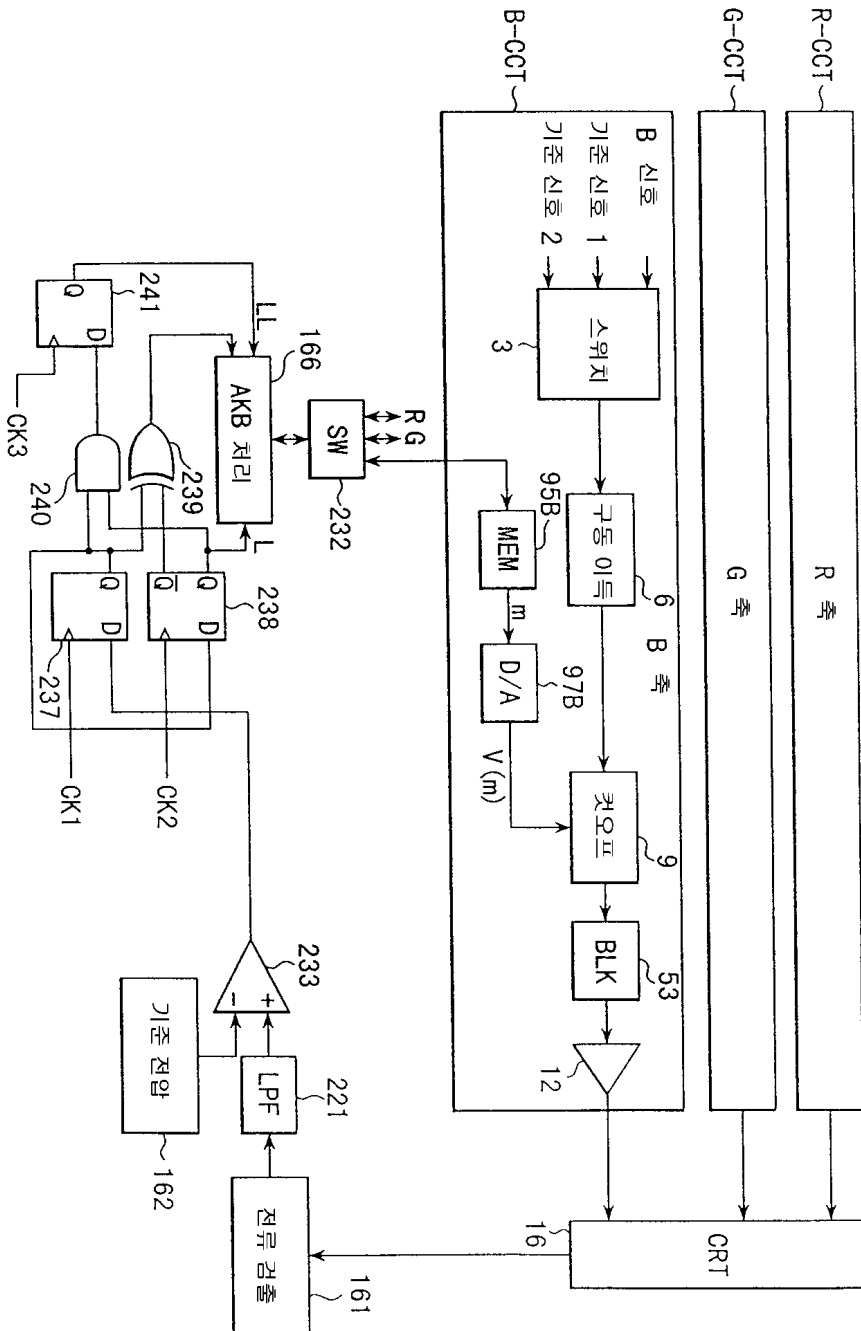
도면43



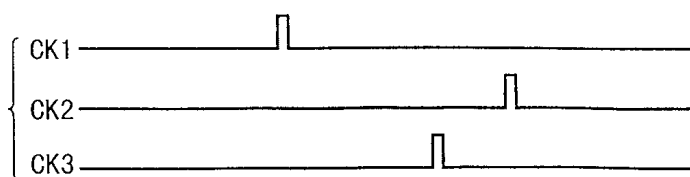
도면44



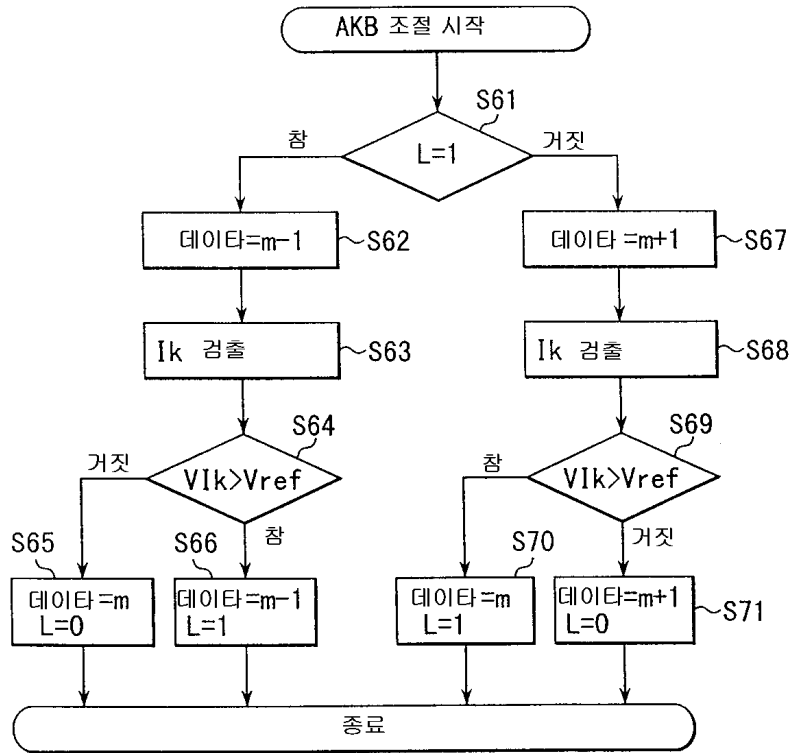
도면45



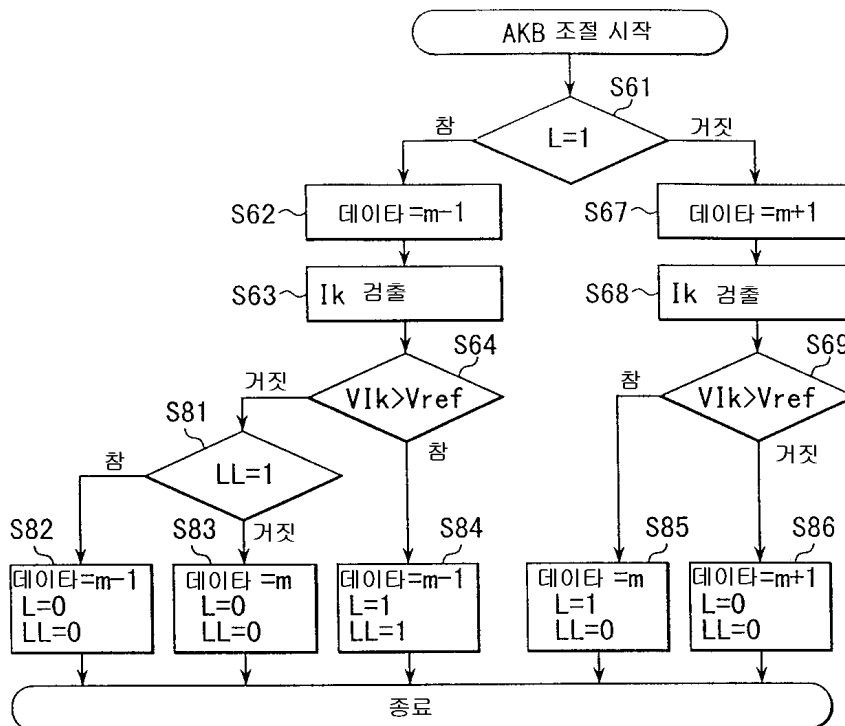
도면46

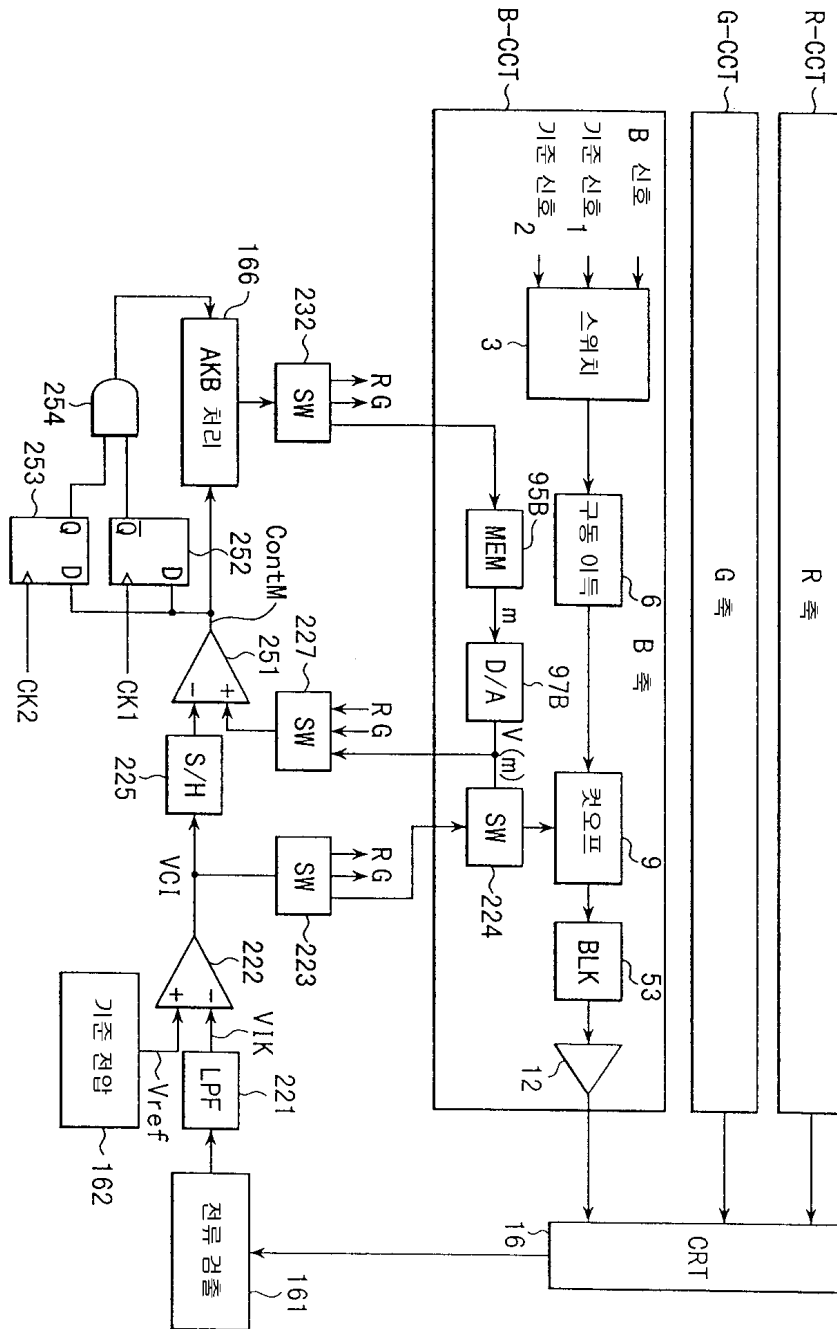


도면47

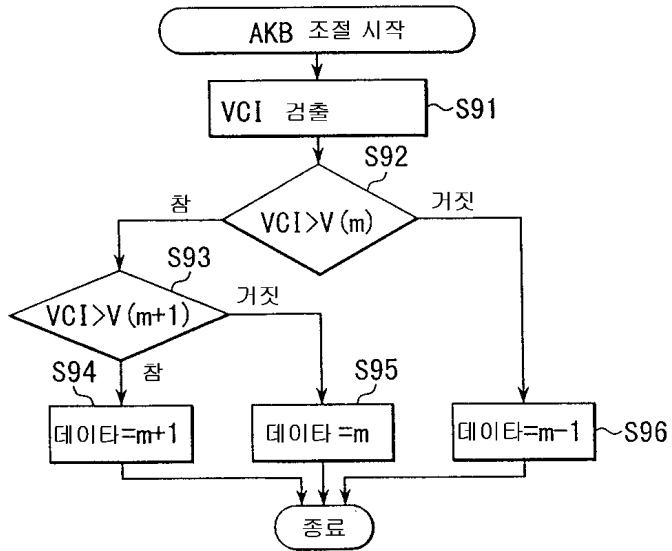


도면48





도면50



도면51

