

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁴
G06F 11/00

(11) 공개번호 특1988-0010362
(43) 공개일자 1988년10월08일

(21) 출원번호	특1988-0001348
(22) 출원일자	1988년02월12일
(30) 우선권주장	014,749 1987년02월13일 미국(US)
(71) 출원인	인터내셔널 비지네스 머신즈 코포레이션 하워드 지. 피거로아 미합중국 뉴욕 10504 아몬크
(72) 발명자	케빈 존 애쉬 미합중국 아리조나 85715 텍슨 아파트먼트 519 이스트 탠큐 버드 로드 7671 잭 하베이 더렌버거 미합중국 아리조나 85715 텍슨 노스 코로나도 플레이스 5285 레이몬드 로니 파슨즈 미합중국 아리조나 85711 텍슨 이스트 번즈 스트리트 4009
(74) 대리인	이병호

심사청구 : 있음

(54) 어드레스 라인 오류 테스트 방법

요약

내용 없음

대표도

도1

명세서

[발명의 명칭]

어드레스 라인 오류 테스트 방법

[도면의 간단한 설명]

제1도는 본 발명에 따른 테스트 방법을 지원하게 될 메모리를 포함하는 시스템의 단순화 된 블록도,

제2도와 2A도는 본 발명에 다른 방법에 의해 테스트될 수도 있는 메모리 카드의 어드레스 정보를 포함하는 데이터 흐름의 논리 블록도,

제3도는 본 발명의 양호한 실시예와 함께 사용하게 될 어드레스 버스 구조의 개략도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음.

(57) 청구의 범위

청구항 1

대규모 기억장치 배열체에서 어드레스 라인오류를 테스트하기 위한 방법에 있어서, 테스트 온 중의 비트로 형성된 어드레스에서 제1 메모리 워드내로 제1 비트 패턴을 기록하는 단계와, 테스트 오프 중의 비트로 형성된 어드레스에서 제2 메모리 워드내로 제2비트 패턴을 기록하는 단계와, 상기 두 어드레스 모두로부터 데이터를 판독하는 단계와, 영구 에러를 구성하는 예정된 수의 비트 에러에 대해 검사하는 단계와, 모든 어드레스 라인이 테스트될 때까지 상기 어드레스에서 각 비트에 대해 상기 단계를 반복하는 단계와, 테스트 오프 중의 상기 비트로 형성된 상기 어드레스에서 상기 제2메모리 워드에 상기 제1 데이터 패턴을 기록하는 단계와, 테스트 온 주의 상기 비트로 형성된 어드레스에서 상기 제1메모리 워드에 상기 제2데이터 패턴을 기록하는 단계와, 상기 어드레스 모두로부터의 데이터를 판독하는 단계와, 영구 에러를 구성하는 예정된 수의 비트 에러에 대해 검사하는 단계 및, 모든 어드레스 라인이 테스트될 때까지 상기 어드레스에서 각 비트에 대해 상기 단계를 반복하는 단계를 구비하는 것을 특징으로 하는 어드레스 라인 오류 테스트 방법.

청구항 2

제1항에 있어서, 상기 제1 비트 패턴은 모두 0인 패턴이며, 상기 제2비트 패턴은 모두 1인 패턴인 것을 특징으로 하는 어드레스 라인 오류 테스트 방법.

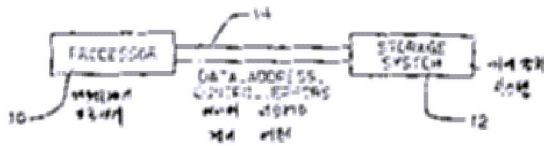
청구항 3

제1항에 있어서, 영구 에러를 구성하는 상기 예정된 수의 비트 에러는 멀티-카드 기억장치 배열체에서 각 카드에 대해 6개의 에러인 것을 특징으로 하는 어드레스 라인 오류 테스트 방법.

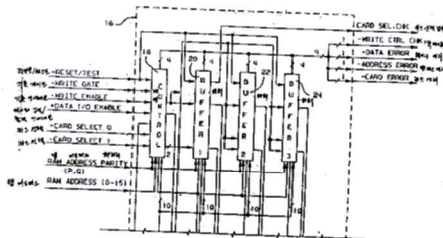
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

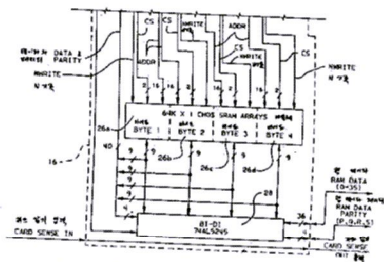
도면1



도면2



도면2A



도면3

