



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201511261 A

(43) 公開日：中華民國 104 (2015) 年 03 月 16 日

(21) 申請案號：103119694 (22) 申請日：中華民國 103 (2014) 年 06 月 06 日

(51) Int. Cl. : *H01L29/778 (2006.01)* *H01L23/52 (2006.01)*

(30) 優先權：2013/06/09 美國 13/913,490
2013/06/27 美國 13/929,487

(71) 申請人：科銳公司 (美國) CREE, INC. (US)
美國

(72) 發明人：斯利拉姆 思普薩利希 SRIRAM, SAPTHARISHI (US)；奧爾康 泰利 ALCORN, TERRY (US)；拉度雷思裘 費比安 RADULESCU, FABIAN (US)；謝帕德 史考特 SHEPPARD, SCOTT (US)

(74) 代理人：賴經臣；宿希成

申請實體審查：有 申請專利範圍項數：15 項 圖式數：17 共 52 頁

(54) 名稱

凹入式場板電晶體結構

RECESSED FIELD PLATE TRANSISTOR STRUCTURES

(57) 摘要

描述了一種包括一場板之電晶體裝置。此裝置之一個實施例包括與一半導體層隔離達一薄間隔物層之一場板。在一個實施例中，將該場板與該等半導體層隔離之間隔物層的厚度小於將該場板與閘極隔離之間隔物層的厚度。在另一實施例中，將該場板與該等半導體層隔離之非零距離約為 1500Å 或 1500Å 以下。根據本發明之裝置可展示具有較少汲極偏壓依賴性從而導致改良之線性的電容。

A transistor device including a field plate is described. One embodiment of such a device includes a field plate separated from a semiconductor layer by a thin spacer layer. In one embodiment, the thickness of spacer layer separating the field plate from the semiconductor layers is less than the thickness of spacer layer separating the field plate from the gate. In another embodiment, the non-zero distance separating the field plate from the semiconductor layers is about 1500Å or less. Devices according to the present invention can show capacitances which are less drain bias dependent, resulting in improved linearity.

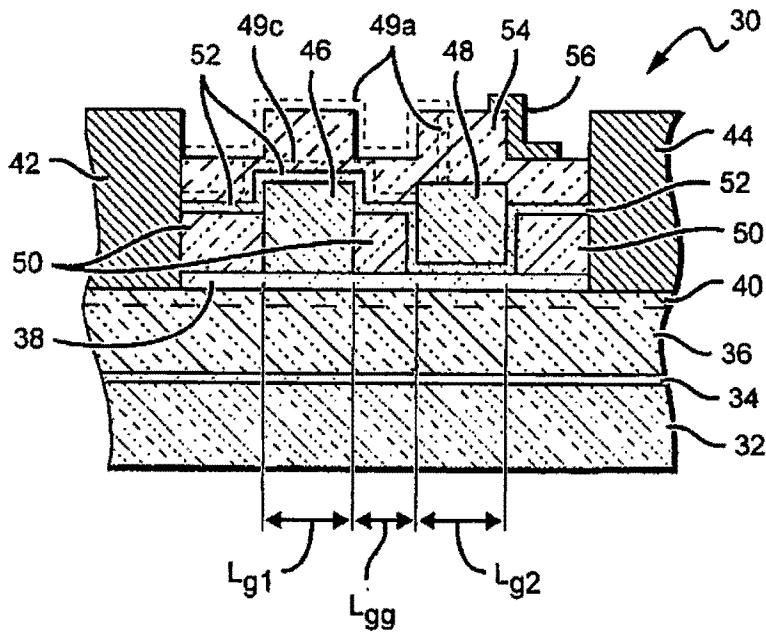


圖2

- 30 . . . 高電子遷移率電晶體(HEMT)
- 32 . . . 基板
- 34 . . . 晶核層
- 36 . . . 緩衝層
- 38 . . . 障壁層
- 40 . . . 2DEG 通道層
- 42 . . . 源極電極/源極
- 44 . . . 汲極電極/汲極
- 46 . . . 第一級閘極
- 48 . . . 第二級閘極
- 49a . . . 通孔/匯流排系統
- 49c . . . 通孔/匯流排系統
- 50 . . . 第一間隔物層
- 52 . . . 第二間隔物層
- 54 . . . 第三間隔物層
- 56 . . . 場板

201511261

發明摘要

※ 申請案號：103119694

※ 申請日：103/06/06

※IPC 分類：

【發明名稱】(中文/英文)

H01L 29/177 (2006.01)

凹入式場板電晶體結構

H01L 27/15 (2006.01)

RECESSED FIELD PLATE TRANSISTOR STRUCTURES

【中文】

描述了一種包括一場板之電晶體裝置。此裝置之一個實施例包括與一半導體層隔開達一薄間隔物層之一場板。在一個實施例中，將該場板與該等半導體層隔開之間隔物層的厚度小於將該場板與閘極隔開之間隔物層的厚度。在另一實施例中，將該場板與該等半導體層隔開之非零距離約為 1500 Å 或 1500 Å 以下。根據本發明之裝置可展示具有較少汲極偏壓依賴性從而導致改良之線性的電容。

【英文】

A transistor device including a field plate is described. One embodiment of such a device includes a field plate separated from a semiconductor layer by a thin spacer layer. In one embodiment, the thickness of spacer layer separating the field plate from the semiconductor layers is less than the thickness of spacer layer separating the field plate from the gate. In another embodiment, the non-zero distance separating the field plate from the semiconductor layers is about 1500Å or less. Devices according to the present invention can show capacitances which are less drain bias dependent, resulting in improved linearity.

【代表圖】

【本案指定代表圖】：第（ 2 ）圖。

【本代表圖之符號簡單說明】：

30	高電子遷移率電晶體(HEMT)
32	基板
34	晶核層
36	緩衝層
38	障壁層
40	2DEG 通道層
42	源極電極/源極
44	汲極電極/汲極
46	第一級閘極
48	第二級閘極
49a	通孔/匯流排系統
49c	通孔/匯流排系統
50	第一間隔物層
52	第二間隔物層
54	第三間隔物層
56	場板

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

凹入式場板電晶體結構

RECESSED FIELD PLATE TRANSISTOR STRUCTURES

【0001】本申請案為 2013 年 6 月 9 日申請且標題為「Cascode Structures for GaN HEMTs」的美國專利申請案第 13/913,490 號之部分接續案，且本申請案主張其權利，該申請案之全文以引用之方式全部併入本文中。

【技術領域】

【0002】本發明係關於疊接結構，且特定言之，係關於在一個閘極下方具有絕緣層之雙閘極電晶體。本發明亦係關於包括場板之電晶體，且特定言之，係關於具有相對靠近半導體層之場板的電晶體。

【先前技術】

【0003】諸如矽(Si)及砷化鎵(GaAs)之材料已被發現廣泛應用於半導體裝置中，以用於低功率及(在 Si 的狀況下)低頻率應用。然而，此等更熟悉的半導體材料可能無法良好地適用於高功率及/或高頻率應用，例如，歸因於其相對較小的帶隙(在室溫下，對於 Si 為 1.12 eV，且對於 GaAs 為 1.42 eV)及相對較小的崩潰電壓。

【0004】考慮到由 Si 及 GaAs 呈現的困難，對高功率、高溫度及/或高頻率應用及裝置的關注已集中於寬帶隙半導體材料，諸如碳化矽(在室溫下，對於阿爾法 SiC 為 2.996 eV)及 III 族氮化物(例如，在室溫下，對於 GaN 為 3.36 eV)。與 GaAs 及 Si 相比較，此等材料通常可具有較高電場崩潰強度及較高電子飽和速度。

【0005】對高功率及/或高頻率應用特別關注之裝置為高電子遷移率電晶體 (HEMT)，其亦被稱作調變摻雜場效電晶體 (MODFET)。在 HEMT 裝置中，二維電子氣體 (2DEG) 可形成於具有不同帶隙能量的兩種半導體材料之異質界面處。較小帶隙材料可具有比較寬帶隙材料高的電子親和力。2DEG 為未經摻雜之較小帶隙材料中之積聚層，且可含有相對較高的帶狀電子濃度，例如，超過 10^{13} 個載流子/cm²。另外，起源於較寬帶隙半導體中之電子可轉移至 2DEG，從而允許歸因於減少的離子化雜質散射之相對較高的電子遷移率。相對較高的載流子濃度與載流子遷移率之此組合可將相對較大的跨導給予 HEMT，且可為高頻率應用提供優於金屬半導體場效電晶體 (MESFETS，metal-semiconductor field effect transistors) 之效能優勢。

【0006】在氮化鎵/氮化鎵鋁 (GaN/AlGaN) 材料系統中製造的 HEMT 可產生歸因於材料特性 (諸如，相對較高的崩潰場、相對較寬的帶隙、相對較大的傳導帶偏移及/或相對較高的飽和電子漂移速度) 之組合的大 RF 功率量。2DEG 中之電子的大部分可歸因於 AlGaN 中之極化。

【0007】GaN/AlGaN 系統中的不同類型之 HEMT 已受到證明。舉例而言，美國專利第 5,192,987 號及第 5,296,395 號描述了 AlGaN/GaN HEMT 結構及製造方法。另外，Sheppard 等人的與本申請案共同讓渡之美國專利第 6,316,793 號描述了一種 HEMT 裝置，其具有半絕緣碳化矽基板、在基板上之 AlN 緩衝層、在緩衝層上之絕緣 GaN 層、在 GaN 層上之 AlGaN 障壁層及在 AlGaN 作用結構上之鈍化層。此外，Sheppard 等人的亦共同讓渡之美國專利申

請公開案第 U.S.2005/0170574 號描述了包括保護層之一種 HEMT 裝置及/或低損壞凹入製造技術，其可減少對電晶體之閘極區中的半導體之損壞(其可在裝置之歐姆接點的退火期間發生)。

【0008】電子捕陷及 DC 與 RF 特性之間的所得差異可為此等裝置之效能的限制因素。氮化矽(SiN)鈍化已用以減輕此捕陷問題，產生具有在 10 GHz 下高於 10 W/mm 之功率密度的高效能裝置。舉例而言，Wu 等人的共同讓渡之美國專利第 6,586,781 號揭示了用於減少基於 GaN 之電晶體中的捕陷效應之方法及結構。然而，歸因於存在於此等結構中之高電場，電荷捕陷仍可能成問題。

【0009】場板已用以增強基於 GaN 之 HEMT 在微波頻率下之效能，且已展現出優於非場板裝置的效能改良[參見 S. Kamalkar 及 U.K. Mishra 的 *Very High Voltage AlGaIn/GaN High Electron Mobility Transistors Using a Field Plate Deposited on a Stepped Insulator*, *Solid State Electronics* 45, (2001), 第 1645 至 1662 頁]。許多場板方法涉及連接至電晶體之閘極的場板，其中場板在通道之汲極側上。此情形可導致電晶體之閘極至汲極側上的電場之減少，藉此增加崩潰電壓且減少高場捕陷效應。然而，具有閘極至汲極場板之電晶體可展現出相對不良的可靠性效能，特別係在閘極之源極側上的電場變得顯著之 C 類(或更高類別)操作情況下。

【0010】熟知涉及將場板連接至源極之場板方法提供閘極至汲極電容 C_{gd} 的減少，其因此可增強增益。除了最小化電容之外，一些應用中的一個目標在於改良線性(亦即，輸入與輸出之間的比例程度)及減少電容的汲極偏壓依賴性。雖然基於 GaN 之 HEMT 通常顯示良好線性，但在一些應用中，需要進一步的改良(例如，高

功率 RF 及/或通信應用)。

【0011】圖 1A 展示具有連接至源極 22 之場板 28 的先前技術電晶體 10。電晶體 10 亦包括閘極 26，其在障壁層 18 上且配置於源極 22 與汲極 24 之間，且在絕緣間隔物層 21 內。障壁層 18 在包括 2DEG 20、緩衝層 16 及基板 12 的層序列上。圖 1B 為展示用於類似於電晶體 10 之結構的隨汲極電壓 V_d 而變的電容 C_{gd} 之圖。雖然與不具有場板之結構相比較，此結構可具有減少的電容 C_{gd} ，但電容 C_{gd} 仍可展示對汲極 24 之偏壓的大依賴性(如圖 1B 所展示)，且展示具有改良餘地的線性。

【0012】一種最小化回饋電容同時亦改良線性之方法涉及多級配置。諸如 HEMT 之電晶體可在兩級疊接配置中組合(使用兩個相同或不同電晶體)。包括初始非場板共同源極級及第二場板共同閘極級之一些疊接配置描述於 Mishra 等人的且標題為「Cascode Amplifier Structure Including Wide Bandgap Field Effect Transistor With Field Plates」之共同讓渡之美國專利第 7,126,426 號中，該專利的全文以全文引用之方式全部併入本文中。此等裝置可獲得具有極小有害影響(該有害影響係歸因於由使用場板引起的回饋電容)的場板益處。

【0013】在單一雙閘極電晶體(諸如，Tanaka 等人的美國專利第 5,514,992 號中所描述之電晶體)內亦可實現多級配置。在雙閘極疊接電晶體中，兩個電晶體的配置之閘極至源極連接由電晶體之在兩個閘極之間的部分替代。圖 1C 展示具有雙閘極疊接配置之先前技術 HEMT 11，其包括與電晶體 10 相同的許多元件(相似參考數字用以指示相似元件)。HEMT 11 包括在障壁層 18 上且配置於源極

22 與汲極 24 之間的第一級閘極 26 及第二級閘極 29。第二閘極 29 可充當第一閘極 26 之屏蔽體，且因此可減少第一閘極 26 與汲極 24 之間的回饋電容，可減少電容之汲極電壓依賴性，且可改良線性。

【0014】 在先前技術雙閘極配置(諸如，圖 1C 中所展示之配置)中，第一及第二級具有相同臨限電壓。若此配置中之第二閘極接地，則可限制電流。因為此情形，所以第二級必須被加 DC 偏壓以便避免限制裝置之最大電流。一些此等裝置描述於 Lin 等人的美國公開案第 2007/0290762 號中。然而，單獨對第二級加偏壓導致附加的複雜性及成本。

【發明內容】

【0015】 本發明提供具有比先前技術結構更靠近作用半導體層的場板之電晶體結構。根據本發明之電晶體之一個實施例包括複數個半導體層及源極與汲極之間的閘極。電晶體包含與閘極隔開達間隔物層之較厚部分且與半導體層隔開達間隔物層之較薄部分的場板。

【0016】 根據本發明之電晶體之另一實施例包含經塑形以界定孔隙的間隔物層，及至少部分在該孔隙內的場板。

【0017】 根據本發明之電晶體之又一實施例包含將場板與半導體層及閘極兩者隔開的間隔物層。間隔物層具有小於或等於約 1500 Å 的厚度。

【0018】 本發明的此等及其他另外特徵及優勢對於熟習此項技術者而言將自與隨附圖式一起進行的以下詳細描述顯而易見，其中：

【圖式簡單說明】

【0019】

圖 1A 為先前技術電晶體之一個實施例的橫截面圖；

圖 1B 為先前技術電晶體中之閘極至汲極電容隨汲極電壓而變的圖表；

圖 1C 為先前技術電晶體之另一實施例的橫截面圖；

圖 2 為根據本發明之電晶體之一個實施例的橫截面圖；

圖 3 為圖 2 中所展示之電晶體的平面圖；

圖 4 為根據本發明之電晶體之另一實施例的橫截面圖；

圖 5 為根據本發明之電晶體之另一實施例的橫截面圖；

圖 6 為根據本發明之電晶體之另一實施例的橫截面圖；

圖 7 為根據本發明之電晶體之另一實施例的橫截面圖；

圖 8 為根據本發明之電晶體之另一實施例的橫截面圖；

圖 9 為根據本發明之電晶體之另一實施例的橫截面圖；

圖 10 為根據本發明之電晶體之另一實施例的橫截面圖；

圖 11 為根據本發明之電晶體之另一實施例的橫截面圖；

圖 12 為根據本發明之電晶體之另一實施例的橫截面圖；

圖 13 為根據本發明之電晶體之另一實施例的橫截面圖；

圖 14 為根據本發明之電晶體之另一實施例的橫截面圖；

圖 15 為根據本發明之電晶體之另一實施例的橫截面圖；

圖 16 為根據本發明之電晶體之另一實施例的橫截面圖；及

圖 17 為根據本發明之電晶體之另一實施例的橫截面圖。

【實施方式】

【0020】 本發明提供諸如雙閘極電晶體或 HEMT 疊接結構之結構，該等結構提供在減少的複雜性及成本下之較低回饋電容及改

良線性。諸如基於 GaN 之雙閘極 HEMT 之此等結構可提供具有改良線性之高電壓、高電流及高增益操作。本發明通常係有關於疊接結構，其中第二級閘極與障壁層隔開達相對較薄的間隔物層，致使第二級之負值臨限電壓的絕對值比第一級大。在一個實施例中，第二級包括：在間隔物層中之空腔，其曝露作用區；沉積於作用區之上的薄間隔物層，且第二級閘極填充該空腔的剩餘部分。第二級閘極接著可接地(諸如，經由至源極之連接)，且對單獨對第二級閘極加偏壓的需求被消除。

【0021】本發明亦提供具有可改良電晶體之線性之場板置放的電晶體結構。本發明之實施例通常係有關於電晶體結構，其中場板與障壁層隔開達相對較短的距離，諸如相對較薄的間隔物層。在一些實施例中，場板可與作用半導體層隔開達一個間隔物層，而較厚間隔物層可維持於場板與閘極之間。在另一實施例中，間隔物層可具有可變厚度，其中在場板與作用半導體層之間具有相對較薄的厚度，且在場板與閘極之間具有較厚的厚度。在一些實施例中，可將場板置放於間隔物層內的孔隙中以便縮短場板與半導體層之間的距離。在一些實施例中，場板可與半導體層隔開達約 1500 Å 或 1500 Å 以下的非零距離。

【0022】應理解，在一元件或層被稱為「在另一元件或層上」、「連接至另一元件或層」、「耦接至另一元件或層」或「與另一元件或層接觸」時，該元件或層可直接在另一元件或層上、連接或耦接至另一元件或層，或與另一元件或層接觸，或者可存在介入元件或層。相比之下，在一元件被稱為「直接在另一元件或層上」、「直接連接至另一元件或層」、「直接耦接至另一元件或層」或「直接與另

一元件或層接觸」時，不存在介入元件或層。同樣，當第一元件或層被稱為「與第二元件或層電接觸」或「電耦接至第二元件或層」時，存在准許第一元件或層與第二元件或層之間的電流流動的電路徑。電路徑可包括電容器、耦接的電感器及/或甚至在導電元件之間無直接接觸的情況下准許電流流動的其他元件。此外，諸如「絕緣」之術語可指完全絕緣、半絕緣或可完全絕緣抑或半絕緣的材料。

【0023】亦應理解，儘管序數術語第一、第二、第三等在本文中可用以描述各種元件，但此等元件不應由此等術語來限制。此等術語僅用以區別一元件與另一元件。舉例而言，在不脫離本發明之範疇的情況下，可將第一元件稱作第二元件，且類似地，可將第二元件稱作第一元件。

【0024】此外，諸如「下部」或「底部」及「上部」或「頂部」之相對術語在本文中可用以描述一元件相對另一元件的關係，如圖式中所說明。應理解，相對術語意欲包含除了圖式中所描繪的定向之外的裝置之不同定向。舉例而言，若圖式中之一者中的裝置被翻轉，則描述為在元件之「下部」側上的特徵將被定向於彼元件之「上部」側上。例示性術語「下部」因此可描述下部及上部定向兩者，此取決於裝置之特定定向。類似地，若圖式中之一者中的裝置被翻轉，則描述為「在其他元件下方」或「在其他元件之下」的元件將被定向於彼等其他元件上方。例示性術語「下方」或「之下」因此可描述上方及下方定向兩者。

【0025】本發明之描述中所使用的術語僅出於描述特定實施例之目的且並不意欲限制本發明。如本發明之描述及隨附申請專利範圍中所使用，單數形式「一」及「該」意欲亦包括複數形式，除

非上下文另外清楚地指示。亦應理解，如本文中所使用之術語「及/或」係指且包含相關聯的列出項目中之一或多者的任何及所有可能組合。應進一步理解，術語「包含」在用於本說明書中時指定所陳述之步驟、操作、特徵、元件及/或組件之存在，但不排除一或多個其他步驟、操作、特徵、元件、組件及/或其群組之存在或添加。

【0026】 本發明之實施例在本文中係參考橫截面說明來描述，該等橫截面說明為本發明之理想化實施例的示意性說明。因而，由於(例如)製造技術及/或容差的相對於該等說明之形狀的變化可被預期。因此，本發明之實施例不應被解釋為限於本文中所說明之區之特定形狀，而是將包括(例如)由於製造而造成的形狀之偏差。圖式中所說明之區實際上為示意性的，且其形狀不意欲說明裝置之區的實際形狀且不意欲限制本發明之範疇，除非以其他方式明確地陳述。此外，在下文圖式中出於示意性原因而呈現為筆直、水平或垂直的線常常將為傾斜的、彎曲的、非水平的或非垂直的。此外，同時元件之厚度意欲實際上為示意性的。舉例而言，場板之厚度可完全在孔隙內，或場板之厚度可為使得場板完全填充孔隙之厚度。

【0027】 除非以其他方式定義，否則本發明之揭示實施例中所使用的所有術語(包括技術及科學術語)具有與一般熟習相關技術者通常所理解之相同的含義，且未必限於在提出本發明時所已知的特定定義。因此，此等術語可包括在此時間之後創建的等效術語。應進一步理解，術語(諸如，常用辭典中所定義之彼等術語)應被解釋為具有與其在本說明書中及在相關技術之上下文中之含義一致的含義，且將不以理想化或過於正式之意義來解釋，除非本文中如此

明確定義。

【0028】圖 2 展示根據本發明之 HEMT 30 的一個實施例，其較佳地基於 III 族氮化物，但亦可使用其他材料系統。應注意，雖然術語 HEMT 在本文中係出於簡化之目的而使用的，但所揭示的實施例之元件及概念可適用於許多不同類型的電晶體，包括(但不限於)金屬半導體場效電晶體(MESFET)及金屬氧化物半導體異質結構場效電晶體(MOSHFET)。III 族氮化物係指形成於氮與週期表的 III 族中之元素(通常係鋁(Al)、鎵(Ga)及銦(In))之間的彼等半導體化合物。術語亦係指諸如 AlGa_N 及 AlInGa_N 之三元及三級化合物。

【0029】HEMT 30 可包含基板 32，其可由碳化矽、藍寶石、鍵琴(spinet)、ZnO、矽、氮化鎵、氮化鋁或能夠支援 III 族氮化物材料之生長的任何其他材料或材料的組合製成。晶核層 34 可形成於基板 32 上以減少基板 32 與 HEMT 30 中之下一層之間的晶格失配，但此晶核層並非強制性的。晶核層 34 的厚度可為大約 1000 埃(Å)，但可使用其他厚度。晶核層 34 可包含許多不同材料(其中合適材料為 Al_zGa_{1-z}N (0≤z≤1))，且可使用諸如金屬有機化學氣相沉積(MOCVD)、氮化物氣相磊晶法(HVPE)或分子束磊晶法(MBE)之已知半導體生長技術而形成於基板 32 上。

【0030】基板 32 可由許多不同材料製成，其中合適基板為碳化矽之 4H 多型體，但亦可使用包括 3C、6H 及 15R 多型體之其他碳化矽多型體。與藍寶石相比，碳化矽具有與 III 族氮化物之密切得多的晶格匹配，且導致較高品質之 III 族氮化物膜。碳化矽亦具有極高的熱導率，使得碳化矽上之 III 族氮化物裝置的總輸出功率並不由基板之熱耗散限制(如可為一些裝置形成於藍寶石上之狀

況)。又，碳化矽基板之可用性提供使商業裝置成為可能的裝置隔離能力及寄生電容減少。SiC 基板可購自 Durham, North Carolina 的 Cree, Inc.，且在科學文獻中以及在 Davis 等人的美國專利第 Re. 34,861 號、Palmour 等人的第 4,946,547 號及 Kong 等人的第 5,200,022 號中陳述了用於生產該等 SiC 基板之方法。

【0031】晶核層 34 之形成可取決於用於基板 32 之材料。舉例而言，在各種基板上形成晶核層 34 之方法教示於 Nakamura 的美國專利 5,290,393 中及 Moustakas 的 5,686,738 中，該等專利中之每一者如同在本文中完全陳述般以引用之方式併入。在碳化矽基板上形成晶核層之方法揭示於 Edmond 等人的美國專利 5,393,993、Edmond 等人的美國專利 5,523,589 及 Edmond 等人的美國專利 5,739,554 中，該等專利中之每一者如同在本文中完全陳述般以引用之方式併入本文中。

【0032】HEMT 30 可進一步包含緩衝層 36，該緩衝層可具有形成於晶核層 34 上之高電阻率。緩衝層 36 可包含 III 族氮化物材料之經摻雜或未經摻雜層，其中較佳緩衝層 36 由諸如 $\text{Al}_x\text{Ga}_y\text{In}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$ ， $0 \leq y \leq 1$ ， $x+y \leq 1$) 之 III 族氮化物材料組成。其他材料亦可用於諸如 GaN 之緩衝層 36 (其厚度為大約 0.5 至 20 μm)，且緩衝層之部分或全部可摻雜有 Fe。

【0033】障壁層 38 形成於緩衝層 36 上，其中緩衝層 36 包夾於障壁層 38 與晶核層 34 之間。如同緩衝層 36，障壁層 38 可包含 III 族氮化物材料之經摻雜或未經摻雜層。障壁層可由 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 或 $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}$ 之一或多個層組成，其中 x 及 y 中之每一者的範圍係自 0 至 1，其中例示性值為 0、0.2、0.4、0.5、0.6、0.8 及 1，且 x

及 y 可為深度的函數，使得障壁層 38 可為分級層。2DEG 通道層 40 可在緩衝層 36 與障壁層 38 之間的異質結面處被誘發，且緩衝層 36、2DEG 通道層 40 及障壁層 38 通常可形成 HEMT 作用區。

【0034】例示性 HEMT 結構說明於 Sheppard 等人的美國專利第 6,316,793 號、Wu 等人的第 6,586,781 號、Smith 的第 6,548,333 號以及 Prashant 等人的美國公開專利申請案第 2002/0167023 號及 Parikh 等人的第 2003/0020092 號中，該等專利中之每一者如同在本文中完全陳述般以引用之方式併入。其他基於氮化物的 HEMT 結構說明於 Kahn 等人的美國專利 5,192,987 及 Kahn 等人的 5,296,395 中，該等專利中之每一者如同在本文中完全陳述般以引用之方式併入本文中。緩衝層 36 及障壁層 38 可使用用以生長晶核層 34 之相同方法製成。裝置之間的電隔離可經由作用 HEMT 之外的台面蝕刻或離子佈植來實現。

【0035】源極電極 42 及汲極電極 44 可形成為與障壁層 38 接觸。當閘極被以適當位準加偏壓時，電流可經由緩衝層 36 與障壁層 38 之間的 2DEG 通道層 40 在源極電極 42 與汲極電極 44 之間流動。源極電極 42 及汲極電極 44 之形成詳細描述於上文所參考的專利及公開案中。

【0036】第一級閘極 46 可形成於障壁層 38 上，且可至少部分由第一間隔物層 50 之孔隙環繞且在該孔隙內。第一間隔物層 50 可為許多不同厚度，其中一些例示性層在 100 nm 與 2000 nm 之間。第二級閘極 48 亦可形成於障壁層 38 上且在第一間隔物層 50 中之孔隙內。

【0037】閘極 46、48 可具有許多不同長度(L_{g1} 及 L_{g2})，其中合

適的閘極長度之範圍係自 10 nm 至 1000 nm 或大約 500 nm，但亦可使用其他閘極長度。在一個實施例中， L_{g1} 比 L_{g2} 短；在另一實施例中，閘極長度相等；在另一實施例中， L_{g1} 比 L_{g2} 長。在所展示之實施例中，閘極 46、48 可為並排的，其可減小寄生電容。閘極 46、48 可隔開達距離 L_{gg} ，其允許第二閘極 48 屏蔽如先前所描述之第一閘極 46。距離 L_{gg} 可為許多不同值，其中例示性距離在 10 nm 與 2000 nm 之間。在一些實施例中， L_{gg} 的範圍可係自 600 nm 至 1200 nm，其可提供較容易的製造，且在一些實施例中， L_{gg} 可為大約 900 nm。

【0038】 如圖 2 及圖 3(圖 2 實施例之平面圖)之組合中所最佳地展示，可在第一閘極接點 47 處接觸第一閘極 46。在較佳實施例中，第二閘極 48 可連接至源極 42，但包括各種接地連接之其他連接係可能的。可以眾多方式來實現此連接。圖 3 展示兩個此類方式，但其他方式係可能的。第二閘極 48 可藉由延行穿過及/或在第三間隔物層 54 上(若此層存在)之一系列導電通孔及/或匯流排 49a 連接至源極 42。第三間隔物層 54 可為許多不同厚度，其中一個合適的厚度範圍大約為 100 nm 至 1000 nm，且另一合適的範圍大約為 150 nm 至 500 nm，且在一些實施例中，第二間隔物層 54 的厚度可為 300 nm。第三間隔物層 54 可覆蓋汲極 44 與源極 42 之間的所有作用區，可僅覆蓋作用區的在第二閘極 48 的任一邊緣與源極 42 之間的部分，可僅覆蓋作用區的在場板 56 之最遠邊緣與源極 42 之間的部分(若此場板存在(將在下文論述))，或可僅覆蓋支援導電匯流排所需要的的作用區之表面(例如，僅具有支援此等匯流排所必要之寬度的條帶)。

【0039】 通孔/匯流排系統 49a 之匯流排可在 HEMT 30 之最頂

表面上。一或多個匯流排可被使用，其中圖 2 實施例包括兩個匯流排。由匯流排覆蓋之區域愈大，則可由匯流排引入之不合需要的電容愈大。匯流排可具有足夠數目及寬度，使得在並不覆蓋太多的 HEMT 作用區時電流在源極 42 與第二閘極 48 之間有效地擴散。在一個實施例中，通孔/匯流排系統 49a 之匯流排覆蓋少於全部的 HEMT 作用區。在一個實施例中，第二閘極 48 及源極 42 由導電路徑(諸如，通孔/匯流排系統 49a)連接，該導電路徑覆蓋少於 HEMT 30 之全部的最頂表面(在此狀況下係第三間隔物層 54)。

【0040】 在一個實施例中，第二閘極 48 可由在 HEMT 30 之作用區之外延行的導電路徑 49b 連接至源極 42。在圖 2 及圖 3 實施例中，導電路徑 49b 在與閘極接點 47 對置的側上，但在其他實施例中，導電路徑可在與閘極接點 47 相同的側上，或可存在延行於 HEMT 30 之一或兩個側上的兩個或兩個以上導電路徑。在作用區之外延行的導電路徑可用於許多不同實施例中，但可能在間隔物層不覆蓋第二閘極 48 與源極 42 之間的作用區之實施例(例如，不具有第三間隔物層 54 之實施例)中尤其有用。

【0041】 另一連接方式可包括通孔/匯流排系統 49c。系統 49c 可包括在第二間隔物層 52 之表面上延行的一或多個匯流排。若存在，則第三間隔物層 54 接著可覆蓋匯流排 49c。根據本發明之 HEMT 可包括圖 2 及 3 實施例中所展示之導電路徑 49a、49b、49c 中的一或多者，或可包括其他連接構件。

【0042】 在本發明之圖 2 實施例中，第二間隔物層 52 可在第二級閘極 48 與障壁層 38 之間。第二間隔物層 52 可包含許多不同絕緣材料，包括(但不限於)介電質。第二間隔物層 52 可包含與第一

間隔物層 50 相同或不同的材料。間隔物層 50、52、54 之一些例示性材料包括(但不限於)SiN、SiO₂、Si、Ge、MgO_x、MgN_x、ZnO、SiN_x、SiO_x、TiO_x 及其組合或層序列。

【0043】如先前所論述，在先前技術雙閘極 HEMT 中，必須單獨地對第二閘極加 DC 偏壓，其可導致過量的花費及複雜性。藉由包括第二間隔物層 52，可使得第二閘極 48 之臨限電壓不同於第一閘極 46 之臨限電壓，且在一個實施例中，其負值絕對值可比第一閘極 46 之臨限電壓大。因為此情形，所以第二閘極 48 可經 DC 接地，諸如經由將第二閘極 48 連接至源極 42，如上文所描述。此情形可消除對第二閘極 48 單獨地加偏壓之需要，且因此可消除先前技術裝置之成本及製造困難中的至少一些。具有諸如第二間隔物層 52 之層的裝置亦可展現出改良的線性及比先前技術 HEMT 及/或疊接結構低的電容。

【0044】可選擇第二間隔物層 52 之厚度以使得回饋電容在寬範圍的汲極電壓內保持幾乎恆定，同時並不限制裝置之最大電流。太厚的絕緣體可導致第一級之不適當的屏蔽及大的汲極電壓依賴性，而太薄的絕緣體可限制最大電流(及因此限制 RF 功率)。第二間隔物層 52 可具有許多不同厚度。在一些實施例中，可基於材料之介電常數來判定厚度。在一些實施例中，第二間隔物層 52 之非零厚度等於或小於約 1500 Å 及/或範圍係自 50 Å 至 1500 Å。在其他實施例中，非零厚度等於或小於 800 Å，及/或範圍係自 100 Å 至 800 Å。在另一實施例中，厚度為大約 300 Å 至 600 Å 及/或約 400 Å。根據本發明之實施例的第二間隔物層 52 之一個實施例為 100 Å 至 800 Å 及/或大約 400 Å 的 SiN 層、SiO₂ 層或其組合。根據本發明之

實施例的第二間隔物層 52 之另一實施例為 800 至 1500 Å 的 TiO_x 層，其具有較高介電常數。

【0045】可以許多不同方式製造 HEMT 30。第一間隔物層 50、第二間隔物層 52 及第三間隔物層 54 可使用許多沉積方法來沉積，該等方法包括(但不限於)先前所提及之彼等沉積方法，其中較佳方法為電漿化學氣相沉積(PCVD, plasma chemical vapor deposition)及原子層沉積(ALD, atomic layer deposition)。在一種較佳方法中，第一間隔物層 50 沉積於源極 42 與汲極 44 之間的整個頂表面之上，且將沉積有閘極之孔隙係(諸如)藉由使用反應性離子蝕刻(RIE, reactive ion etching)而形成。第一閘極 46 接著可在將第二間隔物層 52 沉積於源極 42 與汲極 44 之間的 HEMT 30 之整個頂表面之上之前形成。或者，第二間隔物層 52 可僅沉積於將形成第二閘極 48 之第二孔隙之區中，諸如沉積第二間隔物層 52 以使得其僅覆蓋障壁層 38 之曝露的表面或僅覆蓋障壁層 38 之曝露的表面及孔隙之側壁。第二閘極 48 接著可在與第二間隔物層 52 相同的孔隙中形成。第三間隔物層 54 接著可形成於源極 42 與汲極 44 之間的 HEMT 30 的整個頂表面之上，或可選擇性地沉積於上文所描述之區域中。

【0046】如先前所論述，一或多個場板可視情況被使用，且可增強裝置效能。根據本發明之裝置(諸如，圖 2 中所展示之裝置)與許多不同場板配置相容。一些此類場板配置(例如)論述於 Wu 等人的共同讓渡之美國公開案第 2005/0253167 號、第 2005/0253168 號及第 2006/0202272 號中，該等公開案的全部內容以引用之方式全部併入本文中。在圖 2 及圖 3 之實施例中，場板 56 可包括於第三間

隔物層 54 上，且可疊蓋第二閘極 48。在其他實施例中，HEMT 可包括場板之邊緣與第二閘極的邊緣之間的空間，或場板可覆蓋整個第二閘極。此等場板配置之實例描述於先前所提及之公開案中。在一個實施例中，場板可在第二閘極 48 之上及/或在第二閘極 48 與汲極 44 之間。此情形可最小化第二閘極 48 之邊緣處的電場。類似概念描述於共同讓渡之美國專利第 2005/0051800 號中。在其他配置中，場板設置於源極 42 與第一閘極 46 之間，在第一閘極 46 之上，及/或在第一閘極 46 與第二閘極 48 之間。此等場板亦可結合在第二閘極 48 之上及/或在第二閘極 48 與汲極 44 之間的場板來使用。

【0047】在較佳實施例中，場板 56 可連接至源極 42，但預期其他配置。場板 56 可使用類似於導電結構 49a、49b 之結構來連接。舉例而言，場板 56 可藉由覆蓋少於全部的第三間隔物層 54 之導電匯流排、在 HEMT 30 之作用區之外延行的導電路徑、其組合或許多其他導電結構連接至源極 42。藉由適當導電結構之實例的源極連接之場板(例如)描述於美國公開案第 2005/0253167 號中。另外，HEMT 30 可包括一個以上場板。在一個此配置中，多個場板中之每一者可至少部分在第二閘極之上或在第二閘極與汲極之間。一些適當的多場板結構(例如)描述於美國公開案第 2005/0253168 號中。

【0048】雖然圖 2 中所展示之閘極 46、48 經展示為矩形，但許多不同的閘極形狀係可能的。圖 4 展示根據本發明之 HEMT 60 的實施例，其包括 T 形第一閘極 66。閘極 66 包括懸垂區段 66a。可使在懸垂區段 66a 下方的區域為空的，該區域可由第一間隔物層 61 之一部分來部分地或完全填充，或可由另一材料或層部分地或完全填充。在圖 4 實施例中，此區域可由第一間隔物層 61 之一部分

完全填充。具有 T 形閘極 66 之裝置 60 可尤其適用於高頻率操作。閘極長度為判定裝置速度時之重要裝置尺寸，且在高頻率裝置的情況下，閘極長度通常較短。較短閘極長度可導致高電阻，其可負面地影響高頻率操作。藉由包括懸垂區段 66a，閘極 66 之上部分具有比下部分大的橫截面。此情形可導致較低的電阻及增強的閘極電導。

【0049】圖 5 展示根據本發明之 HEMT 70 之實施例，其包括伽馬形第一閘極 76 而非 T 形閘極 66。可使在懸垂區段 76a 下方的區域為空的，該區域可由第一間隔物層 71 之一部分來填充，或可由另一材料或層填充。在所展示之實施例中，空間由第一間隔物層 71 部分填充。在懸垂區段 76a 下方包括一可減小第一閘極 76 與源極 42 之間的電容的空間。

【0050】懸垂區段 66a、76a 可由與閘極 66、76 之剩餘部分相同或不同的材料製成，且可使用許多不同方法來製成。舉例而言，懸垂區段可使用光阻技術來製造，且在一個實施例中，光阻層可包括於第一間隔物層上，且懸垂區段形成於光阻層上。光阻層之後續移除可在間隔物層與懸垂區段之間留下空間。

【0051】雖然閘極 66 及 76 通常分別為 T 形及伽馬形，但應理解，許多不同形狀係可能的。包括具有此等形狀之閘極的一個目的在於包括一區段以改良電導率，從而允許較高頻率操作，其中該區段被放大以實現此目的。具有放大頂部分之特定形狀可能並非關鍵的。懸垂物 66a、76a 之長度可變化，其中合適的長度之範圍係自約 0.2 μm 至約 4 μm ，但亦可使用其他長度。此外，雖然圖 4 及圖 5 之實施例包括 T 形第一閘極 66 及伽馬形第一閘極 76，但本發明

之其他實施例包括 T 形或伽馬形第二閘極，或包括 T 形或伽馬形第一閘極及 T 形或伽馬形第二閘極。若第二閘極為 T 形或伽馬形，則原本將直接在障壁層上之至少底部分可由與來自圖 2 之第二間隔物層 52 類似或相同的間隔物層 72 覆蓋。

【0052】除了圖 4 之 T 形閘極 66 及圖 5 之伽馬形閘極 76 之外，許多其他閘極形狀係可能的。舉例而言，諸如六邊形、八角形及梯形閘極之具有多邊形橫截面的閘極係可能的。在具有一或多個六邊形閘極之 HEMT 的一個實施例中，第一間隔物層升高至六邊形的中點之層級。另一形狀的閘極具有類似 T 形或伽馬形閘極之一或多個懸垂物，其中下部閘極部分隨著其升高至閘極之上部分而向內或向外逐漸變細。

【0053】根據本發明之 HEMT 的實施例亦可包括一或多個凹入式閘極。圖 6 展示根據本發明之電晶體之實施例，其類似於來自圖 2 及圖 3 之 HEMT 30(相似參考數字用以指示等效元件)，但具有凹入式第一閘極 86 及第二閘極 88。閘極 86、88 凹入至障壁層 81 中。此凹入式區域可與第一間隔物層 50 中之孔隙同時形成。在此實施例中，第二間隔物層 82 可至少覆蓋第二閘極 88 之底部及閘極 88 之在障壁層 81 中之凹座內的側部分。第二間隔物層 82 可為與來自圖 2 及圖 3 之第二間隔物層 52 相同或類似的材料及厚度。雖然閘極 86、88 經展示為僅部分凹入至障壁層 81 中，但閘極 86、88 中之每一者可完全地凹入，或不同部分可在障壁層 81 中凹入至不同深度。另外，閘極 86、88 並非皆需要凹入，或可不同地凹入。凹入式 T 形閘極及伽馬形閘極亦係可能的，其中閘極之下部分中的部分或全部(例如，來自懸垂物之底部及下方的部分)可凹入至障壁

層中。

【0054】圖 7 展示根據本發明之裝置的另一實施例。HEMT 90 在許多方面類似於來自圖 2 及圖 3 之 HEMT 30。HEMT 90 包含第一閘極 46 及第二閘極 98。類似於 HEMT 30 中之第一閘極，HEMT 90 中之第一閘極 46 形成於第一間隔物層 91 中的孔隙中，使得第一閘極 46 與障壁層 38 接觸。然而，在 HEMT 90 中，第二閘極形成於第一間隔物層 91 之頂表面上而非第一間隔物層 91 中之孔隙中。第一間隔物層 91 可由先前論述之間隔物層材料中的任一者製成。HEMT 90 可產生比圖 2 及圖 3 之 HEMT 30 高的寄生電容 C_{gd} (諸如，在低汲極電壓下)，但可具有降低成本及製造困難度。

【0055】圖 8 展示根據本發明之裝置的另一實施例。HEMT 100 在許多方面類似於圖 2 及圖 3 中所展示及上文所描述的 HEMT 30。HEMT 100 包含第一閘極 46 及第二閘極 48。然而，諸如來自圖 2 之第二間隔物層 52 之絕緣層可自 HEMT 30 排除。第二閘極 48 可替代地與障壁層 38 隔開第一間隔物層 110 之薄區段 110a。第一間隔物層 110 可由與來自圖 2 之第一間隔物層 50 相同的材料製成，且排除薄區段 110a 可具有與第一間隔物層 50 相同或類似的厚度。薄區段 110a 可具有與來自圖 2 之第二間隔物層 52 相同或類似的厚度。HEMT 100 之一種可能製造方法包括將第一閘極 46 置放於障壁層 38 上或中，沉積第一間隔物層 110，及接著蝕刻第一間隔物層 110 之一部分以形成薄區段 110a，之後在薄區段 110a 上沉積第二閘極 48。或者，第一間隔物層 110 可在第一閘極 46 之前沉積，且孔隙可經蝕刻直至障壁層 38，從而允許置放第一閘極 46。第一間隔物層 110 亦可部分經蝕刻以形成第二孔隙，其中剩餘薄區段 110a

以用於置放第二閘極 48。結構之剩餘部分可如上文所描述般製造。

【0056】圖 9 展示根據本發明之裝置的另一實施例。HEMT 120 在許多方面類似於圖 8 中所展示及上文所描述的 HEMT 100。在此實施例中，第一間隔物層 122 可沉積於將置放第二閘極 48 的區中(而非(例如)橫跨自源極 42 至汲極 44 之整個橫截面沉積第一間隔物層 122)。第二閘極 48 接著可置放於第一間隔物層 122 上，且第一閘極 46 可置放於障壁層 38 上。第二間隔物層 124 接著可沉積於第一閘極 46 及第二閘極 48 兩者之上，其中裝置的剩餘部分係如上文所描述般製造。

【0057】雖然上文實施例展示了雙閘極電晶體結構，但上文實施例之元件可適用於其他結構。舉例而言，根據本發明之疊接結構的一個實例包括如描述於共同讓渡之美國公開案第 2005/0051800 號中的疊接放大器結構，其包括兩個單獨的單閘極電晶體，其中類似於第二間隔物層 52 之間隔物層被併入至兩個電晶體之下游中。

【0058】上文的實施例及其變化亦可以許多不同方式來利用。舉例而言，疊接結構可充當放大器，該等放大器類似於美國專利申請案第 2005/0051800 號中所描述的放大器。上文實施例亦可充當大型系統之部分。舉例而言，上文實施例可在諸如單體微波積體電路(MMIC)之積體電路內起作用。

【0059】圖 10 展示根據本發明之裝置的另一實施例。HEMT 130 可類似於來自圖 1A 之 HEMT 10，且含有類似元件(用等效參考數字來標記)。HEMT 130 可包括閘極 136，第一間隔物層 131 環繞該閘極。閘極 136 可具有可變化的閘極長度 L_g ，其中合適的閘極長度之範圍係自 10 nm 至 1000 nm 或大約 400 nm，但可使用其他閘

極長度。在 HEMT 130 中，間隔物層 131 之至少一部分可覆蓋閘極 136，但在其他實施例中，第一間隔物層並不覆蓋閘極。

【0060】孔隙 137 可形成於第一間隔物層 131 內。孔隙 137 可具有長度類似於 L_g 的長度 L_a ，其中一個較佳實施例具有大約 500 nm 之長度。在一個實施例中， L_g 比 L_a 短。在一個此實施例中， L_g 為大約 400 nm，及/或 L_a 為大約 500 nm。在另一實施例中， L_g 及 L_a 相等。在又一實施例中， L_g 可能比 L_a 大。雖然圖 10 展示了具有單一孔隙 137 之實施例，但多個孔隙係可能的。

【0061】孔隙 137 可曝露障壁層 18 之一部分。第二間隔物層 132 可至少部分且在一些實施例中完全覆蓋障壁層 18 之由孔隙 137 曝露的部分。第二間隔物層 132 可具有與來自圖 2 之第二間隔物層 52 相同的許多屬性，包括具有類似或相同的厚度及材料。在一些實施例中，第二間隔物層 132 之非零厚度等於或小於約 1500 Å 或範圍係自 50 Å 至 1500 Å。在其他實施例中，非零厚度等於或小於 800 Å，及/或範圍係自 100 Å 至 800 Å。在另一實施例中，厚度為大約 300 Å 至 600 Å 及/或約 400 Å。根據本發明之實施例的第二間隔物層 132 之一個實施例為 100 Å 至 800 Å 及/或大約 400 Å 的 SiN 層、SiO₂ 層或其組合，但其他材料係可能的。根據本發明之實施例的第二間隔物層 132 之另一實施例為 800 至 1500 Å 的 TiO_x 層，其具有較高介電常數。若存在第二孔隙，則較厚間隔物層可存在於更靠近閘極之孔隙中，其中間隔物層之一個例示性厚度為 1000 Å。

【0062】第二間隔物層 132 可經選擇性地沉積，使得第二間隔物層 132 僅覆蓋障壁層 18 之曝露的部分，或使得第二間隔物層 132 僅覆蓋障壁層 18 之曝露的部分及孔隙 137 之側壁。或者及在圖 10

中所展示之實施例中，出於容易製造起見，第二間隔物層可橫跨源極 22 與汲極 24 之間的整個距離而沉積。第一間隔物層 131 與第二間隔物層之組合可提供比存在於場板 138 與作用半導體層(諸如，障壁層 18)之間的距離大的在場板 138 與閘極 136 之間的分隔距離。在其他實施例中，除了間隔物層之外的某物可提供此等分隔中之一或兩者。

【0063】 HEMT 130 亦可包括場板 138。在所展示之實施例中，場板 138 至少部分且有時完全在閘極 136 與汲極 24 之間，但涵蓋其他實施例。場板 138 可至少部分覆蓋孔隙 137 之底部分，且因此障壁層 18 上之第二間隔物層 132 的部分可至少部分包夾於障壁層 18 與場板 138 之間。在其他實施例中，第二間隔物層 132 之部分至少部分包夾於另一作用半導體層與場板 138 之間。在一個實施例中，場板 138 可至少覆蓋孔隙 137 之整個底部，如圖 10 中所展示，但涵蓋其他實施例。場板 138 可延伸越過底部且沿孔隙 137 之側面向上並進一步朝向汲極 24，如圖 10 中所展示，且在一個此實施例中，在第一間隔物層 131 上在孔隙 137 之外朝向汲極 24 延伸。在一些電晶體中，電場的峰值可在場板之邊緣處。諸如場板 138 之場板延伸越過孔隙 137 之底層且沿孔隙 137 之汲極側向上的實施例可具有減少的捕陷及較小的崩潰機率。對此情形之一種解釋在於場板 138 之邊緣與障壁層 18 隔開達較大距離。在一個此實施例中，場板 138 可延伸於孔隙 137 之外，且在第一間隔物層 131 之上朝向汲極 24 延伸。場板延伸越過孔隙之邊緣的實施例可更容易被製造。

【0064】 在來自圖 1A 之習知先前技術 HEMT 10 中，場板 28 在第一間隔物層 21 上，該第一間隔物層可限制場板 28 可沉積至作

用半導體層的密切程度。在 HEMT 130 中，至少部分歸因於第一間隔物層 131 中之孔隙 137 的存在，場板 138 之至少一部分與作用半導體層僅隔開第二間隔物層 132。如上文所論述，第二間隔物層 132 可具有小於第一間隔物層 131 或來自圖 1A 之第一間隔物層 21 的厚度。藉由減少將場板 138 與作用半導體層隔開之絕緣體厚度，可減少寄生電容 C_{gd} 之汲極偏壓依賴性。此情形可導致較高的裝置線性。

【0065】場板 138 亦可朝向閘極 136 延伸。在所展示之實施例中，場板 138 延伸越過閘極 136 之最近邊緣 136a。此配置可提供比在閘極與場板之間可留有間隙的其他實施例容易的製造。許多其他閘極/場板配置係可能的，包括 Wu 等人的且標題為「Wide Bandgap HEMTs with Source Connected Field Plates」的共同讓渡之美國專利第 7,550,783 號、Wu 等人的且標題為「Wide Bandgap Field Effect Transistors with Source Connected Field Plates」的美國專利公開案第 2005/0253167 號及 Wu 等人的且標題為「Wide Bandgap Transistors with Gate-Source Field Plates」的美國專利公開案第 2006/0202272 號中所揭示的配置，所有三個專利的全部內容以引用之方式全部併入本文中。在一些實施例中，場板 136 之邊緣可與源極之邊緣 136a 齊平，或場板 136 可幾乎延伸至邊緣 136a。一些替代場板配置將在下文詳細論述。

【0066】根據本發明之電晶體的一些實施例可包括將場板(例如，場板 138)與障壁層隔開之相對較薄的絕緣層(例如，第二間隔物層 132)，同時仍在場板與閘極之間維持一或多個相對較厚的絕緣層。此等實施例可產生使場板靠近作用半導體層(諸如，減少可增加線性之汲極偏壓依賴性)同時避免或減少場板太靠近閘極之複雜

化(例如，避免裝置崩潰電壓的減少)的優勢。在圖 10 實施例中，除了第二間隔物層 132 之一部分之外，場板 138 與閘極 136 隔開達第一間隔物層 131 之一部分，該部分具有厚度 L_s 。厚度 L_s 可具有許多不同值，其中例示性厚度在 100 Å 至 2000 Å 之間，但其他厚度係可能的。在一個實施例中，厚度 L_s 可在 400 Å 與 1200 Å 之間，其中一個例示性厚度為大約 800 Å。若厚度 L_s 經恰當地選擇，則第二場板之益處中的一些或全部可被實現，而實際上並不沉積第二場板，從而導致製造困難及成本之減少。

【0067】 在較佳實施例中，場板 138 連接至源極 22，但其他連接係可能的。至源極 22 之連接可以眾多方式來實現，該等方式包括(但不限於)上文關於將圖 3 之第二閘極 48 連接至源極所描述的方式。舉例而言，場板 138 可連接至源極 22，可使用通孔/匯流排系統連接至源極。若場板 138 在電晶體之頂表面上，則一個實施例僅使用匯流排。將場板 138 連接至源極 22 之導電匯流排可在 HEMT 130 之最頂表面上。一或多個匯流排可被使用，其中一個實施例包括兩個匯流排。由匯流排覆蓋之區域愈大，則可由匯流排引入之不合需要的電容愈大。匯流排可具有足夠數目及寬度，使得在並不覆蓋太多的 HEMT 作用區時電流在源極 22 與場板 138 之間有效地擴散。在一個實施例中，匯流排覆蓋少於全部的 HEMT 作用區。在一個實施例中，匯流排覆蓋少於 HEMT 130 之全部的最頂表面。

【0068】 在一個實施例中，場板 138 可藉由在 HEMT 之作用區之外延行的導電路徑連接至源極 22，該導電路徑與圖 3 中所展示之導電路徑 49b 類似或相同。在作用區之外延行的導電路徑可用於許多不同實施例中，但可能在間隔物層不覆蓋場板 138 與源極 22

之間的作用區之實施例中及/或在使用伽馬或 T 形閘極之實施例中尤其有用。連接構件之任何組合可被使用。

【0069】根據本發明之裝置可使用許多不同方法來製造。在形成源極 22、閘極 136 及汲極 24 之後，第一間隔物層 131 可使用諸如 PECVD(電漿增強型化學氣相沉積)之許多沉積及/或生長技術中之一者來沉積。在必要時，第一間隔物層 131 可經圖案化以使得其主要保留在 HEMT 130 之作用區上，使得源極 22、閘極 136 及汲極 24 可用於接觸。第一間隔物層 131 接著可經蝕刻以形成孔隙 137；此步驟可使用例如光阻及/或任何乾式或濕式蝕刻程序來執行，但其他程序係可能的。場板 138 接著可經沉積，諸如藉由金屬蒸鍍或許多其他方法。在必要時，額外間隔物層及/或場板可在圖 10 中所展示之裝置之上產生。此情形僅表示一種製造 HEMT 130 之方法，因為許多其他方法係可能的。一些例示性方法描述於 Chini 等人的且標題為「Fabrication of Single or Multiple Gate Field Plates」之美國專利第 7,812,369 號中，該專利的全部內容以引用之方式全部併入本文中。

【0070】圖 10 中所展示之裝置以及圖 11 至圖 17 中所展示之裝置可展現出類似於諸如疊接結構的兩個電晶體結構之特性，及/或可展現出類似於上文在圖 2 至圖 9 中所展示的電晶體結構之特性。橫跨整個電晶體施加之汲極偏壓可散佈於共同源極第一級與共同第二閘極級之間。可經由包括場板而形成之共同閘極級可吸收汲極回饋電容 C_{gd} ，或橫跨寬範圍的汲極偏壓屏蔽第一級免受此電容，且亦可增加線性。隨著場板與半導體層之間的距離降低，第二級之臨限電壓可降低，其可允許共同閘極級在汲極偏壓之較低值處

屏蔽 C_{gd} 。

【0071】圖 11 展示根據本發明之裝置的另一實施例。HEMT 140 在許多方面類似於圖 10 中所展示及上文所描述的 HEMT 130。諸如來自圖 2 之第二間隔物層 132 之絕緣層可自 HEMT 140 排除。場板 148 可替代地與障壁層 18 隔開第一間隔物層 141 之薄區段 141a。第一間隔物層 141 可由與來自圖 2 之第一間隔物層 50 相同的材料製成。薄區段 141a 可具有與來自圖 10 之第二間隔物層 132 相同或類似的厚度。HEMT 140 之一種可能的製造方法極類似於上文針對來自圖 8 之 HEMT 100 所描述的製造方法，但包括將場板 138 沉積於孔隙 137 中而非圖 8 之第二閘極中。

【0072】圖 11 亦展示不同於圖 10 實施例之閘極/場板配置。在圖 11 實施例中，場板 148 並不延伸於閘極之上，而是替代地與閘極之邊緣隔開達距離 L_{gf} 。場板 148 之邊緣與閘極 146 的邊緣之間的距離 L_{gf} 可足夠寬以隔離場板 148，同時足夠小以最小化所提供之場效應。若 L_{gf} 太寬，則場效應可減少。在一個實施例中， L_{gf} 可為大約 0.4 微米或 0.4 微米以下，但更大及更小的值係可能的。雖然圖 11 實施例包括距離 L_{gf} ，但上文關於第一間隔物層 141 之薄區段 141a 論述的配置可與包括場板疊蓋閘極之配置的任何閘極/場板配置一起使用。此外，雖然圖 11 至圖 14、圖 16 及圖 17 中的孔隙 137 經展示成具有垂直側壁，但此情形僅為示意性的，此係因為此等實施例中之任一者中的側壁可為垂直的、傾斜的或其組合。傾斜側壁可改良場板沉積。

【0073】圖 12 展示根據本發明之裝置的另一實施例。HEMT 150 可包括 T 形閘極 156。雖然圖 12 實施例展示了 T 形閘極 156，

但許多其他形狀的閘極係可能的，包括(但不限於)諸如伽馬形閘極之包括懸垂物的其他閘極形狀。第一間隔物層 151 之第一區段 151a 填充閘極 156 之懸垂物下方的區域。第一間隔物層 151 可具有與來自圖 10 之第一間隔物層 131 相同的許多特性，包括具有相同或類似的厚度及/或材料。第一間隔物層 151 之第二區段 151b 可選擇性地沉積於 T 形閘極 156 之上，或可沉積於源極 22 與汲極 24 之間的整個長度之上。第二區段 151b 可由與第一區段 151a 相同或不同的材料製成。一種製造方法包括沉積第一間隔物層 151 之第一區段 151a，蝕刻孔隙以允許沉積 T 形閘極 156，及接著在 T 形閘極 156 之上沉積第一間隔物層 151 之第二區段 151b。第二孔隙 157 可形成於第一間隔物層 151a 中，以允許置放場板 158。

【0074】 第二區段 151b(且若存在於閘極 156 及(如圖 12 中所展示)第二間隔物層 152 之上)可用以將閘極 156 與場板 158 隔開，此情形可實現先前所論述之益處。第二區段 151b 可具有與上文關於圖 10 所論述之厚度 L_s 相同或類似的厚度。因此，場板 158 可與閘極 156 隔開達大於障壁層 18 之距離，從而允許場板 158 與閘極 156 之間的隔離，同時實現使場板 158 靠近障壁層 18 之益處。

【0075】 關於圖 12 實施例之許多變體係可能的。舉例而言，在所展示之實施例中，因為第二區段 151b 僅選擇性地沉積於 T 形閘極 156 之上，所以僅第一區段 151a 需要被蝕刻以允許第二間隔物層 152 及場板 158 沉積於障壁層 18 上。或者，如圖 11 中所展示，第一區段 151a 可經蝕刻以使得僅保留薄區段，且薄區段具有與第二間隔物層 152 相同的功能目的。或者，第二區段 151b 可沉積於源極 22 與汲極 24 之間的整個區域之上。在一個此實施例中，第二

區段 151b 可經蝕刻以僅留下一薄化部分，該薄化部分具有與第二間隔物層 152 相同的功能目的。在關於圖 12 實施例上之另一變體中，空間保留於塑形閘極之懸垂物之下，如上文關於圖 5 所論述。

【0076】圖 13 展示根據本發明之裝置的另一實施例。HEMT 160 包括第一間隔物層 161 及第二間隔物層 162。第二間隔物層 162 可在許多方面(包括(但不限於)材料及厚度)與來自圖 10 之第二間隔物層 132 類似或相同。在所展示之實施例中，第一間隔物層 161 可不覆蓋閘極 166。在此等實施例中，第一場板 168 可僅與閘極 166 隔離達第二間隔物層 162。此配置可提供在製造困難及成本方面的減少，此係因為第一間隔物層未必需要配置於閘極 166 之上。

【0077】除了第一間隔物層 161 及第二間隔物層 162 以及第一場板 168 之外，電晶體 160 可包括第二場板 169，該第二場板可在第三間隔物層 163 上。第三間隔物層 163 可覆蓋整個第一場板 168，如圖 13 中所展示。或者，第三間隔物層 163 應覆蓋足夠的第一場板 168，以提供第一場板 168 與第二場板 169 之間的隔離。第一場板 168 及第二場板 169 可疊蓋，如圖 13 中所展示，或在第一場板 168 及第二場板 169 之邊緣之間可存在間隙。第一場板 168 及第二場板 169 兩者皆可使用先前所描述之連接構件中的任一者連接至源極，但預期包括閘極連接之其他配置。此多場板配置可進一步減小裝置中之峰值電場，從而導致增加的崩潰電壓及減少的捕陷。多場板配置詳細論述於 Wu 等人的且標題為「Wide Bandgap Transistors with Multiple Field Plates」的共同讓渡之美國公開案第 2005/0253168 號及 Wu 等人的且標題為「Wide Bandgap Transistors with Gate-Source Field Plates」的美國公開案第 2006/0202272 號中，

該等公開案中之每一者的全部內容以引用之方式全部併入本文中。此等場板配置可用於本文中所論述之實施例中的任一者中，且在第一間隔物層(例如，來自圖 13 之第一間隔物層 161)不覆蓋閘極以使得僅第二間隔物層(例如，第二間隔物層 162)將閘極與場板隔開時可尤其有用。

【0078】 本發明之實施例亦可包括凹入至障壁層中之閘極及/或場板。在與來自圖 6 之閘極 86 及障壁層 81 類似或相同的配置中，來自圖 13 之閘極 166 可凹入至障壁層 164 中。HEMT 160 亦包括凹入至障壁層 164 中之場板。在所展示之實施例中，第一間隔物層 161 中的可置放有第二間隔物層 162 及第一場板 168 之部分的孔隙 167 係部分凹入至障壁層 164 中。第二間隔物層 162 及第一場板 168 因此可凹入至障壁層 164 中，其中第二間隔物層 162 包夾於第一場板 168 與障壁層 164 之間。第二間隔物層 162 可至少覆蓋孔隙 167 之底部及凹入至障壁層 164 中之孔隙 167 的區段之側面。

【0079】 本發明之實施例亦可包括內埋場板或至少部分及有時完全位於閘極懸垂物之下的場板。圖 14 展示根據本發明之裝置的另一實施例。裝置 170 包括具有長於其他懸垂物 176b 之一個懸垂物 176a 的 T 形閘極 176，但亦可使用包括至少一個懸垂物之其他閘極形狀。孔隙 177 可形成於第一間隔物層中，其中可至少部分沉積第二間隔物層 172 及場板 178。第二間隔物層 172 可在許多方面(包括(但不限於)材料及厚度)與來自圖 10 之第二間隔物層 132 類似或相同。第二間隔物層 172 可將場板 178 與障壁層 18 隔開。如圖 14 中所展示，場板 178 可至少部分沉積於懸垂物 176a 之下，且可使用先前所描述之連接構件中的任一者連接至源極。一個尤其適用

的連接構件包括在電晶體 170 之作用區之外延行的連接件。

【0080】在本發明之一些實施例中，第一間隔物層 171 中之孔隙 177 及/或場板 178 可完全位於閘極懸垂物之下。在一個實施例中，空間保留於場板 178 與閘極懸垂物 176a 之間。在另一實施例中，第三間隔物層 173(假想地展示)可經沉積以使得其佔據閘極懸垂物 176a 之底部與場板 178 之間的空間。第三間隔物層 173 亦可覆蓋源極與汲極之間的整個結構，如圖 14 中所展示。

【0081】雖然在圖 14 實施例中，第一間隔物層 171 之一部分保留在懸垂物 176a 之下，但在其他實施例中，無間隔物層 171 之區段保留在懸垂物 176a 之下。在此等實施例中，場板 176 仍可與閘極 176 隔離，諸如藉由(例如)在場板 178 與閘極 176 之間留出一或多個間隙。

【0082】諸如上文所描述之配置的內埋場板配置可導致減小的峰值電場、閘極至源極電容及閘極至汲極電容，同時亦增加閘極電導。可併入至本發明之實施例中的一些內埋場板配置通常論述於 Wu 的且標題為「GaN Based HEMTs with Buried Field Plates」的共同讓渡之美國專利公開案第 2008/0128752 號中，該案的全部內容以引用之方式全部併入本文中。

【0083】在一些實施例中，第一間隔物層及第二間隔物層可組合成具有不均勻厚度的單一間隔物層。圖 15 展示根據本發明之電晶體 180 的另一實施例。電晶體 180 可包括不均勻間隔物層 182，該不均勻間隔物層可包括薄部分 182a 及厚部分 182b。薄部分 182a 可具有與來自圖 10 之第二間隔物層 132 相同或類似的厚度，而厚部分 182b 可具有與來自圖 10 之第一間隔物層 131 類似或相同的厚

度。薄部分 182a 可將場板 188 與障壁層 18 隔開，而厚部分 182b 可將場板 188 與閘極 186 隔開。此等實施例可產生以下優勢：使場板靠近作用半導體層(諸如，減少汲極偏壓依賴性，此情形可增加線性)，同時避免或減少場板太靠近閘極之複雜化(例如，裝置崩潰電壓的減少)。薄部分 182 的未由場板 188 覆蓋之區段接著可視情況由第二間隔物層 183 覆蓋，此情形可防止捕陷。在所展示之實施例中，出於容易製造起見，第二間隔物層 183 可沉積於源極與汲極之間的整個長度之上。

【0084】在圖 15 之替代實施例中，間隔物層 182 經沉積，其中較厚部分鄰近於汲極及閘極，其中較薄部分形成兩個較厚部分之間的「谷」。此情形可減少對額外間隔物層之需要。在一個此實施例中，場板可覆蓋兩個較厚部分之間的整個較薄部分或谷。

【0085】一些實施例可包括經塑形以界定一個以上孔隙之間隔物層。圖 16 展示根據本發明之電晶體 190 的另一實施例。電晶體 190 包括經塑形以界定兩個孔隙 197a、197b 之第一間隔物層 191。兩個孔隙 197a、197b 可至少部分由另一間隔物層填充。在所展示之實施例中，兩個孔隙 197a、197b 由第二間隔物層 192 填充，該第二間隔物層可在包括材料及厚度之許多特性方面與來自圖 10 之第二間隔物層 132 相同或類似。在另一實施例中，單獨的間隔物層部分地填充每一孔隙。在一個實施例中，更靠近閘極 196 之孔隙 197b 中的間隔物層 192b 之部分可比距閘極 196 較遠的孔隙 197a 中之間隔物層 192a 之部分厚。在一個此實施例中，厚度 192a 可為大約 100 Å 至 800 Å 或為大約 400 Å，而厚度 192b 可為大約 500 Å 至 1500 Å 或為大約 1000 Å。在所展示之實施例中，場板 198 可至

少部分填充兩個孔隙 197a、197b。在其他實施例中，單獨場板可填充單獨孔隙。

【0086】圖 17 展示根據本發明之電晶體 200 之實施例，其在許多方面類似於圖 12 中之電晶體 150。在圖 17 實施例中，第一區段 201a 及第二區段 201b 兩者自源極 22 至汲極 24 而沉積於電晶體之上。在此實施例中，第一區段 201a 及第二區段 201b 兩者可經蝕刻以形成孔隙 207，該孔隙中可沉積間隔物層 202 及場板 208。因為場板 208 可延伸至區段 201b 之頂部上，所以該場板可與障壁層 18 隔開達較大距離，此情形可減少半導體層上之場效應且減少捕陷。如同圖 10 至 16 實施例的全部，電晶體 200 可包括在場板 208 之上的額外間隔物層及/或包括額外場板(諸如，以類似於圖 13 之配置的配置)。

【0087】電晶體 200 可使用許多不同方法來製造。在一種方法中，第一間隔物層 201 之第一區段 201a 生長或沉積於障壁層 18 上。第一區段 201a 可經蝕刻，且閘極 156 可沉積於障壁層 18 上。形成閘極 156 之金屬可經圖案化以橫跨第一區段 201a 而延伸，以便形成 T 形或伽馬形閘極。第二區段 201b 接著可沉積或生長於源極 22 與汲極 24 之間的電晶體 200 之長度之上，且可覆蓋閘極 156。或者，第二區段 201b 可選擇性地沉積(諸如)於閘極 156 之上，而非在電晶體 200 之整個長度之上。此替代方法可產生類似於來自圖 12 之電晶體 150 的電晶體。在圖 17 實施例中，第一間隔物層 201 之第一 201a 及第二區段 201b 可經蝕刻以形成孔隙 207，該孔隙可曝露障壁層 18。第二間隔物層接著可沉積(例如)於源極 22 與汲極 24 之間的電晶體 200 之整個長度之上，使得第二間隔物層可至少覆蓋孔隙

207 之底部。場板 208 接著可至少部分沉積於孔隙 207 內。此僅為一種製造方法，且許多其他方法係可能的。可用以形成根據本發明之裝置的一些製造方法描述於美國專利第 7,812,369 號中。

【0088】本申請案中所論述之閘極/場板配置中的任一者(包括圖 10 至 17 中所展示之彼等配置)可彼此互換。舉例而言，圖 11 中之場板 148 可替換圖 10 中之場板 138，且此裝置可具有自維持閘極與場板邊緣之間的間隙導出之益處，而不犧牲圖 10 實施例之其他態樣的益處(例如，場板靠近障壁層之益處)。上文所描述之單場板實施例亦可包括多個場板，包括(但不限於)關於圖 13 及在共同讓渡之美國公開案第 2005/0253168 及 2006/0202272 號中所論述之配置。圖 10 至圖 17 實施例中之任一者可含有兩個或兩個以上及/或多個孔隙，如圖 16 中所展示。上文實施例中的任兩者中之互斥元件可彼此替換(例如，T 形閘極替換矩形閘極)，且可將非互斥元件添加至實施例(例如，將第二孔隙添加至圖 10 至圖 17 中的任一者)。此等情形僅表示少數變化，且在本發明之實施例中，許多不同變化係可能的。

【0089】上文實施例之特徵的許多變化係可能的。具有可用於本發明之實施例中的特徵之電晶體結構揭示於下文共同讓渡之公開案中，該等公開案中之每一者的全部內容以引用之方式全部併入本文中：Chavarkar 等人的且標題為「Group-III Nitride Based High Electron Mobility Transistor (HEMT) With Barrier/Spacer Layer」之美國專利第 6,849,882 號；Parikh 等人的且標題為「Insulating Gate AlGaN/GaN HEMT」之美國專利第 7,230,284 號；Parikh 等人的且標題為「Wide Bandgap Transistor Devices With Field Plates」之美國

專利第 7,501,669 號；Mishra 等人的且標題為「Cascode Amplifier Structures Including Wide Bandgap Field Effect Transistor With Field Plates」之美國專利第 7,126,426 號；Wu 等人的且標題為「Wide Bandgap HEMTs With Source Connected Field Plates」之美國專利第 7,550,783 號；Wu 等人的且標題為「Wide Bandgap Transistors With Multiple Field Plates」之美國專利第 7,573,078 號；Wu 等人的且標題為「Wide Bandgap Field Effect Transistors With Source Connected Field Plates」之美國專利公開案第 2005/0253167 號；Wu 等人的且標題為「Wide Bandgap Transistors With Gate-Source Field Plates」之美國專利公開案第 2006/0202272 號；Wu 的且標題為「GaN Based HEMTs With Buried Field Plates」之美國專利公開案第 2008/0128752 號；Moore 等人的且標題為「Gate Electrodes For Millimeter-Wave Operation and Methods of Fabrication」之美國專利公開案第 2010/0276698 號；Smith, Jr.等人的且標題為「High Power Gallium Nitride Field Effect Transistor Switches」之美國專利公開案第 2012/0049973 號；及 Fisher 的且標題為「Low Noise Amplifiers Including Group III Nitride Based High Electron Mobility Transistors」之美國專利公開案第 2012/0194276 號。

【0090】應理解，上文配置可適用於除了 HEMT 之外的其他電晶體，包括 MESFET 及金屬氧化物半導體異質結構場效電晶體 (MOSHFET)，不管此等電晶體係具有一或多個場板之單閘極電晶體、離散雙閘極電晶體抑或較大結構之部分。該等配置亦可適用於微波及毫米波功率放大器以用於通信、儀器製造、軍事應用等，包括(但不限於)單體微波積體電路(MMIC)。

【0091】儘管本發明已參考其某些較佳組態相當詳細地進行描述，但其他版本係可能的。內埋場板及閘極配置可用於許多不同裝置中。場板及閘極亦可具有許多不同形狀且可以許多不同方式連接至源極接點。因此，本發明之精神及範疇不應限於上文所描述之本發明的較佳版本。

【符號說明】

【0092】

- 10 電晶體
- 11 高電子遷移率電晶體(HEMT)
- 12 基板
- 16 緩衝層
- 18 障壁層
- 20 二維電子氣體(2DEG)
- 21 第一間隔物層
- 22 源極
- 24 汲極
- 26 第一級閘極
- 28 場板
- 29 第二級閘極
- 30 高電子遷移率電晶體(HEMT)
- 32 基板
- 34 晶核層
- 36 緩衝層
- 38 障壁層

- 40 2DEG 通道層
- 42 源極電極/源極
- 44 汲極電極/汲極
- 46 第一級閘極
- 47 第一閘極接點
- 48 第二級閘極
- 49a 通孔/匯流排系統
- 49b 導電路徑
- 49c 通孔/匯流排系統
- 50 第一間隔物層
- 52 第二間隔物層
- 54 第三間隔物層
- 56 場板
- 60 高電子遷移率電晶體(HEMT)/裝置
- 61 第一間隔物層
- 66 T 形第一閘極
- 66a 懸垂區段/懸垂物
- 70 高電子遷移率電晶體(HEMT)
- 71 第一間隔物層
- 72 間隔物層
- 76 伽馬形第一閘極
- 76a 懸垂區段/懸垂物
- 81 障壁層
- 82 第二間隔物層

86	第一閘極
88	第二閘極
90	高電子遷移率電晶體(HEMT)
91	第一間隔物層
98	第二閘極
100	高電子遷移率電晶體(HEMT)
110	第一間隔物層
110a	薄區段
120	高電子遷移率電晶體(HEMT)
122	第一間隔物層
124	第二間隔物層
130	高電子遷移率電晶體(HEMT)
131	第一間隔物層
132	第二間隔物層
136	閘極
136a	邊緣
137	孔隙
138	場板
140	高電子遷移率電晶體(HEMT)
141	第一間隔物層
141a	薄區段
148	場板
150	高電子遷移率電晶體(HEMT)
151	第一間隔物層

151a	第一區段
151b	第二區段
152	第二間隔物層
156	T形閘極
157	第二孔隙
158	場板
160	高電子遷移率電晶體(HEMT)
161	第一間隔物層
162	第二間隔物層
163	第三間隔物層
164	障壁層
166	閘極
167	孔隙
168	第一場板
169	第二場板
170	裝置
171	第一間隔物層
172	第二間隔物層
173	第三間隔物層
176	T形閘極
176a	閘極懸垂物
176b	懸垂物
177	孔隙
178	場板

180	電晶體
182	不均勻間隔物層
182a	薄部分
182b	厚部分
183	第二間隔物層
186	閘極
188	場板
190	電晶體
191	第一間隔物層
192	第二間隔物層
192a	間隔物層/厚度
192b	間隔物層/厚度
196	閘極
197a	孔隙
197b	孔隙
198	場板
200	電晶體
201	第一間隔物層
201a	第一區段
201b	第二區段
202	間隔物層
207	孔隙
208	場板
L_a	長度

L_g	閘極長度
L_{g1}	長度
L_{g2}	長度
L_{gf}	距離/長度
L_{gg}	距離
L_s	厚度

申請專利範圍

1. 一種電晶體，其包含：

複數個半導體層，其在一基板上；

一源極及一汲極，其在該等半導體層中之至少一者上；

一閘極，其在該源極與該汲極之間；及

一場板；

其中該場板與該等半導體層之間的一間隔係比該場板與該閘極之間的一間隔小。

2. 如申請專利範圍第 1 項之電晶體，其進一步包含一或多個間隔物層；

其中該場板在該等間隔物層中之至少一者上；

其中該一或多個間隔物層之一第一部分將該場板與該閘極隔開；

其中該一或多個間隔物層之一第二部分將該場板與該等半導體層隔開。

3. 如申請專利範圍第 2 項之電晶體，其中，該第二部分小於或等於約 1500 Å。

4. 如申請專利範圍第 2 項之電晶體，其中，該第二部分為大約 100 Å 至 800 Å。

5. 如申請專利範圍第 1 項之電晶體，其中，該等間隔物層中之至少一者係經塑形而界定出一孔隙；且

其中該場板係至少部分在該孔隙內。

6. 如申請專利範圍第 5 項之電晶體，其中，該第二部分之至少部分界定出該孔隙之底部。

7. 如申請專利範圍第 5 項之電晶體，其中，該場板覆蓋該孔隙之該底部。

8. 如申請專利範圍第 1 項之電晶體，其中，該場板至少部分在該閘極之上。

9. 如申請專利範圍第 1 項之電晶體，其中，該場板與該閘極係被一第一間隔物層隔開，且該場板與該等半導體層係被一第二間隔物層隔開。

10. 如申請專利範圍第 1 項之電晶體，其中，該場板連接至該源極。

11. 如申請專利範圍第 1 項之電晶體，其中，該閘極包含一或多個懸垂物。

12. 如申請專利範圍第 11 項之電晶體，其中，一第一間隔物層將該等懸垂物中之至少一者與該等半導體層隔開；

其中一第二間隔物層將該場板與該等半導體層隔開；且

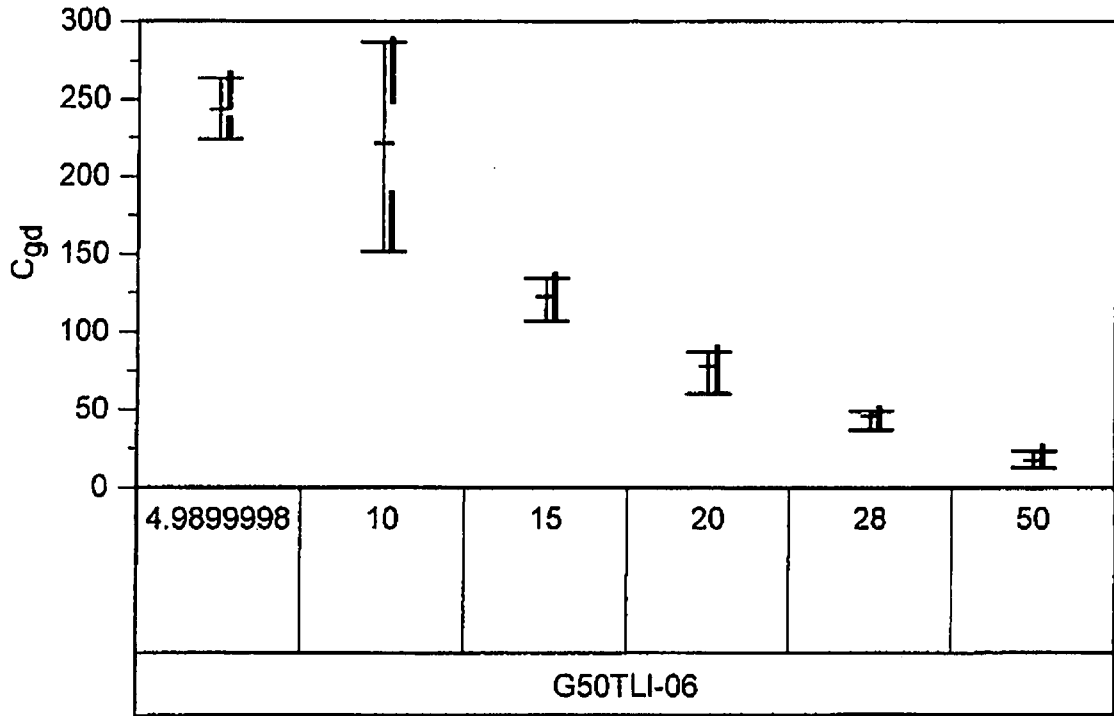
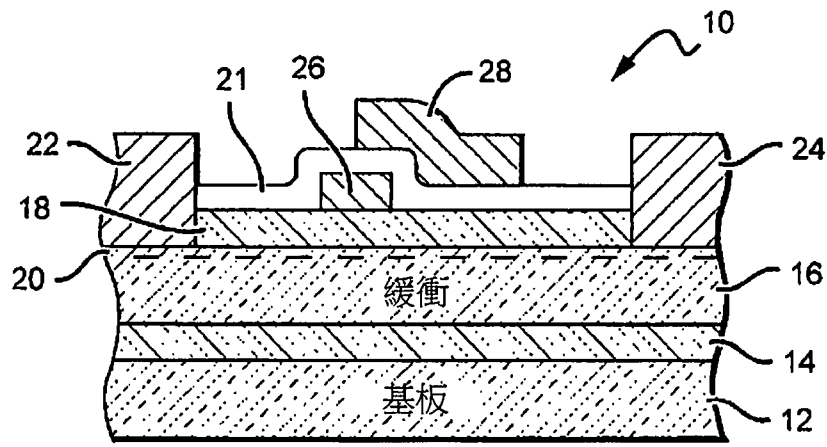
其中一第三間隔物層將該場板與該閘極隔開。

13. 如申請專利範圍第 12 項之電晶體，其中，該第二間隔物層之厚度小於或等於約 1500 Å。

14. 如申請專利範圍第 1 項之電晶體，其中，該場板與該閘極之一最近邊緣係被一具有長度 L_{gf} 之間隙隔開。

15. 如申請專利範圍第 1 項之電晶體，其中，該場板之至少部分凹入於該等半導體層之一頂表面下方。

圖式



在LotID內的Vd(V)

圖1B

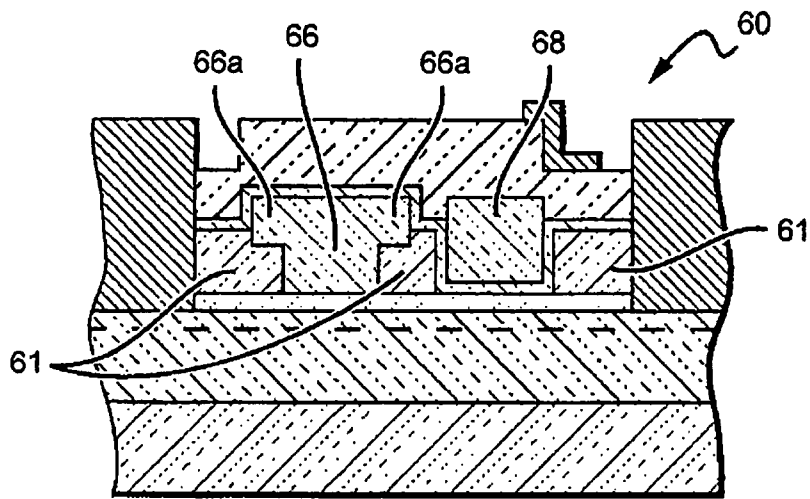


圖4

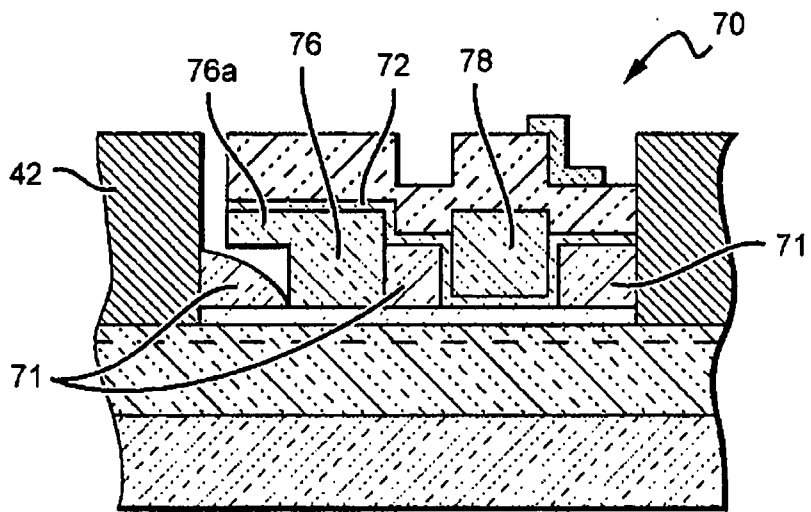


圖5

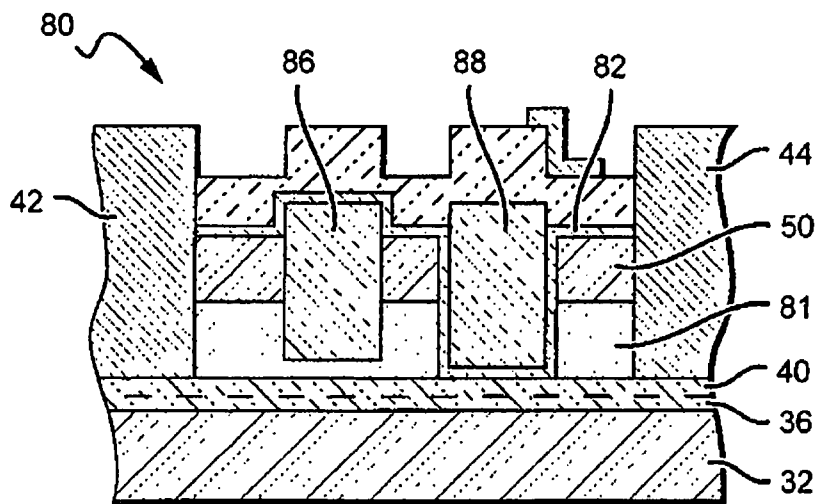


圖6

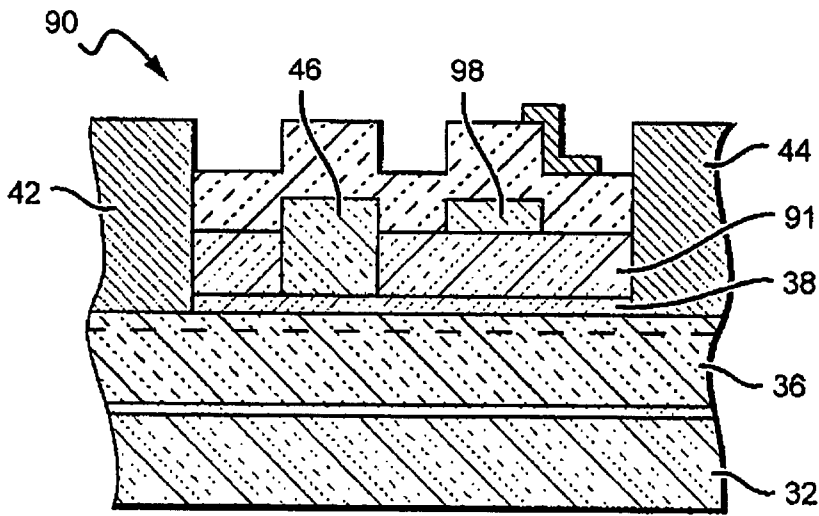


圖7

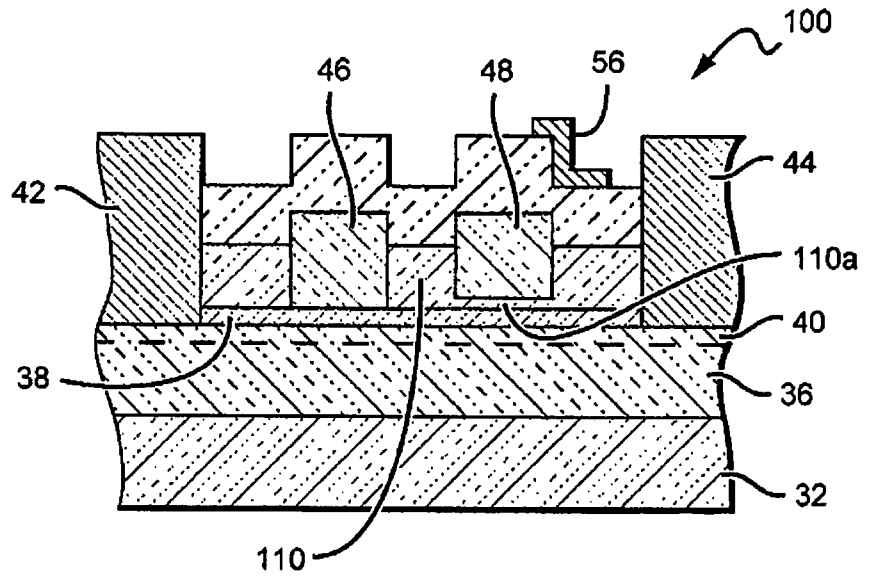


圖8

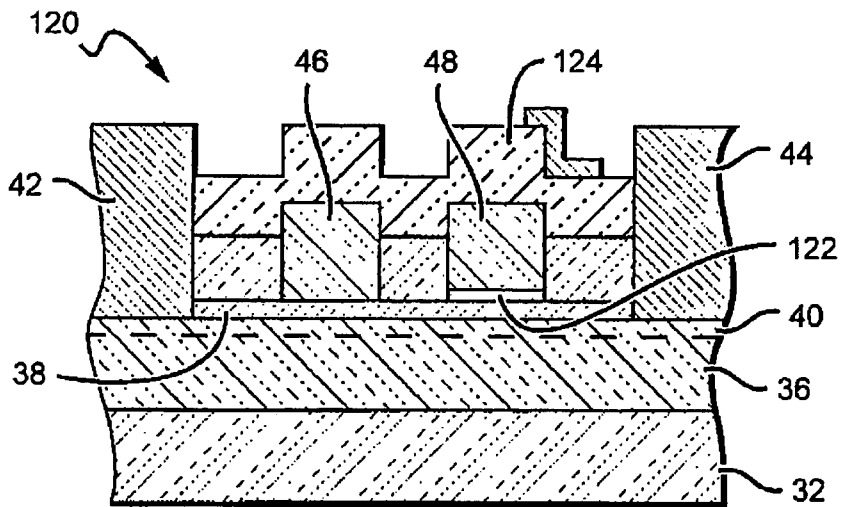


圖9

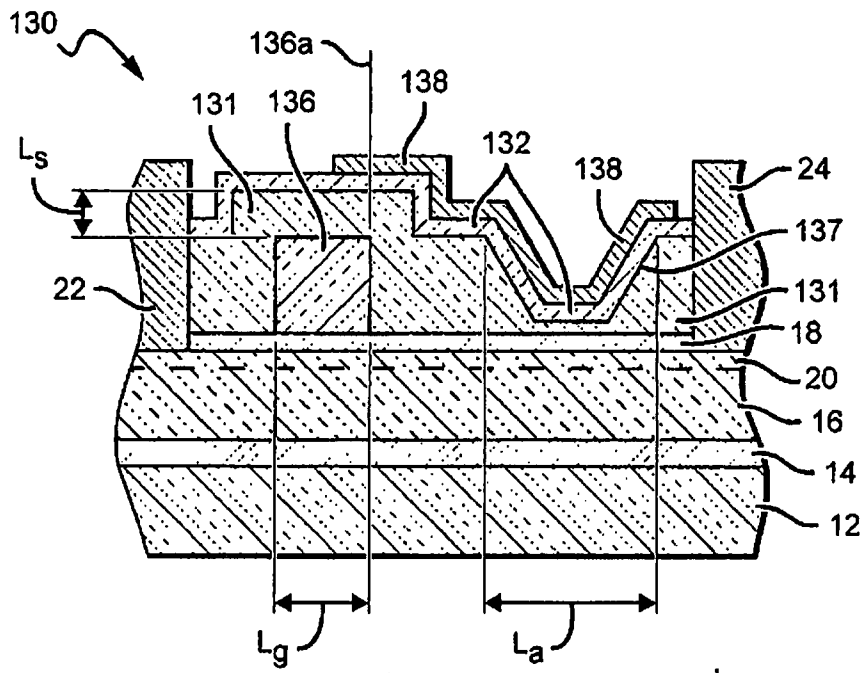


圖10

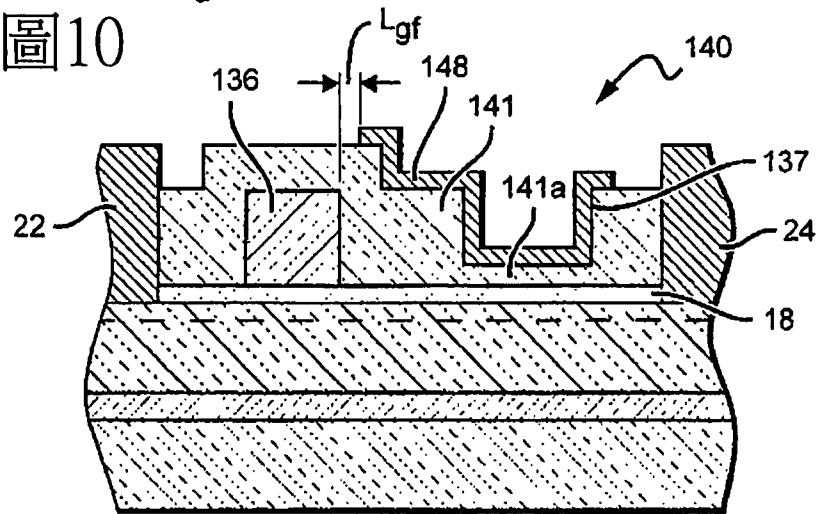


圖11

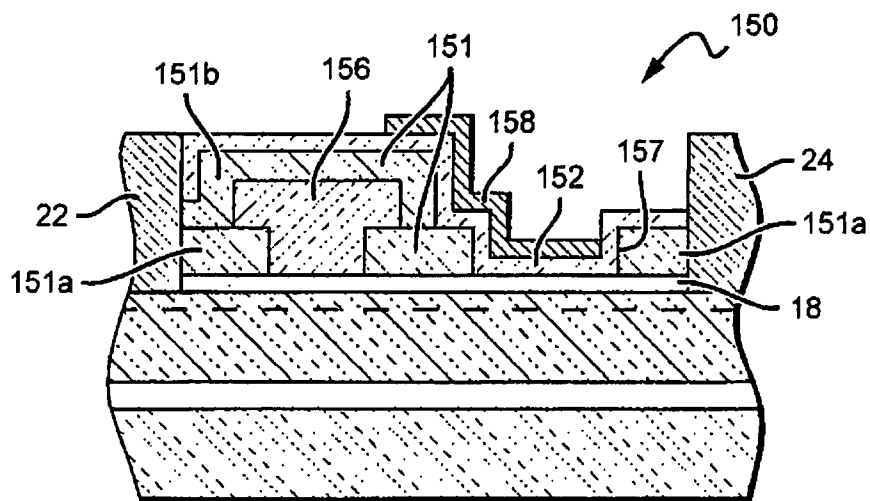


圖12

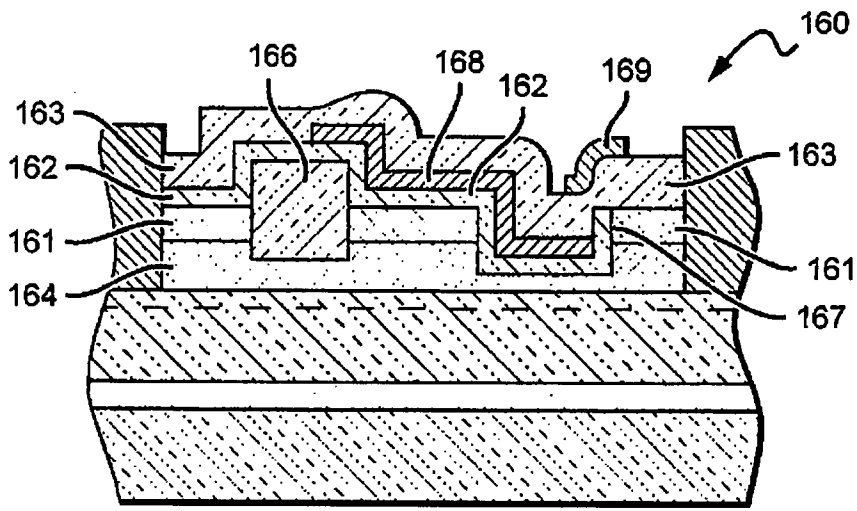


圖13

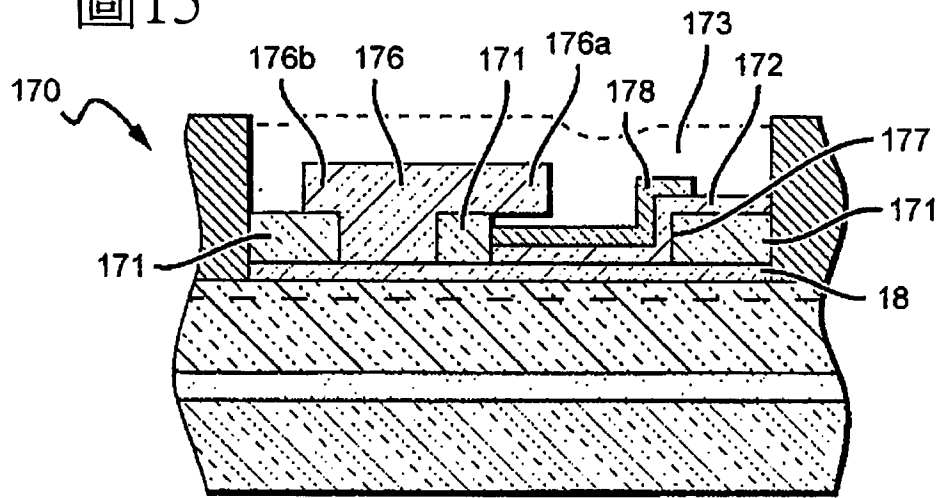


圖14

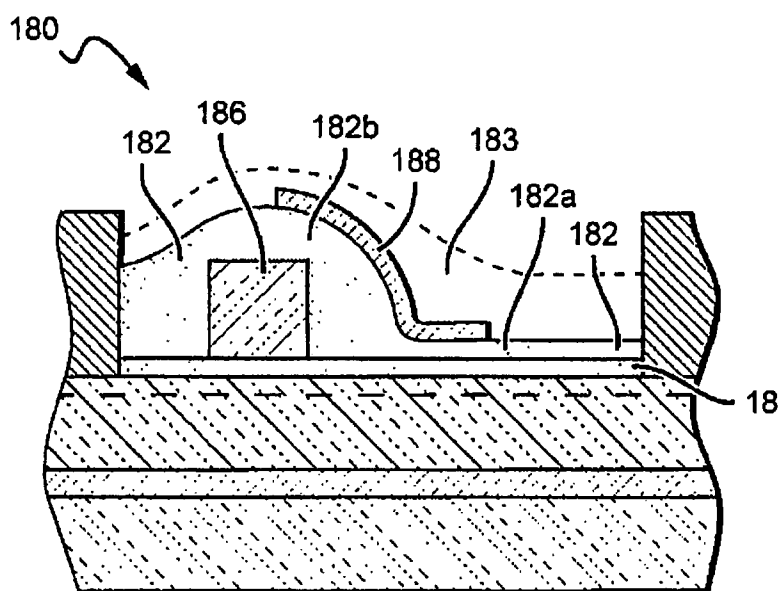


圖15

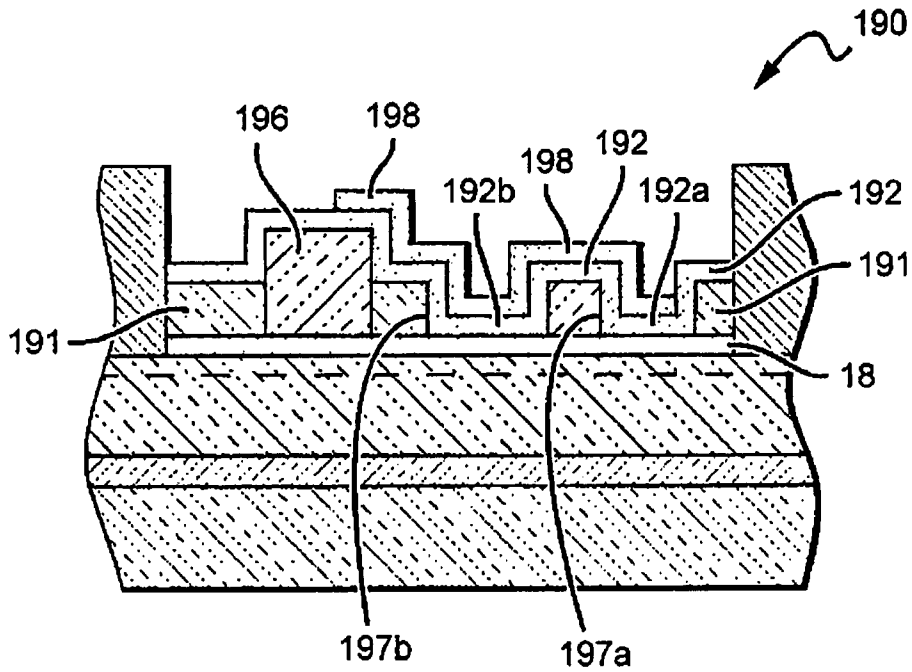


圖16

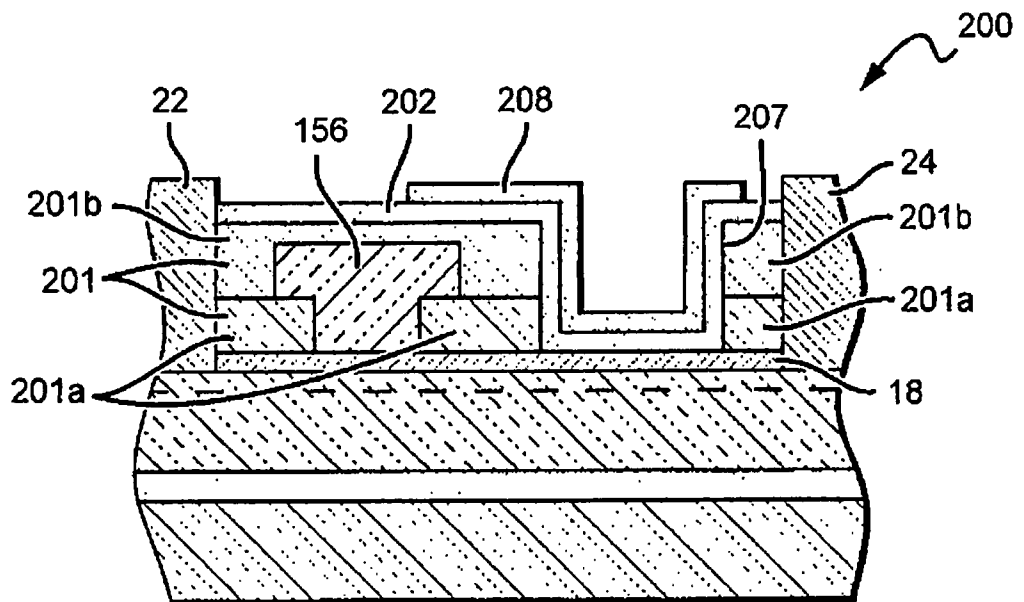


圖17