



Europäisches Patentamt
European Patent Office
Office européen des brevets

⑪ Veröffentlichungsnummer: **0 119 280**
B1

⑫

EUROPÄISCHE PATENTSCHRIFT

④⑤ Veröffentlichungstag der Patentschrift:
23.07.86

⑥① Int. Cl.⁴: **G 08 G 1/09, H 03 D 1/02**

②① Anmeldenummer: **83102412.0**

②② Anmeldetag: **11.03.83**

⑤④ **Integrierte Schaltung zur Decodierung von Verkehrsfunk-Bereichskennsignalen.**

④③ Veröffentlichungstag der Anmeldung:
26.09.84 Patentblatt 84/39

⑦③ Patentinhaber: **Deutsche ITT Industries GmbH,
Hans- Bunte- Strasse 19 Postfach 840, D-7800
Freiburg (DE)**

④⑤ Bekanntmachung des Hinweises auf die Patenterteilung:
23.07.86 Patentblatt 86/30

⑧④ Benannte Vertragsstaaten: **DE**

⑧④ Benannte Vertragsstaaten:
DE FR GB IT NL

⑦③ Patentinhaber: **ITT INDUSTRIES INC., 320 Park
Avenue, New York, NY 10022 (US)**

⑧④ Benannte Vertragsstaaten: **FR GB IT NL**

⑤⑥ Entgegenhaltungen:
DE-A-2 719 618
DE-A-2 916 171

⑦② Erfinder: **Pfeifer, Heinrich, Dipl.- Ing.,
Vogesenstrasse 4, D-7809 Denzlingen (DE)**

**GRUNDIG TECHNISCHE INFORMATIONEN, Heft
4/5, 1980, Seiten 255-259, Regensburg, DE., W.
SCHINDLER: "Verkehrsrundfunk-DEcoder mit
Bereichskennung und Warnton-Automatik"
RADIOMENTOR ELECTRONIC, Band 44, Nr. 12,
Dezember 1978, Seiten 480-481, München, DE., E.O.
BEDDIES: "Alpha 2000 - Autoradio-
Entwicklungsstudie"**

⑦④ Vertreter: **Stutzer, Gerhard, Dr., Deutsche ITT
Industries GmbH Patent- und Lizenzabteilung
Hans- Bunte- Strasse 19 Postfach 840, D-7800
Freiburg (DE)**

EP 0 119 280 B1

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents im Europäischen Patentblatt kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

Beschreibung

Die Erfindung betrifft eine integrierte Schaltung zur Decodierung von Verkehrsfunk-Bereichskennsignalen, deren Frequenz, die Bereichsfrequenz, die Information über den Bereich ist, wobei die Bereichskennsignale in Form eines damit amplitudenmodulierten Trägersignals in einem empfangenen und in einem üblichen Rundfunkempfänger bereits demodulierten Rundfunksignal enthalten sind, vgl. den Oberbegriff des Anspruchs 1.

In der Zeitschrift "Funkschau", 1974, Seiten 535 bis 538 ist das derzeit in Deutschland und weiteren europäischen Ländern verwendete System zur Übermittlung von Verkehrsdurchsagen an Rundfunkhörer beschrieben, wobei unter anderem vorgesehen ist, das Gebiet eines Staates in mehrere Verkehrsfunk-Sendebereiche dadurch aufzuteilen, daß das Verkehrsfunksignal Bereichskennsignale enthält. Diese Bereichskennsignale, deren Frequenz als Bereichsfrequenz die Information über den Bereich ist, sind recht niederfrequente Signale und mittels Amplitudenmodulation dem Senderkennungs-Trägersignal, das beim bekannten System eine Frequenz von 57 kHz hat, aufmoduliert und werden im übrigen durch ganzzahlige Frequenzteilung aus dem Trägersignal abgeleitet.

Wie der Zeitschrift "Rundfunktechnische Mitteilungen" 1974, Seiten 193 bis 202, worin dieses Verkehrsfunk-System ebenfalls ausführlich beschrieben ist, entnommen werden kann, wurden die Systemparameter seinerzeit so gewählt, daß die für den Verkehrsfunk erforderlichen empfängerseitigen Decoderschaltungen mit den üblichen, analoge Signale verarbeitenden Empfängerschaltungen kompatibel sind und insbesondere keine gegenseitige Störung auftritt. Die bisher üblichen Decoderschaltungen sind daher ebenfalls Analogschaltungen (vgl. beispielsweise "Grundig Technische Informationen", Heft 415, 1980, Seiten 255 bis 259).

Demgegenüber ist es Aufgabe der in den Ansprüchen gekennzeichneten Erfindung, eine integrierte Schaltung zur Decodierung von Verkehrsfunk-Bereichskennsignalen anzugeben, die nach den Prinzipien der Digitaltechnik arbeitet und somit weitgehend aus digitalen Teilschaltungen aufgebaut ist. Dabei soll die Ansprechzeit der Schaltung kleiner als eine Sekunde sein, z.B. 300 ms betragen, und die Bereichserkennung soll unempfindlich gegenüber Rauschen sein.

Die Erfindung und ihre Vorteile werden nun anhand der Figuren der Zeichnung näher erläutert.

Fig. 1 zeigt in Form eines Blockschaltbilds den Aufbau eines Ausführungsbeispiels der Erfindung.

Fig. 2 zeigt den geringfügig modifizierten Eingangsteil der Anordnung nach Fig. 1 und

Fig. 3 zeigt schematisch den Aufbau einer bei der Erfindung vorteilhaft verwendbaren Mischstufe.

Als Ausführungsbeispiel ist in Fig. 1 das Blockschaltbild einer integrierten Schaltung zur Decodierung von Verkehrsfunk-Bereichskennsignalen nach der Erfindung gezeigt. Das demodulierte Rundfunksignal ds , das mittels eines üblichen Rundfunkempfängers gewonnen wird, ist der Mischstufe ms zugeführt, deren Mischsignal-Frequenz f_m größer als die größte Bereichsfrequenz f_b ist. Bezogen auf das in den eingangs genannten beiden Zeitschriften bekannte System bedeutet dies, daß die Mischsignalfrequenz f_m größer als die dem Bereich F zugeordnete Bereichsfrequenz 53,98 Hz ist. In einer realisierten Schaltung gilt für die Mischsignalfrequenz: $f_m = 223,5$ Hz. Mittels der Mischstufe ms werden die dem Trägersignal aufmodulierten Bereichskennsignale auf die Mischsignalfrequenz f_m umgesetzt.

Der Ausgang der Mischstufe ms liegt über das analoge Tiefpaßfilter af am Eingang des Analog/Digital-Wandlers aw . Dabei ist die obere Grenzfrequenz des Tiefpaßfilters af höchstens gleich der halben Abtastfrequenz des Analog/Digital-Wandlers aw . Sein Ausgang liegt am Eingang des digitalen Bandpasses bp , dessen Mittenfrequenz f_c gleich der Differenz von Trägersignalfrequenz f_t und Mischsignalfrequenz f_m ist; es gilt also $f_c = f_t - f_m$.

Der Ausgang des Analog/Digital-Wandlers aw liegt ferner am ersten Eingang des Multiplizierers m , dessen zweiter Eingang am Ausgang der Digitalklemmschaltung kl liegt, die dem digitalen Bandpaß bp signalflußmäßig nachgeordnet ist. Sie klemmt positive bzw. negative Eingangssignale auf den durch ihre Stellenzahl vorgegebenen positiven bzw. negativen Maximalwert.

An dieser Stelle sei bereits erwähnt, daß nach der in Fig. 2 ausschnittsweise gezeigten Abwandlung der Anordnung nach Fig. 1 der Analog/Digital-Wandlers aw , der dann ein Delta-Sigma-Wandler sein muß, direkt auf die Mischstufe ms folgen kann, wobei dann allerdings zwischen dem Eingang des digitalen Bandpasses bp und dem Ausgang des Analog-Digitalwandlers aw das digitale Tiefpaßfilter df anzuordnen ist.

Mittels des digitalen Bandpasses wird das Mischsignal zurückgewonnen, und mittels der Digitalklemmschaltung kl wird es amplitudennormiert. Mittels des Multiplizierers m werden dann die Bereichskennsignale demoduliert.

Am Ausgang des Multiplizierers m liegt für jede Bereichsfrequenz ein eigener Signalweg, wovon in Fig. 1 die Signalwege a , b , f gezeigt sind. Jeder Signalweg besteht in Signalflußrichtung aus dem digitalen Resonanzfilter ra , rb , rf für die jeweilige Bereichsfrequenz f_b , dem digitalen Betragsbildner ba , bb , bf und dem digitalen Tiefpaß pa , pb , pf , dessen obere Grenzfrequenz kleiner als die doppelte kleinste Bereichsfrequenz ist. Bei dem eingangs geschilderten bekannten System hat diese niedrigste Bereichsfrequenz, die dort dem Bereich A zugeordnet ist, einen Wert von 23,75 Hz. Die in dem Signalweg a , b , f angeordneten drei

Teilschaltungen haben die Funktion einer selektiven Pegelmessung.

Von den Ausgängen der Tiefpässe pa, pb, pf liegt jeweils einer an jeweils einem Eingang des Vielfachkomparators vk, an dessen erstem Maximum-Ausgang mx1 ein Signal über denjenigen Signalweg auftritt, der das grösste Signal führt, d.h. also am ersten Maximum-Ausgang mx1 erscheint ein Digitalwort für die Nummer des Signalwegs mit dem grössten Signalwert. In gleicher Weise erscheint am zweiten Maximum-Ausgang mx2 ein Signal über die Nummer desjenigen Signalwegs, der das zweitgrösste Signal führt.

Der erste bzw. der zweite Maximum-Ausgang mx1, mx2 liegt am Steuereingang des ersten bzw. des zweiten elektronischen Vielfachumschalters s1, s2, von deren Eingängen jeweils einer an je einem Ausgang der Tiefpässe pa, pb, pf angeschlossen ist. Die beiden Vielfachumschalter s1, s2 haben also so viele Eingänge, wie Signalwege vorhanden sind, und von den Ausgangssignalen an den Maximum-Ausgängen mx1, mx2 werden sie auf denjenigen Signalweg geschaltet, der den grössten bzw. den zweitgrössten Signalwert führt.

Der Ausgang des ersten Vielfachumschalters s1 liegt einerseits über den ersten Konstanten-Multiplizierer m1 am Minuend-Eingang des ersten Komparators k1, an dessen Subtrahend-Eingang der Ausgang des Vielfachaddierers ad angeschlossen ist. Dessen Eingänge liegen jeweils am Ausgang eines der Tiefpässe pa, pb, pf. Der Ausgang des ersten Vielfachumschalters s1 liegt ferner über den zweiten Konstanten-Multiplizierer m2 am Minuend-Eingang des zweiten Komparators k2, an dessen Subtrahend-Eingang der Ausgang des zweiten Vielfachumschalters s2 angeschlossen ist. Mittels des zweiten Komparators k2 und des zweiten Konstanten-Multiplizierers m2 wird festgestellt, ob die mit einem konstanten Faktor multiplizierte Amplitude des ersten Maximumsignals größer ist als das zweite Maximumsignal. Mittels dieser im zweiten Konstanten-Multiplizierer m2 als der eine Multiplikationsfaktor vorgesehenen Konstanten läßt sich also der Fremdkanalabstand festlegen.

Mittels des ersten Konstanten-Multiplizierers m1 und des ersten Komparators k1 wird in vergleichbarer Weise der Pegel des ersten Maximumsignals mit der Summe der Signalwerte der übrigen Signalwege verglichen, was eine Störabstandmessung ist.

Am ersten Maximum-Ausgang mx1 des Vielfachkomparators k liegt das Verzögerungsglied vg und an dessen Ausgang der Minuend-Eingang des dritten Komparators k3, dessen Subtrahend-Eingang mit dem ersten Maximum-Ausgang mx1 verbunden ist. Der Minuend-gleich-Subtrahend-Ausgang des dritten Komparators k3 liegt über den Inverter it am Rücksetzeingang er des Zählers z, dessen Zähleringang das Taktsignal t zugeführt ist und dessen Zählerstandausgänge mit dem Minuend-Eingang des vierten Komparators k4 verbunden

sind, dessen Subtrahend-Eingang die als Schwellwert dienende Konstante k zugeführt ist. Mit den eben erläuterten Teilschaltungen vg, k3, it, z, k4 wird am Minuend-größer-Subtrahend-Ausgang des vierten Komparators k4 ein Signal erzeugt, das nur dann auftritt, wenn das erste Maximumsignal für die durch die Frequenz des Taktsignals t und die Konstante k vorgegebene Zeit konstant war. Mittels dieser Teilschaltungen ist somit eine Zeitschwelle realisiert.

Dem Ausgang des digitalen Bandpasses by ist der weitere Betragsbildner bw nachgeschaltet, dem der weitere digitale Tiefpaß pw folgt, dessen obere Grenzfrequenz gleich der der Tiefpässe pa, pb, pf ist und dessen Ausgang über den dritten bzw. den vierten Konstanten-Multiplizierer m3, m4 am Subtrahend-Eingang des fünften bzw. des sechsten Komparators k5, k6 liegt, deren jeweiliger Minuend-Eingang am Ausgang des ersten Vielfachumschalters s1 angeschlossen ist. Der Minuend-größer-Subtrahend-Ausgang des fünften Komparators k5 und der Minuend-kleiner-Subtrahend-Ausgang des sechsten Komparators k6 sind mit jeweils einem der beiden Eingänge des ersten UND-Gatters ul verbunden. Mittels der zuletzt genannten Teilschaltungen bw, pw, m3, m4, k5, k6, ul wird der Modulationsgrad der Bereichskennsignale überwacht, denn Rauschen äußert sich als vergrößerter Modulationsgrad, und andererseits tritt ein unmoduliertes Träger ebenfalls häufig als Störung auf. Dabei wird das erste Maximalsignal mit der Amplitude des Mischsignals bezüglich einer oberen und einer unteren Schwelle, die durch die Konstanten des dritten bzw. vierten Konstanten-Multiplizierers m3, m4 vorgegeben sind, verglichen.

Von den vier Eingängen des zweiten UND-Gatters u2 liegt jeweils einer am jeweiligen Minuend-größer-Subtrahend-Ausgang des ersten Komparators k1, des zweiten Komparators k2 und des vierten Komparators k4 sowie am Ausgang des ersten UND-Gatters ul. Der erste Maximum-Ausgang mx1 des Vielfachkomparators vk liegt am Paralleleingang des Vielfach-UND-Gatters vu, dessen Ausgang der Bereichssignalausgang sa der integrierten Schaltung ist, und der Ausgang des zweiten UND-Gatters u2 liegt an allen Stellen des zweiten Paralleleingangs des Vielfach-UND-Gatters vu. Somit werden mittels des zweiten UND-Gatters u2 die vier Überwachungskriterien auf ihr gleichzeitiges Auftreten geprüft, und nur wenn diese Forderung erfüllt ist, wird die Nummer des zugeordneten Bereichs an den Bereichssignalausgang sa durchgeschaltet.

Zur sicheren Ermittlung des Bereichskennsignals werden also bei der Erfindung vier Qualitätskriterien vorgegeben und erst bei deren gemeinsamem Vorliegen das decodierte Signal freigegeben. Diese vier Kriterien sind nochmals kurz zusammengefaßt die folgenden: Fremdkanalabstand, Summenkanalabstand, Modulationsgradüberwachung und vorgebbare Zeitschwelle. Obwohl diese vier Überwachungskriterien einen gewissen

5

10

15

20

25

30

35

40

45

50

55

60

65

Schaltungsaufwand bedingen, ergibt sich doch, und das ist einer der Vorteile der Erfindung, insgesamt eine Reduzierung der Ansprechzeit der Gesamtschaltung, ohne die Decodiersicherheit zu verringern. Außerdem ergibt sich eine praktisch vollständige Stör- und Rauschsicherheit der Schaltung.

Die Fig. 3 zeigt eine besonders vorteilhafte Ausgestaltung für die Mischstufe ms, die aus dem Einheitsverstärker v1 und dem elektronischen Umschalter s, dessen Steuersignal das Mischsignal fm ist, besteht. Der Einheitsverstärker v1 hat die Verstärkung 1 und gibt an seinem Ausgang wie ein üblicher Analogverstärker ein um 180° gegenüber seinem Eingangssignal gedrehtes Ausgangssignal ab. Mittels des Umschalters s wird das auch am Eingang des Einheitsverstärkers v1 liegende Rundfunksignal ds einmal direkt und einmal in seiner um 180° gedrehten, also invertierten, Form zum Ausgang des Umschalters s durchgeschaltet. In diesem Fall ist das Mischsignal fm ein Rechtecksignal.

Patentansprüche

1. Integrierte Schaltung zur Decodierung von Verkehrsfunk-Bereichskennsignalen, deren Frequenz, die Bereichs frequenz, die Information über den Bereich ist, wobei die Bereichskennsignale in Form eines damit amplitudenmodulierten Trägersignals in einem empfangenen und mit einem üblichen Rundfunkempfänger bereits demodulierten Rundfunksignal(ds) enthalten sind, gekennzeichnet durch folgende Merkmale:

- das demodulierte Rundfunksignal (ds) ist einer Mischstufe (ms) zugeführt, deren Mischsignal-Frequenz (fm) größer als die größte Bereichsfrequenz ist,
- der Ausgang der Mischstufe (ms) liegt über ein analoges Tiefpaßfilter (af) am Eingang eines Analog/Digital-Wandlers (aw), wobei die obere Grenzfrequenz des analogen Tiefpaßfilters (af) höchstens gleich der halben Abtastfrequenz (fa) des Analog/Digital-Wandlers (aw) ist,
- der Ausgang des Analog/Digital-Wandlers (aw) liegt am Eingang eines digitalen Bandpasses (bp), dessen Mittenfrequenz (fc) gleich der Differenz von Trägersignalfrequenz (ft) und Mischsignalfrequenz (fm) ist, und ferner am ersten Eingang eines Multiplizierers (m)/, dessen zweiter Eingang am Ausgang einer Digital-Klemmschaltung (kl) liegt, deren Eingang mit dem Ausgang des digitalen Bandpasses (bp) verbunden ist und die positive bzw. negative Eingangssignale auf den durch ihre Stellenzahl vorgegebenen positiven bzw. negativen Maximalwert klemmt,
- am Ausgang des Multiplizierers (m) liegt für jede Bereichsfrequenz ein eigener Signalweg (a, b, f), der in Signalflußrichtung aus einem digitalen Resonanzfilter (ra, rb, rf) für die jeweilige Bereichsfrequenz, einem digitalen Betragsbildner

(ba, bb, bf) und einem digitalen Tiefpaß (pa, pb, pf) besteht, dessen obere Grenzfrequenz kleiner als die doppelte kleinste Bereichsfrequenz ist,

- von den Ausgängen der Tiefpässe (pa, pb, pf) liegt jeweils einer an jeweils einem Eingang eines Vielfachkomparators (vk), dessen erster Maximum-Ausgang (mx1) am Steuereingang eines ersten elektronischen Vielfachumschalters (s1) und dessen zweiter Maximum-Ausgang (mx2) am Steuereingang eines zweiten elektronischen Vielfachumschalters (s2) liegt,
- von den Eingängen des ersten und des zweiten elektronischen Vielfachumschalters (s1, s2) liegt jeweils einer an je einem Ausgang der Tiefpässe (pa, pb, pf),
- der erste bzw. der zweite Vielfachumschalter (s1, s2) wird vom ersten bzw. vom zweiten Maximum-Ausgang (mx1, mx2) auf den Eingang mit dem ersten bzw. zweiten Maximalwert geschaltet,
- der Ausgang des ersten Vielfachumschalters (s1) liegt einerseits über einen ersten Konstanten-Multiplizierer (m1) am Minuend-Eingang eines ersten Komparators (k1), an dessen Subtrahend-Eingang der Ausgang eines Vielfach-Addierers (ad) angeschlossen ist, von dessen Eingängen jeweils einer mit dem Ausgang eines der Tiefpässe (pa, pb, pf) verbunden ist, und andererseits über einen zweiten Konstanten-Multiplizierer (m2) am Minuend-Eingang eines zweiten Komparators (k2), an dessen Subtrahend-Eingang der Ausgang des zweiten Vielfach-Umschalters (s2) angeschlossen ist,
- am ersten Maximum-Ausgang (mx1) des Vielfachkomparators (vk) liegt ein Verzögerungsglied (vg) und an dessen Ausgang der Minuend-Eingang eines dritten Komparators (k3), dessen Subtrahend-Eingang mit dem ersten Maximum-Ausgang (mx1) verbunden ist,
- der Minuend-gleich-Subtrahend-Ausgang des dritten Komparators (k3) liegt über einen Inverter (it) am Rücksetzeingang (er) eines Zählers (z), dessen Zähleringang ein Taktsignal (t) zugeführt ist und dessen Zählerstandausgänge mit dem Minuend-Eingang eines vierten Komparators (k4) verbunden sind, dessen Subtrahend-Eingang eine als Schwellwert dienende Konstante (k) zugeführt ist,
- dem Ausgang des digitalen Bandpasses (bp) ist ein weiterer Betragsbildner (bw) nachgeschaltet, auf den ein weiterer digitaler Tiefpaß (pw) folgt, dessen obere Grenzfrequenz gleich der der Tiefpässe (pa, pb, pf) ist und dessen Ausgang über einen dritten bzw. über einen vierten Konstanten-Multiplizierer (m3, m4) am Subtrahend-Eingang eines fünften bzw. eines sechsten Komparators (k5, k6) liegt, deren jeweiliger Minuend-Eingang am Ausgang des ersten Vielfach-Umschalters (s1) angeschlossen ist,
- der Minuend-größer-Subtrahend-Ausgang des fünften Komparators (k5) und der Minuend-kleiner-Subtrahend-Ausgang des sechsten Komparators (k6) sind mit jeweils einem der beiden Eingänge eines ersten UND-Gatters (u1)

verbunden,

- von den vier Eingängen eines zweiten UND-Gatters (u2) liegt jeweils einer am jeweiligen Minuend-größer-Subtrahend-Ausgang des ersten Komparators (k1), des zweiten Komparators (k2), des vierten Komparators (k4) und am Ausgang des ersten UND-Gatters (u1), und

- der erste Maximum-Ausgang (mx1) des Vielfachkomparators (vk) liegt am ersten Paralleleingang eines Vielfach-UND-Gatters (vu), dessen Ausgang der Bereichssignalausgang (sa) der integrierten Schaltung ist, und der Ausgang des zweiten UND-Gatters (u2) liegt an allen Stellen des zweiten Paralleleingangs des Vielfach-UND-Gatters (vu).

2. Decodierschaltung nach Anspruch 1, dadurch abgewandelt daß das analoge Tiefpaßfilter (af) durch ein digitales Tiefpaßfilter (df) derart ersetzt ist, daß der Eingang des Analog-Digital-Wandlers (aw), der ein Sigma-Delta-Wandler ist, direkt am Ausgang der Mischstufe (ms) und der Eingang des digitalen Bandpasses (bp) direkt am Ausgang des digitalen Tiefpaßfilters (df) liegt das dem Analog-Digital-Wandler (aw) nachgeschaltet ist.

3. Decodierschaltung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Mischstufe (ms) aus einem elektronischen Umschalters (s) und einem invertierenden Einheits-Verstärker (v1) besteht, dessen Ausgang mit dem einen Eingang des Umschalters (s) verbunden ist und dessen Eingang zusammen mit dem anderen Eingang des Umschalters (s) das demodulierte Rundfunkssignal (ds) zugeführt ist und dessen Steuereingang vom Mischsignal (fn), das ein Rechtecksignal ist, gespeist ist.

Claims

1. Integrated Circuit for decoding traffic information regional tone signals whose frequency, the regional tone frequency, is the information on the region, the regional tone signals being contained in the form of a carrier amplitude-modulated therewith in a received broadcast signal which has already been demodulated in a conventional radio receiver (ds), characterized by the following features:

- The demodulated broadcast signal (ds) is fed to a mixer (ms) whose local-oscillator frequency (fm) is higher than the highest regional tone frequency;

- the output of the mixer (ms) is coupled to the input of an analog-to-digital converter (aw) through an analog low-pass filter (af) whose upper cutoff frequency is not higher than half the sampling frequency (fa) of the analog-to-digital converter (aw);

- the output of the analog-to-digital converter (aw) is coupled to the input of a digital band-pass filter (bp) whose mid-frequency (fc) is equal to the difference between the carrier frequency (ft) and local-oscillator frequency (fm), and to the first input of a multiplier (m) having its second input

connected to the output of a digital clamping circuit (kl) whose input is connected to the output of the digital band-pass filter (bp), and which clamps positive and negative input signals to the positive and negative maximum values, respectively, which are determined by the numbers of digits of said input signals;

- the multiplier (m) is followed by several signal paths (a, b, f), one for each regional tone frequency, each of which consists of a digital resonance filter (ra, rb, rf) followed by a digital absolute value former (ba, bb, bf) and a digital low-pass filter (pa, pb, pf) whose upper cutoff frequency is smaller than twice the smallest regional tone frequency;

- each of the low-pass filters (pa, pb, pf) has one of its outputs connected to one of the inputs of a multiple comparator (vk) whose first and second maximum outputs (mx1, mx2) are connected to the control inputs of a first electronic multiple switch (s1) and a second electronic multiple switch (s2), respectively;

- of each of the inputs of the first and second electronic multiple switches (s1, s2) one is connected to one of the outputs of one of the low-pass filters (pa, pb, pf);

- the first maximum switch (s1) is connected to the input with the first maximum value by the first maximum output (mx1), and the second multiple switch (s2) is connected to the input with the second maximum value by the second maximum output (mx2);

- the output of the first multiple switch (s1) is coupled through a first constant multiplier (m1) to the minuend input of a first comparator (k1) having its subtrahend input connected to the output of a multiple adder (ad) which has one of each of its inputs connected to the output of one of the low-pass filters (pa, pb, pf), and through a second constant multiplier (m2) to the minuend input of a second comparator (k2) having its subtrahend input connected to the output of the second multiple switch (s2);

- the first maximum output (mx1) of the multiple comparator (vk) is connected to a delay element (vg) which feeds the minuend input of a third comparator (k3) having its subtrahend input connected to the first maximum output (mx1);

- the minuend-equal-to-subtrahend output of the third comparator (k3) is coupled through an inverter (it) to the reset input (er) of a counter (z) whose count input is fed with a clock signal (t) and whose outputs are connected to the minuend input of a fourth comparator (k4) whose subtrahend input is fed with a constant (k) serving as a threshold value;

- the digital band-pass filter (bp) is followed by an additional digital absolute-value former (bw) followed, in turn, by an additional digital low-pass filter (pw) whose upper cutoff frequency is equal to that of the low-pass filter (pa, pb, pf), and whose output is coupled through third and fourth constant multipliers (m3, m4) to the subtrahend inputs of a fifth comparator (k5) and a sixth comparator (k6), respectively, which have their

minuend inputs connected to the output of the first multiple switch (s1);

- the minuend-greater-than-subtrahend output of the fifth comparator (k5) and the minuend-smaller-than-subtrahend output of the sixth comparator (k6) are each connected to one of the two inputs of a first AND gate (u1);

- the four inputs of the second AND gate (u2) are connected, respectively, to the minuend-greater-than-subtrahend outputs of the first comparator (k1), the second comparator (k2), and the fourth comparator (k4), and to the output of the first AND gate (u1), and

- the first maximum output (mx1) of the multiple comparator (vk) is connected to the first parallel input of a multiple AND gate (vu) whose output is the regional-tone-signal output (sa) of the integrated circuit, and the output of the second AND gate (u2) is connected to all terminals of the second parallel input of the multiple AND gate (vu).

2. A decoding circuit as claimed in claim 1, characterized in that the analog low-pass filter (af) is replaced with a digital low-pass filter (df) which has its output coupled directly to the input of the digital bandpass filter (bp), while the input of the analog-to-digital converter (aw), which is a sigma-delta converter, is connected directly to the output of the mixer (ms).

3. A decoding circuit as claimed in claim 1 or 2, characterized in that the mixer (ms) consists of an electronic switch (s) and an inverting unity-gain amplifier (v1) having its output coupled to one of the two inputs of the switch (s) whose other input, together with the input of the unity-gain amplifier (v1), is presented with the demodulated broadcast signal (ds), and whose control input is fed with the local-oscillator signal (fm), which is a square-wave signal.

Revendications

1. Circuit intégré pour décoder des signaux d'identification de région de signaux d'information de trafic dont le fréquence, dite fréquence réégionale, est l'information identifiant la région, les signaux d'identification de région étant contenus dans un signal de radiodiffusion reçu et déjà démodulé (ds) par un récepteur radio de type courant, sous la forme d'un signal porteur modulé en amplitude, caractérisé en ce que:

- le signal de radiodiffusion démodulé (ds) est introduit dans un mélangeur (ms), dont la fréquence du signal du mélangeur (Fm) est supérieure à la fréquence régionale la plus élevée,

- la sortie du mélangeur (ms) est reliée à l'entrée d'un convertisseur analogique-numérique (aw) par l'intermédiaire d'un filtre passe-bas analogique (af) dont la fréquence de coupure est au plus égale à la moitié de la fréquence d'échantillonnage (Fa) du convertisseur analogique-numérique (aw),

- la sortie du convertisseur analogique-

numérique (aw) est reliée à l'entrée d'un filtre passe-bande numérique (bc) dont la fréquence centrale (Fc) est égale à la différence entre la fréquence de la porteuse (Ft) et la fréquence du signal du mélangeur (Fm), et à la première entrée d'un multiplicateur (m) dont la seconde entrée est reliée à la sortie d'un circuit d'écretage (Kl) dont l'entrée est reliée à la sortie du filtre passe-bande numérique (bp), et qui écrête des signaux d'entrée positifs et négatifs à des valeurs maximales positives et négatives, respectivement, qui sont déterminées par le nombre de chiffres desdits signaux d'entrée,

- la sortie du multiplicateur (m) conduit à plusieurs trajets (a,b, f), un trajet pour chaque fréquence régionale, dont chacun comprend un filtre numérique accordé (ra, rh, rf) suivi par un étage de formation de la valeur absolue (ba, bb, bf) et un filtre passe-bas (pa, pb, pf) dont la fréquence de coupure est inférieure à deux fois la fréquence régionale la plus faible,

- l'une des sorties de chacun des filtres passe-bas (pa, pb, pf) est reliée à l'une des entrées d'un comparateur multiple (vk) dont les première et seconde sorties de maximum (mx1, mx2) sont reliées, respectivement, aux entrées d'un premier commutateur électronique multiple (s1) et d'un second commutateur électronique multiple (s2),

- l'une de chacune des entrées desdits premier et second commutateurs électroniques multiples (s1, s2) est reliée à l'une des sorties de chacun des filtres passe-bas (pa, pb, pf),

- le premier commutateur multiple (s1) est relié à l'entrée de première valeur maximale par la première sortie de maximum (mx1), et le second commutateur multiple (s2) est relié à l'entrée de seconde valeur maximale par la seconde sortie de maximum (mx2),

- la sortie du premier commutateur multiple (s1) est reliée, par l'intermédiaire d'un premier multiplicateur constant (m1), à l'entrée du diminuende d'un premier comparateur k1, dont l'entrée du terme soustractif est reliée à la sortie d'un additionneur multiple (ad) dont l'une de chacune de ses entrées est reliée à la sortie de l'un de chacun des filtres passe-bas (pa, pb, pf), et par l'intermédiaire d'un second multiplicateur constant (m2), à l'entrée du diminuende d'un-second comparateur (k2) dont l'entrée du terme soustractif est reliée à la sortie du second commutateur multiple (s2),

- la première sortie de maximum (mx1) du comparateur multiple (vk) est reliée à un élément de retard (vg) qui alimente l'entrée du diminuende d'un troisième comparateur (k3) dont l'autre entrée est reliée à ladite première sortie de maximum (mx1),

- la sortie "diminuende égal au terme soustractif" du troisième comparateur (k3) est reliée, par l'intermédiaire d'un inverseur (it) à l'entrée de remise à zéro (er) d'un compteur (z) dont l'entrée de comptage est alimentée par un signal d'horloge (t) et dont la sortie est reliée à l'entrée du diminuende d'un quatrième comparateur (k4) dont l'entrée du terme

soustractif est alimentée par une constante (k) servant de valeur de seuil,

- le filtre passe-bande numérique (bp) est suivi d'un étage supplémentaire de formation de la valeur absolue (bw) lui-même suivi d'un autre filtre passe-bas numérique (pw) dont la fréquence de coupure est égale à celle desdits filtres passe-bas (pa, pb, pf), et dont la sortie est reliée, par l'intermédiaire d'un troisième et d'un quatrième multiplicateurs constants (m3, m4), aux entrées du terme soustractif d'un cinquième comparateur (k5), et respectivement, d'un sixième comparateur (k6), dont les entrées du diminuende sont reliées à la sortie du premier commutateur multiple (s1),
 - la sortie "diminuende plus grand que le terme soustractif" du cinquième comparateur (k5) et la sortie "diminuende plus petit que le terme soustractif" du sixième comparateur (k6) sont chacune reliée à l'une des deux entrées d'une première porte ET (u1),
 - les quatre entrées d'une seconde porte ET (u2) sont chacune respectivement reliée, aux sorties "diminuende plus grand que le terme soustractif" du premier comparateur (k1), du second comparateur (k2) et du quatrième comparateur, et à la sortie de ladite première porte ET (u1), et en ce que
 - la première sortie de maximum (mx1) du comparateur multiple (vk) est reliée à la première entrée parallèle d'une porte ET multiple (vu) dont la sortie est la sortie de fréquence régionale (sa) du circuit intégré, et la sortie de ladite seconde porte ET (u2) est reliée à toutes les bornes de la seconde entrée parallèle de la porte ET multiple (vu).

2. Circuit de décodage selon la revendication 1 modifié en ce que, le filtre passe-bas analogique (af) est remplacé par un filtre passe-bas numérique (df), en ce que l'entrée du convertisseur analogique-numérique (aw), qui est un convertisseur sigma-delta, est reliée directement à la sortie du mélangeur (ms), et l'entrée du filtre passe-bande numérique (bp) est reliée directement à la sortie du filtre passe-bande analogique-numérique (aw).

3. Circuit de décodage selon la revendication 1 ou 2, caractérisé en ce que le mélangeur (ms) est constitué d'un commutateur électronique (s) et d'un amplificateur à gain unitaire inversé, dont la sortie est reliée à l'une des entrées du commutateur (s), et dont l'entrée, ainsi que l'autre entrée du commutateur, est alimentée avec le signal de radiodiffusion démodulé (ds), et dont l'entrée de commande est alimentée par le signal de mélange (fm) qui est un signal carré.

5

10

15

20

25

30

35

40

45

50

55

60

65

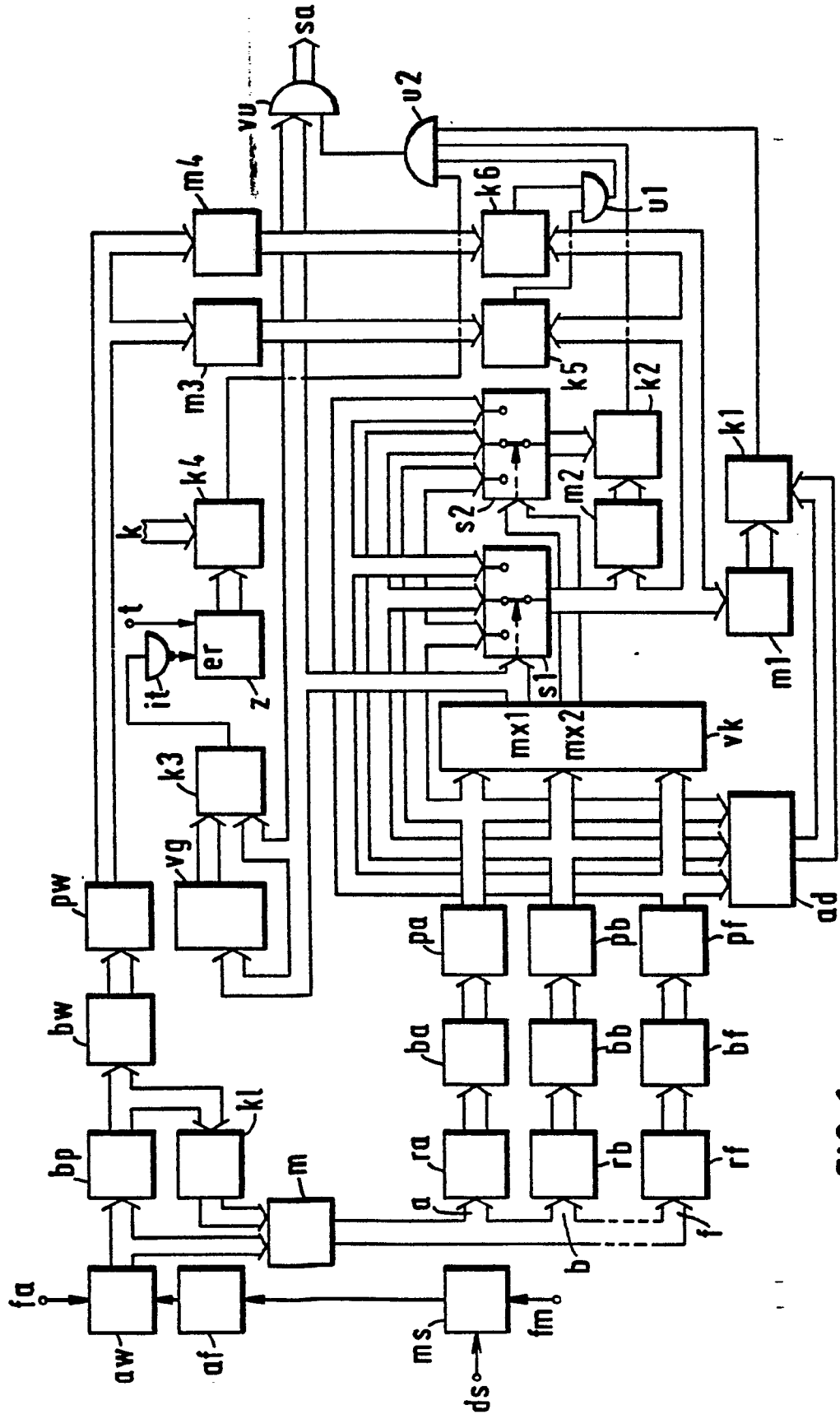


FIG.1

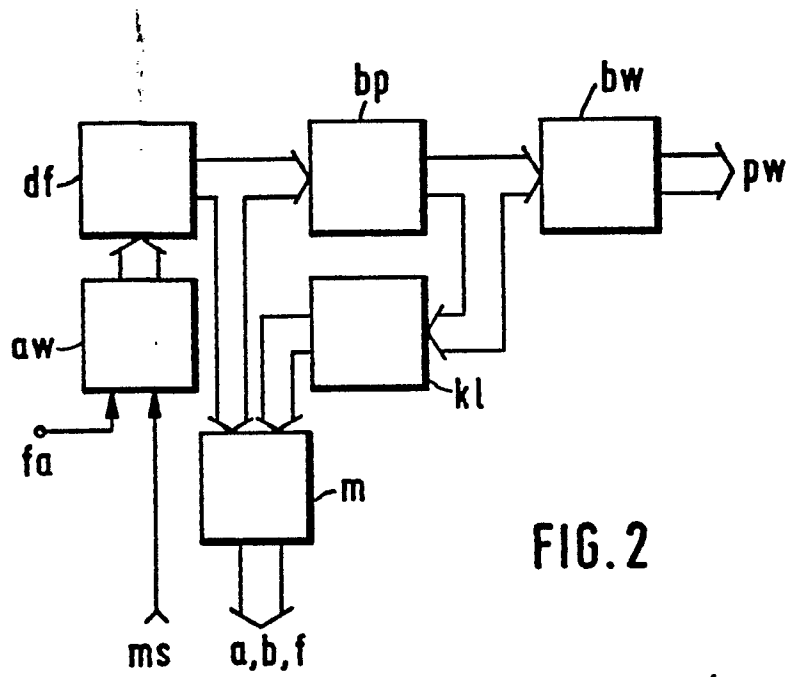


FIG. 2

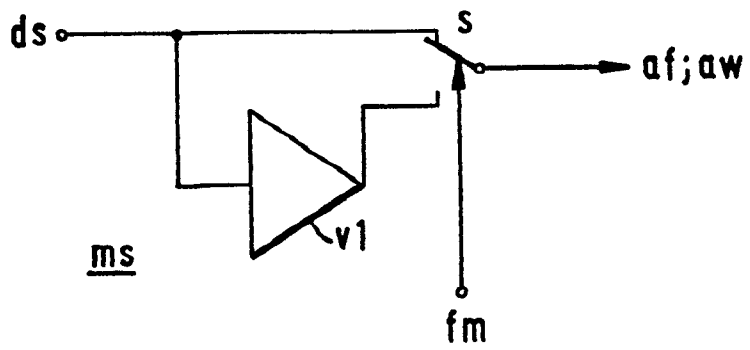


FIG. 3