

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-509472
(P2004-509472A)

(43) 公表日 平成16年3月25日(2004.3.25)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/268	HO 1 L 21/268	F
HO 1 L 21/265	HO 1 L 21/268	J
	HO 1 L 21/265	6 O 2 C

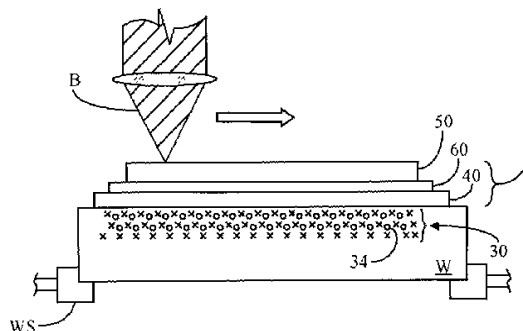
審査請求 未請求 予備審査請求 有 (全 35 頁)

<p>(21) 出願番号 特願2002-527866 (P2002-527866)</p> <p>(86) (22) 出願日 平成13年9月7日 (2001.9.7)</p> <p>(85) 翻訳文提出日 平成15年3月11日 (2003.3.11)</p> <p>(86) 国際出願番号 PCT/US2001/042075</p> <p>(87) 国際公開番号 W02002/023279</p> <p>(87) 国際公開日 平成14年3月21日 (2002.3.21)</p> <p>(31) 優先権主張番号 09/659,094</p> <p>(32) 優先日 平成12年9月11日 (2000.9.11)</p> <p>(33) 優先権主張国 米国 (US)</p> <p>(81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR) , JP</p>	<p>(71) 出願人 502400304 ウルトラテック インク アメリカ合衆国 カリフォルニア州 95 134 サンノゼ 3050 ザンカーロ ード</p> <p>(74) 代理人 100090387 弁理士 布施 行夫</p> <p>(74) 代理人 100090479 弁理士 井上 一</p> <p>(74) 代理人 100090398 弁理士 大淵 美千栄</p> <p>(72) 発明者 ハウリュック アンドリュウ エム アメリカ合衆国 カリフォルニア州 94 024 ロスアルトスヒルズ 10645 エロイズサークル</p> <p style="text-align: right;">最終頁に続く</p>
--	---

(54) 【発明の名称】 レーザ熱加工用の熱誘導位相切替

(57) 【要約】

熱誘導位相切替層60を使用して、走査ビーム(B)の形状であってもよい放射パルス10の暴露から、ワークピース(W)の加工領域30に伝わる熱の量を制御する方法、装置および、システム。本発明の装置は、シリコンウェハなどのワークピースの上に堆積された吸収層50を有するフィルムスタック6である。吸収層の一部は加工領域をカバーする。吸収層は放射を吸収し、吸収された放射を熱に変換する。位相切替層は吸収層の上または下に堆積される。位相切替層は、1層または複数層の薄膜層を含み、断熱層と位相遷移層を含んでいてもよい。これらは密接に隣接しているため、位相切替層のうち加工領域をカバーする部分は、加工領域の温度に近い温度を有する。位相切替層の位相は、位相遷移温度(T_p)で第1の位相(例えば固体)から第2の位相(例えば液体または気体)に変化する。この位相変化の間、位相切替層は熱を吸収するが、大幅に温度を変えることはない。このため、吸収層と加工領域は位相変化層に近いため、吸収層の温度と加工領域の温度とが限定される。



【特許請求の範囲】

【請求項 1】

ワークピースの加工領域において、放射パルスに暴露されることから生じる最高温度を制御する熱誘導位相切替装置であって、

a) 前記ワークピースの上に形成され、一部が前記加工領域をカバーし、放射線を吸収し、前記吸収した放射線を熱に変換する吸収層と、

b) 前記吸収層に隣接して形成されるか密接して形成された位相切替層であって、前記位相切替層のうち前記加工領域をカバーする一部が、前記加工領域の望ましい最高温度に相当する位相変化温度を有し、位相遷移温度で位相が第 1 の位相から第 2 の位相に変化することで、前記加工領域における温度の上昇を限定する位相切替層とを備える、位相切替装置。

10

【請求項 2】

前記加工領域は活性化温度を有し、前記ワークピースは最高許容温度を有し、前記位相遷移温度は、前記加工領域温度が前記活性化温度に達するが、前記ワークピースの最高許容温度を超えない温度である、請求項 1 に記載の装置。

【請求項 3】

前記吸収層と前記ワークピースの間に配置されるか、または、前記位相切替層と前記ワークピースとの間に配置される剥離可能層をさらに含む、請求項 1 に記載の装置。

【請求項 4】

前記加工領域はトランジスタのソース領域およびドレイン領域を含む、請求項 1 に記載の装置。

20

【請求項 5】

前記加工領域はドーピングされたアモルファスシリコンを含む、請求項 1 に記載の装置。

【請求項 6】

前記加工領域はドーピングされたアモルファスシリコンを含む、請求項 2 に記載の装置。

【請求項 7】

前記活性化温度は 1100 と 1410 の間である、請求項 6 に記載の装置。

【請求項 8】

前記吸収層は、チタン、タングステン、タンタル、酸化珪素、窒化珪素、窒化チタンのうち少なくとも 1 つを含む、請求項 1 に記載の装置。

30

【請求項 9】

前記位相切替層は、前記吸収層に隣接し、二酸化珪素からなる第 1 の層と、前記二酸化珪素からなる層に隣接し、ポリイミドまたはアルミニウム砒素からなる第 2 の層とを含む、請求項 1 に記載の装置。

【請求項 10】

前記位相切替層は、ポリイミドまたはアルミニウム砒素を含む、請求項 1 に記載の装置。

【請求項 11】

前記二酸化珪素からなる第 1 の層は、10 と 250 nm との間の厚さを有し、前記第 2 の層は、10 nm と 20 ミクロンとの間の厚さを有するポリイミドである、請求項 9 に記載の装置。

40

【請求項 12】

前記二酸化珪素からなる第 1 の層は、10 nm と 250 nm との間の厚さを有し、前記第 2 の層は、10 nm と 20 ミクロンとの間の厚さを有するアルミニウム砒素である、請求項 9 に記載の装置。

【請求項 13】

前記位相切替層の前記第 1 の位相は固体であり、前記第 2 の位相は気体または液体である、請求項 1 に記載の装置。

【請求項 14】

前記位相遷移温度は前記活性化温度より高い、請求項 2 に記載の装置。

【請求項 15】

50

前記位相遷移温度は前記活性化温度より低い、請求項 2 に記載の装置。

【請求項 16】

ワークピースの加工領域で発生する最高温度を限定するシステムであって、

- a) 基板に渡って走査できる放射のパルスビームを提供することができる放射源と、
 - b) 光源に隣接して配置され、前記ワークピースを支持するワークピースの支持部材と、
 - c) 前記ワークピース上に配置された請求項 1 に記載の熱誘導位相切替装置と、
- を備える、システム。

【請求項 17】

前記放射のビームは、ラインまたはスポットを形成する、請求項 16 に記載のシステム。

【請求項 18】

前記放射源は、300nmと1100nmとの間の波長のレーザ放射を使用する、請求項 16 に記載の装置。

【請求項 19】

ワークピースの加工領域に伝わる熱の量を制御する方法であって、前記加工領域は活性化温度を有し、

- a) 加工領域の上に吸収層を堆積させるステップと、
 - b) 前記活性化温度に相当する位相遷移温度で第 1 の位相から第 2 の位相に位相を切り替えることができる位相切替層を、前記吸収層に近接して堆積させるステップと、
 - c) 前記吸収層に照射して、前記吸収層および近接する前記位相切替層を加熱するステップと、
 - d) 前記位相切替層が前記第 1 の位相から前記第 2 の位相に切り替わるまで、前記吸収層からの熱で前記加工領域を加熱して、前記吸収層に入射する放射線の吸収による温度の上昇を限定するステップと、
- を含む方法。

【請求項 20】

前記加工領域はドーピングされたアモルファス領域であり、前記ステップ d) は、前記加工領域を前記活性化温度に加熱することを含む、請求項 19 に記載の方法。

【請求項 21】

前記位相遷移温度は前記活性化温度より高い、請求項 19 に記載の方法。

【請求項 22】

前記位相遷移温度は前記活性化温度より低く、前記位相切替層は前記吸収層の上にある、請求項 19 に記載の方法。

【請求項 23】

前記ワークピースは、融解温度を有する結晶シリコンウェハであり、前記加工領域はドーピングされたアモルファスシリコンであり、

前記ステップ d) は、前記加工領域を、前記活性化温度であるが前記結晶シリコンの融解温度よりも低い温度に加熱することを含む、請求項 19 に記載の方法。

【請求項 24】

前記照射ステップ c) はパルスレーザ光を使用して行われる、請求項 19 に記載の方法。

【請求項 25】

前記照射ステップ c) は、

- i) 狭いラインの放射線を形成し、
- ii) 前記基板に渡って前記放射ラインを走査することによって行われる、請求項 19 に記載の方法。

【請求項 26】

前記ステップ b) は、前記吸収層の上に断熱層を形成すること、および前記断熱層の上に位相遷移層を形成することを含む、請求項 19 に記載の方法。

【請求項 27】

前記ステップ b) は、前記吸収層の下に位相遷移層を形成することを含む、請求項 19 に記載の方法。

10

20

30

40

50

【請求項 28】

前記断熱層は二酸化珪素であり、前記位相遷移層はポリイミドおよびアルミニウム砒素のうち1つである、請求項 26 に記載の方法。

【請求項 29】

前記位相遷移層はポリイミドおよびアルミニウム砒素のうち1つである、請求項 26 に記載の方法。

【請求項 30】

前記加工領域が所与の放射エネルギーのパルスに関して望ましい温度に達すると、前記位相遷移層における位相遷移をトリガするように、前記断熱層の厚さを調節するステップをさらに含む、請求項 26 に記載の方法。

10

【請求項 31】

前記ステップ b) は、前記吸収層の上に透過性位相シフト層を設置することと、基板上の層のスタックからの放射エネルギーの反射を最少にする厚さの前記透過性位相シフト層を選択することとを含む、請求項 19 に記載の方法。

【請求項 32】

前記位相シフト層の前記第 1 の位相は固体であり、前記第 2 の位相は液体または気体である、請求項 19 に記載の方法。

【請求項 33】

半導体ウェハから半導体デバイスを形成する方法であって、

a) 活性化温度を有するドーピングされたアモルファスシリコンを含む加工領域を、半導体ウェハ内に形成するステップと、

20

b) 加工領域上に吸収層を堆積させるステップと、

c) 前記活性化温度に相当する位相遷移温度で、第 1 の位相から第 2 の位相反射状態に切り替えることができる位相切替層を、前記吸収層の上に堆積させるステップと、

d) 前記位相切替層を介して前記吸収層に照射して、前記吸収層および前記位相切替層を加熱するステップと、

e) 前記加工領域が前記活性化温度に達し、前記位相切替層が位相の変化を開始するまで、前記吸収層からの熱で前記加工領域を加熱して、前記基板の最高温度を限定するステップと、

f) 前記吸収層および前記位相切替層を除去するステップと、

30

を含む方法。

【請求項 34】

前記ステップ c) は、前記吸収層の上に断熱層を形成すること、および前記断熱層の上に位相遷移層を形成することを含む、請求項 33 に記載の方法。

【請求項 35】

前記ステップ c) は、2 層以上の断熱層を形成することを含む、請求項 33 に記載の方法。

【請求項 36】

前記ステップ d) は、前記位相シフト層の第 1 の位相が固体であり、前記位相シフト層の第 2 の位相が液体または気体であるように前記位相シフト層を設計するステップを含む、請求項 33 に記載の方法。

40

【請求項 37】

半導体ウェハから半導体デバイスを形成する方法であって、

a) 活性化温度を有するドーピングされたアモルファスシリコンを含む加工領域を、半導体ウェハ内に形成するステップと、

b) 前記活性化温度に相当する位相遷移温度で第 1 の位相から第 2 の位相反射状態に切り替えることのできる位相切替層を、前記ドーピングされたアモルファスシリコン層の上に堆積させるステップと、

c) 前記加工領域上に吸収層を堆積させるステップと、

d) 前記位相切替層を介して前記吸収層を照射して、前記吸収層および前記位相切替層を

50

加熱するステップと、

e) 前記加工領域が前記活性化温度に達し前記位相切替層が位相を変え始めるまで、前記位相切替層からの熱で前記加工領域を加熱して、基板の最高温度を限定するステップと、

f) 前記吸収層および前記位相切替層を除去するステップと、

を含む方法。

【請求項38】

前記第1の位相は固体であり、前記第2の位相は液体または気体である、請求項37に記載の方法。

【発明の詳細な説明】

(技術分野)

本発明はレーザ熱加工に関し、特に、短パルスの放射エネルギーを使用して、加工対象であるワークピースの最高温度を精密に制御する方法および装置に関する。

【0001】

(背景技術)

レーザ熱加工(LTP)は、半導体デバイスの製造において、半導体ウェハなどのワークピースを加工するために使用される。このような加工によって、非常に低いシート抵抗および非常に浅い接合部を有するトランジスタを製造することが可能になり、この結果、半導体デバイス(例えば、集積回路または「IC」)の性能がより向上する(例えば、速度が速くなる)。

【0002】

半導体製造に応用されるLTP方法のうち1つの方法では、短パルスのレーザを使用して、トランジスタのソースおよびドレインを熱でアニールし、注入されたドーパントを活性化させる。条件が適切であれば、固体融解限度より上の活性化されたドーパントレベルを有するソース接合部およびドレイン接合部を作成することができる。これによって、速度が速く駆動電流が高いトランジスタが作成される。この技術は、「Fabrication Method for Reduced Dimension FET Devices」という名称の米国特許第5,908,307号に開示され、この特許は参照により本明細書に組み込まれている。

【0003】

単一トランジスタにLTPを実行することで性能の向上を達成することが、ICに有利であると期待されている。残念なことに、LTPを、単一のトランジスタの製造から完全な集積回路の製造へ拡大することは困難である。LTPプロセスの有する加工枠は非常に狭く(すなわち、損傷を起こさずにトランジスタを活性化させるレーザのエネルギーの範囲が狭い)、各トランジスタに送る(そして各トランジスタが吸収する)絶対エネルギーには、相当な均一性、安定性、再現性が必要である。

【0004】

最近のICは種々のデバイス構成と材料を含むので、含まれる熱質量も異なる。各トランジスタにおいて均一な性能を達成するためには、すべてのトランジスタを本質的に同じ温度に熱する(アニールする)ことが必要である。このことによって、回路内の各トランジスタに送られるレーザエネルギーの許容範囲に制限が生じる。この結果、2つの問題が生じる。第1の問題は、均一な加熱を達成するために、十分に均一な暴露(空間的・時間的に)を行なうことが困難であることである。第2の問題は、異なるデバイス構成の熱質量が、ドーパされた領域(接合部)の局所温度に影響を与えるので、デバイス構成が異なると、必要な入射レーザエネルギーの量が異なることである。

【0005】

これら2つの問題のうち、より困難なのは、局所トランジスタ密度の影響である。今日のほとんどの集積回路は、回路全体にわたって種々のトランジスタ密度を有する。このばらつきは、LTPプロセスに2つの影響を与える。第1の影響は、局所反射率が空間的に異なるので、均一に照射しても局所的に吸収される熱の量が異なるということである。第2の影響は、局所的な熱質量が空間的に異なるということである。熱質量が大きくなると、

10

20

30

40

50

必要なアニール温度に達するためにより多くのレーザエネルギーを吸収しなければならない。この結果、局所的な熱質量の変化によって、アニールングを適切に行うために必要な、吸収されるレーザエネルギーの量を変えることが必要となる。完全に均一に照射しても、単一のICまたは別のIC上の異なるトランジスタの間で、大幅な温度のばらつきが生じる可能性がある。このため、単一のIC全体および製造ライン全体を通じて、トランジスタの性能に好ましくないばらつきが生じることになる。

【0006】

原理的には、より高い密度領域ではレーザのフルエンスをより増大させた暴露を調節することによって、デバイス全体でトランジスタ密度の高い場所を補償することが可能である。しかしながら、このためには、加工対象のデバイス各々について、デバイス全体にわたって正確な回路レイアウトを知る必要があり、かつ、回路層に適合させるために、暴露の空間的な放射照度の分布を正確に調節することが必要となる。この努力が達成できたとしても、複雑な装置と多大な費用が必要となるであろう。

10

【0007】

(発明の開示)

本発明はレーザ熱加工に関し、特に、短パルスの放射エネルギーを用いて加工されるワークピースの最高温度を精密に制御する方法および装置に関する。

【0008】

本発明は、シリコンウェハなどのワークピースに伝えられる熱の量を制御する熱誘導位相「切替」を導入することによって、放射を使用して加工されるワークピースの加熱が不均一であるという問題を解決する。この位相切替層は、下にあるワークピースの1つまたは複数の加工領域が既定の温度に達すると、切替が位相を変えて余計なエネルギーを吸収するように設計された材料からなる1つまたは複数の層を含む。この既定の温度は例えば、加工領域が活性化される温度であってもよい。例えば、下にある1つまたは複数の領域は、トランジスタのソース領域およびドレイン領域、または接合部のドーピングされる領域であってもよく、また、既定の温度はこの領域の活性化温度であってもよい。臨界切替温度に達すると、加工領域の上にある位相切替層の部分が位相を変える。位相を変えることによって位相切替層は温度を変えずに熱を吸収することができる。これにより、下にある加工領域の温度が最高温度にまでさらに上昇することが限定される。

20

【0009】

本発明を、半導体の製造と、トランジスタを有するICデバイスの形成に適用する時、既定の温度は、トランジスタのソース・ドレイン領域内のアモルファスシリコンが1100~1410の間の温度に達する温度となる。この温度の範囲では、アモルファスシリコンは融解し、ドーパントが活性化する。これらの温度は十分に低いので、下にある結晶シリコン基板は融解せず、このことはデバイスの性能から見ると好ましい。本発明の位相切替は、ウェハの局所領域が実質的に既定の温度を超えることを防ぐ。これにより、他の方法では、放射エネルギーパルスのマグニチュードの変動または形状のばらつきから生じるか、または、放射ビームの空間的な均一性が欠如していることから生じるか、トランジスタ密度が異なることに起因して場所ごとに熱質量にばらつきがあることから生じる可能性のある、種々の望ましくない影響が除去される。

30

40

【0010】

(発明を実施するための最良の形態)

本発明はレーザ熱加工に関し、特に、短パルスの放射エネルギーを用いて加工されるワークピースの最高温度を精密に制御する方法および装置に関する。

【0011】

図1から図3に、接合部またはトランジスタなどの半導体デバイスを製造するプロセスの一部として、半導体基板(ワークピース)を加工することに関する位相切替の基本的な概念を示す。図1では、パルス放射源Lからの放射エネルギー10(光子、電子、イオン、中性原子など)を使用して加工されるワークピースとして、シリコン半導体ウェハW上に形成されたフィルムスタック6が示されている。図1に示されるように、ウェハWは、放

50

射源 L、および、フィルムスタック 6、ウェハ W が軸 A に沿って配置されるように、ウェハ支持部材 W S によって支持される。放射 10 は、300 と 1100 nm との間の波長を有するパルスレーザー光であってもよい。放射源 L のための適切なレーザー光源は、1064 nm で動作する Y A G レーザ、532 nm で動作する周波数二重 (frequency-doubled) Y A G レーザ、および 700 nm と 800 nm の間で動作するアレクサンドライトレーザー (Alexandrite laser) を含む。適切な放射パルスの長さは 1 ナノ秒から 1 マイクロ秒の範囲であり、適切なエネルギーレベルは 0.1 J/cm^2 から 10 J/cm^2 の範囲である。

【0012】

ウェハ W は結晶シリコン領域 20 を含み、この結晶シリコン領域 20 中に、ドーパント 34 を有するドーピングされたアモルファスシリコン領域 30 が形成される。説明のために、ドーピングされたアモルファス領域 30 は単一のドーピングされた領域と考える。しかしながら、ドーピングされたアモルファス領域 30 は、本明細書では「加工領域」と称される、加工される領域の 1 つの例を示す。例えば、ウェハ W は複数のドーピングされたアモルファス領域 30 を含んでいてもよいし、または、それぞれトランジスタのソース領域とドレイン領域としての機能を有する、正にドーピングされた 1 つの領域と負にドーピングされた 1 つの領域とを含んでいてもよい。ウェハ W は最高許容温度を有し、最高許容温度はウェハ W の融解温度 T_M であってもよいし、または、温度がこれ以上に上昇するとウェハの機能がなくなるかまたはドーピングされた領域で好ましくない拡散が生じる温度など、別の温度であってもよい。

【0013】

続いて図 1 を参照すると、ドーピングされたアモルファス領域 30 は、Si または Ge のイオンを、ウェハ W において数オングストロームから約 1000 オングストロームの範囲の目標の深さに注入することによって形成することができる。この注入プロセスによって、結晶領域 20 の基板結晶構造は、イオンが注入される領域がアモルファスになるところまで不規則になる。注入されるイオン種は、Si、Ge、Ar、As、P、Xe、Sb、および In であってもよい。アモルファス化に用いるドーパントの注入は、カリフォルニア州サンタクララのアプライドマテリアル社から市販されている、9500 XR ION IMPLANTER (商標) などの既知の装置で行うことができる。

【0014】

ついで、イオン注入機から、p 型のドーパントイオン (例えば、ホウ素、アルミニウム、ガリウム、ベリリウム、マグネシウム、亜鉛) または、n 型のドーパントイオン (例えば、リン、砒素、アンチモン、ビスマス、セレン、テルル) を使用して、第 2 のドーパントイオン注入を行う。イオンは所定のエネルギーレベルに加速され (例えば、200 eV から 40 KeV)、予めアモルファス化された領域に所与の照射量で注入され (例えば、約 $1 \times 10^{14} \text{ atoms/cm}^2$ から $1 \times 10^{16} \text{ atoms/cm}^2$)、これにより、ドーピングされたアモルファス領域 30 が形成される。実際には典型的には、ウェハ W 内でのアモルファス領域のドーパントの濃度は深さに応じて段階的に異なる。本実施形態の第 1 のステップと第 2 のステップは相互に交換しても同じ効果が得られ、または、ドーパント注入が結晶領域 20 をアモルファス化するのであれば単一のステップで実行してもよい。

【0015】

アモルファスシリコン領域 30 の上には吸収層 50 が堆積され、吸収層 50 は入射放射線を吸収し、吸収した前記放射線を熱に変換することができる材料を含む。吸収層 50 は、高温、すなわち、結晶シリコン融解温度である 1410 を超える温度に耐えられなければならない。吸収層 50 を構成する材料はまた、下の層または領域に影響を与えずに容易に除去できるものでなければならない。吸収層 50 の役割の 1 つは、加工の間ウェハ W の中かまたは上にあるデバイスの物理的な構造を維持することである。吸収層 50 の材料の例は、スパッタリングまたは CVD 法によって、100 オングストロームと 5000 オングストロームの間の厚さに堆積されたタンタル (Ta) である。吸収層 50 の他の好まし

10

20

30

40

50

い材料は、チタン (Ti)、窒化チタン (TiN)、窒化タンタル (TaN)、窒化タングステン (WN)、二酸化珪素、窒化珪素、またはこれらの組み合わせを含む。二酸化珪素層または窒化珪素層は、吸収層材料 (すなわち金属と半導体の間) によるウェハWの汚染を防ぐため、または、吸収層とウェハ表面との間の温度低下を提供するために、吸収層の一部として堆積させる必要がある。

【0016】

オプションとして、薄くて剥離可能な層40を、吸収層50とアモルファスシリコン領域30との間に挟んで、LTPを行った後に吸収層を容易に剥がすことができるようにすることもできる。剥離層40の材料の例としては、二酸化珪素と窒化珪素が含まれ、これらはスパッタリングまたはCVD法で堆積させることができる。

10

【0017】

さらにフィルムスタック6には、吸収層50の上に形成された位相切替層60が含まれる。層60の性質は、位相遷移温度 T_p において、層60の位相が第1の位相 (例えば固体) から第2の位相 (例えば液体または気体) に変化するような性質である。この位相遷移温度 T_p においては、位相切替層60の温度をさらに大幅に上げることなく多量の熱が吸収される。

【0018】

位相切替層60は、単一のフィルム層を含んでもよいし、または、多数のフィルム層を含んでいてもよい (すなわち、1層または多層のフィルム層)。図2を参照すると、1実施形態では、位相切替層60は、第1の断熱層62と、第1の断熱層の上に形成された第2の位相遷移層64とを含む。断熱層62の好ましい材料には、二酸化珪素および窒化珪素が含まれ、位相遷移層64の好ましい材料には、ポリイミドとアルミニウム砒素が含まれる。

20

【0019】

本発明の好ましい実施形態では、層60は約10nmから20ミクロン (「 μm 」) の範囲の厚さを有する。

【0020】

(動作の方法)

本発明の動作は次の通りである。図1と図2を参照すると、ウェハWの加工は、ドーピングされたアモルファス領域30を活性化するために、放射パルス10を軸Aに沿ってフィルムスタック6に向けることによって行われる。この例では、位相切替層60はまず、実質的に透過性であり、入射吸収層50の上にある。したがって、レーザ放射10のほとんどは層60を通過し、吸収層50に入射する。放射10が層50に吸収されることにより、この層を熱する。吸収層50が加熱される結果、ドーピングされたアモルファス領域30および位相切替層60も加熱される。ドーピングされたアモルファス領域30はこのようにして、活性化温度 T_A (ドーピングされたシリコンでは、1100 と1410の間) にまで加熱され、位相切替層60も位相遷移温度 T_p まで加熱される。活性化温度 T_A (または活性化温度の範囲) になると、ドーパント34はラティスサイト (lattice sites) に組み込まれ、「活性化」される。しかしながら、吸収層50に入射するレーザ放射が多すぎると、位相切替層60がなければ、アモルファス層30は融解するまで加熱されてしまう。この時、本発明では、上記のように、ワークピース (ウェハW) がワークピース (ウェハ) の最高許容温度に達することまたはこの最高許容温度を超えることを防ぐことができる。ワークピース (ウェハ) の最高許容温度、またはこれ以上の温度は、ワークピースに望ましくない影響を与える (例えば融解する)。融解すると、ドーピングされたアモルファス領域30がトランジスタのソース領域またはドレイン領域を構成する場合、ドーピングされたアモルファス領域30の性質に悪影響を与える可能性があるため、融解は好ましくない。融解はまた、トランジスタのゲート領域 (図示せず) をも損傷する可能性がある。

30

40

【0021】

次に6を参照すると、狭いビームの放射B (図3を参照のこと) でワークピースW全体を

50

走査し、基板上の任意のポイント（またはライン）で、短いパルスの放射を生成する。ビーム B の焦点を絞って、走査ビームに適したポイント放射、ライン放射、または狭い領域の放射を形成することができる。図 3 では、吸収層 50 はフィルムスタック 6 の上にあり、位相変化層 60 は吸収層とオプションの層 40 の間に挟まれている。この構成では、位相変化層 60 は吸収層の下にあるので、位相変化層は放射エネルギーに対して透過的である必要はない。場合によっては、位相変化層 60 が、図 1 および図 2 のビーム B または放射 10 の入射放射線に対して十分に不透過である場合、吸収層 50 を使用する必要がない場合もある。例えば、入射放射線 10（またはビーム B）が電子、イオン、または中性原子の粒子からなる場合は、どの場合でも完全に吸収されるので、吸収層はなくてもよい。位相変化層 60 の位置にかかわらず、基本的な原理は同じである。位相変化層 60 の最高温度は、入射放射線パルスのエネルギーの幅広い変動に渡って、位相変化の潜熱によって限定される。位相変化の温度はまた、ワークピースの最高温度も限定する。

10

【0022】

図 4 は、上記のアニーリング加工の間のドーピングされたアモルファス領域 30 の温度 T_{30} を示す。温度 T_{30} は、放射エネルギーに暴露されている間、時間の関数として上昇する。限定がなければ、点線 D に示されるように、結晶シリコンについては、温度 T_{30} は融点 $T_M = 1410$ まで上昇する。しかしながら、位相切替層 60 が存在すると（図 2 を参照）、位相遷移層 64 の温度 T_{64} は、領域 30 の温度 T_{30} とともに上昇する。したがって、層 62 および / または層 40 の厚さと熱特性を調節することによって、位相遷移層 64 が温度 T_{30} より高いまたは低い温度になるように設計することができる。図 4 は、層 62 の熱伝導性が層 40 の熱伝導性より大きいいため、位相遷移層 64 の温度 T_{64} が加工領域 30 の温度 T_{30} よりも高い場合を示す。

20

【0023】

上記のように、位相切替層が 2 つの層 62, 64 を含む場合、位相遷移温度 T_p を調節することには、以下に詳述する方法にて層 62 の厚さを調節することが含まれる場合がある。図 4 の T_{64} カーブが突然平らになることで示されるように、位相遷移層 64 が位相遷移温度 T_p に達すると、この層は加熱することなくエネルギーを吸収する。位相遷移層 64 がポリイミドで作成されている場合、固体層（すなわち第 1 の位相）から気体層（すなわち第 2 の位相）への遷移は、 $T_p = 1480$ で生じる。したがって、層 30 の温度 T_{30} に対する層 64 の温度 T_{64} のタイミングまたはトラッキングは、層 62 および層 40 の熱伝導性と厚さを調節することによって行われる。位相切替層 60 を適切に設計することで、層 60 が十分なエネルギーを吸収して、加工領域 30 が既定の温度（例えば、融解温度 T_M ）を超えることを防ぐ。

30

【0024】

（位相切替層の設計）

位相切替層 60 は次のように設計する。このプロセスは、使用する作動放射タイプおよびパルス長を選択することで開始する。例えば、所定の半導体製造用途では、波長 532 nm の光放射と、 20 ns のパルス長とを選択してもよい。次のステップは、吸収層 50 のタイプと、場合によっては、オプションの剥離可能層 40 のタイプを選択することである。典型的には、剥離可能層 40 は $10 \sim 20 \text{ nm}$ の二酸化珪素または窒化珪素であり、吸収層 50 は $10 \sim 500 \text{ nm}$ のチタン、窒化チタン、タンタル、窒化タンタル、タングステン (W)、またはこれらの層の組み合わせであってもよい。吸収層 50 の目的は、入射するレーザ放射線 10 を吸収することなので、入射放射線の約 75% を超える量を十分に吸収する材料を使用しなければならない。この例においては、層 40 として厚さ 10 nm の酸化物、層 50 として厚さ 40 nm のタンタルが適切な選択である。

40

【0025】

次に、層 62 の任意の厚さを選択する。適切な材料は、二酸化珪素または窒化珪素のいずれかである。この例に関しては、 40 nm の二酸化珪素が適切な選択である。最後に、層 64 については 100 nm の厚さを選択する。位相遷移層 64 用の適切な材料は、ポリイミドまたはアルミニウム砒素など、位相遷移に関連して高い潜熱を示し、約 1000 か

50

ら 3000 の間の位相遷移温度 T_p を有する任意の材料である。この例では、100 nm のポリイミドを含む位相遷移層 64 が適切な選択である。位相変化層 64 の厚さは、入射放射線エネルギーパルスの反射を最少にする、すなわち、反射防止膜としての役割を果たすように調節することができる。

【0026】

カリフォルニア州リバモアのローレンスリバモア国立研究所からの TOPAZ などの熱移動コードを使用して、パルス放射の間における、フィルムスタック 6 とその下にある層 30 の熱挙動を計算することができる。特に、領域 (層) 30 に対する層 64 の温度を計算し、プロットする。領域 30 が活性化温度 T_A に達した時 (または活性化温度範囲になった時)、同時に、層 64 が位相遷移温度 T_p に達するまで、層 62 および層 40 の厚さは変えられる。これによって、領域 30 が活性化された後、層 64 は、さらに温度を上げることなく余分な熱を吸収し始める。層 64 がポリイミドを含む場合、吸収されたエネルギーはポリイミドの気化に使用される。上記の例で、532 nm の入射波長と、20 ns のパルス長に関して最適なスタックを計算する。

10

【0027】

層 40 : 二酸化珪素 : 10 nm

層 50 : タンタル : 40 nm

層 62 : 二酸化シリコン :

層 64 : ポリイミド : 100 nm

この材料のスタックで、位相遷移温度 T_p は約 1480 であり、これは領域 30 が約 1410 の活性化温度 T_A に到達した時に達成される。

20

【0028】

したがって、位相切替層 60 は、ドーピングされたアモルファス領域 30 が活性化温度 $T_A = 1100$ に達した後、約 1410 の融解温度 T_M に達した時または達する前に、位相遷移層 64 が位相遷移温度 T_p に達するように設計される。これは、前述したように、断熱層 62, 40 を適切に設計することによって達成される。位相遷移層 64 が第 1 の状態から第 2 の状態に遷移すると、入射レーザ放射 10 からの熱は層 64 の温度を上昇させることなく吸収される。これによって、吸収層 50 のさらなる温度上昇が抑制され、これによって、ドーピングされたアモルファス領域 30 のさらなる温度上昇も抑制される。一般に、位相切替層 60 は、周囲の領域 (例えば、結晶領域 20) を融解させることなく、加工領域 30 を活性化するために、位相を変えるように設計される。

30

【0029】

また、多層を含む位相切替層 60 に関しては、位相切替層 60 のうち 1 層だけが、位相を変える層 (すなわち「位相遷移層」) であり、他の層は、遷移層の位相遷移温度を設定するために使用される「温度調節層」であることに注意されたい。層 62, 64 を含む 2 層の位相切替層 60 の例としては、層 64 が位相切替層であり、断熱層 62 が温度調節層である。

【0030】

次に、図 5 を参照すると、ウェハ W 全体での放射 10 の不均一性、またはデバイス 100 の密度のばらつきが、ドーピングされたアモルファス領域 30 の温度に影響を与えている。図 5 では、ドーピングされたアモルファス領域 30 は、デバイス 100 のソース 110 S およびドレイン 110 D である。これらのばらつきは位相切替層 60 の温度に影響を与えるだろう。この結果、ソース領域 110 S およびドレイン領域 110 D が、1100 ~ 1410 の範囲にあるドーパント活性化温度範囲に達しないと、位相切替層 60 が活性化しない、すなわち、位相切替層 60 が位相を変えない。

40

【0031】

領域 120 内のデバイス 100 の密度は、領域 130 内のデバイスの密度よりも低いので、領域 120 は領域 130 と比較すると熱質量が小さい。したがって、入射放射線が均一である場合、領域 120 内のデバイス 100 は、領域 130 内のデバイスより早く加熱される。この結果、放射 10 で照射されると、領域 120 内のデバイス 100 は、領域 130

50

0内のデバイスより先に活性化温度に達する。したがって、領域120の上にある位相切替層60の部分150は、第1の位相から第2の位相に遷移し、加熱することなく入射放射線10を吸収する。一方、領域130内のデバイス100は、活性化温度に達するまでの時間がより長く、吸収層50から熱を吸収し続ける。したがって、領域130上の位相切替層60の部分160は、第1の位相のままである時間がより長く、領域130内のデバイス100が活性化温度に達すると第2の位相に遷移する。領域120と130とが異なる反射性を有する場合でも同じ現象が生じる。

【0032】

位相切替層60の性質に適応性があるため、ウェハW上で、異なる熱質量または異なる反射性を有する領域(例えば領域120と130)を暴露しすぎることは困難である。したがって、デバイス構成の中でより多い量のレーザ放射またはより少ない量のレーザ放射を必要とする局所的な場所を、容易にまた自動的に補償することができる。

10

【0033】

(半導体デバイスを形成する方法)

上記に基づいて、本発明は、半導体ウェハ上に半導体デバイスを形成する方法を含む。再び図5を参照すると、この方法は、各々が活性化温度を有するソース領域110Sおよびドレイン領域110Dなどの、ドーピングされたアモルファスシリコン領域を有するデバイス100を含む1つまたは複数の加工領域を、半導体ウェハW内に形成するステップを含む。次のステップは、加工領域上に吸収層を堆積させ、吸収層の上または可能であれば吸収層の下に位相切替層を堆積させ、位相切替層が吸収層の上にある場合は位相切替層を介して吸収層を照射して吸収層および位相切替層を加熱することを含む。これらのステップは、位相切替層が活性化温度に達するまで吸収層からの熱で加工領域を加熱するステップとして上述されている。位相切替層が活性化温度に達すると、位相切替層は第1の位相(例えば、固体)から第2の位相(例えば、液体または気体)に切り替わるが、その間、温度を大幅に変えることなく熱を吸収して、吸収層の温度上昇を防ぐ。最終ステップは、吸収層および位相切替層を除去することである。よく知られたエッチング技術を使用して除去することができる。

20

【0034】

本発明を好ましい実施形態を用いて説明したが、本発明はこのように限定されるものではないことを理解されたい。逆に、付随する請求項に定義されたように、本発明の趣旨および範囲内に含まれるであろう、すべての代替例、修正例、および均等物をカバーすることが目的である。

30

【図面の簡単な説明】

【図1】

放射源に対してウェハホルダ内に配置された、ドーピングされたアモルファス領域を有する半導体ウェハ上に配置されたフィルムスタックの一部として示された、本発明の位相切替の模式的な断面図である。

【図2】

図1と同様な図であるが、フィルムスタックの位相切替層が、吸収層に隣接する、二酸化珪素からなる層と、前記二酸化珪素層に隣接する、アモルファスシリコンまたは多結晶シリコンとを含む。

40

【図3】

図1と同様な図であるが、位相切替層が、吸収層と、剥離を容易にする随意の層との間に挟まれ、放射エネルギー源は、狭く焦点を絞った放射ビームであり、ウェハ全体を走査して、基板上の任意のポイント(またはライン)で、時間的に短いエネルギーパルスを生成する図である。

【図4】

位相切替層の位相遷移層の温度($T_{6.4}$)に関して温度T対時間をプロットし、ドーピングされたアモルファス領域の温度($T_{3.0}$)対時間をプロットした図であり、加工領域が活性化される活性化温度(T_A)またはその温度付近で、切替層の位相が、第1の位相か

50

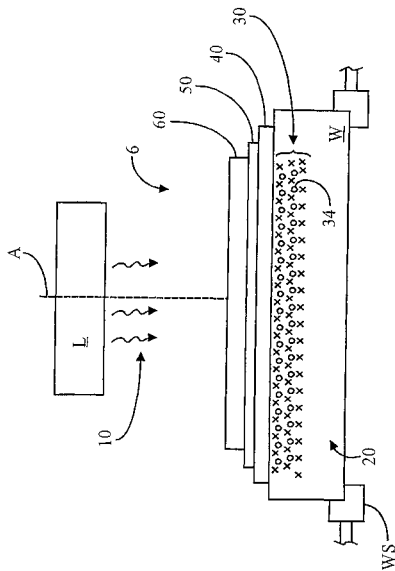
ら第2の位相に遷移する位相遷移温度 T_p を示す図である。

【図5】

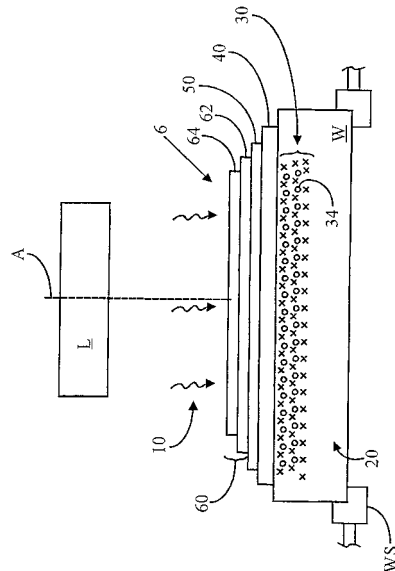
デバイス密度が高い領域およびデバイス密度が低い領域にデバイス（例えばトランジスタ）を有し、図1のフィルムスタックが上に配置されたウェハを模式的に示す断面図である。

。

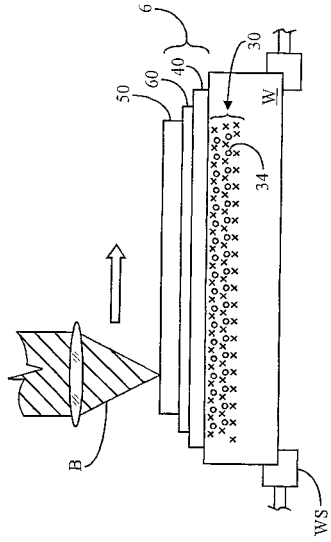
【図1】



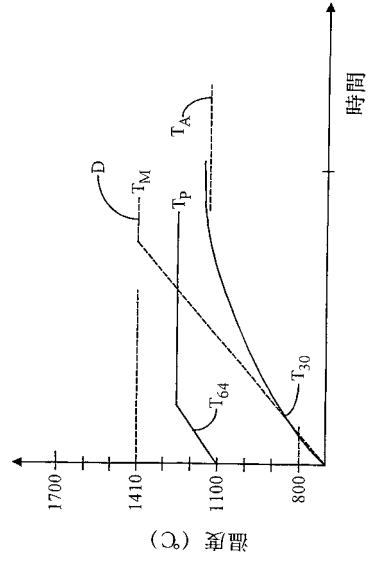
【図2】



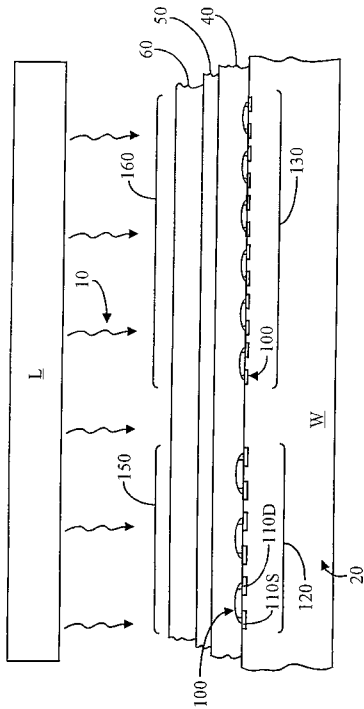
【 図 3 】



【 図 4 】



【 図 5 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
21 March 2002 (21.03.2002)

PCT

(10) International Publication Number
WO 02/23279 A1

(51) International Patent Classification: G03G 5/16, H01L 21/24 (US). WANG, Yun; 1411 Chavez Way, San Jose, CA 95131 (US). MARKLE, David, A.; 20690 Ritanna Court, Saratoga, CA 95070 (US). THOMPSON, Michael, O.; 130 Oakwood Lane, Ithaca, NY 14850 (US).

(21) International Application Number: PCT/US01/42075

(22) International Filing Date: 7 September 2001 (07.09.2001) (74) Agent: JONES, Allston, L.; Peters, Vemy, Jones & Biksa, LLP, Suite 6, 385 Sherman Avenue, Palo Alto, CA 94306 (US).

(25) Filing Language: English (81) Designated State (national): JP.

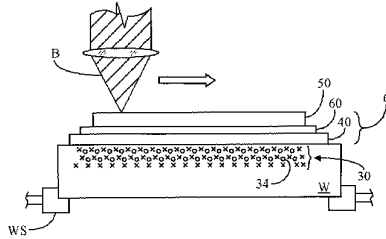
(26) Publication Language: English (84) Designated States (regional): European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

(30) Priority Data: 09/659,094 11 September 2000 (11.09.2000) US (71) Applicant: ULTRATECH STEPPER, INC. [US/US]; 3050 Zanker Road, San Jose, CA 95134 (US). Published: with international search report

(72) Inventors: HAWRYLUK, Andrew, M.; 10645 Eloise Circle, Los Altos Hills, CA 94024 (US). TALWAR, Somit; 724 Arastradero Road #102, Palo Alto, CA 94306

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: THERMALLY INDUCED PHASE SWITCH FOR LASER THERMAL PROCESSING



(57) Abstract: A method, apparatus and system for controlling the amount of heat transferred to a process region (30) of a workpiece (W) from exposure with a pulse of radiation (10), which may be in the form of a scanning beam (B), using a thermally induced phase switch layer (60). The apparatus of the invention is a film stack (6) having an absorber layer (50) deposited atop the workpiece, such as a silicon wafer. A portion of the absorber layer covers the process region. The absorber layer absorbs radiation and converts the absorbed radiation into heat. The phase switch layer is deposited above or below the absorber layer. The phase switch layer may comprise one or more thin film layers, and may include a thermal insulator layer and a phase transition layer. Because they are in close proximity, the portion of the phase switch layer covering the process region has a temperature that is close to the temperature of the process region. The phase of the phase switch layer changes from a first phase (e.g., solid) to a second phase (e.g., liquid or vapor) at a phase transition temperature (T_p). During this phase change, the phase switch layer absorbs heat but does not significantly change temperature. This limits the temperature of the absorber layer and the process region since both are close to the phase change layer.

WO 02/23279 A1

WO 02/23279

PCT/US01/42075

Thermally Induced Phase Switch for Laser Thermal Processing**Field of the Invention**

The present invention relates to laser thermal processing, and in particular to a method
5 of and apparatus for precisely controlling the maximum temperature of a workpiece to be
processed using a short pulse of radiant energy.

Background of the Invention

Laser thermal processing (LTP) is used to process workpieces such as semiconductor
wafers in the manufacturing of semiconductor devices. Such processing allows for the
10 fabrication of transistors with very low sheet resistance and ultra-shallow junctions, which
results in a semiconductor device (e.g., an integrated circuit or "IC") having higher
performance (e.g., faster speed).

One method of LTP applied to semiconductor manufacturing involves using a short-
pulsed laser to thermally anneal the source and drain of the transistor and to activate the
15 implanted dopants therein. Under the appropriate conditions, it is possible to produce source
and drain junctions with activated dopant levels that are above the solid solubility limit. This
produces transistors with greater speeds and higher drive currents. This technique is disclosed
in U.S. Patent No. 5,908,307 entitled "Fabrication Method for Reduced Dimension FET
Devices," incorporated by reference herein.

It is expected that ICs will benefit from the performance improvement demonstrated
with performing LTP on single transistors. Unfortunately, scaling LTP from single transistor
fabrication to full integrated circuit fabrication is difficult. The LTP process has a very narrow
process window (i.e., the range in laser energy that activates the transistor without causing
20 damage is narrow) and requires considerable uniformity, stability and reproducibility in the
absolute energy delivered to (and absorbed by) each transistor.

Modern ICs contain a variety of device geometries and materials, and thus different
thermal masses. To achieve uniform performance in each transistor, it is necessary that all
transistors be heated (annealed) to essentially the same temperature. This places constraints on
the permissible range of laser energy delivered to each transistor in the circuit. As a result,
30 two problems arise. The first is that it is difficult to achieve sufficiently uniform exposures
(both spatially and temporally) to accomplish uniform heating. The second is that different
device geometries require different amounts of incident laser energy because their different
thermal masses will affect the local temperature in the doped regions (junctions).

Of these two problems, the more daunting is the effect of local transistor density.
35 Most modern integrated circuits have a variety of transistor densities across the circuit. This
variation has two effects on the LTP process. The first is that the local reflectivity varies
spatially, thereby changing the amount of heat locally absorbed even with uniform illumination.

WO 02/23279

PCT/US01/42075

The second is that the local thermal mass varies spatially. A larger thermal mass requires greater absorbed laser energy to reach the required annealing temperature. As a result, a change in the local thermal mass requires a change in the amount of laser energy absorbed that is required to produce proper annealing. Even with perfectly uniform illumination, there can be significant temperature variations between different transistors on a single IC, or between ICs. This leads to undesirable variations in transistor performance across a single IC and across a product line.

In principle, it may be possible to compensate for the location of higher transistor density across the device by providing a tailored exposure having increased laser fluence in the higher density regions. However, this would require knowing the precise circuit layout across the device for each device to be processed, and would also require precise tailoring of the spatial irradiance distribution of the exposure to match the circuit layer. This endeavor, if it could be accomplished at all, would involve complex apparatus and significant expense.

Summary of the Invention

The present invention relates to laser thermal processing, and in particular to a method of and apparatus for precisely controlling the maximum temperature of a workpiece to be processed using a short pulse of radiant energy.

The present invention solves the problem of non-uniform thermal heating of a workpiece processed using radiation by introducing a thermally-induced phase "switch" that controls the amount of heat transferred to a workpiece, such as a silicon wafer. This phase switch layer comprises one or more layers of material designed such that the switch changes phase and absorbs extra energy as one or more underlying process regions of the workpiece reach a predetermined temperature. This predetermined temperature may be, for example, the temperature at which the process region is activated. For example, the one or more underlying regions may be the source and drain regions of a transistor or a doped region of a junction, and the predetermined temperature may be the activation temperature of this region. The portions of the phase switch layer overlying the process regions change phase when a critical switch temperature is achieved. By changing phase, the phase switch layer can absorb heat without changing temperature. This limits further increases in the temperature of the underlying process regions to a maximum value.

When the present invention is applied to semiconductor manufacturing and to forming IC devices having transistors, the pre-determined temperature is that where amorphous silicon in the source-drain regions of the transistors reach a temperature between 1100 and 1410°C. In this temperature range, the amorphous silicon melts and the dopants become activated. These temperatures are low enough so that the underlying crystalline silicon substrate does not melt, which is desirable from the viewpoint of device performance. The phase switch of the present invention prevents local regions on the wafer from going substantially beyond the

WO 02/23279

PCT/US01/42075

predetermined temperature. This eliminates a variety of undesirable effects from occurring, that might otherwise occur from fluctuations in the magnitude or shape of the radiant energy pulse, or lack of spatial irradiance uniformity of the radiation beam, or place-to-place thermal mass variations due to differing transistor densities.

5 **Brief Description of the Drawings**

FIG. 1 is a schematic cross-sectional diagram of the phase switch of the present invention shown as part of a film stack arranged on a semiconductor wafer having an amorphous doped region, with the wafer is arranged in a wafer holder in relation to a radiation source;

10 FIG. 2 is the same as FIG. 1, but the phase switch layer of the film stack comprises a layer of silicon dioxide adjacent the absorber layer, and amorphous or polycrystalline silicon adjacent the silicon dioxide layer;

FIG. 3 is the same as FIG. 1, but the phase switch layer is located between the absorber layer and the optional layer to facilitate stripping and the radiant energy source is a narrowly focused beam of radiation, which is scanned across the wafer to produce a short temporal pulse of energy at any point (or line) on the substrate;

15 FIG. 4 is a plot of the temperature T vs. time for the temperature (T_{64}) of the phase transition layer of the phase switch layer, and the temperature (T_{30}) of the amorphous doped region versus time, showing the phase transition temperature T_p where the phase of the switch layer transitions from a first phase to a second phase at or near the activation temperature (T_a) where the process region becomes activated; and

20 FIG. 5 is a cross-sectional schematic diagram of a wafer having devices (e.g., transistors) in a region of high device density and a region of low device density, with the film stack of FIG. 1 arranged thereon.

25 **Detailed Description of the Invention**

The present invention relates to laser thermal processing, and in particular to a method of and apparatus for precisely controlling the maximum temperature of a workpiece to be processed using a short pulse of radiant energy.

30 The basic concept of the phase switch is illustrated in FIGS. 1-3 with regard to processing a semiconductor substrate (workpiece) as part of the process of manufacturing a semiconductor device such as a junction or a transistor. In FIG. 1, there is shown a film stack 6 formed on a silicon semiconductor wafer W as a workpiece to be processed using radiant energy (photons, electrons, ions, neutral atoms, etc.) 10 from a pulsed radiation source L . Wafer W is supported by a wafer support member WS such that radiation source L , film stack 6 and wafer W all lie along an axis A , as shown in FIG. 1. Radiation 10 may be pulses of laser light having a wavelength of between 300 nm and 1100 nm. A suitable laser light source for radiation source L includes a YAG laser operating at 1064 nm, a frequency-doubled YAG

35

WO 02/23279

PCT/US01/42075

laser operating at 532 nm, and an Alexandrite laser operating between 700 and 800 nm. Suitable radiation pulse lengths range from 1 nanosecond to 1 microsecond, and suitable energy levels range from 0.1-10 J/cm².

Wafer W comprises a crystalline silicon region 20 within which is formed an amorphous doped silicon region 30 having dopants 34. For the sake of explanation, amorphous doped region 30 is considered as a single doped region. However, amorphous doped region 30 represents one example of a region to be processed, referred to herein as a "process region." For example, wafer W may contain a plurality of amorphous doped regions 30, or one positively doped region and one negatively doped region serving as source and drain regions, respectively, of a transistor. Wafer W has a maximum allowable temperature, which can be its melting temperature T_{M} , or another temperature, such as a temperature beyond which devices on the wafer cease to function, or beyond which unwanted diffusion of doped regions occurs.

With continuing reference to FIG. 1, amorphous doped region 30 may be formed by performing an ion implant of Si or Ge ions into wafer W to a target depth ranging from a few angstroms to about 1000 angstroms. This implantation process disorders the substrate crystal structure in crystal region 20 to the point of making this implanted region amorphous. The implanted species can be Si, Ge, Ar, As, P, Xe, Sb, and In. Implantation of amorphizing dopants can be performed with known apparatus, such as the 9500 XR ION IMPLANTER™, commercially available from Applied Materials, Inc., Santa Clara, California.

A second dopant ion implant is then performed using p-type dopant ions (e.g., boron, aluminum, gallium, beryllium, magnesium, or zinc) or n-type dopant ions (e.g., phosphorous, arsenic, antimony, bismuth, selenium, and tellurium) from an ion implanter. The ions are accelerated to a given energy level (e.g., 200eV to 40KeV) and implanted in the previously amorphized region to a given dose (e.g., about 1×10^{14} atoms/cm² to 1×10^{16} atoms/cm²), thereby forming doped, amorphous region 30. The latter typically has, in practice, a concentration of dopant that is graded with depth into wafer W. The first and second steps of the present embodiment can be interchanged to achieve the same effect, or carried out in a single step if the dopant implant also amorphizes crystalline region 20.

Deposited atop amorphous silicon region 30 is an absorber layer 50 comprising a material capable of absorbing incident radiation and converting the absorbed radiation into heat. Absorber layer 50 needs to be capable of withstanding high temperatures, i.e., temperatures in excess of the crystalline silicon melting temperature of 1410°C. The material making up absorber layer 50 must also be easily removable without impacting the layers or regions below. One role of absorber layer 50 is to maintain the physical structure of devices resident in or on wafer W during processing. An exemplary material for the absorber layer 50 is tantalum (Ta), deposited to a thickness of between 100 and 5000 angstroms via sputtering

WO 02/23279

PCT/US01/42075

or by CVD. Other preferred materials for absorber layer 50 include titanium (Ti), titanium nitride (TiN), tantalum nitride (TaN), tungsten nitride (WN), silicon dioxide, silicon nitride, or a combination of these. A silicon dioxide or silicon nitride layer may need to be deposited as part of the absorber layer to prevent contamination of wafer W by the absorber layer material (i.e., between metal and semiconductor), or to provide a temperature drop between the absorber layer and the wafer surface.

A thin strippable layer 40 is optionally placed between absorber layer 50 and amorphous silicon region 30 to facilitate stripping of the absorber layer after LTP is performed. Exemplary materials for the stripping layer 40 include silicon dioxide and silicon nitride, which can be deposited by sputtering or by CVD.

Further included in film stack 6 is a phase switch layer 60 formed atop absorber layer 50. The properties of layer 60 are such that its phase changes at a phase transition temperature T_p from a first phase (e.g. solid) to a second phase (e.g., liquid or vapor), at which point a large amount of heat is absorbed without significantly further increasing the temperature of phase switch layer 60.

Phase switch layer 60 can comprise a single film layer or multiple film layers (i.e., one or more film layers). With reference to FIG. 2, in one embodiment, phase switch layer 60 comprises a first thermal insulating layer 62 and a second phase transition layer 64 formed atop the first thermal insulating layer. Preferred materials for thermal insulating layer 62 include silicon dioxide and silicon nitride, while preferred materials for phase transition layer 64 include polyimide and aluminum arsenide.

In a preferred embodiment of the present invention, layer 60 has a thickness ranging from about 10nm – 20 microns (“ μm ”).

Method of operation

The present invention operates as follows. With reference to FIGS. 1 and 2, processing of wafer W is performed by directing a pulse of radiation 10 to film stack 6 along an axis A for the purpose of activating amorphous doped region 30. In this example, phase switch layer 60 is initially substantially transparent and is located above absorber layer 50. Accordingly, most of laser radiation 10 passes through layer 60 and is incident absorber layer 50. Radiation 10 is absorbed in layer 50, thereby heating this layer. Absorber layer 50 heats up and consequently heats the amorphous doped region 30 and the phase switch layer 60. Doped amorphous region 30 is thus heated to its activation temperature T_A (which for doped silicon is between 1100-1410°C), while phase switch layer 60 is also heated to its phase transition temperature T_p . At the activation temperature T_A (or in the activation temperature range), dopants 34 become incorporated into the lattice sites and are “activated.” However, if too much laser radiation is incident absorber layer 50 then, without phase switch layer 60, amorphous region 30 is heated until it melts. In this regard, the present invention prevents the

WO 02/23279

PCT/US01/42075

workpiece (wafer W) from reaching or exceeding the maximum allowable workpiece (wafer) temperature, as mentioned above. A temperature at or above an upper temperature of the maximum allowable workpiece (wafer) temperature will have an undesirable effect on the workpiece (e.g., melting). Melting is undesirable because it can adversely affect the properties of amorphous doped region 30, where the latter constitutes the source or drain region of a transistor. Melting can also damage the transistor gate region (not shown).

With reference now to 6, a narrow beam B (see FIG. 3) of radiation is scanned across workpiece W to create a short pulse of radiation at any point (or line) on the substrate. Beam B can thus be focused down to form a point, line or narrow area of radiation suitable for a scanning beam. In FIG. 3, absorber layer 50 is at the top of film stack 6 and phase change layer 60 is sandwiched between the absorber and optional layer 40. In this geometry, phase change layer 60 need not be transparent to the radiant energy because it is located below the absorber. In some cases, it may not be necessary to employ absorber layer 50 if phase change layer 60 is sufficiently opaque to the incident radiation in beam B or radiation 10 as in Figures 1 and 2. For example, if incident radiation 10 (or beam B) consists of electron, ion or neutral atom particles, then an absorber layer may not be necessary because total absorption is assured in any case. The basic principle remains the same regardless of the position of phase change layer 60. The maximum temperature of phase change layer 60 is limited by the latent heat of the phase change over wide variations of the energy in the incident radiation pulse. The temperature of the phase change also limits the maximum temperature of the workpiece.

FIG. 4 illustrates the temperature T_{30} of amorphous doped region 30 during the annealing process as described above. Temperature T_{30} rises as a function of time during exposure to the radiant energy. Unconstrained, the temperature T_{30} would rise to the melting point $T_M = 1410^\circ\text{C}$ for crystalline silicon, as illustrated with a dotted line D. However, with phase switch layer 60 present (see FIG. 2), the temperature T_{64} of phase transition layer 64 rises along with temperature T_{30} of region 30. Accordingly, phase transition layer 64 can be designed to have a temperature that is greater than or less than temperature T_{30} by adjusting the thickness and thermal characteristics of layer 62 and/or layer 40. FIG. 4 illustrates the case where the temperature T_{64} of phase transition layer 64 is greater than that of temperature T_{30} of process region 30 because the thermal conductivity of layer 62 is greater than that of layer 40.

Where the phase switch layer comprises two layers 62 and 64 as discussed above, adjusting the phase transition temperature T_p may involve adjusting the thickness of layer 62 in the manner described in detail below. When phase transition layer 64 reaches its phase transition temperature T_p , this layer absorbs energy without heating, as illustrated by the abrupt flattening of the T_{64} curve of Figure 4. For the case where phase transition layer 64 is made of polyimide, the transition from the solid phase (i.e., the first phase) to vapor phase

WO 02/23279

PCT/US01/42075

(i.e., the second phase) occurs at $T_p = 1480^\circ\text{C}$. Thus, the timing, or tracking, of the temperature T_{64} of layer 64 relative to the temperature T_{30} of layer 30 is accomplished by adjusting the thermal conductivity and thickness of layer 62 and layer 40. Properly designed, phase switch layer 60 can absorb enough energy to prevent process region 30 from exceeding a predetermined temperature (e.g., melt temperature T_M).

Design of phase switch layer

Phase switch layer 60 is designed as follows: The process begins by choosing the operational radiation type and pulse-length to be used. For example, for certain semiconductor manufacturing applications, one may select optical radiation of wavelength of 532 nm and a pulse-length of 20 nanoseconds (ns). The next step is choosing the types of optional strippable layer 40, if desired, and absorber layer 50. Typically, strippable layer 40 can be 10-20 nm of silicon dioxide or silicon nitride, and absorber layer 50 can be 10-500 nm of titanium, titanium-nitride, tantalum, tantalum nitride, tungsten (W) or a combination of these layers. The purpose of absorber layer 50 is to absorb incident laser radiation 10, so sufficient material must be used to absorb greater than about 75% of the incident radiation. For this example, a 10 nm oxide thickness for layer 40 and 40 nm tantalum thickness for layer 50 is a suitable choice.

Next, an arbitrary thickness for layer 62 is chosen. Appropriate materials are either silicon dioxide or silicon nitride. For the present example, 40 nm of silicon dioxide is a suitable choice. Finally, a thickness of 100 nm for layer 64 is chosen. Appropriate materials for phase transition layer 64 are any materials that exhibit a large latent heat associated with the phase transition and have a phase transition temperature T_p in the range between about 1000-3000 $^\circ\text{C}$, such as polyimide or aluminum arsenide. A phase transition layer 64 comprising 100 nm of polyimide is a suitable choice for the present example. The thickness of the phase change layer 64 can be adjusted to minimize reflection of the incident radiant energy pulse, i.e., serve as an antireflective coating.

A thermal transport code, such as TOPAZ from Lawrence Livermore National Laboratory, Livermore, CA, can be used to calculate the thermal behavior of film stack 6 and the underlying layer 30 during a radiation pulse. In particular, the temperature of layer 64 relative to region (layer) 30 is calculated and plotted. The thickness of layers 62 and 40 are then varied until layer 64 reaches its phase transition temperature T_p at the same time when region 30 reaches its activation temperature T_A (or falls within the activation temperature range). This insures that layer 64 will begin to absorb additional heat without a further increase in temperature after region 30 has been activated. In the case where layer 64 comprises polyimide, this absorbed energy goes into vaporizing the polyimide. In the above example, the optimum stack is calculated for an incident wavelength of 532 nm and pulse length of 20 ns:

WO 02/23279

PCT/US01/42075

Layer 40: silicon dioxide: 10 nm
Layer 50: tantalum: 40 nm
Layer 62: silicon dioxide: 0 nm
Layer 64: polyimide: 100 nm

5

With this stack of materials, the phase transition temperature T_p is about 1480 °C, which is reached when region 30 achieves an activation temperature T_A of about 1410°C.

Accordingly, phase switch layer 60 is designed so that phase transition layer 64 reaches its phase transition temperature T_p at or before amorphous doped region 30 reaches the melt temperature T_m of about 1410°C, but after it reaches the activation temperature of $T_A = 1100^\circ\text{C}$. This is achieved by properly designing thermal insulating layers 62 and 40, as described above. When phase transition layer 64 transitions from the first state to the second state, heat from incident laser radiation 10 is absorbed without an additional temperature rise in layer 64. This inhibits further temperature increases in absorber layer 50 and therefore, further temperature increases in amorphous doped region 30. Generally speaking, phase switch layer 60 is designed to change its phase so as to allow activation of process region 30 without melting the surrounding region (e.g., crystalline region 20).

Note also that for a phase switch layer 60 comprising multiple layers, only one of the layers may be the layer that changes phase (i.e., the "phase transition layer"), while the other layers are "temperature-adjusting layers" that are used to set the phase transition temperature of the transition layer. For the two-layer example of phase switch layer 60 comprising layers 62 and 64, layer 64 is the phase switch layer, while thermal insulating layer 62 is the temperature-adjusting layer.

With reference now to FIG. 5, non-uniformities in radiation 10 or variations in the density of devices 100 across wafer W influence the temperature of amorphous doped regions 30, which in FIG. 5, are sources and drains 110S and 110D in devices 100. These variations will influence the temperature of phase switch layer 60. As a result, phase switch layer 60 will only activate, i.e. begin to change phase, when source and drain regions 110S and 110D reach the dopant activation temperature range of 1100-1410°C.

The density of devices 100 in region 120 is less than that of region 130, so that region 120 has a smaller thermal mass as compared to region 130. Accordingly, devices 100 in region 120 will be heated more quickly than the devices in region 130 if the incident radiation is uniform. As a result, when irradiated with radiation 10, devices 100 in region 120 will reach their activation temperature before the devices in region 130. Thus, portion 150 of phase switch layer 60 lying above region 120 will transition from a first phase to a second phase and absorb incident radiation 10 without heating. Meanwhile, devices 100 in region 130 take longer to reach the activation temperature and continue to absorb heat from absorber layer 50.

WO 02/23279

PCT/US01/42075

Accordingly, portion 160 of phase switch layer 60 lying above region 130 remains in the first phase for a longer time and then transitions to second phase when devices 100 in region 130 reach their activation temperature. The same phenomenon occurs where regions 120 and 130 have different reflectivities.

5 Because of the adaptive properties of phase switch layer 60, it is difficult to over-expose regions (e.g., regions 120 and 130) on wafer W having different thermal masses, or different reflectivities. Accordingly, locations where the local device geometry is such that greater or lesser amounts of laser radiation are required are readily and automatically compensated.

10 ***Method of forming a semiconductor device***

Based on the above, the present invention includes a method of forming a semiconductor device on a semiconductor wafer. With reference again to FIG. 5, the method includes the steps of forming one or more process regions in a semiconductor wafer W comprising devices 100 having amorphous doped silicon regions, such as source and drain regions 110S and 110D, respectively, each having an activation temperature. The next steps involve depositing an absorber layer over the process region, depositing a phase switch layer atop or possibly under the absorber layer, and irradiating the absorber layer through the phase switch layer, if it happens to be above the absorber layer, to heat the absorber layer and the phase switch layer. These steps are described above, as is the step of heating the process region with heat from the absorber layer until the phase switch layer reaches the activation temperature. At this point, the phase switch layer switches from a first phase (e.g., solid) to a second phase (e.g. liquid or vapor), while absorbing heat without significantly changing temperature, thereby preventing the increase in temperature of the absorber layer. The final step is then removing the absorber layer and the phase switch layer. This can be accomplished using well known etch techniques.

25 While the present invention has been described in connection with preferred embodiments, it will be understood that it is not so limited. On the contrary, it is intended to cover all alternatives, modifications and equivalents as may be included within the spirit and scope of the invention as defined in the appended claims.

30

WO 02/23279

PCT/US01/42075

What is claimed is:

1. A thermally induced phase switch apparatus for controlling the maximum temperature produced in a process region of a workpiece from exposure with a pulse of radiation, comprising:
 - a) an absorber layer deposited atop the workpiece, a portion of which covers the process region, wherein the absorber layer absorbs radiation and converts the absorbed radiation into heat; and
 - b) a phase switch layer formed adjacent or in close proximity to the absorber layer, wherein said portion of said phase switch layer covering said process region has a phase change temperature corresponding to the maximum desired temperature of the process region and changes phase from a first phase to a second phase at a phase transition temperature so as to limit the temperature rise in the process region.
2. The apparatus of claim 1, wherein said process region has an activation temperature and the workpiece has a maximum allowable temperature, and wherein said phase transition temperature is such that the process region temperature reaches said activation temperature but does not exceed said workpiece maximum allowable temperature.
3. The apparatus of claim 1, further including a strippable layer arranged between said absorber layer and said workpiece or between said phase switch layer and said workpiece.
4. The apparatus of claim 1, wherein the process region comprises a source and drain region of a transistor.
5. The apparatus of claim 1, wherein the process region comprises doped amorphous silicon.
6. The apparatus of claim 2, wherein the process region comprises doped amorphous silicon.
7. The apparatus of claim 6, wherein said activation temperature is between 1100 and 1410°C.
8. The apparatus of claim 1, wherein said absorber layer comprises at least one of titanium, tungsten, tantalum, silicon oxide, silicon nitride, or titanium-nitride.

WO 02/23279

PCT/US01/42075

9. An apparatus according to claim 1, wherein said phase switch layer comprises a first layer of silicon dioxide adjacent said absorber layer and a second layer of polyimide or aluminum arsenide adjacent said silicon dioxide layer.
- 5 10. An apparatus according to claim 1, wherein said phase switch layer comprises polyimide or aluminum arsenide.
11. An apparatus according to claim 9, wherein said first layer of silicon dioxide has a thickness between 10-250 nm, and said second layer is polyimide having a thickness
10 between 10 nm-20 microns.
12. An apparatus according to claim 9, wherein said first layer of silicon dioxide has a thickness between 10-250 nm, and said second layer is aluminum arsenide having a thickness between 10 nm-20 micros.
- 15 13. An apparatus according to claim 1, wherein said first phase of said phase switch layer is solid and said second phase is vapor or liquid.
14. An apparatus according to claim 2, wherein said phase transition temperature is
20 greater than said activation temperature.
15. An apparatus according to claim 2, wherein said phase transition temperature is less than said activation temperature.
- 25 16. A system for limiting the maximum temperature produced in a process region of a workpiece, comprising:
- a) a radiation source capable of providing a pulsed beam of radiation that can be scanned across the substrate;
 - b) a workpiece support member arranged adjacent the light source for supporting
30 the workpiece; and
 - c) a thermally induced phase switch apparatus according to claim 1 arranged on the workpiece.
17. A system according to claim 16, wherein said beam of radiation forms a line or
35 a point.
18. An apparatus according to claim 16, wherein said radiation source employs

WO 02/23279

PCT/US01/42075

laser radiation at a wavelength between 300 nm and 1100 nm.

19. A method of controlling the amount of heat transferred to a process region of a workpiece, the process region having an activation temperature, comprising the steps of:
- 5 a) depositing an absorber layer over the process region;
 - b) depositing a phase switch layer close to the absorber layer capable of switching phase from a first phase to a second phase at a phase transition temperature that corresponds to the activation temperature;
 - 10 c) irradiating the absorber layer to heat the absorber layer and the nearby phase switch layer; and
 - d) heating the process region with heat from the absorber layer until the phase switch layer switches from the first phase to the second phase, thereby limiting the temperature rise due to the absorption of radiation incident the absorber layer.
- 15 20. A method according to claim 19, wherein the process region is an amorphous doped region, and said step d) includes heating the process region to the activation temperature.
- 20 21. A method according to claim 19, wherein the phase transition temperature is greater than the activation temperature.
22. A method according to claim 19, wherein the phase transition temperature is less than the activation temperature and the phase switch layer is above the absorber layer.
- 25 23. A method according to claim 19, wherein the workpiece is a crystalline silicon wafer having a melting temperature, the process region is amorphous doped silicon, and wherein said step d) includes heating the process region to the activation temperature but below the crystalline silicon melting temperature.
- 30 24. A method according to claim 19, wherein said irradiating step c) is performed using pulsed laser light.
25. A method according to claim 19, wherein said irradiating step c) is performed
- 35 by:
- i) forming a narrow line of radiation; and
 - ii) scanning said line of radiation across the substrate.

WO 02/23279

PCT/US01/42075

26. A method according to claim 19, wherein said step b) includes forming a thermal insulating layer atop the absorber layer, and forming a phase transition layer atop the thermal insulating layer.
- 5 27. A method according to claim 19, wherein said step b) includes forming a phase transition layer below the absorber layer.
28. A method according to claim 26, wherein said thermal insulating layer is silicon dioxide, and the phase transition layer one of polyimide and aluminum arsenide.
- 10 29. A method according to claim 26, wherein said phase transition layer is one of polyimide and aluminum arsenide.
30. A method according to claim 26, including the step of adjusting the thickness of the thermal insulating layer to trigger a phase transition in the phase transition layer when the process region reaches the desired temperature for a given pulse of radiant energy.
- 15 31. A method according to claim 19, wherein said step b) includes placing a transparent phase shift layer on top of the absorber layer and choosing a thickness for the transparent phase shift layer which minimizes the reflection of radiant energy from the stack of layers on the substrate.
- 20 32. A method according to claim 19, wherein the first phase of the phase shift layer is solid and the second phase is liquid or vapor.
- 25 33. A method of forming a semiconductor device from a semiconductor wafer, comprising the steps of:
- a) forming a process region in the semiconductor wafer comprising amorphous doped silicon having an activation temperature;
 - 30 b) depositing an absorber layer over the process region;
 - c) depositing a phase switch layer atop the absorber layer capable of switching from a first phase to a second phase reflectivity state at a phase transition temperature that corresponds to the activation temperature;
 - d) irradiating the absorber layer through the phase switch layer to heat the absorber layer and the phase switch layer;
 - 35 e) heating the process region with heat from the absorber layer until the process region reaches the activation temperature and the phase switch layer begins to

WO 02/23279

PCT/US01/42075

change phase, thereby limiting the maximum temperature of the substrate; and
f) removing the absorber layer and the phase switch layer.

34. A method according to claim 33 wherein said step c) includes forming a
5 thermal insulating layer atop the absorber layer, and forming a phase transition layer atop the
thermal insulating layer.

35. A method according to claim 33, wherein said step c) includes forming the
10 thermal insulating layer of two or more layers.

36. A method according to claim 33, including in said step d) the step of designing
the phase shift layer such that the first phase of the phase shift layer is solid and the second
15 phase of the phase shift layer is liquid or vapor.

37. A method of forming a semiconductor device from a semiconductor wafer,
15 comprising the steps of:

- a) forming a process region in the semiconductor wafer comprising amorphous
doped silicon having an activation temperature;
- 20 b) depositing a phase switch layer atop the amorphous doped silicon layer capable
of switching from a first phase to a second phase reflectivity state at a phase
transition temperature that corresponds to the activation temperature;
- c) depositing an absorber layer over the process region;
- d) irradiating the absorber layer through the phase switch layer to heat the
absorber layer and the phase switch layer;
- 25 e) heating the process region with heat from the phase switch layer until the
process region reaches the activation temperature and the phase switch layer
begins to change phase, thereby limiting the maximum temperature of the
substrate; and
- 30 f) removing the absorber layer and the phase switch layer.

38. A method according to claim 37, wherein the first phase is solid and the second
phase is liquid or vapor.

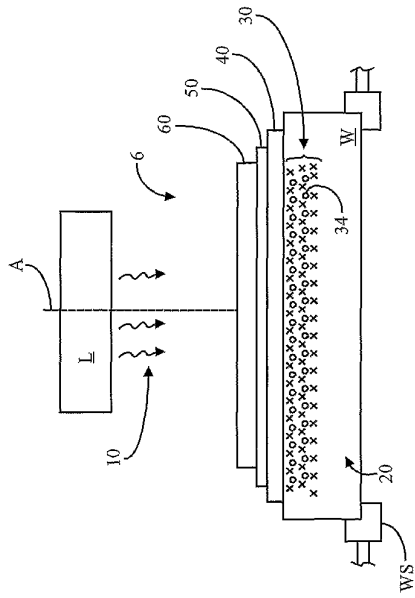


Fig. 1

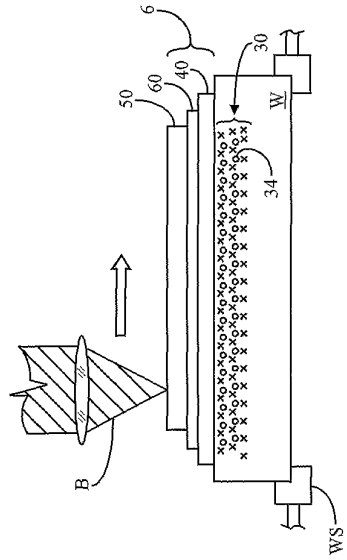


Fig. 3

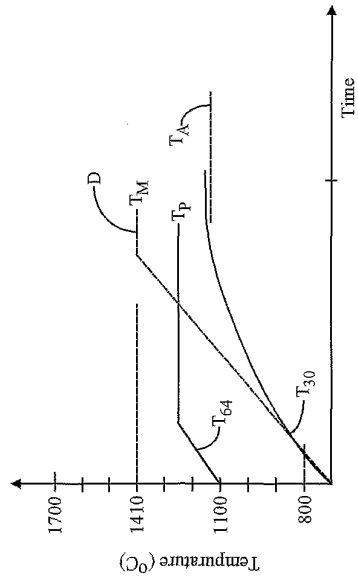


Fig. 4

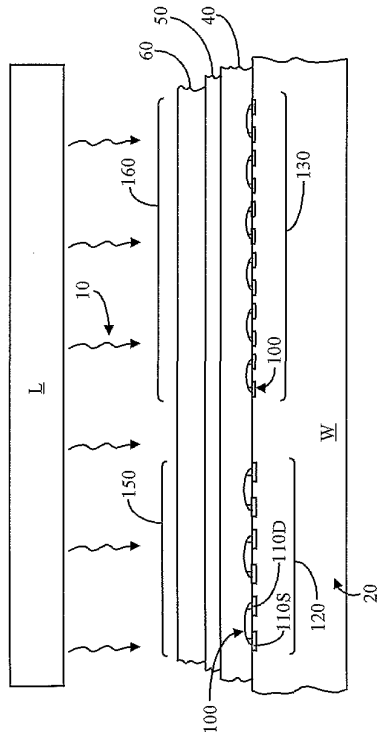


Fig. 5

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US01/42075
A. CLASSIFICATION OF SUBJECT MATTER		
IPC(7) :G08G 5/16; H01L 31/24 US CL :250/316.1; 438/530,199, 486, 509, 535 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) U.S. : 250/316.1; 438/530,199, 486, 509, 535		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EAST		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X,E	US 6,303,476 B1 (HAWRYLUK et al.) 16 October 2001 (16.10.2001), see entire document.	1-38
Y,P	US 6,274,488 B1 (TALWAR et al.) 14 August 2001 (14.08.2001), see entire document.	1-38
Y	US 5,908,307 A (TALWAR et al.) 01 June 1999 (01.06.1999), see entire document.	1-38
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: ** later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *A* document defining the general state of the art which is not considered to be of particular relevance *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *E* earlier document published on or after the international filing date *Y** document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *Y* document referring to an oral disclosure, use, exhibition or other means *O* document published prior to the international filing date but later than the priority date claimed *K* document member of the same patent family		
Date of the actual completion of the international search 04 NOVEMBER 2001		Date of mailing of the international search report 13 DEC 2001
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20251 Facsimile No. (703) 305-3230		Authorized officer <i>Sharon S. Hooper</i> JOHNNIE L SMITH II Telephone No. (703) 908-0966

フロントページの続き

(72)発明者 トルウォー ソミット

アメリカ合衆国 カリフォルニア州 94306 パロアルト 724 アラストラデーロロード
#102

(72)発明者 ワン ヤン

アメリカ合衆国 カリフォルニア州 95131 サンノゼ 1411 チャベズウェイ

(72)発明者 マークル デイビット エー

アメリカ合衆国 カリフォルニア州 95070 サラトガ 20690 リタナコート

(72)発明者 トンプソン マイケル オー

アメリカ合衆国 ニューヨーク州 14850 イサカ 130 オークウッドレーン