

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 11 月 14 日(14.11.2013)



(10) 国際公開番号

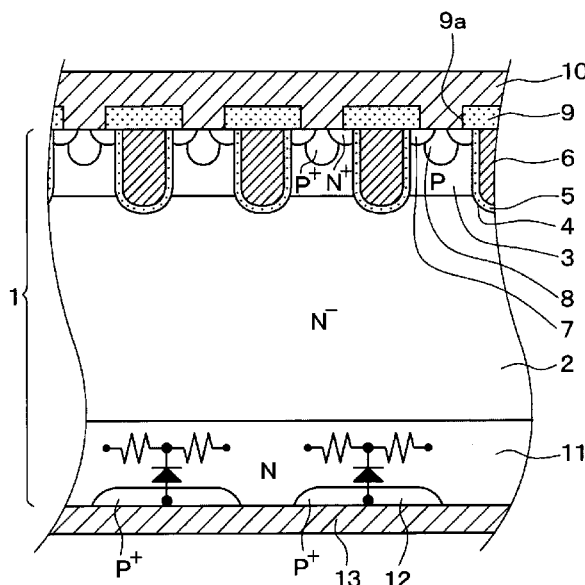
WO 2013/168366 A1

- (51) 国際特許分類:
H01L 29/739 (2006.01) H01L 29/78 (2006.01)
H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2013/002598
- (22) 国際出願日: 2013 年 4 月 17 日(17.04.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-106013 2012 年 5 月 7 日(07.05.2012) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 Aichi (JP).
- (72) 発明者: 小山 和博(OYAMA, Kazuhiro); 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP). 住友 正清(SUMITOMO, Masakiyo); 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP). 樋口 安史(HIGUCHI, Yasushi); 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫(KIN, Junhi); 〒4600003 愛知県名古屋市中区錦 2 丁目 1 3 番 1 9 号 瀧定ビル 6 階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device is equipped with: a first-conductive-type drift layer (2); a second-conductive-type base layer (3) formed on the drift layer (2); a first-conductive-type emitter layer (7) formed in the surface-layer section of the base layer (3); a first-conductive-type buffer layer (11) separated from the base layer (3) in the drift layer (2); a second-conductive-type collector layer (12) selectively formed in the buffer layer (11); a gate-insulating film (5) for contacting a channel region between the drift layer (2) and the emitter layer (7) in the base layer (3); a gate electrode (6) formed on the gate-insulating film (5); a first electrode (10) electrically connected to the base layer (3) and the emitter layer (7); and a second electrode (13) electrically connected to the buffer layer (11) and the collector layer (12). The carrier density is smaller than the space charge density in the buffer layer (11).

(57) 要約: 半導体装置は、第 1 導電型のドリフト層 (2) と、前記ドリフト層 (2) 上に形成された第 2 導電型のベース層 (3) と、前記ベース層 (3) の表層部に形成された第 1 導電型のエミッタ層 (7) と、前記ドリフト層 (2) のうち前記ベース層 (3) と離間した第 1 導電型のバッファ層 (11) と、前記バッファ層 (11) 中に選択的に形成された第 2 導電型のコレクタ層 (12) と、前記ベース層 (3) と前記エミッタ層 (7) との間のチャネル領域に接触するゲート絶縁膜 (5) と、前記ゲート絶縁膜 (5) 上に形成されたゲート電極 (6) と、前記ベース層 (3) および前記エミッタ層 (7) と電氣的に接続される第 1 電極 (10) と、前記バッファ層 (11) および前記コレクタ層 (12) と電氣的に接続される第 2 電極 (13) とを備える。前記バッファ層 (11) では、空間電荷密度よりキャリア密度が小さい。

(3) のうち前記ドリフト層 (2) と前記エミッタ層 (7) との間のチャネル領域に接触するゲート絶縁膜 (5) と、前記ゲート絶縁膜 (5) 上に形成されたゲート電極 (6) と、前記ベース層 (3) および前記エミッタ層 (7) と電氣的に接続される第 1 電極 (10) と、前記バッファ層 (11) および前記コレクタ層 (12) と電氣的に接続される第 2 電極 (13) とを備える。前記バッファ層 (11) では、空間電荷密度よりキャリア密度が小さい。

WO 2013/168366 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

関連出願の相互参照

[0001] 本開示は、2012年5月7日に出願された日本出願番号2012-106013号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、共通の半導体基板に絶縁ゲートバイポーラトランジスタ（以下では、単にIGBTという）およびフリホイールダイオード（以下では、単にFWDという）のそれぞれ2つの機能を一つの素子で機能するように形成された半導体装置（RC-IGBT）に関するものである。

背景技術

[0003] 従来より、モータ等の負荷を駆動するためのインバータ回路を構成するものとして、共通の半導体基板にIGBTおよびFWDのそれぞれ2つの機能を一つの素子で機能するように形成された半導体装置（RC-IGBT）が提案されている。具体的には、この半導体装置では、N⁻型のドリフト層の表面側には、P型のベース層、N⁺型のエミッタ層、ゲート構造、エミッタ電極等で構成されるNMOS構造が形成されている。そして、ドリフト層の裏面側にはN型のバッファ層が形成され、バッファ層のうちドリフト層側と反対側にP型のコレクタ層が選択的に形成されている。さらに、コレクタ層およびバッファ層と電氣的に接続されるコレクタ電極が形成されている。

[0004] このような半導体装置では、ゲート構造のゲート電極に所定電位が印加されるとベース層にN型のチャネル領域が形成される。そして、エミッタ電極からチャネル領域を介してドリフト層に電子が供給され、ドリフト層へ供給された電子はバッファ層を介してコレクタ電極へ流れる。コレクタ層とバッファ層とがコレクタ電極によって短絡されており、バッファ層はN型であるのに対してコレクタ層はP型であるためである。そして、この電子がバッファ層を通過する際にバッファ層の抵抗によって電圧降下が発生する。この発

生する電圧がコレクタ層とバッファ層との間に構成されるPN接合のビルトイン電圧以上となると、コレクタ層からバッファ層にホールが注入される。そして、注入されたホールはドリフト層に供給されてドリフト層の伝導度が変調する。これにより、コレクタ電極とエミッタ電極との間に印加する電圧 V_{CE} が小さくなり、IGBTがオン状態となる。

[0005] このため、この半導体装置(RC-IGBT)のIGBTをオン状態にして低い V_{CE} を得るには、コレクタ層とバッファ層とにより構成されるPN接合にかかる電圧をビルトイン電圧にするのに十分な電子電流が必要である。言い換えると、ビルトイン電圧にするのに不十分な小さな電子電流しか流れない場合は、伝導度変調は起こらず、電圧 V_{CE} は大きなままである。

[0006] これは半導体装置(RC-IGBT)は以下に示す電流-電圧特性(I-V特性)があることを意味している。すなわち、コレクタ電流 I_C が0Aでは電圧 V_{CE} は0Vであり、コレクタ電流 I_C が小さい領域では電圧 V_{CE} は大きくなる。そして、伝導度変調を起こさせるのに十分なコレクタ電流 I_C を超えると、電圧 V_{CE} は急激に小さくなる。

[0007] このような現象は、一般的にスナップバック現象と呼ばれており、実用上好ましくない。なお、コレクタ電流 I_C を大きくしていくにつれて電圧 V_{CE} が急激に小さくなる直前の電圧の極大値はスナップバック電圧と呼ばれている。

[0008] このため、例えば、特許文献1～3に、共通の半導体基板にIGBTおよびFWDのそれぞれ2つの機能を一つの素子で機能するように形成された半導体装置において、スナップバック現象を抑制する構造が提案されている。

[0009] 具体的には、特許文献1には、ドリフト層の抵抗率を ρ_1 ($\Omega \cdot \text{cm}$)、ドリフト層の厚さを L_1 (μm)、バッファ層の抵抗率を ρ_2 ($\Omega \cdot \text{cm}$)、バッファ層の厚さを L_2 (μm)、コレクタ層の基板平面方向の最小幅の $1/2$ を W_2 (μm)としたとき、次式(数1) (ρ_1 / ρ_2) $\times$ ($L_1 \cdot L_2 / W_2^2$) < 1.6 を満たすように半導体装置を構成することが提案されている。

- [0010] また、特許文献2には、バッファ層におけるドリフト層側において、コレクタ層の直上に開口部が形成されたp型のバリア層を形成してなる半導体装置が提案されている。
- [0011] これによれば、電子が開口部により狭窄され、バッファ層中のバリア層とコレクタ層との間の領域に電子を集中させることができる。これにより、電子による電圧降下を大きくできるのでスナップバック現象の発生を低減できる。言い換えると、スナップバック電圧を小さくできる。
- [0012] さらに、特許文献3には、多数の線状ゲート電極を備え、バッファ層のうちドリフト層と反対側の面において、面方向に平行な方向をX-Y方向としたとき、カソード層（バッファ層）をほぼ一様なXY格子状分布とするとともに、Y方向の格子定数を線状ゲート電極と平行なX方向の格子定数よりも長くしてなる半導体装置が提案されている。
- [0013] しかしながら、上記特許文献1～3の半導体装置では、次のような問題がある。すなわち、IGBTがオンされているときの導通損失を低減するためには、ドリフト層の厚さを薄くするのが有効な手段であるが、IGBTがオフされているときに空乏層がコレクタ層に達しないようにするためにはバッファ層の不純物密度を大きくし、ドリフト層を薄くすることで失った空間電荷を補填する構造が考えられる。この場合、例えば、一般的なドナーであるリン、ヒ素、アンチモン等の不純物をドーピングしてバッファ層を構成した場合には、空間電荷密度を大きくすると空間電荷密度と同様にキャリア密度が大きくなるため、ドリフト層の抵抗値が小さくなる。
- [0014] したがって、IGBTの導通損失を低減しつつ、スナップバック現象を抑制するためには、例えば、コレクタ層の幅を広くし、電子が通過する経路を長くすることによって電子に起因する電圧降下を大きくしなければならない。
- [0015] しかしながら、この構造では、コレクタ層の幅を広くしているため、コレクタ層とバッファ層との間に構成されるPN接合のうちビルトイン電圧以下の電圧しか印加されない領域が広くなる。すなわち、ホールが注入されるP

N接合はコレクタ層とバッファ層との間に構成されるPN接合全体に対して狭くなる。そして、ホールが注入される隣接するPN接合同士の間隔が広くなるため、動作中のキャリア密度（ホールおよび電子）に大きな分布の偏りが生じ、電流集中が起きる結果として素子が破壊されやすくなるという問題が発生する。また、ホールが注入されるPN接合の領域が狭くなるため、IGBTとして機能する有効面積が小さくなり、IGBTの導通損失が増加するという問題も発生する。

[0016] また、FWDがオンされているときには、コレクタ電極に接した部分のバッファ層（カソード層）から電子がドリフト層内に注入されると共にホールがドリフト層の表面側に位置するベース層から注入される。

[0017] この場合、上記半導体装置では、コレクタ層の幅を広くするためにFWD動作時に電子の注入されない領域が大きくなる。つまり、FWDとして機能する有効面積が小さくなり、FWDの導通損失が増加するという問題が発生する。そして、動作中のFWDのキャリア密度にも大きな分布の偏りが生じ、電流集中が起きる結果として素子が破壊されやすくなるという問題も発生する。

[0018] また、IGBTの導通損失を低減しつつ、スナップバック現象を抑制するために、バッファ層の抵抗値を大きくすることも考えられる。これによれば、バッファ層の抵抗値を大きくしているために電子に起因する電圧降下を大きくすることができ、コレクタ層の幅を広くしなくてもよいため、IGBTおよびFWDの導通損失を低減しつつ、スナップバック現象を抑制できる。

[0019] しかしながら、一般的なドナーであるリン、ヒ素、アンチモン等の不純物をドーピングして抵抗値の小さいバッファ層を構成する場合、単純にバッファ層の不純物密度を小さくすることになる。この場合、オフ状態において、ベース層およびドリフト層で構成されるPN接合に逆方向電圧が印加されると、空乏層が低い逆方向電圧でもコレクタ層に達して漏れ電流が増加することになる。つまり、阻止電圧（耐圧）が低下するという問題がある。なお、オフ状態とは、IGBTもFWDもオンされていない状態であり、コレクタ電極

にエミッタ電極より高い電位を印加しつつ、ゲート電極に所定の閾値電位より低い電位を印加している場合である。

- [0020] 以上説明したように、スナップバック現象、IGBTおよびFWDの導通損失、電流集中、耐圧低下等の問題は全てトレードオフの関係にある。そして、上記特許文献1～3の半導体装置では、いくつかの項目のトレードオフの関係は改善可能かもしれないが、全てのトレードオフの関係を同時に改善することはできないという問題がある。

先行技術文献

特許文献

- [0021] 特許文献1：特開2007-288158号公報
特許文献2：特開2011-114027号公報
特許文献3：特開2011-155092号公報

発明の概要

- [0022] 本開示は、共通の半導体基板にIGBTおよびFWDの2つの機能を有するように形成された半導体装置において、スナップバック現象、IGBTおよびFWDの導通損失、電流集中、耐圧低下の全ての項目を同時に改善できる半導体装置を提供することを目的とする。
- [0023] 本開示の一例の態様において、半導体装置は、第1導電型のドリフト層と、前記ドリフト層の表層部に形成された第2導電型のベース層と、前記ベース層の表層部に形成された第1導電型のエミッタ層と、前記ドリフト層のうち前記ベース層と離間した位置に形成された第1導電型のバッファ層と、前記バッファ層中に選択的に形成された第2導電型のコレクタ層と、前記ベース層のうち前記ドリフト層と前記エミッタ層との間に挟まれた部分をチャンネル領域として、当該チャンネル領域に接触するゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ベース層および前記エミッタ層と電氣的に接続される第1電極と、前記バッファ層および前記コレクタ層と電氣的に接続される第2電極とを備える。前記バッファ層は、空間電荷密度よりキャリア密度が小さくされている。

[0024] 上記の半導体装置において、バッファ層の空間電荷密度を大きくしても抵抗値が小さくなることを抑制できる。このため、IGBTの導通損失を抑制するためにドリフト層を薄くし、空乏層がコレクタ層に達することを抑制するために大きな空間電荷密度を有する半導体装置としても、従来の半導体装置よりバッファ層の抵抗値を大きくできる。つまり、IGBTの導通損失を低減しつつ、スナップバック現象を抑制することができ、さらに、耐圧の低下も抑制できる。また、コレクタ層の幅を広くする必要もないため、導通損失および電流集中を抑制できる。すなわち、スナップバック現象、IGBTおよびFWDの導通損失、電流集中、耐圧低下の全ての項目間のトレードオフの関係を同時に改善できる。

[0025] 代案として、前記バッファ層は、凍結領域にある準位と、外因性領域にある準位を提供してもよい。これによれば、バッファ層の抵抗値についての温度依存性の低減を図ることができる。

図面の簡単な説明

[0026] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、
[図1]図1は、本開示の第1実施形態における半導体装置の断面構成を示す図であり、
[図2]図2は、本開示の第3実施形態における半導体装置の断面構成を示す図である。

発明を実施するための形態

[0027] (第1実施形態)

本開示の第1実施形態について図面を参照しつつ説明する。図1に示されるように、本実施形態の半導体装置は、共通の半導体基板1に形成された一つの素子がIGBTおよびFWDの二つの機能をもつように形成されている。

[0028] 具体的には、半導体基板1はN-型のドリフト層2を有している。そして、ドリフト層2の表層部にはP型のベース層3が形成されている。また、ベー

ス層 3 を貫通してドリフト層 2 に達する複数のトレンチ 4 が所定方向（本実施形態では紙面垂直方向）にストライプ状に延設されている。このトレンチ 4 の側壁には、それぞれ熱酸化膜等からなるゲート絶縁膜 5 とドーフト P o l y - S i 等からなるゲート電極 6 とが順に形成されている。すなわち、トレンチ 4、ゲート絶縁膜 5、ゲート電極 6 からなるトレンチゲート構造が形成されている。

[0029] なお、具体的には後述するが、ゲート電極 6 に所定電位が印加されるとベース層 3 のうちトレンチ 4 と接する部分に反転層となるチャネル領域が形成される。本実施形態では、ベース層 3 のうちトレンチ 4 の壁面に接する部分の表面が本開示のチャネル領域の表面に相当する。

[0030] また、ベース層 3 の表層部には、トレンチ 4 の側面に接するように N⁺型のエミッタ層 7 が形成されていると共に、トレンチ 4 の側面から離間した位置に P⁺型のボディ層 8 が形成されている。具体的には、エミッタ層 7 は、トレンチ 4 の長手方向に沿ってトレンチ 4 の側面に接するように棒状に延設され、トレンチ 4 の先端よりも内側で終端する構造とされている。また、ボディ層 8 は、2つのエミッタ層 7 に挟まれてトレンチ 4 の長手方向（つまりエミッタ層 7）に沿って棒状に延設されており、トレンチ 4 の先端よりも内側で終端する構造とされている。これらエミッタ層 7 とボディ層 8 は、ベース層 3 よりも高不純物密度とされており、ベース層 3 内で終端する構造とされている。

[0031] なお、ベース層 3 およびボディ層 8 は、例えば、ボロン等の不純物がドーピングされて構成され、エミッタ層 7 は、例えば、リン、ヒ素、アンチモン等の不純物がドーピングされて構成されている。すなわち、これらベース層 3、エミッタ層 7、ボディ層 8 は、半導体装置の動作温度（例えば、-40～150℃）において、100%活性化率を示す準位とされており、言い換えると外因性領域に位置する準位とされている。通常、半導体分野において100%活性化率を示す準位を使用することは明記されていないかもしれないが、これは常識とされているために省略されているのである。

[0032] そして、ベース層 3 の上には B P S G 等で構成される層間絶縁膜 9 が形成されている。この層間絶縁膜 9 にはコンタクトホール 9 a が形成されており、エミッタ層 7 の一部およびボディ層 8 が層間絶縁膜 9 から露出している。そして、層間絶縁膜 9 の上にはエミッタ電極 10 が形成されており、このエミッタ電極 10 はコンタクトホール 9 a を介してエミッタ層 7 およびボディ層 8（ベース層 3）に電氣的に接続されている。

[0033] また、ドリフト層 2 の裏面側には N 型のバッファ層 11 が形成されている。ここで、本実施形態のバッファ層 11 の構成について、具体的に説明する。

[0034] 本実施形態の、バッファ層 11 は、空間電荷密度よりキャリア密度が小さくされている。すなわち、バッファ層 11 における準位の活性化エネルギーは、半導体装置の動作温度において、動作温度の熱エネルギーよりも大きくされている。言い換えると、バッファ層 11 は、半導体装置の動作温度において、100%未満の活性化率を示す深い準位とされている。さらに、言い換えると、バッファ層 11 は、半導体装置の動作温度において、凍結領域に位置する準位とされている。このようなバッファ層 11 は、例えば、Bi、Mg、Ta、Pb、Te、Se、N、C、Ge、Sr、Cs、Ba、S等の不純物の少なくとも1つがドーピングされることで構成される。

[0035] なお、本実施形態におけるバッファ層 11 の準位は、一部がキャリアとして働く準位のことである。すなわち、バッファ層 11 の準位は、少数キャリアのライフタイムを短くさせるために形成される Mid Gap 付近に位置する準位のいわゆるライフタイムキラーとは異なるものである。また、GaN等のHFE T等において用いられる多数キャリアを補償するC、Fe等の比較的深い準位とも異なるものである。

[0036] また、バッファ層 11 のうちドリフト層 2 側と反対側には、P⁺型のコレクタ層 12 が選択的に形成されている。すなわち、バッファ層 11 のうちドリフト層 2 側と反対側は、図 1 に示す断面において、バッファ層 11 とコレクタ層 12 とが交互に配置された構成とされている。そして、バッファ層 11

のうちドリフト層 2 側と反対側には、コレクタ層 1 2 とバッファ層 1 1 とが短絡するようにコレクタ電極 1 3 が形成されている。

[0037] 以上が本実施形態における半導体装置の構成である。なお、本実施形態では、N 型が本開示の第 1 導電型に相当し、P 型が本開示の第 2 導電型に相当している。また、エミッタ電極 1 0 が本開示の第 1 電極に相当し、コレクタ電極 1 3 が本開示の第 2 電極に相当する。

[0038] 次に、上記半導体装置の作動について説明する。まず、IGBT をオンさせるときの作動について説明する。

[0039] 上記半導体装置では、ゲート電極 6 に所定電位が印加されると、ベース層 3 のうちトレンチ 4 に配置されたゲート絶縁膜 5 と接する部分に N 型のチャネル領域が形成される。そして、コレクタ電極 1 3 がエミッタ電極 1 0 よりも高い電位となるようにコレクタ電極－エミッタ電極間に電圧 V_{CE} が印加されると、エミッタ電極 1 0 から電子がエミッタ層 7、チャネル領域、ドリフト層 2、バッファ層 1 1、第 2 電極 1 3 に流れる。

[0040] この場合、バッファ層 1 1 は、上記のように、空間電荷密度よりキャリア密度が小さくなるように構成されているため、バッファ層 1 1 の空間電荷密度を大きくしてもバッファ層 1 1 のキャリア密度が大きくなることを抑制できる。つまり、バッファ層 1 1 の抵抗値を大きくできる。したがって、電子がバッファ層 1 1 から第 2 電極 1 3 に流れる際の電圧降下を大きくすることができ、スナップバック現象を抑制しつつ、IGBT をオンできる。

[0041] 次に、半導体装置のオフ状態について説明する。なお、オフ状態とは、IGBT も FWD もオンされていない状態であり、コレクタ電極 1 3 にエミッタ電極 1 0 より高い電位を印加しつつ、ゲート電極 6 に所定の閾値電位より低い電位を印加している場合である。

[0042] この場合、ベース層 3 およびドリフト層 2 で構成される PN 接合に逆方向電圧が印加されることになり、空乏層が広がる。そして、空乏層がバッファ層 1 1 に達すると、空乏層中におけるバッファ層 1 1 の準位がフェルミ準位より高くなり、100%の準位がイオン化する空間電荷領域が構成され、耐

圧の低下も抑制できる。（例えば、S.M.Sze and Kwok K.NG, Physics of Semiconductor Devices 3rd Edition, A John Wiley & Sons, INC. 2007年, P.136-139参照）。

[0043] 続いて、FWDがオンされるとき作動について説明する。ゲート電極6に閾値電位より低い電位が印加されると共にコレクタ電極13にエミッタ電極10より低い電位が印加されると、コレクタ電極13のうちバッファ層11と接する部分から電子が注入されると共に、エミッタ電極10からホールが注入され、FWDがオンされる。この場合、上記のようにバッファ層11が構成されており、コレクタ層12の幅が広くないため、導通損失および電流集中を抑制できる。なお、この状態では、エミッタ電極10がアノード電極に相当し、コレクタ電極13がカソード電極に相当する。

[0044] 以上説明したように、本実施形態では、バッファ層11の空間電荷密度よりキャリア密度が小さくされている。このため、バッファ層11の空間電荷密度を大きくしても抵抗値が小さくなることを抑制できる。したがって、IGBTの導通損失を抑制するためにドリフト層2を薄くし、空乏層がコレクタ層12に達することを抑制するために大きな空間電荷密度を有する半導体装置としても、従来の半導体装置よりバッファ層11の抵抗値を大きくできる。つまり、IGBTの導通損失を低減しつつ、スナップバック現象を抑制することができ、さらに、耐圧の低下も抑制できる。

[0045] また、コレクタ層12の幅を広くする必要もないため、導通損失および電流集中も抑制できる。

[0046] すなわち、本実施形態の半導体装置では、スナップバック現象、IGBTおよびFWDの導通損失、電流集中、耐圧低下の全ての項目間のトレードオフの関係を同時に改善できる。

[0047] また、上記半導体装置は、バリア層が形成された従来の半導体装置と比較して、バッファ層11を構成する不純物の種類を変更するのみで製造することができ、製造工程が増加することもないため、製造コストも増加しない。

[0048] （第2実施形態）

本開示の第2実施形態について説明する。本実施形態は、第1実施形態に対してバッファ層11の構成を変更したものであり、その他に関しては第1実施形態と同様であるため、ここでは説明を省略する。なお、本実施形態における半導体装置の断面構成は図1と同様である。

[0049] 本実施形態のバッファ層11は、2種類の深さの異なる準位によって構成されている。具体的には、半導体装置の動作温度において、凍結領域にある準位と外因性領域にある準位とによって構成されている。なお、外因性領域の準位は、リン、ヒ素、アンチモン等がドーピングされることによって構成される。

[0050] これによれば、バッファ層11における抵抗値の温度依存性を低減できる。すなわち、凍結領域にある準位は、半導体装置の動作温度によってキャリア密度が大きく変化する。言い換えると、半導体装置の動作温度によってバッファ層11の抵抗値の変化が非常に大きくなる。このため、バッファ層11を凍結領域にある準位のみで構成した場合、例えば、半導体装置の動作温度における下限温度の活性化率が1%であり、上限温度の活性化率が10%になるような場合には、動作温度範囲内において、バッファ層11の抵抗値が最大10倍変化する。

[0051] しかしながら、例えば、バッファ層11を凍結領域の準位に位置する不純物密度と外因性領域の準位に位置する不純物密度との比率を1:1として構成した場合には、合計の活性化率は、下限温度で50.5%となり、上限温度で55%となる。すなわち、バッファ層11の抵抗値の変化率を1.09倍まで低減できる。

[0052] なお、凍結領域の準位に位置する不純物密度と外因性領域の準位に位置する不純物密度や、これらの比率は、半導体装置の使用環境によって適宜変更されることが好ましい。

[0053] (第3実施形態)

本開示の第3実施形態について説明する。本実施形態は、第1実施形態に対してバッファ層11にN⁺型のカソード層を形成したものであり、その他に

関しては第1実施形態と同様であるため、ここでは説明を省略する。図2は、本実施形態における半導体装置の断面構成を示す図である。

[0054] 図2に示されるように、本実施形態では、バッファ層11のうちコレクタ層12で挟まれる部分にバッファ層11よりキャリア密度が大きくされたN⁺型のカソード層14が形成されている。言い換えると、バッファ層11のうちドリフト層2側と反対側では、コレクタ層12とカソード層14とが交互に形成されている。なお、カソード層14は、例えば、リン、ヒ素、アンチモン等がドーパされることによって構成される。

[0055] これによれば、バッファ層11（カソード層14）とコレクタ電極13との接触抵抗を低減できる。また、カソード層14のキャリア密度（電子）が大きいため、FWD動作時にコレクタ電極13（カソード層14）から注入される電子を増加させることができる。したがって、FWD動作時における導通損失をさらに低減できる。

[0056] （他の実施形態）

上記各実施形態において、第1導電型をP型とし、第2導電型をN型としてもよい。この場合、バッファ層11は、例えば、Ga、In、Tl、Be、Cu、Zn、Co等の不純物の少なくとも1つがドーパされて構成される。また、バッファ層11の準位は、熱的、機械的ストレスを印加することによって形成したり、陽子線、ヘリウム、トリチウム等を照射することによって形成してもよい。

[0057] また、上記各実施形態では、トレンチゲート型のIGBTを備えた半導体装置について説明したが、プレーナゲート型のIGBTを備えた半導体装置とすることもできる。この場合、特に図示しないが、ベース層3の表層部にエミッタ層7およびボディ層8が形成され、ベース層3の表面のうちエミッタ層7、ボディ層8が形成されていない部分にゲート絶縁膜5を介してゲート電極6が形成される。このため、ベース層3の表面のうちエミッタ層7、ボディ層8が形成されていない部分が本開示のベース層3の表面に相当する。

- [0058] さらに、上記各実施形態では、ドリフト層 2 の厚さ方向に電流が流れる縦型の半導体装置について説明したが、ドリフト層 2 の平面方向に電流が流れる横型の半導体装置とすることもできる。
- [0059] そして、上記第 2 実施形態と第 3 実施形態とを組み合わせた半導体装置としてもよい。すなわち、バッファ層 1 1 を 2 つの異なる準位を用いて構成しつつ、バッファ層 1 1 のうちコレクタ層 1 2 で挟まれる領域にカソード層 1 4 を形成するようにしてもよい。
- [0060] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

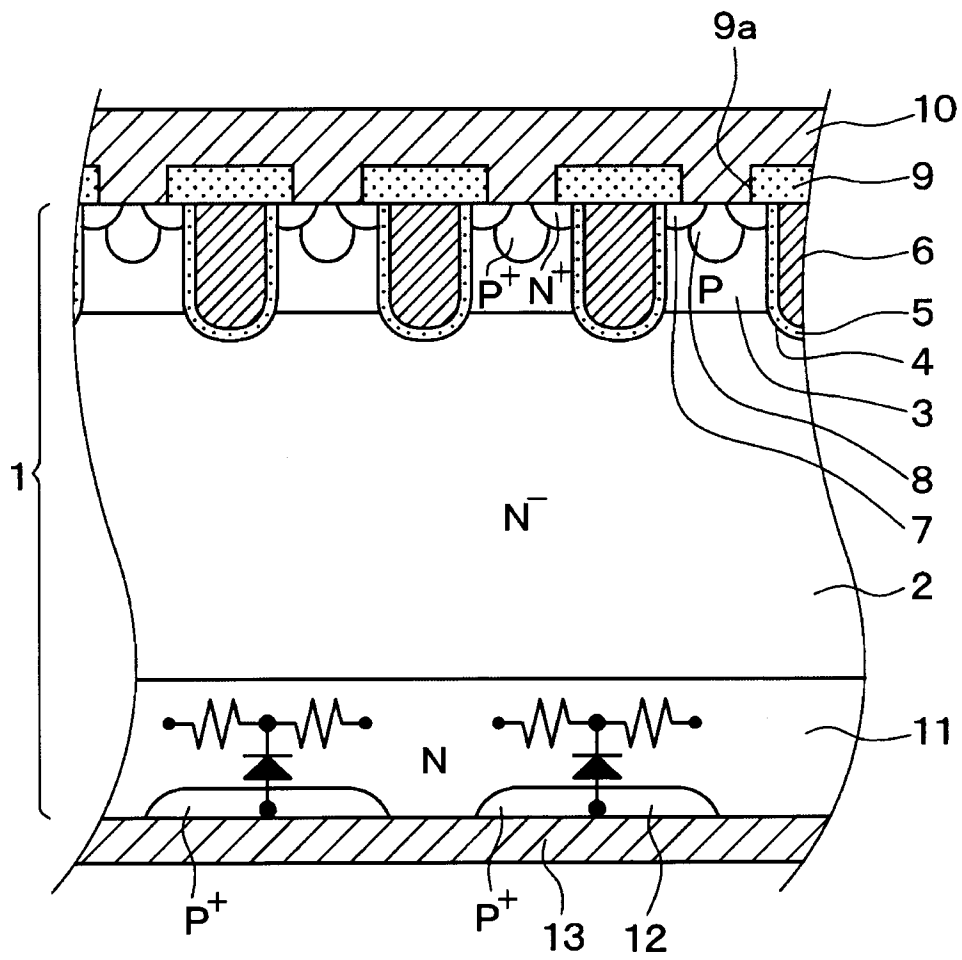
- [請求項1] 第1導電型のドリフト層(2)と、
前記ドリフト層(2)の表層部に形成された第2導電型のベース層(3)と、
前記ベース層(3)の表層部に形成された第1導電型のエミッタ層(7)と、
前記ドリフト層(2)のうち前記ベース層(3)と離間した位置に形成された第1導電型のバッファ層(11)と、
前記バッファ層(11)中に選択的に形成された第2導電型のコレクタ層(12)と、
前記ベース層(3)のうち前記ドリフト層(2)と前記エミッタ層(7)との間に挟まれた部分をチャネル領域として、当該チャネル領域に接触するゲート絶縁膜(5)と、
前記ゲート絶縁膜(5)上に形成されたゲート電極(6)と、
前記ベース層(3)および前記エミッタ層(7)と電氣的に接続される第1電極(10)と、
前記バッファ層(11)および前記コレクタ層(12)と電氣的に接続される第2電極(13)と、を備え、
前記バッファ層(11)は、空間電荷密度よりキャリア密度が小さくされている半導体装置。
- [請求項2] 前記バッファ層(11)は、凍結領域にある準位を提供する請求項1に記載の半導体装置。
- [請求項3] 前記バッファ層(11)は、凍結領域にある準位と、外因性領域にある準位を提供する請求項1または2に記載の半導体装置。
- [請求項4] 前記コレクタ層(12)は、複数のコレクタ部分(12)を含み、
前記バッファ層(11)には、前記複数のコレクタ部分(12)の間に位置する部分に、前記バッファ層(11)より浅い準位で形成され、前記バッファ層(11)よりキャリア密度が大きくされたカソー

ド層（１４）が配置されている請求項１ないし３のいずれか１つに記載の半導体装置。

[請求項５] 前記第１導電型はＮ型であると共に前記第２導電型はＰ型であり、
前記バッファ層（１１）は、Ｂｉ、Ｍｇ、Ｔａ、Ｐｂ、Ｔｅ、Ｓｅ、
Ｎ、Ｃ、Ｇｅ、Ｓｒ、Ｃｓ、Ｂａ、Ｓのうちの少なくとも１つがドーピングされている請求項１ないし４のいずれか１つに記載の半導体装置。

[請求項６] 前記第１導電型はＰ型であると共に前記第２導電型はＮ型であり、
前記バッファ層（１１）は、Ｇａ、Ｉｎ、Ｔｌ、Ｂｅ、Ｃｕ、Ｚｎ、
Ｃｏのうちの少なくとも１つがドーピングされている請求項１ないし４のいずれか１つに記載の半導体装置。

[図1]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/002598

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/739(2006.01)i, H01L27/04(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/739, H01L27/04, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013

Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2000-101066 A (Toshiba Corp.), 07 April 2000 (07.04.2000), paragraphs [0009], [0020] to [0021]; fig. 10 (Family: none)	1-3, 5, 6 4
Y	US 2008/0054369 A1 (Hans-Joachim Schulze), 06 March 2008 (06.03.2008), paragraphs [0019] to [0025]; fig. 3 (Family: none)	1-6
Y	JP 2003-303965 A (Toshiba Corp.), 24 October 2003 (24.10.2003), fig. 1, 7 (Family: none)	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

10 July, 2013 (10.07.13)

Date of mailing of the international search report

23 July, 2013 (23.07.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/002598

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-288158 A (Denso Corp.), 01 November 2007 (01.11.2007), fig. 14 & US 2008/0315248 A1 & WO 2007/108456 A1 & DE 112007000010 B4 & CN 101322248 A	1-6
A	S. Voss et al., "Optimization of the temperature dependence of the anode-side current gain of IGBTs by field-stop design", Proceedings of The 22nd International Symposium on Power Semiconductor Devices & ICs, Hiroshima, 2010.06.06, pp.141 - 144	1-6

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/739(2006.01)i, H01L27/04(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/739, H01L27/04, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2000-101066 A (株式会社東芝)	1-3, 5, 6
Y	2000.04.07, 段落【0009】、【0020】-【0021】、図10 (ファミリーなし)	4
Y	US 2008/0054369 A1 (Hans-Joachim Schulze) 2008.03.06, 段落【0019】-【0025】、Fig. 3 (ファミリーなし)	1-6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 0 . 0 7 . 2 0 1 3

国際調査報告の発送日

2 3 . 0 7 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

杵 哲次

5 F

3 9 5 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2003-303965 A (株式会社東芝) 2003.10.24, 図1, 7 (ファミリーなし)	1-6
Y	JP 2007-288158 A (株式会社デンソー) 2007.11.01, 図14 & US 2008/0315248 A1 & WO 2007/108456 A1 & DE 112007000010 B4 & CN 101322248 A	1-6
A	S. Voss et al., "Optimization of the temperature dependence of the anode-side current gain of IGBTs by field-stop design", Proceedings of The 22nd International Symposium on Power Semiconductor Devices & ICs, Hiroshima, 2010.06.06, pp.141 - 144	1-6