(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 113473144 A
(43)申请公布日 2021.10.01

(21)申请号 202110799433.8

(22)申请日 2021.07.15

(71)申请人 无锡思朗电子科技有限公司
地址 214000 江苏省无锡市滨湖区太湖明珠发展大厦2903-2906

(72)发明人 刘正

(74)专利代理机构 无锡知之火专利代理事务所(特殊普通合伙) 32318
代理人 袁粉兰

(51)Int.Cl.
H04N 19/186(2014.01)
H04N 19/42(2014.01)
H04N 19/132(2014.01)

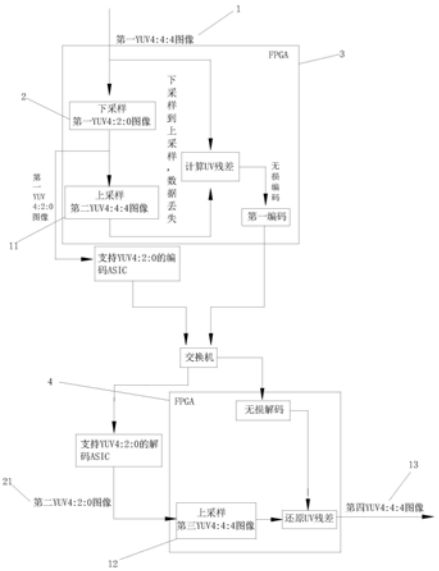
权利要求书1页 说明书4页 附图1页

(54)发明名称

一种YUV4:4:4图像传输的方法

(57)摘要

本发明涉及多媒体技术领域，具体涉及一种YUV4:4:4图像传输的方法，通过将YUV4:4:4图像数据用FPGA编码系统进行处理，并通过网络传输得到YUV4:2:0的编码数据和第一编码，然后再通过FPGA解码系统进行解码，最终反向还原成YUV4:4:4图像。本发明提供的FPGA的编解码系统不需要DDR和其他外围设备的支持，仅需要使用中低端的FPGA即可实现，一方面能够在保证最少的失真的情况下，能够提供更加优质的图像画质，提供更加优质的视频播放体验；另一方面，使用FPGA进行编解码，能够保证YUV4:4:4的图像质量，保证桌面应用的色彩还原的需求，适用于对图像质量要求较高的桌面应用等场景。



CN 113473144 A

1.一种YUV4:4:4图像传输的方法,其特征在于,包括:

步骤S1:获取第一YUV4:4:4图像的数据;

步骤S2:FPGA编程系统接收第一YUV4:4:4图像的数据,并进行处理得到第一YUV4:2:0图像和第一编码;

步骤S3:将步骤S2中得到的第一编码通过网络发送;将步骤S2中得到的第一YUV4:2:0图像进行编码,并通过网络发送;

步骤S4:FPGA解码系统接收步骤S3中得到的第一编码,进行解码和还原;将步骤S3中经过编码的第一YUV4:2:0图像进行解码,得到第二YUV4:2:0图像;

步骤S5:将第二YUV4:2:0图像输入至FPGA解码系统,并且和解码后的第一编码进行合并;

步骤S6:生成第四YUV4:4:4图像。

2.根据权利要求1所述的YUV4:4:4图像传输的方法,其特征在于,所述步骤S2中FPGA编程系统的编程步骤包括:

步骤S11:将第一YUV4:4:4图像的数据下采样生成第一YUV4:2:0图像;

步骤S12:将第一YUV4:2:0图像再进行上采样生成第二YUV4:4:4图像;

步骤S13:计算第一YUV4:4:4图像的数据和第二YUV4:4:4图像的UV残差数据;

步骤S14:将步骤S13中的UV残差数据进行无损编码得到第一编码。

步骤S15:通过网络将第一编码发送得到第一码流;

步骤S16:将第一YUV4:2:0图像通过支持YUV4:2:0的编码ASIC进行编码,并通过网络发送得到第二码流。

3.根据权利要求1所述的YUV4:4:4图像传输的方法,其特征在于,所述步骤S4中FPGA解码系统的解码步骤包括:

步骤S21:接收第一编码,并进行无损解码,还原成UV残差数据;

步骤S22:支持YUV4:2:0解码的ASIC对编码后的第一YUV4:2:0图像进行解码,生成第二YUV4:2:0图像;

步骤S23:对第二YUV4:2:0图像进行上采样生成第三YUV4:4:4图像;

步骤S24:将第三YUV4:4:4图像与还原后的UV残差数据进行合并;

步骤S25:生成第四YUV4:4:4图像。

4.根据权利要求1～3任一所述的YUV4:4:4图像传输的方法,其特征在于,所述FPGA编程系统和所述FPGA解码系统均通过FPGA芯片实现。

5.根据权利要求1所述的YUV4:4:4图像传输的方法,其特征在于,步骤S2通过网络交换机实现网络发送。

6.根据权利要求2～3任一所述的YUV4:4:4图像传输的方法,其特征在于,所述ASIC的解码或编码均通过ASIC芯片实现。

7.根据权利要求4所述的YUV4:4:4图像传输的方法,其特征在于,所述FPGA芯片包括Xilinx的A7和K7芯片、Intel的Cyclone10芯片和Arria芯片和Lattice芯片中的任意一种。

一种YUV4:4:4图像传输的方法

技术领域

[0001] 本发明涉及多媒体技术领域,具体涉及一种YUV4:4:4图像传输的方法。

背景技术

[0002] 日新月异的视频需求,催生了大压缩率H.264/265等算法的发展。

[0003] 在视频传输/显示领域,大量使用H.264/H.265的压缩方案进行压缩,同时大量的ASIC芯片提供硬件的压缩模块。但是,现有技术中受限于H.264/H.265的压缩算法,图像只能使用4:2:2的色彩压缩,为了考虑成本和效率,绝大部分ASIC芯片使用4:2:0的压缩。

[0004] 在大部分应用场合,特别是会议,大屏幕显示等要求对单像素图像进行细节还原的场合,必须使用色彩空间4:4:4的采集处理系统。但是,4:2:0的色彩在还原度上不能满足桌面应用的需求。

发明内容

[0005] 为了解决4:2:0的色彩在还原度上不能满足桌面应用的需求的技术问题,本发明提供的技术方案为:

[0006] 本发明提供一种YUV4:4:4图像传输的方法,包括:

[0007] 步骤S1:获取第一YUV4:4:4图像数据;

[0008] 步骤S2:FPGA编程系统接收第一YUV4:4:4图像数据,并进行处理得到第一YUV4:2:0图像和第一编码;

[0009] 步骤S3:将步骤S2中得到的第一编码通过网络发送;将步骤S2中得到的第一YUV4:2:0图像进行编码,并通过网络发送;

[0010] 步骤S4:FPGA解码系统接收步骤S3中得到的第一编码,进行解码和还原;将步骤S3中经过编码的第一YUV4:2:0图像进行解码,得到第二YUV4:2:0图像;

[0011] 步骤S5:将第二YUV4:2:0图像输入至FPGA解码系统,并且和解码后的第一编码进行合并;

[0012] 步骤S6:生成第四YUV4:4:4图像。

[0013] 进一步地,所述步骤S2中FPGA编程系统的编程步骤包括:

[0014] 步骤S11:将第一YUV4:4:4图像数据下采样生成第一YUV4:2:0图像;

[0015] 步骤S12:将第一YUV4:2:0图像再进行上采样生成第二YUV4:4:4图像;

[0016] 步骤S13:计算第一YUV4:4:4图像数据和第二YUV4:4:4图像的UV残差数据;

[0017] 步骤S14:将步骤S13中的UV残差数据进行无损编码得到第一编码。

[0018] 步骤S15:通过网络第一编码发送得到第一码流;

[0019] 步骤S16:将第一YUV4:2:0图像通过支持YUV4:2:0的编码ASIC进行编码,并通过网络发送得到第二码流。

[0020] 进一步地,所述步骤S4中FPGA解码系统的解码步骤包括:

[0021] 步骤S21:接收第一编码,并进行无损解码,还原成UV残差数据;

[0022] 步骤S22:支持YUV4:2:0解码的ASIC对编码后的第一YUV4:2:0图像进行解码,生成第二YUV4:2:0图像;

[0023] 步骤S23:对第二YUV4:2:0图像进行上采样生成第三YUV4:4:4图像;

[0024] 步骤S24:将第三YUV4:4:4图像与还原后的UV残差数据进行合并;

[0025] 步骤S25:生成第四YUV4:4:4图像。

[0026] 进一步地,所述FPGA编程系统和所述FPGA解码系统均通过FPGA芯片实现。

[0027] 进一步地,步骤S2通过网络交换机实现网络发送。

[0028] 进一步地,所述ASIC的解码或编码均通过ASIC芯片实现。

[0029] 进一步地,所述FPGA芯片包括Xilinx的A7和K7芯片、Intel的Cyclone10芯片和Arria芯片和Lattice芯片中的任意一种。

[0030] 本发明具有的优点或者有益效果:

[0031] 本发明提供的YUV4:4:4图像传输的方法,通过将YUV4:4:4图像数据用FPGA编码系统进行处理,并通过网络传输得到YUV4:2:0的编码数据和第一编码,然后再通过FPGA解码系统进行解码,最终反向还原成YUV4:4:4图像。本发明提供的FPGA的编解码系统不需要DDR和其他外围设备的支持,仅需要使用中低端的FPGA即可实现,一方面能够在保证图像在最少的失真的情况下,能够提供更加优质的图像画质,提供更加优质的视频播放体验;另一方面,使用FPGA进行编解码,能够保证YUV4:4:4的图像质量,保证桌面应用的色彩还原的需求,适用于对图像质量要求较高的桌面应用等场景。

附图说明

[0032] 通过阅读参照以下附图对非限制性实施例所作的详细描述,本发明及其特征、外形和优点将会变得更加明显。在全部附图中相同的标记指示相同的部分。并未刻意按照比例绘制附图,重点在于示出本发明的主旨。

[0033] 图1是本发明实施例1提供的一种YUV4:4:4图像传输的方法的流程图。

具体实施方式

[0034] 需要说明的是,在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。需要注意的是,本发明所使用的术语仅是为了描述具体实施方式,而非意图限制根据本申请的示例性实施方式。

[0035] 应当理解的是,当在本说明书中如使用术语“包含”和/或“包括”时,其指明存在特征、步骤、操作、器件、组件和/或它们的组合。

[0036] 如出现术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等,其所指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0037] 如出现术语“第一”、“第二”、“第三”仅用于描述目的,而不能理解为指示或暗示相对重要性。

[0038] 除非另有明确的规定和限定,如出现术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电

连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以具体情况理解上述术语在本发明中的具体含义。

[0039] 下面结合本发明实施例中的附图,对本发明实施例中的技术方案进行说明,显然所描述的实施例仅仅是本发明的一部分实施例,而不是全部的实施例。因此,以下对附图中提供的本发明实施例中的详细描述并非旨在限制要求保护的本发明的范围,而是仅仅表示本发明的选定实施例。基于本发明的实施例,本领域技术人员在没有作出创造性劳动的前提下所获得的所有其他实施例,都属于本发明的保护范围。

[0040] 实施例1

[0041] 在视频传输/显示领域,大量使用H.264/H.265的压缩方案进行压缩,同时大量的ASIC芯片提供硬件的压缩模块。但是,现有技术中受限于H.264/H.265的压缩算法,图像只能使用4:2:2的色彩压缩,为了考虑成本和效率,绝大部分ASIC芯片使用4:2:0的压缩。

[0042] 在大部分应用场合,特别是会议,大屏幕显示等要求对单像素图像进行细节还原的场合,必须使用色彩空间4:4:4的采集处理系统。但是,4:2:0的色彩在还原度上不能满足桌面应用的需求。

[0043] 为了解决上述技术问题,本发明提供一种YUV4:4:4图像传输的方法,如图1所示,包括:

[0044] 步骤S1:获取第一YUV4:4:4图像1的数据;

[0045] 步骤S2:FPGA编程系统3接收第一YUV4:4:4图像1的数据,并进行处理得到第一YUV4:2:0图像2和第一编码;

[0046] 步骤S3:将步骤S2中得到的第一编码通过网络发送;将步骤S2中得到的第一YUV4:2:0图像2进行编码,并通过网络发送;

[0047] 步骤S4:FPGA解码系统4接收步骤S3中得到的第一编码,进行解码和还原;将步骤S3中经过编码的第一YUV4:2:0图像2进行解码,得到第二YUV4:2:0图像21;

[0048] 步骤S5:将第二YUV4:2:0图像21输入至FPGA解码系统4,并且和解码后的第一编码进行合并;

[0049] 步骤S6:生成第四YUV4:4:4图像13。

[0050] 本发明提供的YUV4:4:4图像传输的方法,通过将第一YUV4:4:4图像1的数据用FPGA编码系统进行处理,并通过网络传输得到第一YUV4:2:0图像2的编码数据和第一编码,然后再通过FPGA解码系统4进行解码,最终反向还原成第四YUV4:4:4图像13。本发明提供的FPGA的编解码系统不需要DDR和其他外围设备的支持,仅需要使用中低端的FPGA即可实现,第一方面能够在保证图像在最少的失真的情况下,能够提供更加优质的图像画质,提供更加优质的视频播放体验;第二方面,使用FPGA进行编解码,能够保证YUV4:4:4的图像质量,保证桌面应用的色彩还原的需求,适用于对图像质量要求较高的桌面应用等场景;第三方面,在降低成本的基础上,有效地提高了色彩还原度,不仅适用于1080p图像,也适用于4k图像或其它分辨率图像,使得呈现出的图像色彩能够符合大众的需求。

[0051] 优选地,本发明提供的YUV4:4:4图像传输的方法,如图1所示,步骤S2中FPGA编程系统3的编程步骤包括:

[0052] 步骤S11:将第一YUV4:4:4图像1的数据下采样生成第一YUV4:2:0图像2;

[0053] 步骤S12:将第一YUV4:2:0图像2再进行上采样生成第二YUV4:4:4图像11;

[0054] 步骤S13:计算第一YUV4:4:4图像1数据和第二YUV4:4:4图像11的UV残差数据;

[0055] 步骤S14:将步骤S13中的UV残差数据进行无损编码或者轻微的有损编码得到第一编码。

[0056] 步骤S15:通过网络将第一编码发送得到第一码流;

[0057] 步骤S16:将第一YUV4:2:0图像2通过支持YUV4:2:0的编码ASIC进行编码,并通过网络发送得到第二码流。

[0058] 本发明通过设置FPGA编码芯片,将输入的第一YUV4:4:4图像1,下采样成第一YUV4:2:0图像2,再上采样成第二YUV4:4:4图像11。图像从4:4:4变为4:2:0后UV数据丢失,即使上采样回4:4:4图像,也和原图像有残留差异(残差)。FPGA复制计算这个UV残差,对UV残差进行无损编码,或者轻量级的有损编码成第一编码,同时ASIC编码对第一YUV4:2:0图像2进行编码。通过该设置一方面将原有的图像数据通过FPGA进行编码压缩,然后分成两部分输出,保留了UV残差数据,改变了原有的图像压缩后数据丢失的技术方案,提高了容错率;另一方面将第一YUV4:2:0图像2和第一编码通过网络发送得到不同的码流(指视频文件在单位时间内使用的数据流量),能够为后续的解码工作提供辨别基础,便于传输。

[0059] 优选地,本发明提供的YUV4:4:4图像传输的方法,如图1所示,步骤S4中FPGA解码系统4的解码步骤包括:

[0060] 步骤S21:接收第一编码,并进行无损解码,还原成UV残差数据;

[0061] 步骤S22:支持YUV4:2:0解码的ASIC对编码后的第一YUV4:2:0图像2进行解码,生成第二YUV4:2:0图像21;

[0062] 步骤S23:对第二YUV4:2:0图像21进行上采样生成第三YUV4:4:4图像12;

[0063] 步骤S24:将第三YUV4:4:4图像12与还原后的UV残差数据进行合并;

[0064] 步骤S25:生成第四YUV4:4:4图像13。

[0065] 解码时,支持4:2:0编码的ASIC解码第二码流,变为第二YUV4:2:0图像,输入给FPGA,FPGA将收到的第一码流,还原成UV残差数据,与输入到FPGA解码系统4中的第二YUV4:2:0图像21进行合并,最终反向还原成第四YUV4:4:4图像14。通过设置FPGA解码芯片,对于数据的读取而言,数据提取更加方便,有利于提高运算效率从而提高YUV4:4:4图像的解码效率。另外通过FPGA对图像进行编解码,能够有效地实现视觉无损的画质还原。

[0066] 优选地,FPGA编程系统3和FPGA解码系统4均通过FPGA芯片实现,FPGA芯片包括但不限于Xilinx的A7和K7芯片、Intel的Cyclone10和Arria芯片和Lattice芯片中的任意一种。本发明使用的FPGA芯片只需要采用市场上的中低端产品即可实现编解码的功能。

[0067] 优选地,步骤S2通过网络交换机实现网络发送。

[0068] 优选地,ASIC的解码或编码均通过ASIC芯片实现。其中,编码ASIC,包括但不限于海思,瑞芯微,AMLogic,安霸,联咏等提供4:2:0编解码的ASIC芯片;也包括索喜等支持4:2:2的编解码ASIC芯片。其中农耕ASIC芯片只需要支持4:2:0的标准H.264/H.265编解码,上述芯片均可实现YUV4:4:4的图像传输,并且性能稳定,进一步提高YUV4:4:4图像的传输的可靠性,能够有效地降低生产成本。

[0069] 以上所述仅为本发明的优选实施例,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

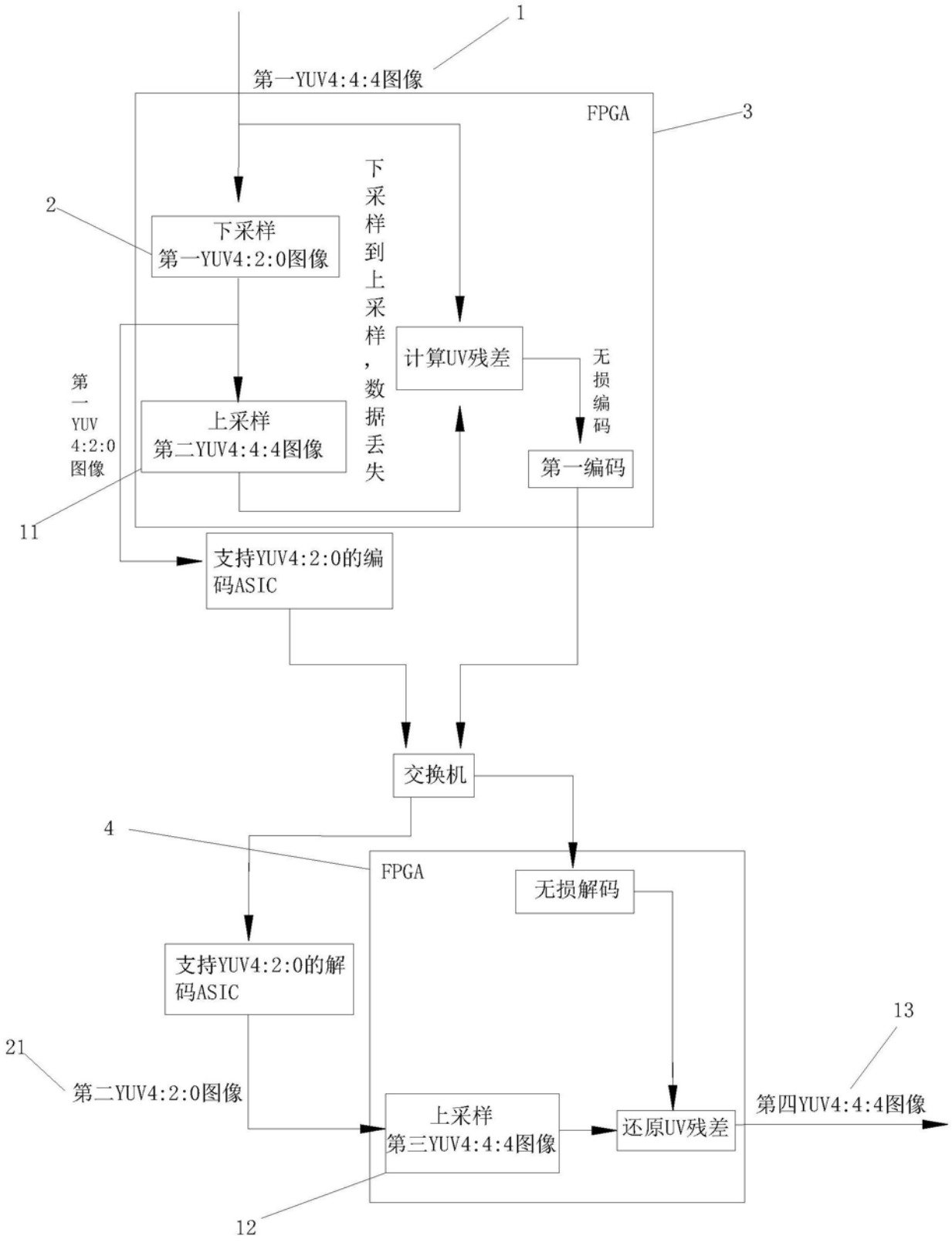

1
第一YUV4:4:4图像
FPGA
3
2
下采样
第一YUV4:2:0图像
下采样到上采样，数据丢失
计算UV残差
无损编码
第一编码
第一YUV4:2:0图像
上采样
第二YUV4:4:4图像
11
支持YUV4:2:0的编码ASIC
交换机
4
FPGA
无损解码
支持YUV4:2:0的解码ASIC
13
21
第二YUV4:2:0图像
上采样
第三YUV4:4:4图像
还原UV残差
第四YUV4:4:4图像
12

图1