

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-530798
(P2008-530798A)

(43) 公表日 平成20年8月7日(2008.8.7)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 5 O 1 W	
	HO 1 L 23/12 E	
	HO 1 L 23/12 N	

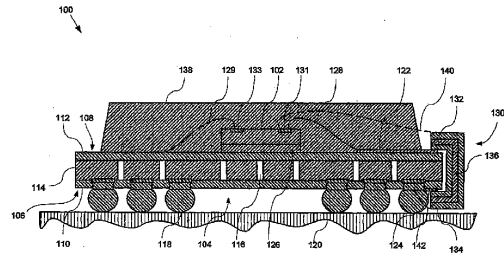
審査請求 未請求 予備審査請求 未請求 (全 17 頁)

<p>(21) 出願番号 特願2007-555108 (P2007-555108)</p> <p>(86) (22) 出願日 平成18年1月19日 (2006.1.19)</p> <p>(85) 翻訳文提出日 平成19年10月4日 (2007.10.4)</p> <p>(86) 国際出願番号 PCT/US2006/002131</p> <p>(87) 国際公開番号 W02006/088609</p> <p>(87) 国際公開日 平成18年8月24日 (2006.8.24)</p> <p>(31) 優先権主張番号 11/056,535</p> <p>(32) 優先日 平成17年2月11日 (2005.2.11)</p> <p>(33) 優先権主張国 米国 (US)</p>	<p>(71) 出願人 501055961 ラムバス・インコーポレーテッド アメリカ合衆国・94022・カリフォルニア州・ロス アルトス・エル カミノ リール・4440</p> <p>(74) 代理人 100079108 弁理士 稲葉 良幸</p> <p>(74) 代理人 100093861 弁理士 大賀 眞司</p> <p>(74) 代理人 100109346 弁理士 大貫 敏史</p> <p>(72) 発明者 リ, ミン アメリカ合衆国, カリフォルニア州 94 539, フレモント, キンタナ ウエイ 1573</p> <p style="text-align: right;">最終頁に続く</p>
---	--

(54) 【発明の名称】 低速および高速信号経路を有する半導体パッケージ

(57) 【要約】

本半導体パッケージは、基板の両側に接続された2つの電気的コンタクトと半導体デバイスとを含む。該基板は、少なくとも部分的に該基板を貫通して延在する少なくとも一つのビアを画定する。本半導体デバイスは、ビアを介して電気的コンタクトの一つに電気的に接続された半導体低速インタフェースと、フレキシブルテープに電気的に接続された半導体高速インタフェースとを含む。フレキシブルテープは、また、電気的コンタクトの他の一つに電気的に接続される。



【特許請求の範囲】**【請求項 1】**

基板の第 1 の側および対向する基板の第 2 の側を有する基板と、
前記基板の第 1 の側で前記基板に接続された複数の電氣的コンタクトと、
前記基板の第 2 の側で前記基板に接続された半導体デバイスと、
前記半導体デバイスと、前記電氣的コンタクトの少なくとも一つとに電氣的に接続された少なくとも一つのフレキシブル導体と、
を含む、半導体パッケージ。

【請求項 2】

前記基板は、少なくとも部分的に前記基板を貫通して延在する 1 つ以上のビアを画定する、請求項 1 に記載の半導体パッケージ。 10

【請求項 3】

前記半導体デバイスは、前記ビアの少なくとも一つを介して前記電氣的コンタクトの少なくとも一つに電氣的に接続された少なくとも一つの半導体低速インタフェースを含む、請求項 2 に記載の半導体パッケージ。

【請求項 4】

前記半導体デバイスは、前記少なくとも一つのフレキシブル導体に電氣的に接続された少なくとも一つの半導体高速インタフェースを含む、請求項 1 に記載の半導体パッケージ。

【請求項 5】

前記基板の第 2 の側上の少なくとも一つの電氣的トレースをさらに含み、前記半導体デバイスと前記少なくとも一つのフレキシブル導体は、1 つ以上のワイヤボンドを介して前記少なくとも一つの電氣的トレースに電氣的に接続される、請求項 1 に記載の半導体パッケージ。 20

【請求項 6】

前記半導体デバイスは、1 つ以上のワイヤボンドを介して前記少なくとも一つのフレキシブル導体に電氣的に接続される、請求項 1 に記載の半導体パッケージ。

【請求項 7】

前記基板は多層ラミネート回路基板である、請求項 1 に記載の半導体パッケージ。

【請求項 8】

前記基板は、前記基板の第 1 の側の基板第 1 導電層と前記基板の第 2 の側の基板第 2 導電層とを有し、前記基板第 1 導電層と前記基板第 2 導電層は、基板絶縁層により分離される、請求項 1 に記載の半導体パッケージ。 30

【請求項 9】

前記電氣的コンタクトは、ハンダボール、ハンダランドまたはピンの配列を含む、請求項 1 に記載の半導体パッケージ。

【請求項 10】

前記半導体デバイスは、ダイ取り付け接着剤層を介して前記基板に機械的に接続される、請求項 1 に記載の半導体パッケージ。

【請求項 11】

前記少なくとも一つのフレキシブル導体は、前記基板に機械的に接続される、請求項 1 に記載の半導体パッケージ。 40

【請求項 12】

前記少なくとも一つのフレキシブル導体は、前記基板の第 1 の側と前記基板の第 2 の側との間で前記基板の端部を包み込む、請求項 1 に記載の半導体パッケージ。

【請求項 13】

前記少なくとも一つのフレキシブル導体は、フレキシブルテープ（フレックステープ）である、請求項 1 に記載の半導体パッケージ。

【請求項 14】

前記フレキシブル導体は、フレキシブル導体絶縁層により分離された少なくとも二つの 50

フレキシブル導体導電層を含む、請求項 1 に記載の半導体パッケージ。

【請求項 15】

前記フレキシブル導体導電層の少なくとも一つは、前記半導体デバイスと、前記電気的コンタクトの少なくとも一つとに電気的に接続される、請求項 14 に記載の半導体パッケージ。

【請求項 16】

前記フレキシブル導体導電層の少なくとも一つはグラウンドプレーンとしての役割を果たす、請求項 14 に記載の半導体パッケージ。

【請求項 17】

前記フレキシブル導体は、
前記半導体デバイスの半導体高速インタフェースと、前記電気的コンタクトの少なくとも一つとに電気的に接続されたフレキシブル導体第 1 導電層と、
グラウンドプレーンとしての役割を果たすように構成されたフレキシブル導体第 2 導電層と、
前記フレキシブル導体第 1 導電層と前記フレキシブル導体第 2 導電層とを分離するフレキシブルテープ絶縁層と、
を含む、請求項 1 に記載の半導体パッケージ。

10

【請求項 18】

前記フレキシブル導体は、
前記基板の第 1 の側の第 1 の部分におけるフレキシブル導体グラウンドプレーンと前記基板の第 1 の側の第 2 の部分におけるフレキシブル導体電源プレーンとを含み、前記フレキシブル導体グラウンドプレーンは前記フレキシブル導体電源プレーンに電気的に接続されていない、フレキシブル導体第 1 導電層と、
前記半導体デバイスの半導体高速インタフェースと、前記電気的コンタクトの少なくとも一つとに電気的に接続されたフレキシブル導体第 2 導電層と、
前記フレキシブル導体第 1 導電層と前記フレキシブル導体第 2 導電層とを分離するフレキシブル導体絶縁層と、
を含む、請求項 1 に記載の半導体パッケージ。

20

【請求項 19】

基板の第 1 の側および対向する基板の第 2 の側と、前記基板を少なくとも部分的に貫通して延在する少なくとも一つのビアと、を画定する基板と、
前記基板の第 1 の側で前記基板に接続された少なくとも第 1 および第 2 の電気的コンタクトと、

30

前記基板の第 2 の側で前記基板に接続された半導体デバイスと、
を含み、

前記半導体デバイスは、

前記ビアを介して前記第 1 の電気的コンタクトに電気的に接続された半導体低速インタフェースと、

半導体高速インタフェースと、

前記半導体高速インタフェースを前記第 2 の電気的コンタクトに電気的に接続するフレキシブルテープと、
を含む、半導体パッケージ。

40

【請求項 20】

前記半導体高速インタフェースは、1 つ以上のワイヤボンドを介して前記フレキシブルテープに電気的に接続される、請求項 19 に記載の半導体パッケージ。

【請求項 21】

前記基板は多層ラミネート回路基板である、請求項 19 に記載の半導体パッケージ。

【請求項 22】

前記基板は、前記基板の第 1 の側の基板第 1 導電層と前記基板の第 2 の側の基板第 2 導電層とを有し、前記基板第 1 導電層と前記基板第 2 導電層は基板絶縁層により分離される

50

、請求項 19 に記載の半導体パッケージ。

【請求項 23】

前記第 1 および第 2 の電気的コンタクトは、ハンダボールまたはバンプの配列を含む、請求項 19 に記載の半導体パッケージ。

【請求項 24】

前記半導体デバイスは、ダイ取り付け接着剤層を介して前記基板の第 2 の側に機械的に接続される、請求項 19 に記載の半導体パッケージ。

【請求項 25】

前記少なくとも一つのフレキシブル導体は、前記基板に機械的に接続される、請求項 19 に記載の半導体パッケージ。

10

【請求項 26】

前記少なくとも一つのフレキシブル導体は、前記基板の第 1 の側と前記基板の第 2 の側との間で前記基板の端部を包み込む、請求項 19 に記載の半導体パッケージ。

【請求項 27】

前記半導体高速インタフェースを前記基板の第 1 の側の複数の電気的コンタクトに電気的に接続する複数のストリップのフレキシブルテープをさらに含む、請求項 19 に記載の半導体パッケージ。

【請求項 28】

前記フレキシブル導体は、フレキシブル導体絶縁層により分離された少なくとも二つのフレキシブル導体導電層を含む、請求項 19 に記載の半導体パッケージ。

20

【請求項 29】

前記フレキシブル導体導電層の少なくとも一つは、前記半導体高速インタフェースと前記第 2 の電気的コンタクトとに電気的に接続される、請求項 28 に記載の半導体パッケージ。

【請求項 30】

前記フレキシブル導体導電層の少なくとも一つは、グラウンドプレーンとしての役割を果たす、請求項 28 に記載の半導体パッケージ。

【請求項 31】

前記フレキシブル導体は、
前記半導体高速インタフェースと前記第 2 の電気的コンタクトとに電気的に接続されたフレキシブル導体第 1 導電層と、
グラウンドプレーンとしての役割を果たすように構成されたフレキシブル導体第 2 導電層と、

30

前記フレキシブル導体第 1 導電層と前記フレキシブル導体第 2 導電層とを分離するフレキシブルテープ絶縁層と、
を含む、請求項 19 に記載の半導体パッケージ。

【請求項 32】

前記フレキシブル導体は、
前記基板の第 1 の側の第 1 の部分のフレキシブル導体グラウンドプレーンと前記基板の第 1 の側の第 2 の部分のフレキシブル導体電源プレーンとを含み、前記フレキシブル導体グラウンドプレーンは前記フレキシブル導体電源プレーンに電気的に接続されていない、フレキシブル導体第 1 導電層と、

40

前記半導体高速インタフェースと、前記第 2 の電気的コンタクトの少なくとも一つとに電気的に接続されたフレキシブル導体第 2 導電層と、

前記フレキシブル導体第 1 導電層と前記フレキシブル導体第 2 導電層とを分離するフレキシブル導体絶縁層と、
を含む、請求項 19 に記載の半導体パッケージ。

【請求項 33】

対向した第 1 と第 2 の側を有するとともに、少なくとも部分的にこれらを通って延在するビアを画定する基板と、

50

前記基板の第 1 の側に接続された第 1 および第 2 の電気的コンタクトと、

前記基板の第 1 の側から前記基板の第 2 の側へ延在するとともに、前記第 1 の電気的コンタクトに電気的に接続されたフレキシブルテープと、

前記基板の第 2 の側に接続された半導体デバイスであって、前記ビアを介して前記第 2 の電気的コンタクトに電気的に接続された半導体低速インタフェースと、前記フレキシブルテープに電気的に接続された半導体高速インタフェースとを含む、半導体デバイスと、を含む、半導体パッケージ。

【請求項 3 4】

プリント回路基板と、

前記プリント回路基板に電気的にかつ機械的に接続された 1 つ以上の半導体パッケージと、

10

を含む高速信号と低速信号をルーティングするためのシステムであって、前記 1 つ以上の半導体デバイスのそれぞれは、

対向した第 1 および第 2 の側を有するとともに、少なくとも部分的にこれらを通して延在するビアを画定する基板と、

前記基板の第 1 の側に接続された少なくとも第 1 および第 2 の電気的コンタクトと、

前記基板の第 1 の側から前記基板の第 2 の側へ延在するとともに、前記第 1 の電気的コンタクトに電気的に接続されたフレキシブルテープと、

前記基板の第 2 の側に接続された半導体デバイスであって、前記ビアを介して前記第 2 の電気的コンタクトに電気的に接続された半導体低速インタフェースと、前記フレキシブルテープに電気的に接続された半導体高速インタフェースとを含む、半導体デバイスと、を含む、

20

システム。

【請求項 3 5】

プリント回路基板と、

前記プリント回路基板に電気的かつ機械的に接続された 1 つ以上の半導体パッケージと

を含む、高速信号と低速信号をルーティングするためのシステムであって、前記 1 つ以上の半導体デバイスのそれぞれは、

対向した第 1 および第 2 の側を有するとともに、少なくとも部分的にこれらを通して延在するビアを画定する基板と、

30

前記基板の第 2 の側に接続された半導体デバイスであって、半導体低速インタフェースと半導体高速インタフェースとを含む、半導体デバイスと、

前記基板の第 1 の側に接続されるとともに、前記ビアを介して前記低速インタフェースに電気的に接続された少なくとも一つの電気的コンタクトと、

前記高速インタフェースを前記プリント回路基板に電気的に接続するフレキシブルテープと、を含む、

システム。

【請求項 3 6】

フレキシブル導体と、半導体デバイスから分離された複数の電気的コンタクトとを有する半導体パッケージにおいて、少なくとも部分的に基板を貫通する 1 つ以上のビアを画定する基板により信号をルーティングする方法であって、

40

低速信号を 1 つ以上の前記ビアを介して前記半導体デバイスから前記電気的コンタクトの少なくともいくつかにルーティングすること、および、

前記フレキシブル導体を介し、前記半導体デバイスから前記電気的コンタクトの少なくともいくつかに高速信号をルーティングすること、

を含む方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

50

本明細書で開示される実施形態は、半導体デバイスに関し、特に、高速信号と低速信号とを半導体とマザーボードとの間で別個にルーティングするシステムと方法に関する。

【背景技術】

【0002】

コンピュータシステムが進化するにつれて、速度および性能の向上に対する要求も進化する。半導体パッケージ（集積回路（IC）またはチップパッケージとしても知られる）は、システム性能に重要な影響を与え続けているため、パッケージングデザインもまた、性能の向上に対する要求に対応するために進化し続けてきた。実際、システム周波数とエッジレート速度が高くなるにつれ、パッケージの影響はますます重要になってきた。これらのパッケージの影響は、パッケージを設計する際、システム設計者に多くの課題を与える。例えば、システム設計者は、半導体 - 基板間インタフェース、基板自体、および基板 - PCB間（プリント回路基板）インタフェースにおいて、トレースインピーダンス、クロストーク、スキュー、および主としてインピーダンス不連続性を考慮する必要がある。

10

【0003】

ボールグリッドアレイ（BGA）パッケージにおける半導体 - 基板間インタフェースは、通常、ボンディングワイヤまたはフリップチップパンプによって行なわれる。これは半導体 - 基板間インタフェースにおけるインピーダンス不連続性を生成するが、このインピーダンス不連続性は、低いパンプ高または短いワイヤ長により最小化することができる。同様に、基板 - PCB基板間インタフェースにおけるハンダボールは、また、インピーダンス不連続性を引き起こすが、これは基板上および/またはPCB上にアンチパッドを使用することにより制御することができる。しかしながら、これらの低いパンプ高、短いワイヤ長、またはアンチパッドは、設計複雑性を増し、いくつかのパッケージ構造に対し好適ではないと考えられる。

20

【0004】

さらに、従来の低価格なラミネート基板において使用されるビアと誘電材料は、また、高速シグナリングに対する問題を生じさせる。例えば、多層基板を貫通して延在するスルーホールビアは、しばしば未使用部分を形成するか、あるいは寄生容量を加え信号反射を生じさせるスタブを形成し、これらは両方とも信号品質を低下させる。ビアのスタブ部分を減らすためにはバックドリルおよび他の技術を使用することができるが、このような努力は製作コストをさらに増加させ、また、いくつかのパッケージ構造に対しては、好適または可能でないかもしれない。つい最近では、高速信号に対するインピーダンス不連続性を制御するために、小さなビアを有するセラミック基板、あるいは調整可能なビルドアップ層と小さなビアとを有する基板がBGAパッケージにおいて使用されてきた。しかしながら、これらの新しい基板は、通常、非常に高価である。従って、現在の基板は、低性能で低コストか、あるいは高性能で高コストかのいずれかである。従って、半導体パッケージにおいて使用される高性能であるが低コストな基板は非常に望ましいであろう。

30

【0005】

また、現在のパッケージ設計は高速信号と低速信号の両方を含むことができるが、信号のすべてが高速信号に対して払われる詳細な設計配慮を必要とするものではない。従って、高速信号に対するパッケージの影響のみに対処するシステムが非常に望ましいであろう。

40

【発明を実施するための最良の形態】

【0006】

本発明の性質と目的をよりよく理解するためには、添付図面と併せて以下の詳細な説明を参照すべきである。

【0007】

同じ参照符号は、添付図面のいくつかの図にわたって同じまたは類似の部品を指す。

【0008】

以下の説明では様々な半導体パッケージを詳述する。いくつかの実施形態では、本半導体パッケージは、基板、少なくとも一つの電氣的コンタクト、半導体デバイス、および少

50

なくとも一つのフレキシブル導体を含む。該基板は、基板の第1の側と、対向する基板の第2の側とを有する。少なくとも一つの電気的コンタクトは基板の第1の側で基板に機械的に接続され、一方、該半導体デバイスは基板の第2の側で基板に機械的に接続される。いくつかの実施形態では、電気的コンタクトはハンダボール、ハンダランドまたはピンである。

【0009】

少なくとも一つのフレキシブル導体が、該半導体デバイスおよび少なくとも一つの電気的コンタクトに電気的に接続される。いくつかの実施形態では、半導体パッケージは、また、基板の第2の側上に少なくとも一つの電気的トレースを含む。これらの実施形態では、該半導体デバイスと少なくとも一つのフレキシブル導体とは、少なくとも一つの電気的トレースに電気的に接続される。該半導体デバイスは、また、基板の第2の側から基板の第1の側へ基板を貫通する1つ以上のビアを介して電気的コンタクトに電気的に接続することができる。

10

【0010】

様々な半導体パッケージはすべて、低速信号と高速信号を別々に処理する。例えば、低速信号は、半導体デバイス上の半導体低速インタフェースから1つ以上のワイヤボンダに、1つ以上のワイヤボンダから1つ以上のビアに、該ビアから1つ以上のハンダボールに、そして該ハンダボールからPCBに伝わる(逆も同様)。低速信号とは異なり、高速信号は、半導体デバイス上の半導体高速インタフェースから1つ以上のワイヤボンダに、該ワイヤボンダから基板の第2の側上の1つ以上のマイクロのストリップ導体に、該導体からフレックステープに、そして該フレックステープからハンダボールに伝わる(逆もまた同様)。それ故、高速信号はビアを貫通することを避け、これにより、ビアを起因とするインピーダンス不連続性、寄生容量、および望ましくない信号反射を低減する。いくつかの実施形態では、高速信号は1GHz以上の周波数で伝わる電気信号である。

20

【0011】

図1は半導体パッケージ100の側断面図である。半導体パッケージ100は、基板104上に搭載された半導体デバイス102を含む。基板104は、実質的に平面であり、基板の第1の側106および対向する基板の第2の側108を有する。いくつかの実施形態では基板104は多層ラミネート回路基板である。図1に示す実施形態では、基板は、基板絶縁層114により基板第2導電層112から分離された基板第1導電層110を有する。基板導電層110、112は、銅等からなるトレースパターンを形成することができる。例えば、少なくとも一つの導体またはトレース122を基板の第2の側108に形成することができ、そして少なくとも一つの導体またはトレース124を基板の第1の側106に形成することができる。

30

【0012】

絶縁層は、FR4(Flame Retardant 4:難燃剤)等から構成することができる。さらに、1つ以上のビア116は、例えば、第1および第2導電層110、112を電気的に接続するために、少なくとも部分的に基板を貫通する導通経路を形成することができる。ビアは、2つ以上の層が相互に接続する適切な場所に基板を貫通して穴を空け、銅が穴を貫通して流れるようにする等により、任意の好適な技術により形成することができる。銅は、穴の両側のみを覆ってもよいし、あるいは穴全体を埋めてもよい。

40

【0013】

本半導体パッケージは、また、基板の第1の側106に機械的に接続された1つ以上の電気的コンタクト118を含むことができる。いくつかの実施形態では、これらの電気的コンタクトは、ハンダボール、ハンダランドまたはピンの配列であってよく、ここではハンダボールが半導体パッケージとプリント回路基板間の接点を提供する。図1に示す実施形態では、これらの電気的コンタクト118は基板第1導電層110に電気的に接続される。半導体パッケージ100が取り付けられるとき、電気的コンタクト118はプリント回路基板(PCB)120に電気的および/または機械的に接続される。

【0014】

50

半導体デバイス102は基板の第2の側108に機械的に接続される。いくつかの実施形態では、半導体デバイス102はダイ取り付け接着剤層126を介し基板の第2の側108に機械的に接続される。このダイ取り付け接着剤層126は、特定のアプリケーションに依存して熱的伝導性または電氣的伝導性であってもよいしそうでなくてもよい。図1に示す実施形態では、第1のワイヤボンド128は半導体デバイスの半導体高速インタフェース131に電氣的に接続される。同様に、第2のワイヤボンド129は半導体デバイスの半導体低速インタフェース133に電氣的に接続される。ワイヤボンドは、一端で裸の半導体デバイスの電氣的コンタクトパッドに接着されるとともに、他端で半導体パッケージ基板の金属リードに接着される金属配線（通常、アルミまたは金）を使用する。半導体デバイス102を基板の第2の側108（図1）で電氣的トレースまたは導体510に電氣的に接続するワイヤボンド512の一例を図5に示す。

10

【0015】

図1に示す実施形態では、少なくとも一つの第2のワイヤボンド129は、半導体デバイス102の半導体低速インタフェース133を基板第2導電層112に電氣的に接続する。次に、少なくとも導電層112の一部は、1つ以上のビア116を介して1つ以上の電氣的コンタクト118に電氣的に接続される。該ビアを介した半導体デバイス102と電氣的コンタクト118間のこの電氣的接続は、ビアを介して低速信号をルーティングできるようにし、これにより低速信号をルーティングするために低コストの基板が使用できるようにする。また、この実施形態では、少なくとも第1のワイヤボンド128は、半導体デバイス102の半導体高速インタフェース131を基板の第2の側108の1つ以上の

20

【0016】

また、フレキシブル導体130が、基板の第1と第2の側106、108にそれぞれ接続される。フレキシブル導体130は単一層であってもよいが、いくつかの実施形態では、図1に示すように、フレキシブル導体130は多層フレキシブルテープ（フレックステープ）である。この実施形態では、フレキシブル導体130は、フレキシブル導体絶縁層136によりフレキシブル導体第2導電層134から分離されたフレキシブル導体第1導電層132を含む。フレキシブル導体絶縁層136は任意のタイプの可撓性絶縁材でよいが、いくつかの実施形態ではその誘電材料としてポリイミドを含む。基板104の基板絶縁層114における誘電材料と比較し、フレキシブル導体におけるポリイミドは低い誘電率かつ低い損失係数を有する。従って、フレキシブル導体130は、マイクロストリップライン設計によりより良好なインピーダンス制御性を有する。

30

【0017】

この実施形態では、フレックステープの3つの層132、134、136はすべて、基板の第1の側106から基板の第2の側108に延在する。また、この実施形態では、フレキシブル導体130は基板104の少なくとも一つの端部を包み込む。従って、フレキシブル導体130は屈曲可能であり、基板の端部の周囲に適合するように形成することができる。これはフレキシブル導体130の長さを最小化するのに役立ち、これによりいかなる信号の完全性損失も低減する。フレキシブル導体130は、異方性導電性接着剤（ACA）テープを用いてフレキシブル導体を基板に接着することにより、あるいはフレキシブル導体を機械的なクリップにより基板に接続することにより等、任意の好適な手段を使用することにより基板104に機械的に接続することができる。

40

【0018】

いくつかの実施形態では、フレキシブル導体第1導電層132は、基板の第2の側108のトレースまたは導体122を、基板の第1の側106のトレースまたは導体124に電氣的に接続する。従って、半導体デバイスは、1つ以上のワイヤボンド128、トレース122、フレキシブル導体第1導電層132、トレース124、および1つ以上の電氣的コンタクト118を経てPCB120に電氣的に接続される。この信号経路は、半導体デバイスの半導体高速インタフェースとPCB120との間で高速信号を伝達するために用いられる。従って、高速信号はビア116を介するのではなくフレキシブル導体130

50

を介してルーティングされ、これによりピア 1 1 6 を介する信号経路に伴う信号完全性問題を回避する。

【 0 0 1 9 】

図示された実施形態では、フレキシブル導体第 2 導電層 1 3 4 はグランドプレーンとして使用することができる。別の実施形態では、フレキシブル導体第 1 導電層 1 3 2 はグランドプレーンとしての役割を果たすことができ、一方、フレキシブル導体第 2 導電層 1 3 4 は高速信号を伝達するために用いられてよい。この実施形態では、フレキシブル導体第 2 導電層 1 3 4 は、ワイヤボンダ 1 4 0 を介して半導体デバイス 1 0 2 に電氣的に接続され、そして別のワイヤボンダまたは他の導体 1 4 2 を介して 1 つ以上の電氣的コンタクト 1 1 8 に電氣的に接続される。あるいは、図 4 に示すように、半導体デバイスは基板の第 2 の側 1 0 8 のトレースまたは導体 4 2 0 にワイヤボンダされ、次に、フレキシブル導体第 2 導電層 4 0 8 にワイヤボンダされる。

10

【 0 0 2 0 】

さらに別の実施形態では、フレキシブル導体第 1 および第 2 導電層 1 3 2、1 3 4 両方が高速信号キャリアとしての役割を果たすことができる。別の実施形態では、フレキシブル導体第 1 および第 2 導電層 1 3 2、1 3 4 のいずれかがグランドプレーンとしての役割を果たしてもよく、一方、他の層は高速信号キャリアとしての役割を果たす。

【 0 0 2 1 】

いくつかの実施形態では、半導体デバイス 1 0 2、ワイヤボンダ 1 2 8、1 2 9、および基板の第 2 の側 1 0 8 の少なくとも一部は、成形コンパウンド等により覆われてもよいし、あるいは容器 1 3 8 内に封じ込められてもよい。該容器は、装置を保護する絶縁体としての、および / または装置からの熱を放散するヒートシンクまたはスプレッドとしての役割を果たすことができる。

20

【 0 0 2 2 】

上記説明に照らすと、いくつかの実施形態では、高速信号が半導体高速インタフェース 1 3 1 からボンダワイヤに沿って基板第 2 導電層 1 1 2 上の 1 つ以上のトレースに伝わりと理解される。次に、高速信号はフレキシブル導体 1 3 0 の導電層から基板の第 1 の側 1 0 6 の端部に伝わる。最終的に、高速信号は最も近いハンダボール 1 1 8 を介して PCB 1 2 0 に伝わる。このようにして、高速信号は、パッケージ基板を介して伝わることを回避し、フレキシブル導体 1 3 0 を介し、最小のインピーダンス不連続性で伝わる。

30

【 0 0 2 3 】

図 2 は別の半導体パッケージ 2 0 0 の側断面図である。この半導体パッケージ 2 0 0 は図 1 に示す半導体パッケージ 1 0 0 に類似している。但し、この半導体パッケージ 2 0 0 は基板の周囲を完全に覆ったフレキシブル導体 2 0 2 を含む、すなわち該フレキシブル導体は実質的に基板の第 1 と第 2 の側にわたって延在する。この実施形態では、図 1 に示す半導体パッケージ 1 0 0 の場合と同様に、半導体デバイス 1 0 2 と電氣的コンタクト 1 1 8 は基板にではなくフレキシブル導体 2 0 2 に接続される。ピア 2 0 4、2 0 6、2 0 8 は、基板および / またはフレキシブル導体 2 0 2 の少なくとも一部を介して延在することができる。図 1 に示した半導体パッケージ 1 0 0 と同様に、低速信号は基板内のピアおよび / またはフレキシブル導体 2 0 2 を介して伝わり、一方、高速信号は基板の端部の周囲のフレキシブル導体導電層に沿って 1 つ以上の電氣的コンタクト 1 1 8 に伝わる。

40

【 0 0 2 4 】

図 3 は、さらに別の半導体パッケージ 3 0 0 の側断面図である。この半導体パッケージ 3 0 0 もまた、図 1 に示す半導体パッケージ 1 0 0 に類似している。但し、この半導体パッケージ 3 0 0 は、半導体デバイス 3 0 2 のアクティブ領域が基板に向かって下方に対向して「反転される」フリップチップ設計を含む。図 1 に示すようにフェイスアップにしてワイヤボンダ 1 2 8、1 2 9 を使用する代わりに、フリップチップの任意の表面領域を相互接続のために使用することができるが、これは、通常、ハンダ、銅、ニッケル、金またはそれらの合金のメタルバンプまたはボール 3 0 6 を介して行われる。これらのボールまたはバンプ 3 0 6 は基板上にハンダ付けされ、エポキシ樹脂によりアンダーフィルされる

50

。フリップチップは、ワイヤより短い距離を有する多くの相互接続を可能にするが、これはインダクタンスを大幅に低減する。ボールまたはバンプ306の少なくともいくつかは、フレキシブル導体130および1つ以上のトレース304を介して1つ以上の電気的コンタクトに電気的に接続される半導体高速インタフェースであり、一方、該ボールまたはバンプ306の少なくともいくつかは、1つ以上のビア116を介して1つ以上の電気的コンタクトに電気的に接続される半導体低速インタフェースである。従って、上記の実施形態と同様に、高速信号はフレキシブル導体130を介して、そして基板内のビア116を介さずに伝わる。

【0025】

図4は、他の半導体パッケージ400の側断面図である。この半導体パッケージ400もまた、図1に示す半導体パッケージ100に類似している。但し、この半導体パッケージ400は、切断されているかまたは連続的でないフレキシブル導体第1導電層404を有するフレックステープなどのフレキシブル導体402を含む。特に、該フレキシブル導体第1導電層404は、基板第1導電層110に電気的に接続される第1の部分422と、基板第2導電層112に電気的に接続される第2の部分420とを有する。第1の部分422と第2の部分420は互いに電気的に接続されなく、例えば、絶縁体またはエアギャップ410により分離される。フレキシブル導体402は、また、フレキシブル導体絶縁層406により第1導電層から分離されたフレキシブル導体第2導電層408を含む。フレキシブル導体第2導電層408は、第1のワイヤボンダ412、トレース424、第2のワイヤボンダ426を経て半導体デバイス的高速インタフェースに電気的に接続される。あるいは、フレキシブル導体第2導電層408は、1つ以上のワイヤボンダ428を介して半導体デバイス的高速インタフェースに電気的に直接接続される。

【0026】

フレキシブル導体第2導電層408もまた、第2のワイヤボンダまたは導体414を介して1つ以上の電気的コンタクト118に電気的に接続される。この実施形態では、基板第1導電層110は電源プレーンとしての役割を果たし、一方、基板第2導電層112はグランドプレーンとしての役割を果たす（逆もまた同様）。このことは、フレキシブル導体第1導電層404が、第1と第2の部分422、420間のエアギャップのために基板第1および第2導電層を互いに電気的に接続しないので、可能となる。上述の実施形態と同様に、該半導体デバイスの半導体高速インタフェースと電気的コンタクト118間的高速通信は、フレキシブル導体402の導電層を介して発生する。

【0027】

図5は別の半導体パッケージ500の斜位像である。この半導体パッケージ500は図1に示す半導体パッケージ100に類似している。半導体パッケージ500は、基板104に接続された半導体デバイス102を含む。上述のように、半導体デバイス102は、多くの手段を介し電気的コンタクト（同図に図示せず）に電気的に接続することができる。例えば、半導体デバイス102は、1つ以上のワイヤボンダ512を介して基板の第2の側のトレース510に電気的に接続することができる。次に、これらのトレースは、1つ以上のビア522に電気的に接続することができ、次にこれらのビア522は、基板の第1の側の電気的コンタクトに電気的に接続することができる。同様に、半導体デバイス102は、また、1つ以上のワイヤボンダを介して1つ以上のビア514に電気的に直接接続することができる。

【0028】

さらに、半導体デバイス102は、基板上のトレース520に電気的に接続される1つ以上のワイヤボンダ518を介して電気的コンタクトに電気的に接続することができ、次に基板上のトレース520はフレキシブル導体516に電気的に接続される。フレキシブル導体516は電気的コンタクトに電気的に接続される。同様に、半導体デバイス102もまた、ワイヤボンダおよび/またはトレースに第1に接続されることなく、基板104の端部を包み込むフレキシブル導体508を介して電気的コンタクトに電気的に直接接続することができる。その代わりに、あるいはそれに加え、半導体デバイス102は、基板

10

20

30

40

50

104内のスロット506を貫通する別のフレキシブル導体504を介して電氣的コンタクトに電氣的に接続することができる。すなわち、フレキシブル導体504は、基板の第2の側の近くの半導体デバイスを基板の第1の側の近くの電氣的コンタクトに電氣的に接続する必要があるのみで、基板104の端部を包み込む必要はない。従って、高速信号の数に依存して、フレックステーブなどのフレキシブル導体は、複数の場所で半導体に電氣的に接続されてもよく、また、基板内のスロットを貫通するだけでなく、基板の任意の端部またはすべての端部を包み込んでよい。

【0029】

図6は別の半導体パッケージ600の側断面図である。このパッケージは、図2と図3に示す半導体パッケージ200、300のそれぞれに類似している。半導体パッケージ600は、基板の周囲を完全に包み込むフレキシブル導体602を含む、すなわち、フレキシブル導体は実質的に基板の第1と第2の側にわたって延在する。半導体パッケージ600は、また、図3に示すフリップチップ半導体デバイス302と同様なフリップチップ604を含む。ビアは、基板および/またはフレキシブル導体602の少なくとも一部を介して延在することができる。上述の半導体パッケージと同様に、低速信号は基板内のビアおよび/またはフレキシブル導体604を介して伝わり、一方、高速信号は基板の端部の周囲のフレキシブル導体導電層に沿って1つ以上の電氣的コンタクトに伝わる。

10

【0030】

図7は、さらに別の半導体パッケージ700の側断面図である。この半導体パッケージは図1に示す半導体パッケージ100に類似している。但し、半導体パッケージ700は、半導体パッケージ700をマザーボードなどのプリント回路基板(PCB)720に電氣的に直接接続するフレックステーブなどのフレキシブル導体730を含む。すなわち、フレキシブル導体730の一端は、基板に電氣的および/または機械的に接続され、その他端はPCB720に電氣的および/または機械的に接続される。フレキシブル導体730は、PCB720上に直接ハンダ付けされることによるなど任意の好適な手段によりPCB720に接続してもよいし、あるいは1つ以上の別のワイヤボンドを介してPCB720に電氣的に接続してもよい。

20

【0031】

上述のように、低速信号は、半導体デバイス702から基板内のビア776を介し1つ以上の電氣的コンタクト778上に伝わる。しかしながら、高速信号は、半導体デバイス702から、1つ以上のワイヤボンドおよび/または電氣的トレースを介してそしてフレキシブル導体を介し、次にPCB720上に直接に伝わる。この設計は、フレキシブル導体-電氣的コンタクトインタフェースにおいて、そして電氣的コンタクト-PCBインタフェースにおいて発生し得るいかなるインピーダンス不連続性をもさらに低減する。

30

【0032】

図8は、さらに別の半導体パッケージ800の側断面図である。この半導体パッケージは、図3と図7それぞれに示す半導体パッケージ300、700に類似している。半導体パッケージ800は、実質的に基板の第1の側804にわたって延在するフレキシブル導体830を含む。半導体パッケージ800は、また、図3に示すフリップチップ半導体デバイス302と同様なフリップチップ802を含む。ビアは、基板および/またはフレキシブル導体830の少なくとも一部を介して延在することができる。

40

【0033】

フレキシブル導体830は、半導体パッケージ800をマザーボードなどのプリント回路基板(PCB)820に電氣的に直接接続する。すなわち、フレキシブル導体830の一端は基板に電氣的および/または機械的に接続され、その他端はPCB820に電氣的および/または機械的に接続される。フレキシブル導体830は、PCB820上に直接ハンダ付けされることによるなど任意の好適な手段によりPCB820に接続されてよいし、あるいは1つ以上の別のワイヤボンドを介してPCB820に電氣的に接続されてもよい。

【0034】

50

図7に関連して上述した半導体パッケージと同様に、低速信号は半導体デバイス802から基板内のビアを介して1つ以上の電気的コンタクト上に伝わる。しかしながら、高速信号は、半導体デバイス802からフレキシブル導体830を介して直接PCB820上に伝わる。この設計は、フレキシブル導体 - 電気的コンタクトインタフェースにおいて、そして電気的コンタクト - PCBインタフェースにおいて発生し得るすべてのインピーダンス不連続性を低減する。

【0035】

上記1つ以上の実施形態では、高速信号と、低速またはより低速の信号との両方は、基板の第2の側に接続された半導体デバイスと基板の第1の側上の電気的コンタクトとの間で、1つ以上のフレキシブル導体により搬送されてもよい。

10

【0036】

別の実施形態では、上記半導体パッケージは、例えば、論理装置とメモリ装置が単一のパッケージ内で積層されるシステムインパッケージ(SiP)装置において使用することができる。

【0037】

これまでの説明と添付図面は本発明の好ましい実施形態を表わしているが、添付の特許請求の範囲に定義されるような本発明の精神と範囲から逸脱することなく、様々な追加と変形と置換が本明細書内で行なわれ得ることが理解される。特に、本発明は、本発明の精神または本質的特質から逸脱することなく、他の特定の様式、構造、配置、比率において、および他の要素、材料、部品により具現され得ることは当業者にとって明らかである。例えば、半導体デバイスに対する半導体パッケージの寸法の比率は、半導体パッケージがチップスケールパッケージ(CSP)となるように異なってもよく、ここでは半導体パッケージは、半導体デバイス自体よりわずかに大きい容器である。例えば、半導体パッケージは、半導体デバイス自体の寸法の1.2倍以下であってもよい。従って、ここに開示された実施形態は、あらゆる点で例示的であって限定的でないと考えべきであり、本発明の範囲は、添付された特許請求の範囲により示されており、これまでの説明に限定されるものではない。

20

【図面の簡単な説明】

【0038】

【図1】本発明の実施形態による、半導体パッケージの側断面図である。

30

【図2】本発明の別の実施形態による、別の半導体パッケージの側断面図である。

【図3】本発明のさらに別の実施形態による、さらに別の半導体パッケージの側断面図である。

【図4】本発明の他の実施形態による、他の半導体パッケージの側断面図である。

【図5】本発明の別の実施形態による、別の半導体パッケージの斜位像である。

【図6】本発明の別の実施形態による、別の半導体パッケージの側断面図である。

【図7】本発明のさらに別の実施形態による、さらに別の半導体パッケージの側断面図である。

【図8】本発明の他の実施形態による、他の半導体パッケージの側断面図である。

【 図 5 】

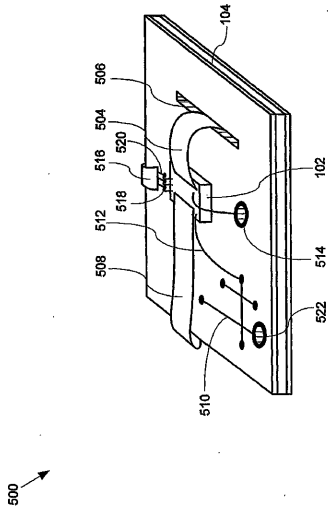


FIG. 5

【 図 6 】

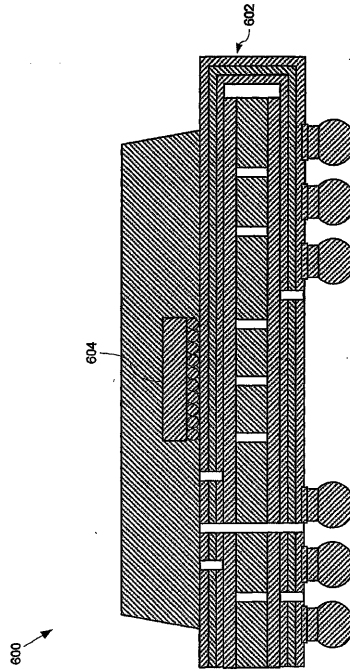


FIG. 6

【 図 7 】

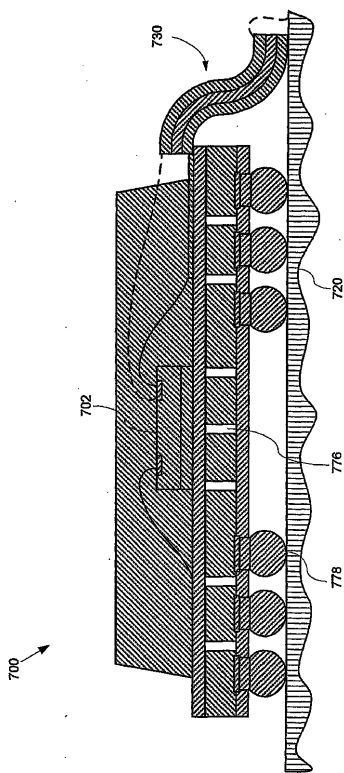


FIG. 7

【 図 8 】

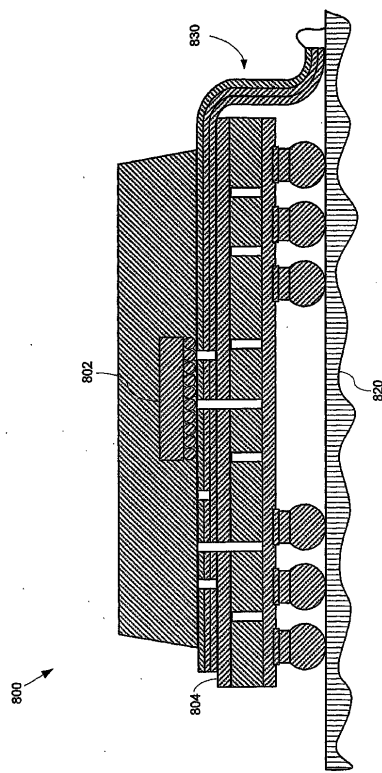


FIG. 8

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No PCT/US2006/002131

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L23/498		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 854 534 A (BEILIN SOLOMON I [US] ET AL) 29 December 1998 (1998-12-29) the whole document	1-36
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the International filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the International filing date but later than the priority date claimed "T" later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
29 September 2006		31/10/2006
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Prohaska, Georg

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2006/002131

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5854534	A	NONE	

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 カーリリ, サイェー

アメリカ合衆国, カリフォルニア州 9 5 1 2 9, サン ノゼ, エングルウッド ドライブ 4 7
0 9

(72)発明者 マレン, ドナルド, アール.

アメリカ合衆国, カリフォルニア州 9 4 0 4 0, マウンテン ビュー, カリフォルニア ストリ
ート 1 9 5 7