

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2024-135217

(P2024-135217A)

(43)公開日 令和6年10月4日(2024.10.4)

(51)国際特許分類		F I		テーマコード(参考)	
H 0 1 L	27/146(2006.01)	H 0 1 L	27/146	A	4 M 1 1 8
H 0 1 L	21/3205(2006.01)	H 0 1 L	21/88	S	5 F 0 3 3
H 0 1 L	21/8234(2006.01)	H 0 1 L	21/88	T	5 F 0 3 8
H 0 1 L	21/822(2006.01)	H 0 1 L	21/88	J	5 F 0 4 8
		H 0 1 L	27/088	E	
		審査請求	未請求	請求項の数	20
				O L	(全29頁) 最終頁に続く

(21)出願番号 特願2023-45788(P2023-45788)

(22)出願日 令和5年3月22日(2023.3.22)

(71)出願人 000001007

キヤノン株式会社
東京都大田区下丸子3丁目30番2号

(74)代理人 110003281

弁理士法人大塚国際特許事務所

(72)発明者 上平 晃聖

東京都大田区下丸子3丁目30番2号
キヤノン株式会社内

(72)発明者 関根 寛

東京都大田区下丸子3丁目30番2号
キヤノン株式会社内

Fターム(参考) 4M118 AA10 AB01 BA09 BA14

CA02 CA34 CB13 EA14

FA27 FA28 GA08 GB03

GB07 GB15 GD04 GD14

最終頁に続く

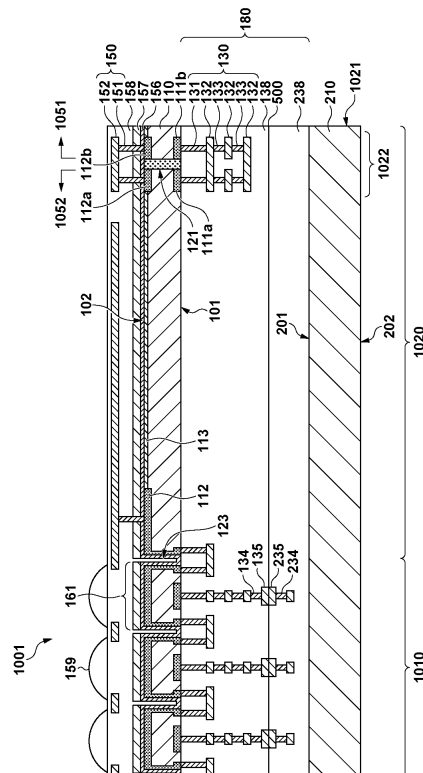
(54)【発明の名称】 半導体装置および機器

(57)【要約】

【課題】半導体素子の不具合の発生の抑制に有利な技術を提供する。

【解決手段】第1主面と第2主面を備える半導体層と第1主面に接するように配された第1絶縁層と第2主面に接するように配された第2絶縁層とを含み、半導体層は、半導体層を貫通するトレンチによって半導体層において電氣的に分離された第1部分、および、半導体素子が配された第2部分を含み、第1部分は、第1主面の一部を構成する第1導電型の第1半導体領域と第2主面の一部を構成する第1導電型とは反対の第2導電型の第2半導体領域とを含み、第2部分は、第1主面の一部を構成する第1導電型の第3半導体領域と第2主面の一部を構成する第2導電型の第4半導体領域とを含み、第1絶縁層に、第1半導体領域と第3半導体領域とを電氣的に接続するための第1導電経路が配され、第2絶縁層に、第2半導体領域と第4半導体領域とを電氣的に接続するための第2導電経路が配されている。

【選択図】図2



【特許請求の範囲】

【請求項 1】

第 1 主面と前記第 1 主面とは反対側の第 2 主面を備える半導体層と、前記第 1 主面に接するように配された第 1 絶縁層と、前記第 2 主面に接するように配された第 2 絶縁層と、を含む半導体装置であって、

前記半導体層は、前記半導体層を貫通するトレンチによって前記半導体層において電氣的に分離された第 1 部分、および、半導体素子が配された第 2 部分を含み、

前記第 1 部分は、前記第 1 主面の一部を構成する第 1 導電型の第 1 半導体領域と、前記第 2 主面の一部を構成する前記第 1 導電型とは反対の第 2 導電型の第 2 半導体領域と、を含み、

前記第 2 部分は、前記第 1 主面の一部を構成する前記第 1 導電型の第 3 半導体領域と、前記第 2 主面の一部を構成する前記第 2 導電型の第 4 半導体領域と、を含み、

前記第 1 絶縁層に、前記第 1 半導体領域と前記第 3 半導体領域とを電氣的に接続するための第 1 導電経路が配され、

前記第 2 絶縁層に、前記第 2 半導体領域と前記第 4 半導体領域とを電氣的に接続するための第 2 導電経路が配されていることを特徴とする半導体装置。

【請求項 2】

前記半導体素子は、前記第 2 導電型の第 5 半導体領域を含み、

前記第 4 半導体領域は、前記第 5 半導体領域に電氣的に接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記半導体素子が、フォトダイオードおよびアバランシェフォトダイオードのうち少なくとも一方を含むことを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記トレンチに絶縁体が埋め込まれていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記絶縁体と前記トレンチの表面との間に、金属または金属酸化物が配されていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記第 1 部分が、前記第 2 部分を取り囲むように配されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】

前記第 1 部分が、前記半導体層の外縁の少なくとも一部を構成していることを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

前記半導体層は、前記第 1 部分と前記半導体層の外縁との間に配された第 3 部分をさらに含み、

前記トレンチを第 1 トレンチとして、前記半導体層には、前記第 1 部分と前記第 3 部分とを前記半導体層において電氣的に分離するように前記半導体層を貫通する第 2 トレンチが配され、

前記第 1 部分は、前記第 1 主面の一部を構成する第 1 導電型の第 6 半導体領域と、前記第 2 主面の一部を構成する前記第 2 導電型の第 7 半導体領域と、をさらに含み、

前記第 3 部分は、前記第 1 主面の一部を構成する前記第 1 導電型の第 8 半導体領域と、前記第 2 主面の一部を構成する前記第 2 導電型の第 9 半導体領域と、を含み、

前記第 1 絶縁層に、前記第 6 半導体領域と前記第 8 半導体領域とを電氣的に接続するための第 3 導電経路が配され、

前記第 2 絶縁層に、前記第 7 半導体領域と前記第 9 半導体領域とを電氣的に接続するための第 4 導電経路が配されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】

10

20

30

40

50

前記第 2 導電経路と前記第 4 導電経路とが、電氣的に接続されていることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

前記半導体層を第 1 半導体層として、前記第 1 絶縁層を介して前記第 1 半導体層と積層された第 2 半導体層をさらに含むことを特徴とする請求項 1 に記載の半導体装置。

【請求項 11】

前記第 1 絶縁層に外部接続用の電極パッドが配され、

前記第 1 半導体層には、前記第 1 半導体層を貫通し前記電極パッドを露出させるための開口部が配され、

前記第 1 半導体層は、前記第 2 部分と前記開口部との間に、前記開口部を取り囲むように配された第 4 部分をさらに含み、

前記トレンチを第 1 トレンチとして、前記第 1 半導体層には、前記第 2 部分と前記第 4 部分とを前記半導体層において電氣的に分離するように前記半導体層を貫通する第 3 トレンチが配され、

前記第 2 部分は、前記第 1 主面の一部を構成する第 1 導電型の第 10 半導体領域と、前記第 2 主面の一部を構成する前記第 2 導電型の第 11 半導体領域と、をさらに含み、

前記第 4 部分は、前記第 1 主面の一部を構成する前記第 1 導電型の第 12 半導体領域と、前記第 2 主面の一部を構成する前記第 2 導電型の第 13 半導体領域と、を含み、

前記第 1 絶縁層に、前記第 10 半導体領域と前記第 12 半導体領域とを電氣的に接続するための第 5 導電経路が配され、

前記第 2 絶縁層に、前記第 11 半導体領域と前記第 13 半導体領域とを電氣的に接続するための第 6 導電経路が配されていることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】

前記半導体層を第 1 半導体層として、前記第 1 絶縁層を介して前記第 1 半導体層と積層された第 2 半導体層をさらに含み、

前記第 1 絶縁層に外部接続用の電極パッドが配され、

前記第 1 半導体層には、前記第 1 半導体層を貫通し前記電極パッドを露出させるための開口部が配され、

前記第 1 部分は、前記開口部を取り囲むように配され、

前記第 2 部分は、前記第 1 部分を取り囲むように配されていることを特徴とする請求項 11 に記載の半導体装置。

【請求項 13】

前記第 1 導電経路が、前記第 2 半導体層に電氣的に接続されていることを特徴とする請求項 10 に記載の半導体装置。

【請求項 14】

前記第 2 半導体層は、前記第 1 絶縁層に接するように配された第 3 主面と前記第 3 主面とは反対側の第 4 主面とを備え、第 5 部分および前記第 5 部分と前記第 2 半導体層の外縁との間に配された第 6 部分を含み、

前記第 2 半導体層には、前記第 5 部分と前記第 6 部分とを前記第 2 半導体層において電氣的に分離するように前記第 2 半導体層を貫通する第 4 トレンチが配され、

前記第 5 部分は、前記第 3 主面の一部を構成する前記第 1 導電型の第 14 半導体領域を含み、

前記第 6 部分は、前記第 3 主面の一部を構成する前記第 1 導電型の第 15 半導体領域を含み、

前記第 1 絶縁層に、前記第 14 半導体領域と前記第 15 半導体領域を電氣的に接続するための第 7 導電経路が配されていることを特徴とする請求項 10 に記載の半導体装置。

【請求項 15】

前記第 1 導電経路と前記第 7 導電経路とが、電氣的に接続されていることを特徴とする請求項 14 に記載の半導体装置。

【請求項 16】

10

20

30

40

50

前記第 4 主面に接するように配された第 3 絶縁層をさらに含み、

前記第 5 部分は、前記第 4 主面の一部を構成する前記第 2 導電型の第 1 6 半導体領域を含み、

前記第 6 部分は、前記第 4 主面の一部を構成する前記第 2 導電型の第 1 7 半導体領域を含み、

前記第 3 絶縁層に、前記第 1 6 半導体領域と前記第 1 7 半導体領域を電氣的に接続するための第 8 導電経路が配されていることを特徴とする請求項 1 4 に記載の半導体装置。

【請求項 1 7】

前記第 3 絶縁層を介して前記第 2 半導体層と積層された第 3 半導体層をさらに含み、

前記第 8 導電経路が、前記第 3 半導体層に電氣的に接続されていることを特徴とする請求項 1 6 に記載の半導体装置。 10

【請求項 1 8】

前記第 3 絶縁層を介して前記第 2 半導体層と積層された第 3 半導体層をさらに含み、

前記第 3 半導体層は、前記第 3 絶縁層に接するように配された第 5 主面と前記第 5 主面とは反対側の第 6 主面とを備え、第 7 部分および前記第 7 部分と前記第 3 半導体層の外縁との間に配された第 8 部分を含み、

前記第 3 半導体層には、前記第 7 部分と前記第 8 部分とを前記第 3 半導体層において電氣的に分離するように前記第 3 半導体層を貫通する第 5 トレンチが配され、

前記第 7 部分は、前記第 5 主面の一部を構成する前記第 2 導電型の第 1 8 半導体領域を含み、 20

前記第 8 部分は、前記第 5 主面の一部を構成する前記第 2 導電型の第 1 9 半導体領域を含み、

前記第 3 絶縁層に、前記第 1 8 半導体領域と前記第 1 9 半導体領域を電氣的に接続するための第 9 導電経路が配されていることを特徴とする請求項 1 6 に記載の半導体装置。

【請求項 1 9】

前記第 8 導電経路と前記第 9 導電経路とが、電氣的に接続されていることを特徴とする請求項 1 8 に記載の半導体装置。

【請求項 2 0】

請求項 1 乃至 1 9 の何れか 1 項に記載の半導体装置と、

前記半導体装置から出力された信号を処理する処理装置と、 30
を備えることを特徴とする機器。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体装置および機器に関する。

【背景技術】

【0 0 0 2】

特許文献 1 には、半導体層を貫通する溝に絶縁膜が埋め込まれた分離領域を備える半導体装置が示されている。

【先行技術文献】 40

【特許文献】

【0 0 0 3】

【特許文献 1】特開 2 0 2 0 - 0 6 5 0 1 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

分離領域を用いて半導体層を分離した構成では、帯電などによって半導体層に配された半導体素子に不具合が生じる可能性がある。

【0 0 0 5】

本発明は、半導体素子の不具合の発生の抑制に有利な技術を提供することを目的とする 50

。【課題を解決するための手段】

【0006】

上記課題に鑑みて、本発明の実施形態に係る半導体装置は、第1主面と前記第1主面とは反対側の第2主面を備える半導体層と、前記第1主面に接するように配された第1絶縁層と、前記第2主面に接するように配された第2絶縁層と、を含む半導体装置であって、前記半導体層は、前記半導体層を貫通するトレンチによって前記半導体層において電氣的に分離された第1部分、および、半導体素子が配された第2部分を含み、前記第1部分は、前記第1主面の一部を構成する第1導電型の第1半導体領域と、前記第2主面の一部を構成する前記第1導電型とは反対の第2導電型の第2半導体領域と、を含み、前記第2部分

は、前記第1主面の一部を構成する前記第1導電型の第3半導体領域と、前記第2主面の一部を構成する前記第2導電型の第4半導体領域と、を含み、前記第1絶縁層に、前記第1半導体領域と前記第3半導体領域とを電氣的に接続するための第1導電経路が配され、前記第2絶縁層に、前記第2半導体領域と前記第4半導体領域とを電氣的に接続するための第2導電経路が配されていることを特徴とする。

10

【発明の効果】

【0007】

本発明によれば、半導体素子の不具合の発生の抑制に有利な技術を提供することができる。

【図面の簡単な説明】

20

【0008】

【図1】本実施形態の半導体装置の構成例を示す平面図。

【図2】図1の半導体装置の構成例を示す断面図。

【図3】図1の半導体装置の構成例を示す断面図。

【図4】図1の半導体装置のチップガードリングのレイアウトを示す図。

【図5】図1の半導体装置の効果を説明する図。

【図6】図1の半導体装置の効果を説明する図。

【図7】図1の半導体装置の効果を説明する図。

【図8】図1の半導体装置の効果を説明する図。

【図9】図1の半導体装置の効果を説明する図。

30

【図10】図1の半導体装置の効果を説明する図。

【図11】図1の半導体装置の構成例を示す断面図。

【図12】図1の半導体装置の製造方法を説明する図。

【図13】図1の半導体装置の製造方法を説明する図。

【図14】図1の半導体装置の構成例を示す断面図。

【図15】図1の半導体装置の構成例を示す断面図。

【図16】図1の半導体装置の構成例を示す断面図。

【図17】図1の半導体装置の変形例を示す平面図。

【図18】図17の半導体装置の構成例を示す断面図。

【図19】図17の半導体装置の構成例を示す断面図。

40

【図20】図1の半導体装置の構成例を示す断面図。

【図21】図1の半導体装置の構成例を示す断面図。

【図22】図1の半導体装置の構成例を示す断面図。

【図23】図1の半導体装置の構成例を示す断面図。

【図24】図1の半導体装置の構成例を示す断面図。

【図25】図1の半導体装置の構成例を示す断面図。

【図26】図1の半導体装置の構成例を示す断面図。

【図27】本実施形態の半導体装置が組み込まれた機器の構成例を示す図。

【発明を実施するための形態】

【0009】

50

以下、添付図面を参照して実施形態を詳しく説明する。なお、以下の実施形態は特許請求の範囲に係る発明を限定するものではない。実施形態には複数の特徴が記載されているが、これらの複数の特徴の全てが発明に必須のものとは限らず、また、複数の特徴は任意に組み合わせられてもよい。さらに、添付図面においては、同一若しくは同様の構成に同一の参照番号を付し、重複した説明は省略する。

【0010】

図1～図26を参照して、本開示の実施形態による半導体装置について説明する。以下の実施形態では、半導体装置として光電変換装置を例に説明を行う。しかしながら、これに限られることはなく、本開示は、種々の論理回路や記憶回路、表示回路などの半導体素子が配された処理装置、記憶装置、発光装置などに適用可能である。より具体的には、本開示は、以下に説明するように、半導体層が、半導体層内において電氣的に分離された構造を備える半導体装置全般に適用可能である。

10

【0011】

図1は、本実施形態の半導体装置1001の構成例を示す上面図である。半導体装置1001は、複数の画素が配された画素部1010と、画素部を駆動するための回路が配された周辺回路部1020と、を含む。周辺回路部1020には、半導体装置1001の外縁1021に沿ってチップガードリング部1022が配されている。チップガードリング部1022は、図1に示されるように、半導体装置1001の外縁部を取り囲むように配されうる。また、周辺回路部1020には、外部接続用の電極パッドを露出させるためのパッド開口部1023をそれぞれ取り囲むようにパッドガードリング部1024が配されている。チップガードリング部1022およびパッドガードリング部1024は、それぞれ半導体装置1001の半導体層110（図2以降で示される。）の耐湿目的で設けられる。

20

【0012】

図2は、図1のA-A'間の構成例を示す断面図である。図3は、図1のB-B'間の構成例を示す断面図である。図2は、パッド開口部1023を含まない断面図であり、図3は、パッド開口部1023を含む断面図である。

【0013】

図2、図3に示されるように、半導体装置1001は、主面101と主面101とは反対側の主面102を備える半導体層110と、主面101に接するように配された絶縁層180と、主面102に接するように配された絶縁層158と、を含む。また、半導体装置1001は、絶縁層180を介して半導体層110と積層された半導体層210を含む。半導体層210は、絶縁層180に接するように配された主面201と主面201とは反対側の主面202とを備える。半導体装置1001は、半導体層110と半導体層210とが積層された積層構造を有するともいえる。

30

【0014】

半導体層110と半導体層210との間に配される絶縁層180は、半導体層110の主面101に接する絶縁層138と、半導体層210の主面202に接する絶縁層238とを含む。絶縁層138と絶縁層238とは、接合メタル135、235および接合ビア134、234を介して、接合面500において接合されている。

40

【0015】

半導体層110には、N型の導電性を有するシリコンなどの半導体基板が用いられうる。画素部1010において、半導体層110には複数の画素161が配されている。画素161は、例えば、フォトダイオードやアパランシェフォトダイオードなどを含みうる。それぞれの画素161は、画素間トレンチ123によって分離されている。画素部1010において、半導体層110の主面102の側には、それぞれの画素161に対応するように、絶縁層158の上に集光効率を向上させるためにマイクロレンズ159が配されうる。また、半導体層110の主面102と絶縁層158との間には、反射防止のための光学膜157が配される。半導体層110の主面102と光学膜157との間に後述する固定電荷膜156が配されていてもよい。固定電荷膜156は、半導体層110の主面10

50

2に接して配されうる。さらに、絶縁層158の中には、配線パターン152を備える配線層が配されている。配線パターン152は、画素部1010において、混色防止のための遮光パターンとして用いられてもよい。配線パターン152は、遮光と電氣的接続との機能を兼ねていてもよいし、兼ねていなくてもよい。

【0016】

半導体層110は、チップガードリング部1022に配された半導体層110を貫通するトレンチ121によって半導体層110において電氣的に分離された部分1051、および、画素161などの半導体素子が配された部分1052に分かれている。画素部1010は、部分1052に位置しているともいえる。部分1051は、半導体層110の主面101の一部を構成するN型の半導体領域111bと、半導体層110の主面102の一部を構成するN型とは反対のP型の半導体領域112bと、を含む。部分1052は、半導体層110の主面101の一部を構成するN型の半導体領域111aと、半導体層110の主面102の一部を構成するP型の半導体領域112aと、を含む。

10

【0017】

半導体層110には、チップングを防止するために、半導体装置1001の外縁1021の内側を取り囲むようにチップガードリング部1022にトレンチ121が配されている。つまり、部分1051が、部分1052を取り囲むように配されている。また、部分1051は、半導体装置1001の外縁1021を構成している。トレンチ121には、酸化シリコン酸化や窒化シリコンなどの絶縁体が埋め込まれている。そのため、半導体層110において、上述したように部分1051と部分1052とは、電氣的に絶縁されている。つまり、半導体領域111aと半導体領域111bとは、半導体層110内において電氣的に分離されている。同様に、半導体領域112aと半導体領域112bとは、半導体層110内において電氣的に分離されている。しかしながら、絶縁層180に、半導体領域111aと半導体領域111bとを電氣的に接続するための導電部材131、133および配線パターン132を用いた導電経路130が配される。また、絶縁層158に、半導体領域112aと半導体領域112bとを電氣的に接続するための導電部材151および配線パターン152を用いた導電経路150が配される。それによって、半導体層110の部分1051と部分1052とは、電氣的に接続され、半導体層110のチップングを防止しつつ、半導体層110の端部(部分1051)がフローティング状態にならないようになっている。本実施形態では、半導体領域111a、111bがN型の導電型を有し、半導体領域112a、112bがP型の導電型を有するとして説明する。しかしながら、これに限られることはなく、半導体領域111a、112aがP型であり、半導体領域111b、112bがN型であってもよい。

20

30

【0018】

半導体層110の画素部1010に配された画素161などの半導体素子は、図2、図3に示されるように、P型の半導体領域112を備えていてもよい。チップガードリング部1022のP型の半導体領域112aは、負の固定電荷を持つ酸化アルミニウムなどの固定電荷膜156によって半導体層110の主面102に誘起されたホール誘起層113を介して、画素部1010のP型の半導体領域112に電氣的に接続されていてもよい。画素部1010のP型の半導体領域112には、画素161がアバランシェフォトダイオードであり、半導体装置1001が単一光子アバランシェダイオード(SPAD)センサである場合には、例えば、-30Vが印加される。また、画素部1010のP型の半導体領域112には、画素161がフォトダイオードであり、半導体装置1001がCMOSセンサである場合には、例えば、-5Vが印可される。この電圧の印可によって、画素部1010では、半導体層110の主面102の側から入射した光が光電変換によって電子情報となり、撮像を行うことができる。

40

【0019】

ここで、P型の半導体領域112a、112bは、P型のドーパントを注入して形成してもよい。また、固定電荷膜156によって半導体層110の主面102に生じたホール誘起層113が、P型の半導体領域112a、112bとして用いられてもよい。また、

50

例えば、ホール誘起層 1 1 3 として示されている部分に P 型のドーパントが注入されていてもよい。その場合、固定電荷膜 1 5 6 が配されていてもよいし、配されていなくてもよい。

【 0 0 2 0 】

また、導電経路 1 3 0、1 5 0 に関して、導電経路 1 5 0 のように 1 つの配線層に配された配線パターン 1 5 2 を用いて導電経路が構成されていてもよい。また、導電経路 1 3 0 のように複数の配線層に配された配線パターン 1 3 2 を用いて導電経路が構成されていてもよい。絶縁層 1 5 8、1 8 0 に配される配線層の構成に応じて、適当な構成を有していればよい。導電経路 1 3 0 のように複数の配線層に配された配線パターン 1 3 2 を用いた場合、複数の導電経路が並列に配されることによって、より強固な電気を通す接続パスになる。

10

【 0 0 2 1 】

図 3 に示されるように、パッド開口部 1 0 2 3 には、絶縁層 1 8 0 に外部接続用の電極パッド 4 0 1 が配されている。半導体層 1 1 0 には、半導体層 1 1 0 を貫通し電極パッドを露出させるための開口部 4 0 0 が配されている。開口部 4 0 0 は、半導体装置 1 0 0 1 の絶縁層 1 5 8 の表面から電極パッド 4 0 1 まで達しており、電極パッド 4 0 1 には、ワイヤーボンディングなどの工程によって、外部接続用に配線が接続される。

【 0 0 2 2 】

パッド開口部 1 0 2 3 においても、開口部 4 0 0 を取り囲むように、トレンチ 1 2 2 が配されたパッドガードリング部 1 0 2 4 が配されている。トレンチ 1 2 2 は、パッド開口部 1 0 2 3 におけるチップング防止のために配される。この場合に、半導体層 1 1 0 は、画素 1 6 1 などの半導体素子が配されている部分 1 0 5 2 と開口部 4 0 0 との間に、開口部 4 0 0 を取り囲むように配された部分 1 0 5 3 を含む。半導体層 1 1 0 には、部分 1 0 5 2 と部分 1 0 5 3 とを半導体層 1 1 0 において電氣的に分離するように半導体層 1 1 0 を貫通するトレンチ 1 2 2 が配されている。トレンチ 1 2 2 は、トレンチ 1 2 1 と同様に、酸化シリコンや窒化シリコンなどの導電体で埋め込まれているため、開口部 4 0 0 に露出する半導体層 1 1 0 の部分 1 0 5 3 は、部分 1 0 5 2 から電氣的に分離され、フローティング状態になっている。

20

【 0 0 2 3 】

フローティング状態の部分 1 0 5 3 は、他の部分 1 0 5 1、1 0 5 2 との間で意図しない電界が生じる場合や、半導体素子の電圧印可時に過電流が生じる場合がある。しかしながら、開口部 4 0 0 は、プラズマチャージが多いプラズマエッチングなどを用いて形成するため、半導体素子の信頼性低下が懸念される。そのため、本実施形態では、部分 1 0 5 3 は、部分 1 0 5 1、1 0 5 2 とは電氣的に分離されている。しかしながら、これに限られることはなく、後述のように、部分 1 0 5 3 が、部分 1 0 5 1、1 0 5 2 と電氣的に接続されていてもよい。

30

【 0 0 2 4 】

図 4 (a) ~ 4 (c) は、図 1 に示される半導体装置 1 0 0 1 の上面図のうち半導体装置 1 0 0 1 の外縁 1 0 2 1 付近を拡大した図である。図 4 (a) に示される構成では、トレンチ 1 2 1 に沿って導電部材 1 5 1 が配され、導電部材 1 5 1 を覆うように配線パターン 1 5 2 がレイアウトされている。図 4 (a) に示される構成は、半導体装置 1 0 0 1 の外縁 1 0 2 1 を構成するように配される半導体層 1 1 0 の部分 1 0 5 1 のフローティング状態が、最も回避しやすい構成であるといえる。また、導電部材 1 5 1 と配線パターン 1 5 2 とは、絶縁層 1 5 8 の耐湿性を向上させる機能も有する。耐湿性の向上に対しても、図 4 (a) に示される構成は、最も効果が得られる構成であるといえる。

40

【 0 0 2 5 】

ここで、半導体装置 1 0 0 1 の角部においてトレンチ 1 2 1 が 4 5 度方向に折れ曲がっているのは、トレンチ 1 2 1 の線幅および深さのばらつきを低減させることが目的である。例えば、トレンチ 1 2 1 を直角に折り曲げた場合、トレンチ 1 2 1 の形成時に、トレンチ 1 2 1 が折れ曲がる部分において線幅が大きくなり、絶縁体を埋め込む際にボイドが生じ

50

る可能性が高くなる。そのため、チップガードリング部 1022 の耐湿性が低下してしまう可能性がある。耐湿性の低下を抑制するために、半導体装置 1001 の角部において、トレンチ 121 が半導体装置 1001 の外縁 1021 に沿った方向に対して斜めに配される。

【0026】

図 4 (b) に示される構成では、トレンチ 121 に対して、部分 1051 と部分 1052 とが、断片的に導電部材 151 と配線パターン 152 とを介して電氣的に接続されるパターンである。断続的な接続であっても、電気を流す導電経路として機能する。部分 1052 に配される半導体素子への印可電圧などによる電流量などに応じて、適宜、接続される領域が設計されればよい。

10

【0027】

図 4 (c) に示される構成では、半導体装置 1001 の角部にだけ導電経路が設けられている。この配置によっても、後述する効果が得られる。また、図 4 (c) に示される構成では、導電経路に用いる配線パターン 152 が、部分 1052 に配される遮光パターンにも用いられ、導電経路と遮光パターンとが接続されている。この場合、半導体層 110 のホール誘起層 113 よりも伝導性が高い導電経路が部分 1052 に配された画素部 1010 から半導体領域 112 a までの間に形成される。そのため、画素部 1010 に配された画素 161 の半導体領域 112 へ印可された電圧が部分 1051 に印加されるまでのタイムラグが小さくなり、部分 1051 のフローティング状態を速やかに回避することができる。

20

【0028】

図 4 (a) ~ 4 (c) では、半導体層 110 の主面 102 側の導電経路の構成について説明した。しかしながら、導電部材 151 および配線パターン 152 をそれぞれ、導電部材 131、133、配線パターン 132 に読み替えることによって、半導体層 110 の主面 101 側の導電経路にも適用できる。また、図 4 (a) ~ 4 (c) の構成は、適宜、複合的に組み合わせレイアウトされてもよい。

【0029】

次いで、本実施形態の効果について説明する。図 5、図 6 には、半導体装置 1001 を製造する際の、導電部材 151 を配するビア 171 を形成するプラズマエッチングの工程が示されている。半導体装置 1001 は、最終的に、スクライプ領域 1030 でダイシングされ個片化される。図 5、図 6 の工程では、個片化前のため、スクライプ領域 1030 を介して隣接する半導体装置 1001 の別のチップ 1040 が配されている。

30

【0030】

図 5 には、導電部材 131、133 および配線パターン 132 を用いた導電経路 130 が配されていない場合が示されている。ビア 171 の形成中、絶縁層 158 およびエッチングのマスクパターンとして用いるレジスト (不図示) の表面に、プラズマから負の電荷 701 が入射し、絶縁層 158 およびレジストは帯電する。エッチング加工は、ウェーハの面内において完全に均一ではない。そのため、周辺回路部 1020 に形成されるビア 171 a よりも先にスクライプ領域 1030 に形成されるビア 171 b が、半導体層 110 に達する可能性がある。ビア 171 b が半導体層 110 に達すると、ビア 171 b から電気バス 702 a を通り大きな電流が流れ、トレンチ 121 が、電気バス 702 a 上の部分 703 で破壊されてしまう可能性がある。トレンチ 121 が破壊されてしまった場合、チップガードリング部 1022 の耐湿性の低下してしまう。チップガードリング部 1022 の耐湿性の低下は、半導体装置 1001 の半導体層 110 に配された画素 161 などの半導体素子の不具合の原因になりうり、半導体装置 1001 の信頼性低下などの不具合が生じうる。

40

【0031】

これに対して、図 6 に示されるように、導電部材 131、133 および配線パターン 132 を用いた導電経路 130 が配されている場合、ビア 171 から導電経路 130 を通る電気バス 702 b によって、トレンチ 121 が破壊される可能性が抑制できる。結果とし

50

て、半導体層 110 に配される半導体素子の不具合の発生が抑制され、半導体装置 1001 の信頼性が向上する。つまり、トレンチ 121 によって電氣的に分離された半導体層 110 の部分 1051 と部分 1052 との間に導電経路 130 を設けることは、半導体層 110 の一部がフローティング状態になることに起因する不具合対策として効果がある。

【0032】

次に、図 7、図 8 を用いて、上述とは別の効果について説明する。図 7、図 8 は、半導体装置 1001 の形成後の個片化前のテスト工程を想定している。図 7 には、導電部材 151 および配線パターン 152 を用いた導電経路 150 が配されていない場合が示されている。図 7 に示される構成では、画素部 1010 に印可されたマイナス電位 801 が、電気バス 802a を経由することによって、フローティング状態の回避が行われている。しかしながら、図 7 に示される構成では、チップガードリング部 1022 において、PN 接合部 803 が存在する。そのため、電流が流れる方向が逆方向接合の場合には、電気バス 802a を経由するフローティング回避できずに、上述したような、フローティング状態に起因する不具合が生じる可能性がある。また、電流が流れる方向が順方向接合の場合には、大きな電流が流れた場合に PN 接合部 803 が発光源となり、画素 161 で光電変換され、得られる画像に影響が出てしまう可能性がある。

10

【0033】

これに対して、図 8 に示されるように、導電部材 151 および配線パターン 152 を用いた導電経路 150 が配されている場合、電圧が印可されても、PN 接合部 803 を介さない電気バス 802b が形成される。そのため、上述したような不具合が解消される。つまり、トレンチ 121 によって電氣的に分離された半導体層 110 の部分 1051 と部分 1052 との間に、P 型の導電経路 150 と N 型の導電経路 130 とを設けることによって、半導体層 110 の一部がフローティング状態になることに起因する不具合対策、および、PN 接合部 803 における発光の対策として効果がある。

20

【0034】

図 9、図 10 を用いて、図 7、図 8 の効果説明の変形例を説明する。図 9、図 10 は、半導体装置 1001 をそれぞれ個片化した後の動作時における効果を説明する図である。

【0035】

図 7、図 8 は、上述のように、例えば、ウエハレベルでのテストを想定したケースである。電圧が印可されたときの電流量は、スクライブ領域 1030 や隣接するチップ 1040 からの容量の影響分も含むため大きくなる。図 9 に示されるように、ダイシング（個片化）後の状態であっても、隣接するチップ 1040 がなくなり、部分 1051 の容量は小さくなる。しかしながら、図 7 に示される構成と同様に、部分 1051 がフローティング状態である場合に部分 1051 の容量の影響は残る。したがって、図 9 に示される構成のように、電気バス 802a だけを設けるのではなく、図 10 に示される本実施形態の構成のように電気バス 802b を設ける。それによって、フローティング状態に起因する不具合や、PN 接合部 803 が発光源となり得られる画像に影響が出てしまうことを抑制できる。つまり、半導体層 110 の一部がフローティング状態になることに起因する不具合対策、および、PN 接合部 803 における発光の対策として効果がある。

30

【0036】

図 11 は、図 3 に示される断面図の変形例を示す図である。図 3 に示される構成では、チップガードリング部 1022 に配されたトレンチ 121、および、パッドガードリング部 1024 に配されたトレンチ 122 には、酸化シリコンや窒化シリコンなどの絶縁体が埋め込まれていることを説明した。一方、図 9 に示される構成では、トレンチ 121 およびトレンチ 122 が、画素部 1010 に配された画素間トレンチ 123 と同様の構成になっている。他の構成は、上述した構成と同様であってもよいため、ここでは異なる構成を中心に説明し、同じであってもよい構成については適宜、説明を省略する。

40

【0037】

図 11 に示される構成において、トレンチ 121、122、画素間トレンチ 123 には、酸化シリコンや窒化シリコンなどの絶縁体とトレンチ 121、122、画素間トレンチ

50

123の表面との間に、金属または金属酸化物が配されている。例えば、トレンチ121、122、画素間トレンチ123の表面に、固定電荷膜156としても用いられる酸化アルミニウム(Al_2O_3)や酸化ハフニウム(HfO_2)などの金属酸化物が配されていてもよい。また、トレンチ121、122、画素間トレンチ123の表面に、チタン(Ti)、窒化チタン(TiN)、タングステン(W)、銅(Cu)、アルミニウム(Al)、ニッケル(Ni)、ルビジウム(Rb)などの金属やこれらの金属の合金、これらの金属含有物が配されていてもよい。

【0038】

例えば、固定電荷膜156に用いる酸化アルミニウムを形成する際に、酸化アルミニウムを半導体層110の主面102の上およびトレンチ121、122、画素間トレンチ123の表面に形成する。次いで、トレンチ121、122、画素間トレンチ123に埋め込まれる酸化シリコンや窒化シリコンなどの絶縁体が、絶縁層158を形成する際に埋め込まれてもよい。酸化アルミニウムは、物性として耐湿性が高い。そのため、チップガードリング部1022およびパッドガードリング部1024の耐湿性を向上させるために、トレンチ121、122の表面に酸化アルミニウムが形成されてもよい。図11に示されるように、固定電荷膜156として酸化アルミニウムを用いて、半導体層の主面102およびトレンチ121、122、画素間トレンチ123の表面を連続的に被膜する。それによって、効果的に耐湿機能を向上させることができる。

【0039】

図12(a)~図13(b)は、図11に示される断面構造を有する半導体装置1001の製造工程の例を示す図である。まず、半導体層110の主面102の側を加工する際の露光マーク用トレンチ160が、半導体層110の主面101の側から形成される。露光マーク用トレンチ160には、例えば、窒化シリコンなどが埋め込まれる。露光マーク用トレンチ160に埋め込まれる材料は、露光マークとして使用できればよく、例えば、酸化シリコンなどであってもよい。一方、金属材料は後に続く工程において、金属汚染源になりうるため、金属材料は、露光マーク用トレンチ160に埋め込まれなくてもよい。

【0040】

露光マーク用トレンチ160の形成後、N型の半導体領域111(上述の半導体領域111a、111bを構成する。)、P型の半導体領域112(上述の半導体領域112、112a、112bを構成する。)が、それぞれN型、P型のドーパントを用いてイオン注入などを用いて形成される。その後、半導体層110の主面101の上に配される絶縁層138および絶縁層138内に配される導電部材131、133や配線パターン132などが形成される。また、接合ビア134、接合メタル125なども形成される。この際に、図12(a)に示されるように、チップガードリング部1022の導電経路130が形成されている。

【0041】

次いで、図12(b)に示されるように、半導体層110を反転し、半導体層110の主面101上に形成された絶縁層138と、半導体層210の主面201上に形成された絶縁層238とが接合面500を介して接合される。それによって、半導体層110と半導体層210とが積層される。半導体層110と半導体層210との積層後、半導体層110の主面102の側を研磨し、半導体層110を薄化する。

【0042】

図3に示される構成とは異なり、図11に示されるようにトレンチ121、122、画素間トレンチ123の構造を同じにするメリットは、半導体層110の主面102側を研磨する際のスクラッチ不良が抑制されることである。図3に示される構成では、トレンチ121は、例えば、露光マーク用トレンチ160と同時に形成される。その場合に、図12(b)に示される工程において、半導体層110の主面102側を研磨する際に、露光マーク用トレンチ160が露出する際にトレンチ121も同時に露出し、露光マーク用トレンチ160の先端部162だけでなくトレンチ121の先端部が欠けて、スクラッチの要因になる。図11に示される構成では、このスクラッチ不要が抑制される。

10

20

30

40

50

【 0 0 4 3 】

次いで、図 1 2 (c) に示されるように、半導体層 1 1 0 の主面 1 0 2 側から半導体層 1 1 0 をエッチングし、トレンチ 1 2 1、1 2 2、画素間トレンチ 1 2 3 が形成される。この際に、レジストが直接、半導体層 1 1 0 に接触することに起因する金属汚染リスクがある。そのため、半導体層 1 1 0 の主面 1 0 2 に酸化アルミニウムなどのハードマスクを形成した後に、レジスト塗布などを含むエッチング工程が行われてもよい。

【 0 0 4 4 】

次いで、図 1 3 (a) に示されるように、固定電荷膜 1 5 6 が形成される。固定電荷膜 1 5 6 は、例えば、原子層堆積 (A L D) 法を用いて酸化アルミニウムを成膜してもよい。A L D 法は、トレンチ 1 2 1、1 2 2、画素間トレンチ 1 2 3 の側壁や底部などに、膜厚など高い均一性で成膜を行うことができる。

10

【 0 0 4 5 】

さらに、図 1 3 (b) に示されるように、半導体層 1 1 0 の主面 1 0 2 上に絶縁層 1 5 8 や絶縁層 1 5 8 内に配される導電部材 1 5 1、配線パターン 1 5 2 などが形成される。この際に、導電部材 1 5 1 および配線パターン 1 5 2 を用いた導電経路 1 5 0 が形成される。これらの工程を用いて、図 1 1 に示される構成を有する半導体装置 1 0 0 1 が形成される。

【 0 0 4 6 】

図 1 4 は、図 3 に示される断面図の変形例を示す図である。図 1 4 に示される構成において、半導体層 2 1 0 には、半導体層 2 1 0 の主面 2 0 1 の一部を構成する N 型の半導体領域 2 1 1 が配されている。また、半導体層 2 1 0 の主面 1 0 2 上には、絶縁層 2 3 8 内に導電部材 2 3 1 および配線パターン 2 3 2 が配されている。さらに、半導体領域 1 1 1 a と半導体領域 1 1 1 b とを電氣的に接続する導電経路 1 3 0 が、接合ビア 1 3 4、2 3 4、接合メタル 1 3 5、2 3 5、配線パターン 2 3 2、導電部材 2 3 1 を介して、半導体層 2 1 0 の半導体領域 2 1 1 に接続されている。この構成によって、導電経路 1 3 0 に対して強固な電気パスが得られる。また、半導体層 2 1 0 の側からフローティング状態を回避するための電位が設定可能になり、設計自由度が向上する。

20

【 0 0 4 7 】

また、半導体装置 1 0 0 1 の外縁 1 0 2 1 に沿って、金属が用いられる導電部材 1 3 1、1 3 3、2 3 1、配線パターン 1 3 2、2 3 2、接合ビア 1 3 4、2 3 4、接合メタル 1 3 5、2 3 5 が配される。絶縁層 1 8 0 (絶縁層 1 3 8、2 3 8) に用いられうる酸化シリコンは、金属と比較すると耐湿性が低い。一方、図 1 4 に示される構成では、半導体装置 1 0 0 1 の外縁 1 0 2 1 に沿って、半導体装置 1 0 0 1 の外周部を取り囲むように、絶縁層 1 8 0 内に金属材料が配される。それによって、チップガードリング部 1 0 2 2 の耐湿性を向上させることができる。

30

【 0 0 4 8 】

図 1 5 は、図 3 に示される断面図の変形例を示す図である。図 3 に示される構成では、開口部 4 0 0 に露出する半導体層 1 1 0 の部分 1 0 5 3 は、部分 1 0 5 2 から電氣的に分離され、フローティング状態になっている。一方、図 1 5 に示される構成において、部分 1 0 5 3 は、フローティング状態にならないように導電経路が設けられている。より具体的には、部分 1 0 5 2 は、半導体層 1 1 0 の主面 1 0 1 の一部を構成する N 型の半導体領域 1 1 1 c と、半導体層 1 1 0 の主面 1 0 2 の一部を構成する P 型の半導体領域 1 1 2 c と、を含む。また、部分 1 0 5 3 は、半導体層 1 1 0 の主面 1 0 1 の一部を構成する N 型の半導体領域 1 1 1 d と、半導体層 1 1 0 の主面 1 0 2 の一部を構成する P 型の半導体領域 1 1 2 d と、を含む。絶縁層 1 8 0 に、半導体領域 1 1 1 c と半導体領域 1 1 1 d とを電氣的に接続するための導電部材 1 3 1、1 3 3 および配線パターン 1 3 2 を用いた導電経路 1 3 0 b が配されている。同様に、絶縁層 1 5 8 に、半導体領域 1 1 2 c と半導体領域 1 1 2 d とを電氣的に接続するための導電部材 1 5 1 および配線パターン 1 5 2 を用いた導電経路 1 5 0 b が配されている。

40

【 0 0 4 9 】

50

開口部 400 に露出する半導体層 110 の部分 1053 もフローティング状態になる。そのため、パッドガードリング部 1024 においても、部分 1052 と部分 1053 とを電氣的に接続する導電経路 130b、150b が配されていてもよい。半導体層 110 のうち部分 1053 は、半導体装置 1001 の外縁 1021 に接する部分 1051 がよりも面積が小さいため、フローティング状態になることによる不具合のリスクは低い。そのため、導電経路 130b、150b のうち一方だけ配されていてもよい。また、図 15 に示されるように、導電経路 130b と導電経路 150b との両方が配されていてもよい。

【0050】

図 16 は、図 2 に示される断面図の変形例を示す図である。図 2 に示される構成と比較して、絶縁層 158 に設けられた導電経路 150 に用いられる配線パターン 152 と、画素部 1010 に設けられた配線パターン 152 と、が直接、接続している。それによって、半導体層 110 を通る上述した電気パス 802b よりも伝導性が高い電気パスが利用できる。そのため、印可電圧へのタイムラグを小さく、フローティングを速やかに回避することができるようになる。

【0051】

上述において、チップガードリング部 1022 に PN 接合部 803 が存在し、順方向接合の向きに大きな電流が流れた場合に PN 接合部 803 が発光源となり、得られる画像に影響が出てしまう可能性があることを述べた。そこで、図 17 ~ 図 19 を用いて、チップガードリング部 1022 において発光が起きることに対応する半導体装置 1001 の構造について説明する。図 17 は、半導体装置 1001 の上面図、図 18 は、図 17 の A - A ' 間の構成例を示す断面図である。図 19 は、図 17 の B - B ' 間の構成例を示す断面図である。図 18 は、パッド開口部 1023 を含まない断面図であり、図 19 は、パッド開口部 1023 を含む断面図である。

【0052】

上述の図 1 ~ 図 3 に示される構成と比較して、図 17 ~ 図 19 に示される構成は、周辺回路部 1020 において、遮光目的のトレンチ 124 が配されている。トレンチ 124 以外の構成は、図 1 ~ 図 3 に示される構成と同様であってもよい。そのため、ここでは、トレンチ 124 を中心に説明し、同様であってもよい構成については、適宜、説明を省略する。

【0053】

上述したように、本実施形態において、PN 接合部 803 が発光源にならないように、導電経路 150 を設け電気パス 802b が構成されるように対策する。しかしながら、製造時のばらつきなどで、導電部材 151 の抵抗値や導電部材 151 と半導体領域 112a、112b とのコンタクト抵抗が高いなどの理由で、PN 接合部 803 を回避するための十分な電気パス 802b が構成されない可能性がある。その場合に、チップガードリング部 1022 の PN 接合部 803 が発光源となり、経路 804 を介して光が画素部 1010 に入射してしまい、得られた画像に影響を与える不具合が生じる可能性がある。そのような場合において、画素部 1010 に配された画素間トレンチ 123 と同様の構成を備えるトレンチ 124 を配することは、経路 804 において遮光ができるため有効である。

【0054】

しかしながら、図 17 に示されるように画素部 1010 を取り囲むようにトレンチ 124 を配した場合に、トレンチ 124 によって半導体層 110 が、部分 1051 と部分 1054 との間、また、部分 1052 と部分 1054 との間で電氣的に分離されてしまう。それによって、部分 1054 がフローティング状態になると、上述したようにフローティング状態に起因する不具合が生じる可能性がある。

【0055】

そこで、半導体層 110 の部分 1054 は、半導体層 110 の主面 102 の一部を構成する P 型の半導体領域 112e を含む。絶縁層 158 に、部分 1054 の P 型の半導体領域 112e と、部分 1052 の P 型の半導体領域 112 と、を電氣的に接続する配線パターン 152 および導電部材 151b を用いた導電経路 150c が配される。また、半導体

10

20

30

40

50

層 1 1 0 の部分 1 0 5 2 が主面 1 0 1 の一部を構成する N 型の半導体領域 1 1 1 f を含み、部分 1 0 5 4 が主面 1 0 1 の一部を構成する N 型の半導体領域 1 1 1 e を含む。絶縁層 1 3 8 に、部分 1 0 5 4 の N 型の半導体領域 1 1 1 e と、部分 1 0 5 2 の N 型の半導体領域 1 1 1 f と、を電氣的に接続する配線パターン 1 3 2 および導電部材 1 3 1 を用いた導電経路 1 3 0 c が配される。それによって、フローティング状態に起因する不具合が抑制できる。

【 0 0 5 6 】

図 1 8、図 1 9 に示される構成において、導電経路 1 5 0 と導電経路 1 5 0 c とは、ホール誘起層 1 1 3 など半導体層 1 1 0 を介して電氣的に接続されている。つまり、配線パターン 1 5 2 は、導電経路 1 5 0 を構成する部分と、導電経路 1 5 0 c を構成する部分と、で分離して配されている。しかしながら、配線パターン 1 5 2 は、導電経路 1 5 0 を構成する部分と、導電経路 1 5 0 c を構成する部分と、が連続していてもよい。つまり、図 1 6 に示されるような構成において、遮光用のトレンチ 1 2 4 が配されていてもよい。

10

【 0 0 5 7 】

図 2 0 ~ 図 2 2 を用いて、半導体装置 1 0 0 1 の変形例を説明する。図 2 0 ~ 図 2 2 は、上述の半導体層 1 1 0、2 1 0 に追加して、半導体層 3 1 0 が積層されている構成である。

【 0 0 5 8 】

図 2 0 に示されるように、半導体層 2 1 0 の半導体層 1 1 0 と向かい合う主面 2 0 1 とは反対側の主面 2 0 2 に接するように絶縁層 2 8 0 が配されている。絶縁層 2 8 0 を介して、半導体層 3 1 0 が積層されている。半導体層 3 1 0 は、絶縁層 2 8 0 に接する主面 3 0 1 と主面 3 0 1 とは反対側の主面 3 0 2 とを備える。半導体層 2 1 0 と半導体層 3 1 0 との間に配される絶縁層 2 8 0 は、半導体層 2 1 0 の主面 2 0 2 に接する絶縁層 2 5 8 と、半導体層 3 1 0 の主面 3 0 1 に接する絶縁層 3 3 8 とを含む。絶縁層 2 5 8 と絶縁層 3 3 8 とは、接合メタル 2 3 7、3 3 5 および接合ビア 2 3 6、3 3 4 を介して、接合面 6 0 0 において接合されている。

20

【 0 0 5 9 】

半導体層 2 1 0 は、チップガードリング部 1 0 2 2 に配された半導体層 2 1 0 を貫通するトレンチ 2 2 1 によって半導体層 2 1 0 において電氣的に分離された部分 2 0 5 1、および、部分 2 0 5 2 に分かれている。部分 2 0 5 2 には、トランジスタなどの半導体素子が配されうる。部分 2 0 5 1 は、半導体層 2 1 0 の主面 2 0 1 の一部を構成する N 型の半導体領域 2 1 1 b と、半導体層 2 1 0 の主面 2 0 2 の一部を構成する P 型の半導体領域 2 1 2 b と、を含む。部分 2 0 5 2 は、半導体層 2 1 0 の主面 2 0 1 の一部を構成する N 型の半導体領域 2 1 1 a と、半導体層 2 1 0 の主面 2 0 2 の一部を構成する P 型の半導体領域 2 1 2 a と、を含む。絶縁層 1 8 0 に、半導体領域 2 1 1 a と半導体領域 2 1 1 b とを電氣的に接続するための導電部材 2 5 1 および配線パターン 2 5 2 を用いた導電経路 2 5 0 が配される。また、絶縁層 2 8 0 に、半導体領域 2 1 2 a と半導体領域 2 1 2 b とを電氣的に接続するための導電部材 2 3 1、2 3 3 および配線パターン 2 4 2 を用いた導電経路 2 4 0 が配される。それによって、半導体層 2 1 0 の部分 2 0 5 1 と部分 2 0 5 2 とは、電氣的に接続され、半導体層 2 1 0 のチップングを防止しつつ、半導体層 2 1 0 の端部（部分 2 0 5 1）がフローティング状態にならないようになっている。このように、積層する半導体層が増加した場合であっても、2 つの導電型のそれぞれ導電経路を設けることができる。

30

40

【 0 0 6 0 】

図 2 1 は、図 2 0 に示される断面図の変形例を示す図である。図 2 1 に示されるように、導電経路 1 3 0 と導電経路 2 5 0 とは、電氣的に接続されていてもよい。また、導電経路 2 3 0 が、導電部材 2 3 1、2 3 3、3 3 1、配線パターン 2 3 2、3 3 2、接合メタル 2 3 7、3 3 5、接合ビア 2 3 6、3 3 4 を介して、半導体層 3 1 0 に電氣的に接続されている。半導体層 3 1 0 の主面 3 0 1 には、P 型の半導体領域 3 1 2 が設けられて、導電経路 2 3 0 が、半導体領域 3 1 2 に接続されていてもよい。

50

【 0 0 6 1 】

この構成によって、導電経路 1 3 0、2 5 0、2 3 0 に対して強固な電気パスが得られる。また、半導体層 2 1 0、3 1 0 の側からフローティング状態を回避するための電位が設定可能になり、設計自由度が向上する。

【 0 0 6 2 】

また、半導体装置 1 0 0 1 の外縁 1 0 2 1 に沿って、金属が用いられる導電部材 1 3 1、1 3 3、2 3 1、2 3 3、2 5 3、3 1 2、配線パターン 1 3 2、2 3 2、2 5 2、2 5 2、3 3 2、接合ビア 1 3 4、2 3 4、2 3 6、3 3 4、接合メタル 1 3 5、2 3 5、2 3 7、3 3 5 が配される。絶縁層 1 8 0、2 8 0 に用いられうる酸化シリコンは、金属と比較すると耐湿性が低い。一方、図 2 1 に示される構成では、半導体装置 1 0 0 1 の外縁 1 0 2 1 に沿って、半導体装置 1 0 0 1 の外周部を取り囲むように、絶縁層 1 8 0、2 8 0 内に金属材料が配される。それによって、チップガードリング部 1 0 2 2 の耐湿性を向上させることができる。

10

【 0 0 6 3 】

図 2 2 は、図 2 1 に示される断面図の変形例を示す図である。図 2 2 に示されるように、図 1 5 に示される構成と同様に、パッド開口部 1 0 2 3 の周囲の半導体層 1 1 0 の部分 1 0 5 3 が、フローティング状態にならないように導電経路が設けられていてもよい。

【 0 0 6 4 】

また、半導体層 1 1 0 の部分 1 0 5 3 の半導体領域 1 1 1 c、1 1 1 d を接続する導電経路が、半導体層 2 1 0 に電氣的に接続されていてもよい。この場合に、半導体層 2 1 0 の主面 2 0 1 には、N 型の半導体領域 2 1 1 c が設けられ、半導体領域 1 1 1 c、1 1 1 d を接続する導電経路が、半導体領域 2 1 1 c に接続されていてもよい。

20

【 0 0 6 5 】

図 2 3 ~ 図 2 6 を用いて、半導体装置 1 0 0 1 のさらなる変形例を説明する。図 2 3 ~ 2 6 は、上述した各実施形態の電極パッド 4 0 1 の位置の変形例である。

【 0 0 6 6 】

図 2 3 は、図 3 に示される断面図の変形例を示す図である。図 3 に示される構成では、電極パッド 4 0 1 は、絶縁層 1 8 0 のうち絶縁層 1 3 8 に配されている。一方、図 2 3 に示される構成では、電極パッド 4 0 1 は、絶縁層 1 8 0 のうち絶縁層 2 3 8 に配されている。電極パッド 4 0 1 の位置は、配線パターン（例えば、配線パターン 1 3 2）などと同時に形成されうる。電極パッド 4 0 1 は、配線パターンの配置などに応じて、適宜、適当な高さに配されればよい。

30

【 0 0 6 7 】

図 2 4 ~ 図 2 6 は、図 2 0 ~ 2 2 に示される断面図の変形例を示す図である。図 2 0 ~ 図 2 2 に示される構成では、開口部 4 0 0 が、半導体層 1 1 0 の側から電極パッド 4 0 1 に向かって配されている。一方、図 2 4 ~ 図 2 6 に示される構成では、開口部 4 0 0 は、半導体層 3 1 0 の側から電極パッド 4 0 1 に向かって配され、半導体層 2 1 0、3 1 0 を貫通している。図 2 4 ~ 図 2 6 には、電極パッド 4 0 1 に接続された導電体 4 0 2 も示されている。

【 0 0 6 8 】

上述したように、半導体層 1 1 0 には画素 1 6 1 が配される。画素 1 6 1 が配された半導体層 1 1 0 に開口部 4 0 0 を設けないことによって、半導体層 1 1 0 にトレンチ 1 2 2 を設ける必要がなくなる。そのため、フローティング状態への対策が必要となる部分 1 0 5 3 が、半導体層 1 1 0 に配されない。それによって、画素 1 6 1 などの多く反半導体素子が配される半導体層 1 1 0 の信頼性が向上する。

40

【 0 0 6 9 】

図 2 4 ~ 図 2 6 に示される構成において、フローティング状態への対策が必要になるパッドガードリング部 1 0 2 4 の観点から、半導体層 2 1 0 と半導体層 3 1 0 との間に電極パッド 4 0 1 が配されている方が、半導体層 2 1 0 のトレンチ 2 2 2 に起因する部分 2 0 5 3 がなくなる。しかしながら、例えば、半導体装置 1 0 0 1 が S P A D センサとして機

50

能する場合、半導体層 2 1 0、3 1 0 を介さずに、画素 1 6 1 が配された半導体層 1 1 0 に直接、高電圧の負電荷が印可される構成の方が、開口部 4 0 0 を開口する加工難度が低下しうる。そのため、図 2 4 ~ 図 2 6 に示される構成において、電極パッド 4 0 1 は、半導体層 1 1 0 と半導体層 2 1 0 との間の絶縁層 1 8 0 に配されている。

【0070】

図 2 4 ~ 図 2 6 に示される構成において、半導体層 2 1 0 には、部分 2 0 5 2 と部分 2 0 5 3 とを半導体層 2 1 0 において電氣的に分離するように半導体層 2 1 0 を貫通するトレンチ 2 2 2 が配されている。半導体層 3 1 0 には、部分 3 0 5 2 と部分 3 0 5 3 とを半導体層 3 1 0 において電氣的に分離するように半導体層 3 1 0 を貫通するトレンチ 3 2 2 が配されている。トレンチ 2 2 2、3 2 2 の構成は、開口部 4 0 0 が半導体層 1 1 0 を貫通して配される場合に半導体層 1 1 0 に配されるトレンチ 1 2 2 と同様の構成を有しうる。

10

【0071】

また、トレンチ 2 2 2 が配されることによって、半導体層 2 1 0 の主面 2 0 1 には、N 型の半導体領域 2 1 1 c、2 1 1 d が配され、半導体層 2 1 0 の主面 2 0 2 には、P 型の半導体領域 2 1 2 c、2 1 2 d が配されうる。図 2 6 に示されるように、半導体領域 2 1 1 c と半導体領域 2 1 1 d とは、導電経路によって電氣的に接続され、半導体領域 2 1 2 c と半導体領域 2 1 2 d とは、導電経路によって電氣的に接続されていてもよい。それによって、部分 2 0 5 3 がフローティング状態になることが抑制される。同様に、トレンチ 3 2 2 が配されることによって、半導体層 3 1 0 の主面 3 0 1 には、P 型の半導体領域 3 1 2 c、3 1 2 d が配されうる。図 2 6 に示されるように、半導体領域 3 1 2 c と半導体領域 3 1 2 d とは、導電経路によって電氣的に接続されていてもよい。それによって、部分 3 0 5 3 がフローティング状態になることが抑制される。

20

【0072】

また、図 2 4 ~ 図 2 6 に示されるように、半導体層 3 1 0 は、チップガードリング部 1 0 2 2 に配された半導体層 3 1 0 を貫通するトレンチ 3 2 1 によって半導体層 3 1 0 において電氣的に分離された部分 3 0 5 1、および、部分 3 0 5 2 に分かれていてもよい。部分 3 0 5 2 には、トランジスタなどの半導体素子が配されうる。部分 3 0 5 1 は、半導体層 3 1 0 の主面 3 0 1 の一部を構成する P 型の半導体領域 3 1 2 b を含む。部分 3 0 5 2 は、半導体層 3 1 0 の主面 3 0 1 の一部を構成する P 型の半導体領域 3 1 2 a を含む。絶縁層 2 8 0 に、半導体領域 3 1 2 a と半導体領域 3 1 2 b とを電氣的に接続するための導電部材 3 3 1 および配線パターン 3 3 2 を用いた導電経路 3 3 0 が配されていてもよい。それによって、半導体層 3 1 0 の部分 3 0 5 1 と部分 3 0 5 2 とは、電氣的に接続され、半導体層 3 1 0 のチップングを防止しつつ、半導体層 3 1 0 の端部（部分 3 0 5 1）がフローティング状態にならないようにしてもよい。導電経路 3 3 0 は、図 2 5、図 2 6 に示されるように、導電経路 2 3 0 に電氣的に接続されていてもよい。

30

【0073】

また、半導体層 1 1 0 の主面 1 0 2 の側と同様に、半導体層 3 1 0 の主面 3 0 2 の上に絶縁層が配されていてもよい。その場合に、半導体層 3 1 0 の部分 3 0 5 1 と部分 3 0 5 2 との間、および、部分 3 0 5 2 と部分 3 0 5 3 との間が、半導体層 3 1 0 の主面 3 0 2 上の絶縁層に配された導電部材や配線パターンを介して、それぞれ電氣的に接続されていてもよい。

40

【0074】

以下、図 2 7 に示される、本実施形態の半導体装置 1 0 0 1 を備える機器 9 0 0 について詳細に説明する。半導体装置 1 0 0 1 は、パッケージ 8 2 0 に収容され、機器 9 0 0 に搭載される。電子部品 8 0 0 は、半導体装置 1 0 0 1 が固定された基体 8 3 0 と、半導体装置 1 0 0 1 に対向するガラスなどの蓋体 8 4 0 と、を含むパッケージ 8 2 0 を備えることができる。パッケージ 8 2 0 には、基体 8 3 0 に設けられた内部端子と半導体装置 1 0 0 1 に設けられた電極パッド 4 0 1 などの端子とを接続するワイヤやバンプなどの接合部材が配されうる。

50

【 0 0 7 5 】

機器 9 0 0 は、光学装置 9 4 0、制御装置 9 5 0、処理装置 9 6 0、表示装置 9 7 0、記憶装置 9 8 0、機械装置 9 9 0 の少なくともいずれかを備えることができる。光学装置 9 4 0 は、例えば、レンズやシャッター、ミラーである。制御装置 9 5 0 は、半導体装置 1 0 0 1 を制御する。制御装置 9 5 0 は、例えば、A S I C などの半導体装置である。

【 0 0 7 6 】

処理装置 9 6 0 は、半導体装置 1 0 0 1 から出力された信号を処理する。処理装置 9 6 0 は、アナログフロントエンド (A F E) あるいはデジタルフロントエンド (D F E) を構成するための、C P U や A S I C などの半導体装置である。表示装置 9 7 0 は、半導体装置 1 0 0 1 で得られた情報 (画像) を表示する、E L 表示装置や液晶表示装置である。記憶装置 9 8 0 は、半導体装置 1 0 0 1 で得られた情報 (画像) を記憶する、磁気デバイスや半導体デバイスである。記憶装置 9 8 0 は、S R A M や D R A M などの揮発性メモリ、あるいは、フラッシュメモリやハードディスクドライブなどの不揮発性メモリである。

【 0 0 7 7 】

機械装置 9 9 0 は、モーターやエンジンなどの可動部あるいは推進部を有する。機器 9 0 0 では、半導体装置 1 0 0 1 から出力された信号を表示装置 9 7 0 に表示したり、機器 9 0 0 が備える通信装置 (不図示) によって外部に送信したりする。そのために、機器 9 0 0 は、半導体装置 1 0 0 1 が有する記憶回路や演算回路とは別に、記憶装置 9 8 0 や処理装置 9 6 0 をさらに備えていてもよい。機械装置 9 9 0 は、半導体装置 1 0 0 1 から出力され信号に基づいて制御されてもよい。

【 0 0 7 8 】

また、機器 9 0 0 は、撮影機能を有する情報端末 (例えば、スマートフォンやウェアラブル端末) やカメラ (例えば、レンズ交換式カメラ、コンパクトカメラ、ビデオカメラ、監視カメラ) などの電子機器に適する。カメラにおける機械装置 9 9 0 はズーミングや合焦、シャッター動作のために光学装置 9 4 0 の部品を駆動することができる。あるいは、カメラにおける機械装置 9 9 0 は防振動作のために半導体装置 1 0 0 1 を移動することができる。

【 0 0 7 9 】

また、機器 9 0 0 は、車両や船舶、飛行体などの輸送機器でありうる。輸送機器における機械装置 9 9 0 は移動装置として用いられうる。輸送機器としての機器 9 0 0 は、半導体装置 1 0 0 1 を輸送するものや、撮影機能により運転 (操縦) の補助および / または自動化を行うものに適している。運転 (操縦) の補助および / または自動化のための処理装置 9 6 0 は、半導体装置 1 0 0 1 で得られた情報に基づいて移動装置としての機械装置 9 9 0 を操作するための処理を行うことができる。あるいは、機器 9 0 0 は内視鏡などの医療機器や、測距センサなどの計測機器、電子顕微鏡のような分析機器、複写機などの事務機器、ロボットなどの産業機器であってもよい。

【 0 0 8 0 】

本明細書の開示は、以下の半導体装置および機器を含む。

【 0 0 8 1 】

(項目 1)

第 1 主面と前記第 1 主面とは反対側の第 2 主面を備える半導体層と、前記第 1 主面に接するように配された第 1 絶縁層と、前記第 2 主面に接するように配された第 2 絶縁層と、を含む半導体装置であって、

前記半導体層は、前記半導体層を貫通するトレンチによって前記半導体層において電氣的に分離された第 1 部分、および、半導体素子が配された第 2 部分を含み、

前記第 1 部分は、前記第 1 主面の一部を構成する第 1 導電型の第 1 半導体領域と、前記第 2 主面の一部を構成する前記第 1 導電型とは反対の第 2 導電型の第 2 半導体領域と、を含み、

前記第 2 部分は、前記第 1 主面の一部を構成する前記第 1 導電型の第 3 半導体領域と、前記第 2 主面の一部を構成する前記第 2 導電型の第 4 半導体領域と、を含み、

10

20

30

40

50

前記第 1 絶縁層に、前記第 1 半導体領域と前記第 3 半導体領域とを電氣的に接続するための第 1 導電経路が配され、

前記第 2 絶縁層に、前記第 2 半導体領域と前記第 4 半導体領域とを電氣的に接続するための第 2 導電経路が配されていることを特徴とする半導体装置。

【0082】

(項目 2)

前記半導体素子は、前記第 2 導電型の第 5 半導体領域を含み、

前記第 4 半導体領域は、前記第 5 半導体領域に電氣的に接続されていることを特徴とする項目 1 に記載の半導体装置。

【0083】

(項目 3)

前記半導体素子が、フォトダイオードおよびアバランシェフォトダイオードのうち少なくとも一方を含むことを特徴とする項目 1 または 2 に記載の半導体装置。

【0084】

(項目 4)

前記トレンチに絶縁体が埋め込まれていることを特徴とする項目 1 乃至 3 の何れか 1 項目に記載の半導体装置。

【0085】

(項目 5)

前記絶縁体と前記トレンチの表面との間に、金属または金属酸化物が配されていることを特徴とする項目 4 に記載の半導体装置。

【0086】

(項目 6)

前記第 1 部分が、前記第 2 部分を取り囲むように配されていることを特徴とする項目 1 乃至 5 の何れか 1 項目に記載の半導体装置。

【0087】

(項目 7)

前記第 1 部分が、前記半導体層の外縁の少なくとも一部を構成していることを特徴とする項目 1 乃至 6 の何れか 1 項目に記載の半導体装置。

【0088】

(項目 8)

前記半導体層は、前記第 1 部分と前記半導体層の外縁との間に配された第 3 部分をさらに含み、

前記トレンチを第 1 トレンチとして、前記半導体層には、前記第 1 部分と前記第 3 部分とを前記半導体層において電氣的に分離するように前記半導体層を貫通する第 2 トレンチが配され、

前記第 1 部分は、前記第 1 主面の一部を構成する第 1 導電型の第 6 半導体領域と、前記第 2 主面の一部を構成する前記第 2 導電型の第 7 半導体領域と、をさらに含み、

前記第 3 部分は、前記第 1 主面の一部を構成する前記第 1 導電型の第 8 半導体領域と、前記第 2 主面の一部を構成する前記第 2 導電型の第 9 半導体領域と、を含み、

前記第 1 絶縁層に、前記第 6 半導体領域と前記第 8 半導体領域とを電氣的に接続するための第 3 導電経路が配され、

前記第 2 絶縁層に、前記第 7 半導体領域と前記第 9 半導体領域とを電氣的に接続するための第 4 導電経路が配されていることを特徴とする項目 1 乃至 6 の何れか 1 項目に記載の半導体装置。

【0089】

(項目 9)

前記第 2 導電経路と前記第 4 導電経路とが、電氣的に接続されていることを特徴とする項目 8 に記載の半導体装置。

【0090】

10

20

30

40

50

(項目10)

前記半導体層を第1半導体層として、前記第1絶縁層を介して前記第1半導体層と積層された第2半導体層をさらに含むことを特徴とする項目1乃至9の何れか1項に記載の半導体装置。

【0091】

(項目11)

前記第1絶縁層に外部接続用の電極パッドが配され、

前記第1半導体層には、前記第1半導体層を貫通し前記電極パッドを露出させるための開口部が配され、

前記第1半導体層は、前記第2部分と前記開口部との間に、前記開口部を取り囲むように配された第4部分をさらに含み、

前記トレンチを第1トレンチとして、前記第1半導体層には、前記第2部分と前記第4部分とを前記半導体層において電氣的に分離するように前記半導体層を貫通する第3トレンチが配され、

前記第2部分は、前記第1主面の一部を構成する第1導電型の第10半導体領域と、前記第2主面の一部を構成する前記第2導電型の第11半導体領域と、をさらに含み、

前記第4部分は、前記第1主面の一部を構成する前記第1導電型の第12半導体領域と、前記第2主面の一部を構成する前記第2導電型の第13半導体領域と、を含み、

前記第1絶縁層に、前記第10半導体領域と前記第12半導体領域とを電氣的に接続するための第5導電経路が配され、

前記第2絶縁層に、前記第11半導体領域と前記第13半導体領域とを電氣的に接続するための第6導電経路が配されていることを特徴とする項目10に記載の半導体装置。

【0092】

(項目12)

前記半導体層を第1半導体層として、前記第1絶縁層を介して前記第1半導体層と積層された第2半導体層をさらに含み、

前記第1絶縁層に外部接続用の電極パッドが配され、

前記第1半導体層には、前記第1半導体層を貫通し前記電極パッドを露出させるための開口部が配され、

前記第1部分は、前記開口部を取り囲むように配され、

前記第2部分は、前記第1部分を取り囲むように配されていることを特徴とする項目1乃至5の何れか1項目に記載の半導体装置。

【0093】

(項目13)

前記第1導電経路が、前記第2半導体層に電氣的に接続されていることを特徴とする項目10乃至12の何れか1項目に記載の半導体装置。

【0094】

(項目14)

前記第2半導体層は、前記第1絶縁層に接するように配された第3主面と前記第3主面とは反対側の第4主面とを備え、第5部分および前記第5部分と前記第2半導体層の外縁との間に配された第6部分を含み、

前記第2半導体層には、前記第5部分と前記第6部分とを前記第2半導体層において電氣的に分離するように前記第2半導体層を貫通する第4トレンチが配され、

前記第5部分は、前記第3主面の一部を構成する前記第1導電型の第14半導体領域を含み、

前記第6部分は、前記第3主面の一部を構成する前記第1導電型の第15半導体領域を含み、

前記第1絶縁層に、前記第14半導体領域と前記第15半導体領域を電氣的に接続するための第7導電経路が配されていることを特徴とする項目10乃至12の何れか1項目に記載の半導体装置。

【 0 0 9 5 】

(項 目 1 5)

前記第 1 導電経路と前記第 7 導電経路とが、電氣的に接続されていることを特徴とする項目 1 4 に記載の半導体装置。

【 0 0 9 6 】

(項 目 1 6)

前記第 4 主面に接するように配された第 3 絶縁層をさらに含み、

前記第 5 部分は、前記第 4 主面の一部を構成する前記第 2 導電型の第 1 6 半導体領域を含み、

前記第 6 部分は、前記第 4 主面の一部を構成する前記第 2 導電型の第 1 7 半導体領域を含み、

前記第 3 絶縁層に、前記第 1 6 半導体領域と前記第 1 7 半導体領域を電氣的に接続するための第 8 導電経路が配されていることを特徴とする項目 1 4 または 1 5 に記載の半導体装置。

【 0 0 9 7 】

(項 目 1 7)

前記第 3 絶縁層を介して前記第 2 半導体層と積層された第 3 半導体層をさらに含み、

前記第 8 導電経路が、前記第 3 半導体層に電氣的に接続されていることを特徴とする項目 1 6 に記載の半導体装置。

【 0 0 9 8 】

(項 目 1 8)

前記第 3 絶縁層を介して前記第 2 半導体層と積層された第 3 半導体層をさらに含み、

前記第 3 半導体層は、前記第 3 絶縁層に接するように配された第 5 主面と前記第 5 主面とは反対側の第 6 主面とを備え、第 7 部分および前記第 7 部分と前記第 3 半導体層の外縁との間に配された第 8 部分を含み、

前記第 3 半導体層には、前記第 7 部分と前記第 8 部分とを前記第 3 半導体層において電氣的に分離するように前記第 3 半導体層を貫通する第 5 トレンチが配され、

前記第 7 部分は、前記第 5 主面の一部を構成する前記第 2 導電型の第 1 8 半導体領域を含み、

前記第 8 部分は、前記第 5 主面の一部を構成する前記第 2 導電型の第 1 9 半導体領域を含み、

前記第 3 絶縁層に、前記第 1 8 半導体領域と前記第 1 9 半導体領域を電氣的に接続するための第 9 導電経路が配されていることを特徴とする項目 1 6 に記載の半導体装置。

【 0 0 9 9 】

(項 目 1 9)

前記第 8 導電経路と前記第 9 導電経路とが、電氣的に接続されていることを特徴とする項目 1 8 に記載の半導体装置。

【 0 1 0 0 】

(項 目 2 0)

項目 1 乃至 1 9 の何れか 1 項目に記載の半導体装置と、

前記半導体装置から出力された信号を処理する処理装置と、を備えることを特徴とする機器。

【 0 1 0 1 】

発明は上記実施形態に制限されるものではなく、発明の精神及び範囲から離脱することなく、様々な変更及び変形が可能である。従って、発明の範囲を公にするために請求項を添付する。

【 符号の説明 】

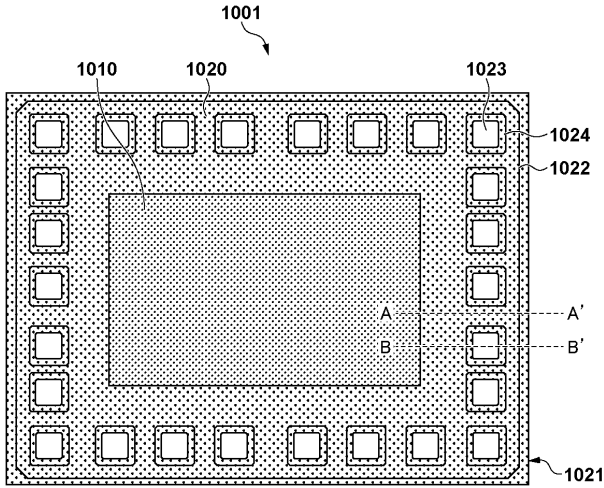
【 0 1 0 2 】

1 0 1 , 1 0 2 , 2 0 1 , 2 0 2 , 3 0 1 , 3 0 2 : 主面、1 1 0 , 2 1 0 , 3 1 0 : 半導体層、1 1 1 , 1 1 2 , 2 1 1 , 2 1 2 , 3 1 1 , 3 1 2 : 半導体領域、1 3 0 , 1 5

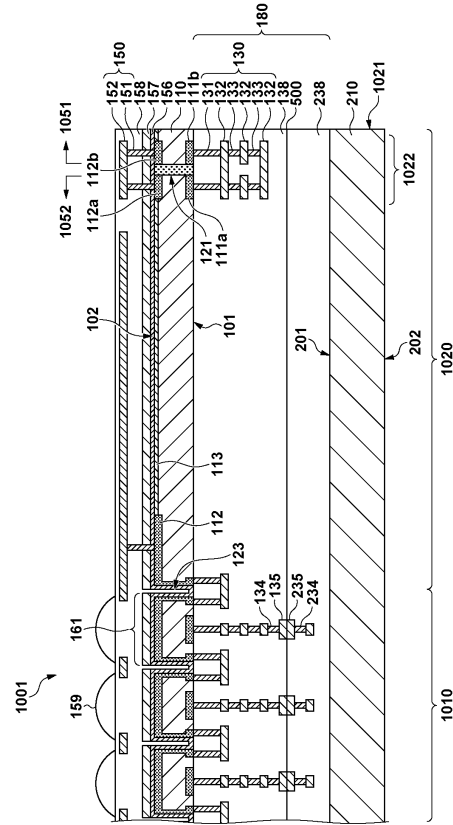
0, 230, 250 : 導電経路、158, 180, 280 : 絶縁層、121, 122, 124, 221, 222, 321, 322 : トレンチ、1001 : 半導体装置、1051, 1052, 1053, 1054, 2051, 2052, 2053, 3051, 3052, 3053 : 部分

【図面】

【図 1】



【図 2】



10

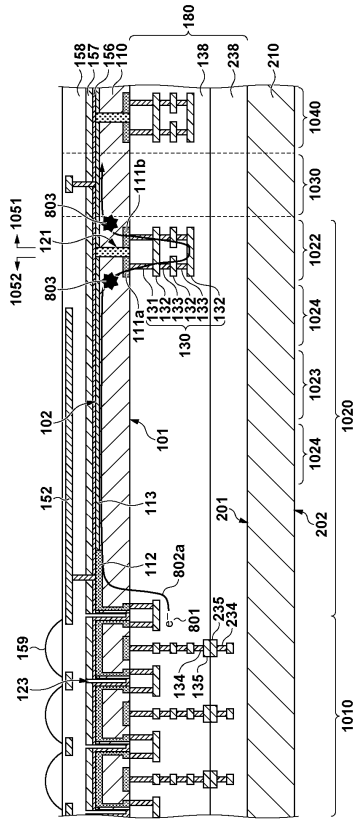
20

30

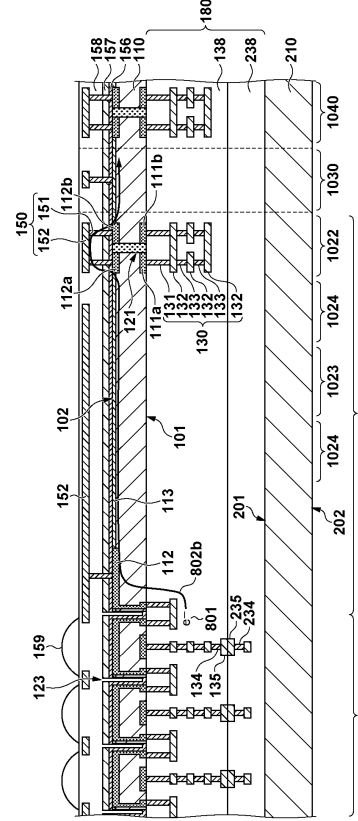
40

50

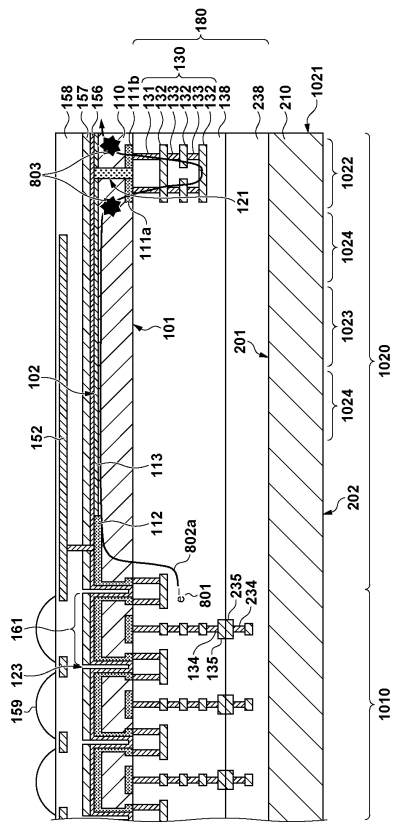
【 図 7 】



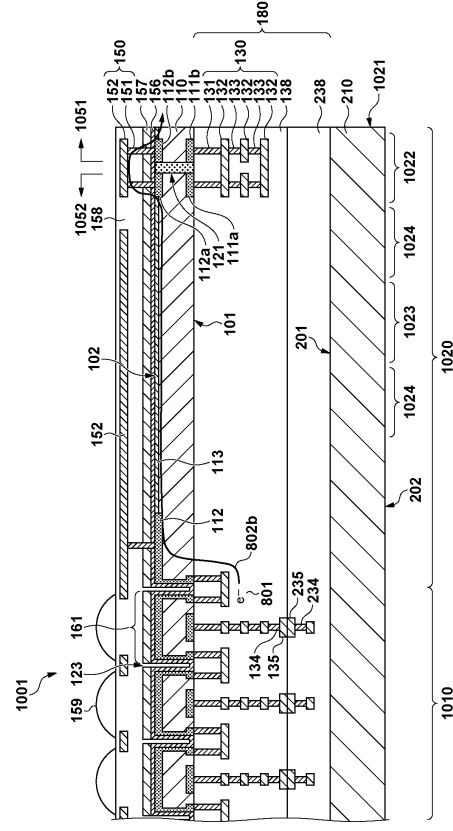
【 図 8 】



【 図 9 】



【 図 10 】



10

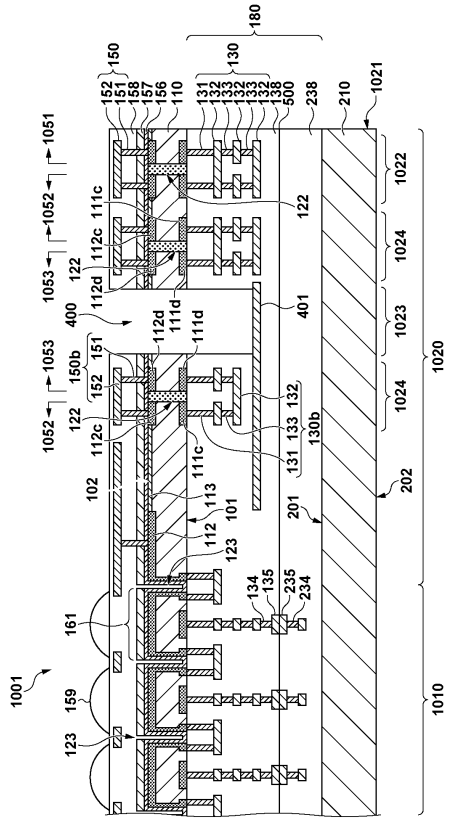
20

30

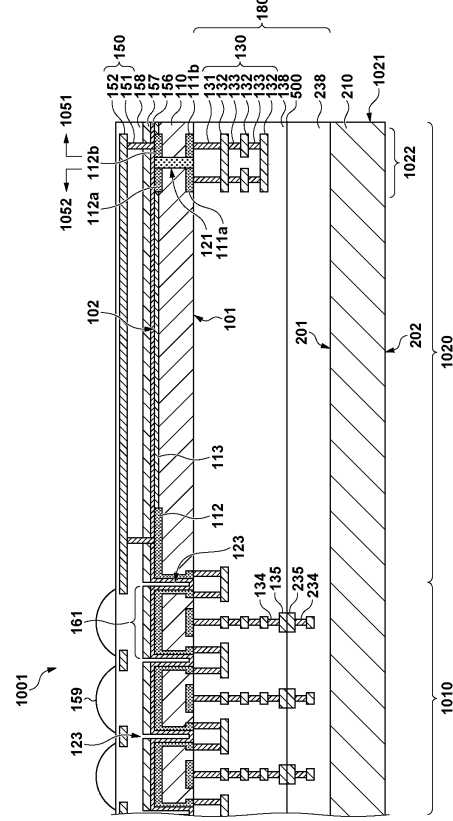
40

50

【 図 1 5 】



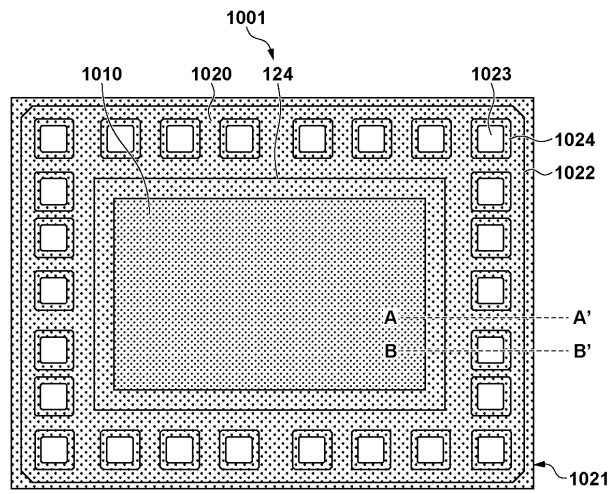
【 図 1 6 】



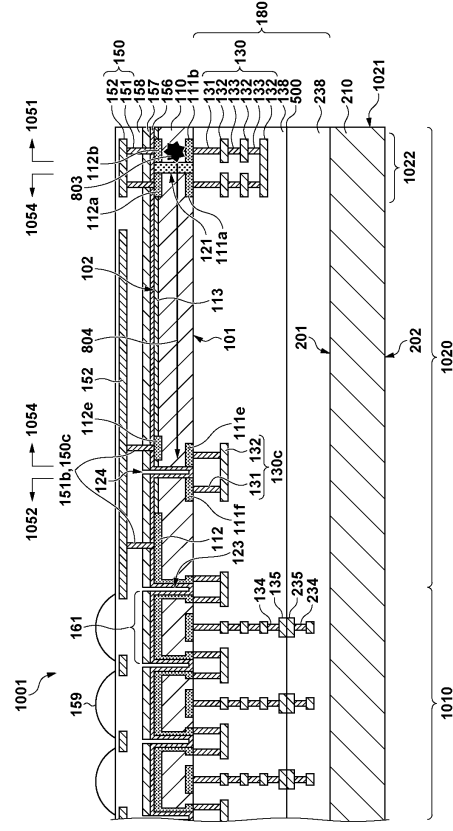
10

20

【 図 1 7 】



【 図 1 8 】

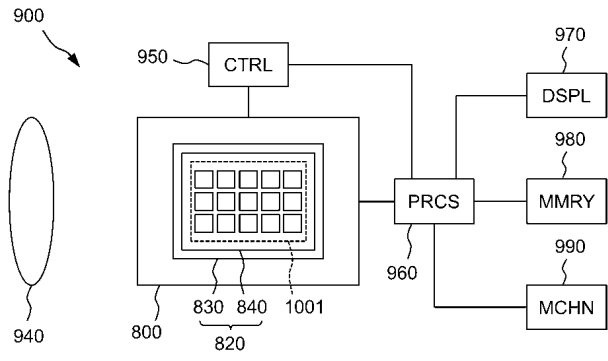


30

40

50

【 27 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

テーマコード (参考)

H 0 1 L

27/04

H

F ターム (参考)

HA02 HA25 HA30 HA31

5F033 HH07 HH08 HH11 HH18 HH19 HH33 JJ01 JJ07 JJ08 JJ11
JJ18 JJ19 JJ33 KK01 MM30 QQ47 RR03 RR04 RR06 SS11 UU04
VV01 VV07 XX00 XX32

5F038 BE07 BH09 BH13 CA05 CA10 CA12 CA16 CD10 EZ15 EZ19

5F048 AA07 AB03 AB10 AC01 AC10 BA01 BF02 BF07 BF12 CB01
CB02 CB03 CB04 CC18