

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6144295号
(P6144295)

(45) 発行日 平成29年6月7日(2017.6.7)

(24) 登録日 平成29年5月19日(2017.5.19)

(51) Int.Cl.

A63F 7/02 (2006.01)

F 1

A 6 3 F	7/02	3 2 0
A 6 3 F	7/02	3 3 4
A 6 3 F	7/02	3 0 4 Z

請求項の数 1 (全 114 頁)

(21) 出願番号 特願2015-85584 (P2015-85584)
 (22) 出願日 平成27年4月20日 (2015.4.20)
 (62) 分割の表示 特願2012-236103 (P2012-236103)
 分割
 原出願日 平成24年10月25日 (2012.10.25)
 (65) 公開番号 特開2015-131164 (P2015-131164A)
 (43) 公開日 平成27年7月23日 (2015.7.23)
 審査請求日 平成27年4月20日 (2015.4.20)

(73) 特許権者 000144153
 株式会社三共
 東京都渋谷区渋谷三丁目29番14号
 (74) 代理人 100103090
 弁理士 岩壁 冬樹
 (74) 代理人 100124501
 弁理士 塩川 誠人
 (74) 代理人 100135161
 弁理士 真野 修二
 (72) 発明者 小倉 敏男
 東京都渋谷区渋谷三丁目29番14号 株式会社三共内
 審査官 下村 輝秋

最終頁に続く

(54) 【発明の名称】遊技機

(57) 【特許請求の範囲】

【請求項 1】

可変表示を行い、遊技者にとって有利な有利状態に制御可能な遊技機であって、システムリセットが発生したときにセキュリティチェックを実行可能なセキュリティチェック実行手段と、

前記有利状態に制御されるか否かにもとづいて、複数回の可変表示において予告演出を実行する予告演出実行手段とを備え、

前記予告演出実行手段は、複数回の可変表示において、第1予告演出を実行するパターンと、当該第1予告演出よりも前記有利状態に制御される割合が高い第2予告演出を実行するパターンと、前記第1予告演出を実行した後に前記第2予告演出を実行するパターンとのいずれかのパターンにより前記予告演出を実行可能であり、

前記第1予告演出の演出態様には、第1演出態様と、該第1演出態様よりも前記有利状態に制御される割合が高い第2演出態様とがあり、

前記第1演出態様により前記第1予告演出が実行される場合には、前記第2演出態様により前記第1予告演出が実行される場合と比較して、前記第1予告演出を実行した後に前記第2予告演出を実行するパターンにより前記予告演出が実行される割合が高い

ことを特徴とする遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、可変表示を行い、遊技者にとって有利な有利状態に制御可能なパチンコ遊技機等の遊技機に関する。

【背景技術】

【0002】

遊技機として、遊技媒体である遊技球を発射装置によって遊技領域に発射し、遊技領域に設けられている入賞口などの入賞領域に遊技球が入賞すると、所定個の賞球が遊技者に払い出されるものがある。さらに、識別情報を可変表示（「変動」ともいう。）可能な可変表示部が設けられ、可変表示部において識別情報の可変表示の表示結果が特定表示結果となった場合に、所定の遊技価値を遊技者に与えるように構成されたものがある。

【0003】

10

なお、遊技価値とは、遊技機の遊技領域に設けられた可変入賞球装置の状態が打球が入賞しやすい遊技者にとって有利な状態になることや、遊技者にとって有利な状態になるための権利を発生させたりすることや、賞球払出の条件が成立しやすくなる状態になることがある。

【0004】

20

パチンコ遊技機では、始動入賞口に遊技球が入賞したことにもとづいて可変表示部において開始される特別図柄（識別情報）の可変表示の表示結果として、あらかじめ定められた特定の表示態様が導出表示された場合に、「大当たり」が発生する。なお、導出表示とは、図柄を停止表示させることである（いわゆる再変動の前の停止を除く。）。大当たりが発生すると、例えば、大入賞口が所定回数開放して打球が入賞しやすい大当たり遊技状態に移行する。そして、各開放期間において、所定個（例えば10個）の大入賞口への入賞があると大入賞口は閉成する。そして、大入賞口の開放回数は、所定回数（例えば15ラウンド）に固定されている。なお、各開放について開放時間（例えば29秒）が決められ、入賞数が所定個に達しなくても開放時間が経過すると大入賞口は閉成する。以下、各自の大入賞口の開放期間をラウンドということがある。

【0005】

また、可変表示部において、最終停止図柄（例えば左右中図柄のうち中図柄）となる図柄以外の図柄が、所定時間継続して、特定の表示結果と一致している状態で停止、揺動、拡大縮小もしくは変形している状態、または、複数の図柄が同一図柄で同期して変動したり、表示図柄の位置が入れ替わっていたりして、最終結果が表示される前で大当たり発生の可能性が継続している状態（以下、これらの状態をリーチ状態という。）において行われる演出をリーチ演出という。また、リーチ状態やその様子をリーチ態様という。さらに、リーチ演出を含む可変表示をリーチ可変表示という。そして、可変表示装置に変動表示される図柄の表示結果が特定の表示結果でない場合には「はずれ」となり、変動表示状態は終了する。遊技者は、大当たりをいかにして発生させるかを楽しみつつ遊技を行う。

30

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2004-147704号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0009】

本発明は、第1予告演出が開始された場合でも、第2予告演出に移行することへの期待感を抱かせ、遊技に対する興味を向上させることができる遊技機を提供することを目的とする。

【課題を解決するための手段】

【0010】

（手段1）本発明による遊技機は、可変表示を行い、遊技者にとって有利な有利状態に制御可能な遊技機であって、システムリセットが発生後したときにセキュリティチェックを実行可能なセキュリティチェック実行手段と、有利状態に制御されるか否かにもとづいて

50

、複数回の可変表示において予告演出を実行する予告演出実行手段とを備え、予告演出実行手段は、複数回の可変表示において、第1予告演出を実行するパターンと、当該第1予告演出よりも有利状態に制御される割合が高い第2予告演出を実行するパターンと、第1予告演出を実行した後に第2予告演出を実行するパターンとのいずれかのパターンにより予告演出を実行可能であり、第1予告演出の演出態様には、第1演出態様と、該第1演出態様よりも有利状態に制御される割合が高い第2演出態様とがあり、第1演出態様により第1予告演出が実行される場合には、第2演出態様により第1予告演出が実行される場合と比較して、第1予告演出を実行した後に第2予告演出を実行するパターンにより予告演出が実行される割合が高いことを特徴とする。そのような構成により、第1予告演出が開始された場合でも、第2予告演出に移行することへの期待感を抱かせ、遊技に対する興趣を向上させることができる。10

【0011】

(手段2)手段1において、設定手段は、ウォッチドッグタイマを起動させるか否かを設定可能であり(例えば、遊技制御用マイクロコンピュータ560は、プログラム管理エリアの図12に示すリセット設定(KRES)のビット3-0の設定値が“0000”であることに従ってステップS1001, S1011を実行することによって、ウォッチドッグタイマ(WDT)506bを使用禁止に設定可能である)、ウォッチドッグタイマを起動させないと設定した場合であっても、所定事象が発生したことにもとづいて第1リセットを発生させるか第2リセットを発生させるかを設定可能である(例えば、遊技制御用マイクロコンピュータ560におけるプログラム管理エリアの図12に示すリセット設定(KRES)のビット3-0が“0000”に設定されている場合であっても、ビット7の設定値に従ってステップS1001, S1011を実行することによって、リセットの種類を設定可能である)ように構成されていてもよい。そのような構成によれば、ウォッチドッグタイマの設定にかかわらず、所定事象が発生したことにもとづいて発生させるリセットの種類の設定を共通化することができる。20

【0012】

(手段3)手段1または手段2において、所定事象の発生には、指定された領域以外の領域に格納されたプログラムを実行する指定領域外実行(例えば、指定エリア外走行禁止(IAT))が含まれ(例えば、IAT回路506aからのIAT信号の入力)、初期化手段は、所定の処理として所定時間(例えば4ms)毎に発生するタイマ割込に応じて実行されるタイマ割込処理(例えば、図49に示すタイマ割込処理)の実行中に指定領域外実行が発生した場合に、記憶手段の記憶内容を初期化する(例えば、遊技制御用マイクロコンピュータ560は、ステップS20～S34の実行中にIAT回路506aからのIAT信号を入力したときには、図50および図51に示す電源断処理を実行することなく、リセット後にメイン処理が開始されたときにステップS10～S13を実行する)ように構成されていてもよい。そのような構成によれば、意図しないプログラムが実行された場合のセキュリティ性を向上させることができる。30

【0013】

(手段4)手段1から手段3のうちのいずれかにおいて、設定手段は、第1リセットを発生させると設定したときに、所定事象が発生して第1リセットを発生させた後、所定事象が発生したことにもとづいて第1リセットを発生させるか第2リセットを発生させるかを再度設定する(例えば、遊技制御用マイクロコンピュータ560は、図46(A)に示すように、システムリセットが発生したときに、ステップS1005を実行して、遊技制御用マイクロコンピュータ560の各種設定をハードウェア的に再度実行することにより、システムリセットとするかユーザリセットとするかを再度設定する)のように構成されていてもよい。そのような構成によれば、異常な状態から正常な状態に確実に復旧させることができる。40

【図面の簡単な説明】

【0014】

【図1】パチンコ遊技機を正面からみた正面図である。50

【図2】遊技制御基板（主基板）の回路構成例を示すブロック図である。

【図3】演出制御基板、ランプドライバ基板および音声出力基板の回路構成例を示すブロック図である。

【図4】遊技制御用マイクロコンピュータの構成例を示すブロック図である。

【図5】遊技制御用マイクロコンピュータにおけるアドレスマップの一例を示す図である。

【図6】プログラム管理エリアの主要部分を例示する図である。

【図7】内蔵レジスタの主要部分を例示する図である。

【図8】内蔵レジスタの主要部分を例示する図である。

【図9】内蔵レジスタの主要部分を例示する図である。

【図10】ヘッダ（KHDR）における設定データと動作との対応関係を例示する図である。

【図11】プログラムコードエンドアドレス（KPC E）、プログラムコードスタートアドレス2（KPC S2）、およびプログラムコードエンドアドレス2（KPC E2）における設定内容の一例を示す図である。

【図12】リセット設定（KRES）における設定内容の一例を示す図である。

【図13】16ビット乱数初期設定1（KRL1）における設定内容の一例を示す図である。

【図14】16ビット乱数初期設定2（KRL2）における設定内容の一例を示す図である。

【図15】16ビット乱数初期設定3（KRL3）における設定内容の一例を示す図である。

【図16】8ビット乱数初期設定1（KRS1）における設定内容の一例を示す図である。

【図17】8ビット乱数初期設定2（KRS2）における設定内容の一例を示す図である。

【図18】セキュリティ時間設定（KSES）における設定内容の一例を示す図である。

【図19】乱数クロック監視設定（KRC S）における設定内容の一例を示す図である。

【図20】内部情報レジスタの構成例等を示す図である。

【図21】8ビット乱数回路の一構成例を示すブロック図である。

【図22】16ビット乱数回路の一構成例を示すブロック図である。

【図23】RL0ハードラッチ選択レジスタ0（RL0LS0）の構成例および設定内容の一例を示す説明図である。

【図24】RL0ハードラッチ選択レジスタ1（RL0LS1）の構成例および設定内容の一例を示す説明図である。

【図25】RLnハードラッチ選択レジスタ（RLnLS）の構成例および設定内容の一例を示す説明図である。

【図26】RSハードラッチ選択レジスタ0（RSLS0）の構成例および設定内容の一例を示す説明図である。

【図27】RSハードラッチ選択レジスタ1（RSLS1）の構成例および設定内容の一例を示す説明図である。

【図28】RL割り込み制御レジスタ0（RLIC0）の構成例および設定内容の一例を示す説明図である。

【図29】RL割り込み制御レジスタ1（RLIC1）の構成例および設定内容の一例を示す説明図である。

【図30】RS割り込み制御レジスタ（RSIC）の構成例および設定内容の一例を示す説明図である。

【図31】RLn最大値設定レジスタ（RLnMX）の構成例および設定内容の一例を示す説明図である。

【図32】RSn最大値設定レジスタ（RSnMX）の構成例および設定内容の一例を示す説明図である。

10

20

30

40

50

す説明図である。

【図33】乱数列変更レジスタ（R D S C）の構成例および設定内容の一例を示す説明図である。

【図34】乱数ソフトラッチレジスタ（R D S L）の構成例および設定内容の一例を示す説明図である。

【図35】乱数ソフトラッチフラグレジスタ（R D S F）の構成例および設定内容の一例を示す説明図である。

【図36】R L n ソフトラッチ乱数値レジスタ（R L n S V）の構成例および設定内容の一例を示す説明図である。

【図37】R S n ソフトラッチ乱数値レジスタ（R S n S V）の構成例および設定内容の一例を示す説明図である。 10

【図38】R L ハードラッチフラグレジスタ0（R L H F 0）の構成例および設定内容の一例を示す説明図である。

【図39】R L ハードラッチフラグレジスタ1（R L H F 1）の構成例および設定内容の一例を示す説明図である。

【図40】R S ハードラッチフラグレジスタ（R S H F）の構成例および設定内容の一例を示す説明図である。

【図41】R L 0 ハードラッチ乱数値レジスタm（R L 0 m H V）の構成例および設定内容の一例を示す説明図である。 20

【図42】R L 1 ハードラッチ乱数値レジスタm（R L 1 m H V）の構成例および設定内容の一例を示す説明図である。

【図43】R L 2 ハードラッチ乱数値レジスタm（R L 2 m H V）の構成例および設定内容の一例を示す説明図である。

【図44】R L 3 ハードラッチ乱数値レジスタm（R L 3 m H V）の構成例および設定内容の一例を示す説明図である。

【図45】R S n ハードラッチ乱数値レジスタ（R S n H V）の構成例および設定内容の一例を示す説明図である。

【図46】リセット設定（K R E S）での設定内容によるリセット動作の違いを説明するための説明図である。

【図47】内蔵R A M領域に格納されているデータの読み出し方の例を示す説明図である。 30

【図48】主基板におけるC P Uが実行するメイン処理を示すフローチャートである。

【図49】4 m s タイマ割込処理を示すフローチャートである。

【図50】電源断処理の一例を示すフローチャートである。

【図51】電源断処理の一例を示すフローチャートである。

【図52】各乱数を示す説明図である。

【図53】大当たり判定テーブル、小当たり判定テーブルおよび大当たり種別判定テーブルを示す説明図である。

【図54】特別図柄プロセス処理のプログラムの一例を示すフローチャートである。

【図55】特別図柄プロセス処理のプログラムの一例を示すフローチャートである。 40

【図56】始動口スイッチ通過処理を示すフローチャートである。

【図57】保留記憶バッファの構成例を示す説明図である。

【図58】演出制御用C P Uが実行する演出制御メイン処理を示すフローチャートである。

【図59】演出制御プロセス処理を示すフローチャートである。

【図60】先読み予告決定処理の一例を示すフローチャートである。

【図61】先読み予告演出を決定する割合の設定例を示す図である。

【図62】連続演出用のチャンス目の一覧を示す図である。

【図63】先読み予告演出制御パターンの一覧を示す図である。

【図64】可変表示開始設定処理の一例を示すフローチャートである。 50

【図65】変動中予告演出を決定する割合の設定例を示す図である。

【図66】先読み予告実行設定処理の一例を示すフローチャートである。

【図67】先読み予告演出が実行される場合の画像表示装置における表示動作例を示す図である。

【図68】先読み予告演出が実行される場合の画像表示装置における表示動作例を示す図である。

【図69】先読み予告演出が実行される場合の画像表示装置における表示動作例を示す図である。

【図70】変形例における先読み予告パターンを一例を示す図である。

【図71】変形例の先読み予告決定処理の一部などを示す図である。

10

【図72】変形例の先読み予告演出制御パターンの一部を示す図である。

【図73】変形例において先読み予告演出が実行される場合の画像表示装置における表示動作例を示す図である。

【図74】変形例において先読み予告演出が実行される場合の画像表示装置における表示動作例を示す図である。

【発明を実施するための形態】

【0015】

以下、本発明の実施の形態を、図面を参照して説明する。まず、遊技機の一例であるパチンコ遊技機1の全体の構成について説明する。図1はパチンコ遊技機1を正面からみた正面図である。

20

【0016】

パチンコ遊技機1は、縦長の方形状に形成された外枠(図示せず)と、外枠の内側に開閉可能に取り付けられた遊技枠とで構成される。また、パチンコ遊技機1は、遊技枠に開閉可能に設けられている額縁状に形成されたガラス扉枠2を有する。遊技枠は、外枠に対して開閉自在に設置される前面枠(図示せず)と、機構部品等が取り付けられる機構板(図示せず)と、それらに取り付けられる種々の部品(後述する遊技盤6を除く)とを含む構造体である。

【0017】

ガラス扉枠2の下部表面には打球供給皿(上皿)3がある。打球供給皿3の下部には、打球供給皿3に収容しきれない遊技球を貯留する余剰球受皿4や、打球を発射する打球操作ハンドル(操作ノブ)5が設けられている。また、ガラス扉枠2の背面には、遊技盤6が着脱可能に取り付けられている。なお、遊技盤6は、それを構成する板状体と、その板状体に取り付けられた種々の部品とを含む構造体である。また、遊技盤6の前面には、打ち込まれた遊技球が流下可能な遊技領域7が形成されている。

30

【0018】

遊技領域7の中央付近には、液晶表示装置(LCD)で構成された演出表示装置9が設けられている。演出表示装置9の表示画面には、第1特別図柄または第2特別図柄の可変表示に同期した演出図柄(以下、飾り図柄ともいう)の可変表示を行う演出図柄表示領域がある。よって、演出表示装置9は、演出図柄の可変表示を行う可変表示装置に相当する。演出図柄表示領域には、例えば「左」、「中」、「右」の3つの装飾用(演出用)の演出図柄を可変表示する図柄表示エリアがある。図柄表示エリアには「左」、「中」、「右」の各図柄表示エリアがあるが、図柄表示エリアの位置は、演出表示装置9の表示画面において固定的でなくともよいし、図柄表示エリアの3つ領域が離れてもよい。演出表示装置9は、演出制御基板に搭載されている演出制御用マイクロコンピュータによって制御される。演出制御用マイクロコンピュータが、第1特別図柄表示器8aで第1特別図柄の可変表示が実行されているときに、その可変表示に伴って演出表示装置9で演出表示を実行させ、第2特別図柄表示器8bで第2特別図柄の可変表示が実行されているときに、その可変表示に伴って演出表示装置9で演出表示を実行させてるので、遊技の進行状況を把握しやすくなることができる。

40

【0019】

50

また、演出表示装置 9において、最終停止図柄（例えば左右中図柄のうち中図柄）となる図柄以外の図柄が、所定時間継続して、大当たり図柄（例えば左中右の図柄が同じ図柄で揃った図柄の組み合わせ）と一致している状態で停止、揺動、拡大縮小もしくは変形している状態、または、複数の図柄が同一図柄で同期して変動したり、表示図柄の位置が入れ替わっていたりして、最終結果が表示される前で大当たり発生の可能性が継続している状態（以下、これらの状態をリーチ状態という。）において行われる演出をリーチ演出という。また、リーチ状態やその様子をリーチ態様という。さらに、リーチ演出を含む可変表示をリーチ可変表示という。そして、演出表示装置 9に変動表示される図柄の表示結果が大当たり図柄でない場合には「はずれ」となり、変動表示状態は終了する。遊技者は、大当たりをいかにして発生させるかを楽しみつつ遊技を行う。

10

【0020】

なお、この実施の形態では、演出表示装置 9における液晶表示の演出として演出図柄の変動表示を行う場合を示しているが、演出表示装置 9で行われる演出は、この実施の形態で示したものにかぎらず、例えば、所定のストーリー性をもつ演出を実行して、大当たり判定や変動パターンの決定結果にもとづいてストーリーの結果を表示するような演出を実行するようにしてもよい。例えば、プロレスやサッカーの試合や敵味方のキャラクタが戦うバトル演出を行うとともに、大当たりであれば試合やバトルに勝利する演出を行い、はずれであれば試合やバトルに敗北する演出を行うようにしてもよい。また、例えば、勝敗などの結果を表示するのではなく、物語などの所定のストーリーを順に展開させていくような演出を実行するようにしてもよい。

20

【0021】

演出表示装置 9の表示画面の右上方部には、演出図柄と後述する特別図柄および普通図柄とに次ぐ第4図柄を表示する第4図柄表示領域 9c, 9d が設けられている。この実施の形態では、後述する第1特別図柄の変動表示に同期して第1特別図柄用の第4図柄の変動表示が行われる第1特別図柄用の第4図柄表示領域 9c と、第2特別図柄の変動表示に同期して第2特別図柄用の第4図柄の変動表示が行われる第2特別図柄用の第4図柄表示領域 9d とが設けられている。

【0022】

この実施の形態では、特別図柄の変動表示に同期して演出図柄の変動表示が実行されるのであるが（ただし、正確には、演出図柄の変動表示は、演出制御用マイクロコンピュータ 100側で変動パターンコマンドにもとづいて認識した変動時間を計測することによって行われる。）、演出表示装置 9を用いた演出を行う場合、例えば、演出図柄の変動表示を含む演出内容が画面上から一瞬消えるような演出が行われたり、可動物が画面上の全部または一部を遮蔽するような演出が行われるなど、演出態様が多様化してきている。そのため、演出表示装置 9上の表示画面を見ても、現在変動表示中の状態であるのか否か認識しにくい場合も生じている。そこで、この実施の形態では、演出表示装置 9の表示画面の一部でさらに第4図柄の変動表示を行うことによって、第4図柄の状態を確認することにより現在変動表示中の状態であるのか否かを確実に認識可能としている。なお、第4図柄は、常に一定の動作で変動表示され、画面上から消えたり遮蔽物で遮蔽することはないため、常に視認することができる。

30

【0023】

なお、第1特別図柄用の第4図柄と第2特別図柄用の第4図柄とを、第4図柄と総称することがあり、第1特別図柄用の第4図柄表示領域 9c と第2特別図柄用の第4図柄表示領域 9d を、第4図柄表示領域と総称することがある。

【0024】

第4図柄の変動（可変表示）は、第4図柄表示領域 9c, 9d を所定の表示色（例えば、青色）で一定の時間間隔で点灯と消灯とを繰り返す状態を継続することによって実現される。第1特別図柄表示器 8a における第1特別図柄の可変表示と、第1特別図柄用の第4図柄表示領域 9c における第1特別図柄用の第4図柄の可変表示とは同期している。第2特別図柄表示器 8b における第2特別図柄の可変表示と、第2特別図柄用の第4図柄表

40

50

示領域 9 d における第 2 特別図柄用の第 4 図柄の可変表示とは同期している。同期とは、可変表示の開始時点および終了時点が同じであって、可変表示の期間が同じであることをいう。また、第 1 特別図柄表示器 8 a において大当たり図柄が停止表示されるときには、第 1 特別図柄用の第 4 図柄表示領域 9 c において大当たりを想起させる表示色（例えば、赤色）で点灯されたままになる。第 2 特別図柄表示器 8 b において大当たり図柄が停止表示されるときには、第 2 特別図柄用の第 4 図柄表示領域 9 d において大当たりを想起させる表示色（例えば、赤色）で点灯されたままになる。

【 0 0 2 5 】

なお、この実施の形態では、第 4 図柄表示領域を演出表示装置 9 の表示画面の一部に設ける場合を示しているが、演出表示装置 9 とは別に、ランプや L E D などの発光体を用いて第 4 図柄表示領域を実現するようにしてもよい。この場合、例えば、第 4 図柄の変動（可変表示）を、2つの L E D が交互に点灯する状態を継続することによって実現されるようにもよる、2つの L E D のうちのいずれの L E D が停止表示されたかによって大当たり図柄が停止表示されたか否かを表すようにしてもよい。10

【 0 0 2 6 】

また、この実施の形態では、第 1 特別図柄と第 2 特別図柄とにそれぞれ対応させて別々の第 4 図柄表示領域 9 c , 9 d を備える場合を示しているが、第 1 特別図柄と第 2 特別図柄とに対して共通の第 4 図柄表示領域を演出表示装置 9 の表示画面の一部に設けるようにしてもよい。また、第 1 特別図柄と第 2 特別図柄とに対して共通の第 4 図柄表示領域をランプや L E D などの発光体を用いて実現するようにしてもよい。この場合、第 1 特別図柄の変動表示に同期して第 4 図柄の変動表示を実行するときと、第 2 特別図柄の変動表示に同期して第 4 図柄の変動表示を実行するときとで、例えば、一定の時間間隔で異なる表示色の表示を点灯および消灯を繰り返すような表示を行うことによって、第 4 図柄の変動表示を区別して実行するようにしてもよい。また、第 1 特別図柄の変動表示に同期して第 4 図柄の変動表示を実行するときと、第 2 特別図柄の変動表示に同期して第 4 図柄の変動表示を実行するときとで、例えば、異なる時間間隔で点灯および消灯を繰り返すような表示を行うことによって、第 4 図柄の変動表示を区別して実行するようにしてもよい。また、例えば、第 1 特別図柄の変動表示に対応して停止図柄を導出表示するときと、第 2 特別図柄の変動表示に対応して停止図柄を導出表示するときとで、同じ大当たり図柄であっても異なる態様の停止図柄を停止表示するようにしてもよい。20

【 0 0 2 7 】

遊技盤 6 における下部の左側には、識別情報としての第 1 特別図柄を可変表示する第 1 特別図柄表示器（第 1 可変表示部）8 a が設けられている。この実施の形態では、第 1 特別図柄表示器 8 a は、0 ~ 9 の数字を可変表示可能な簡易で小型の表示器（例えば 7 セグメント L E D ）で実現されている。すなわち、第 1 特別図柄表示器 8 a は、0 ~ 9 の数字（または、記号）を可変表示するように構成されている。遊技盤 6 における下部の右側には、識別情報としての第 2 特別図柄を可変表示する第 2 特別図柄表示器（第 2 可変表示部）8 b が設けられている。第 2 特別図柄表示器 8 b は、0 ~ 9 の数字を可変表示可能な簡易で小型の表示器（例えば 7 セグメント L E D ）で実現されている。すなわち、第 2 特別図柄表示器 8 b は、0 ~ 9 の数字（または、記号）を可変表示するように構成されている。30

【 0 0 2 8 】

小型の表示器は、例えば方形形状に形成されている。また、この実施の形態では、第 1 特別図柄の種類と第 2 特別図柄の種類とは同じ（例えば、ともに 0 ~ 9 の数字）であるが、種類が異なっていてもよい。また、第 1 特別図柄表示器 8 a および第 2 特別図柄表示器 8 b は、それぞれ、例えば、0 0 ~ 9 9 の数字（または、2 衴の記号）を可変表示するように構成されていてもよい。

【 0 0 2 9 】

以下、第 1 特別図柄と第 2 特別図柄とを特別図柄と総称することがあり、第 1 特別図柄表示器 8 a と第 2 特別図柄表示器 8 b とを特別図柄表示器（可変表示部）と総称すること40

がある。

【0030】

なお、この実施の形態では、2つの特別図柄表示器8a, 8bを備える場合を示しているが、遊技機は、特別図柄表示器を1つのみ備えるものであってもよい。

【0031】

第1特別図柄または第2特別図柄の可変表示は、可変表示の実行条件である第1始動条件または第2始動条件が成立（例えば、遊技球が第1始動入賞口13または第2始動入賞口14を通過（入賞を含む）したこと）した後、可変表示の開始条件（例えば、保留記憶数が0でない場合であって、第1特別図柄および第2特別図柄の可変表示が実行されていない状態であり、かつ、大当たり遊技が実行されていない状態）が成立したことにもとづいて開始され、可変表示時間（変動時間）が経過すると表示結果（停止図柄）を導出表示する。なお、遊技球が通過するとは、入賞口やゲートなどのあらかじめ入賞領域として定められている領域を遊技球が通過したことであり、入賞口に遊技球が入った（入賞した）ことを含む概念である。また、表示結果を導出表示するとは、図柄（識別情報の例）を最終的に停止表示させることである。

【0032】

演出表示装置9の下方には、第1始動入賞口13を有する入賞装置が設けられている。第1始動入賞口13に入賞した遊技球は、遊技盤6の背面に導かれ、第1始動口スイッチ13aによって検出される。

【0033】

また、第1始動入賞口（第1始動口）13を有する入賞装置の下方には、遊技球が入賞可能な第2始動入賞口14を有する可変入賞球装置15が設けられている。第2始動入賞口（第2始動口）14に入賞した遊技球は、遊技盤6の背面に導かれ、第2始動口スイッチ14aによって検出される。可変入賞球装置15は、ソレノイド16によって開状態とされる。可変入賞球装置15が開状態になることによって、遊技球が第2始動入賞口14に入賞可能になり（始動入賞し易くなり）、遊技者にとって有利な状態になる。可変入賞球装置15が開状態になっている状態では、第1始動入賞口13よりも、第2始動入賞口14に遊技球が入賞しやすい。また、可変入賞球装置15が閉状態になっている状態では、遊技球は第2始動入賞口14に入賞しない。従って、可変入賞球装置15が閉状態になっている状態では、第2始動入賞口14よりも、第1始動入賞口13に遊技球が入賞しやすい。なお、可変入賞球装置15が閉状態になっている状態において、入賞はしづらいものの、入賞することは可能である（すなわち、遊技球が入賞しにくい）ように構成されているよい。

【0034】

以下、第1始動入賞口13と第2始動入賞口14とを総称して始動入賞口または始動口ということがある。

【0035】

可変入賞球装置15が開放状態に制御されているときには可変入賞球装置15に向かう遊技球は第2始動入賞口14に極めて入賞しやすい。そして、第1始動入賞口13は演出表示装置9の直下に設けられているが、演出表示装置9の下端と第1始動入賞口13との間の間隔をさらに狭めたり、第1始動入賞口13の周辺で釘を密に配置したり、第1始動入賞口13の周辺での釘配列を遊技球を第1始動入賞口13に導きづらくして、第2始動入賞口14の入賞率の方を第1始動入賞口13の入賞率よりもより高くするようにしてもよい。

【0036】

なお、この実施の形態では、図1に示すように、第2始動入賞口14に対してのみ開閉動作を行う可変入賞球装置15が設けられているが、第1始動入賞口13および第2始動入賞口14のいずれについても開閉動作を行う可変入賞球装置が設けられている構成であってもよい。

【0037】

10

20

30

40

50

第1特別図柄表示器8aの側方には、第1始動入賞口13に入った有効入賞球数すなわち第1保留記憶数（保留記憶を、始動記憶または始動入賞記憶ともいう。）を表示する4つの表示器からなる第1特別図柄保留記憶表示器18aが設けられている。第1特別図柄保留記憶表示器18aは、有効始動入賞がある毎に、点灯する表示器の数を1増やす。そして、第1特別図柄表示器8aでの可変表示が開始される毎に、点灯する表示器の数を1減らす。

【0038】

第2特別図柄表示器8bの側方には、第2始動入賞口14に入った有効入賞球数すなわち第2保留記憶数を表示する4つの表示器からなる第2特別図柄保留記憶表示器18bが設けられている。第2特別図柄保留記憶表示器18bは、有効始動入賞がある毎に、点灯する表示器の数を1増やす。そして、第2特別図柄表示器8bでの可変表示が開始される毎に、点灯する表示器の数を1減らす。

10

【0039】

また、演出表示装置9の表示画面の下部には、第1保留記憶数を表示する第1保留記憶表示部18cと、第2保留記憶数を表示する第2保留記憶表示部18dとが設けられている。なお、第1保留記憶数と第2保留記憶数との合計である合計数（合算保留記憶数）を表示する領域（合算保留記憶表示部）が設けられるようにしてもよい。そのように、合計数を表示する合算保留記憶表示部が設けられているようにすれば、可変表示の開始条件が成立していない実行条件の成立数の合計を把握しやすくすることができる。

20

【0040】

演出表示装置9は、第1特別図柄表示器8aによる第1特別図柄の可変表示時間中、および第2特別図柄表示器8bによる第2特別図柄の可変表示時間中に、装飾用（演出用）の図柄としての演出図柄の可変表示を行う。第1特別図柄表示器8aにおける第1特別図柄の可変表示と、演出表示装置9における演出図柄の可変表示とは同期している。また、第2特別図柄表示器8bにおける第2特別図柄の可変表示と、演出表示装置9における演出図柄の可変表示とは同期している。また、第1特別図柄表示器8aにおいて大当たり図柄が停止表示されると、第2特別図柄表示器8bにおいて大当たり図柄が停止表示されるときには、演出表示装置9において大当たりを想起させるような演出図柄の組み合わせが停止表示される。

30

【0041】

なお、この実施の形態では、後述するように、特別図柄の変動表示を制御する遊技制御用マイクロコンピュータ560が変動時間を特定可能な変動パターンコマンドを送信し、演出制御用マイクロコンピュータ100によって、受信した変動パターンコマンドで特定される変動時間に従って演出図柄の変動表示が制御される。そのため、変動パターンコマンドにもとづいて変動時間が特定されることから、特別図柄の変動表示と演出図柄の変動表示とは、原則として同期して実行されるはずである。ただし、万一変動パターンコマンドのデータ化けなどが生じた場合には、遊技制御用マイクロコンピュータ560側で認識している変動時間と、演出制御用マイクロコンピュータ100側で認識している変動時間との間にズレが生じる可能性がある。そのため、コマンドのデータ化けなどの不測の事態が生じた場合には、特別図柄の変動表示と演出図柄の変動表示とが完全には同期しない事態が生じる可能性がある。

40

【0042】

演出表示装置9の周囲の飾り部において、左側には、モータ86の回転軸に取り付けられ、モータ86が回転すると移動する可動部材78が設けられている。この実施の形態では、可動部材78は、擬似連の演出や予告演出（可動物予告演出）が実行されるときに動作する。また、演出表示装置9の周囲の飾り部において、左右の下方には、モータ87の回転軸に取り付けられ、モータ87が回転すると移動する羽根形状の可動部材（以下、演出羽根役物という。）79a, 79bが設けられている。この実施の形態では、演出羽根役物79a, 79bは、予告演出（演出羽根役物予告演出）が実行されるときに動作する。

50

【0043】

また、図1に示すように、可変入賞球装置15の下方には、特別可変入賞球装置20が設けられている。特別可変入賞球装置20は開閉板を備え、第1特別図柄表示器8aに特定表示結果(大当たり図柄)が導出表示されたときと、第2特別図柄表示器8bに特定表示結果(大当たり図柄)が導出表示されたときに生起する特定遊技状態(大当たり遊技状態)においてソレノイド21によって開閉板が開放状態に制御されることによって、入賞領域となる大入賞口が開放状態になる。大入賞口に入賞した遊技球はカウントスイッチ23で検出される。

【0044】

遊技領域6には、遊技球の入賞にもとづいてあらかじめ決められている所定数の景品遊技球の払出行うための入賞口(普通入賞口)29,30,33,39も設けられている。入賞口29,30,33,39に入賞した遊技球は、入賞口スイッチ29a,30a,33a,39aで検出される。10

【0045】

遊技盤6の右側方には、普通図柄表示器10が設けられている。普通図柄表示器10は、普通図柄と呼ばれる複数種類の識別情報(例えば、「」および「×」)を可変表示する。

【0046】

遊技球がゲート32を通過しゲートスイッチ32aで検出されると、普通図柄表示器10の表示の可変表示が開始される。この実施の形態では、上下のランプ(点灯時に図柄が視認可能になる)が交互に点灯することによって可変表示が行われ、例えば、可変表示の終了時に下側のランプが点灯すれば当りとなる。そして、普通図柄表示器10における停止図柄が所定の図柄(当り図柄)である場合に、可変入賞球装置15が所定回数、所定時間だけ開状態になる。すなわち、可変入賞球装置15の状態は、普通図柄の停止図柄が当り図柄である場合に、遊技者にとって不利な状態から有利な状態(第2始動入賞口14に遊技球が入賞可能な状態)に変化する。普通図柄表示器10の近傍には、ゲート32を通過した入賞球数を表示する4つのLEDによる表示部を有する普通図柄保留記憶表示器41が設けられている。ゲート32への遊技球の通過がある毎に、すなわちゲートスイッチ32aによって遊技球が検出される毎に、普通図柄保留記憶表示器41は点灯するLEDを1増やす。そして、普通図柄表示器10の可変表示が開始される毎に、点灯するLEDを1減らす。さらに、通常状態に比べて大当りとすることに決定される確率が高い状態である確変状態(通常状態と比較して、特別図柄の変動表示結果として大当りと判定される確率が高められた状態)では、普通図柄表示器10における停止図柄が当り図柄になる確率が高められるとともに、可変入賞球装置15の開放時間と開放回数が高められる。また、確変状態ではないが図柄の変動時間が短縮されている時短状態(特別図柄の可変表示時間が短縮される遊技状態)でも、可変入賞球装置15の開放時間と開放回数が高められる。20

【0047】

遊技盤6の遊技領域7の左右周辺には、遊技中に点滅表示される装飾LED25が設けられ、下部には、入賞しなかった打球が取り込まれるアウトロ26がある。また、遊技領域7の外側の左右上部には、所定の音声出力として効果音や音声を発声する2つのスピーカ27が設けられている。遊技領域7の外周には、前面枠に設けられた枠LED28が設けられている。40

【0048】

打球供給皿3を構成する部材においては、遊技者により操作可能な操作手段としての操作ボタン120が設けられている。操作ボタン120には、遊技者が押圧操作をすることが可能な押しボタンスイッチが設けられている。なお、操作ボタン120は、遊技者による押圧操作が可能な押しボタンスイッチが設けられているだけでなく、遊技者による回転操作が可能なダイヤルも設けられている。遊技者は、ダイヤルを回転操作することによって、所定の選択(例えば演出の選択)を行うことができる。50

【0049】

遊技機には、遊技者が打球操作ハンドル5を操作することに応じて駆動モータを駆動し、駆動モータの回転力を利用して遊技球を遊技領域7に発射する打球発射装置（図示せず）が設けられている。打球発射装置から発射された遊技球は、遊技領域7を囲むように円形状に形成された打球レールを通って遊技領域7に入り、その後、遊技領域7を下りてくる。遊技球が第1始動入賞口13に入り第1始動口スイッチ13aで検出されると、第1特別図柄の可変表示を開始できる状態であれば（例えば、特別図柄の可変表示が終了し、第1の開始条件が成立したこと）、第1特別図柄表示器8aにおいて第1特別図柄の可変表示（変動）が開始されるとともに、演出表示装置9において演出図柄の可変表示が開始される。すなわち、第1特別図柄および演出図柄の可変表示は、第1始動入賞口13への入賞に対応する。第1特別図柄の可変表示を開始できる状態でなければ、第1保留記憶数が上限値に達していないことを条件として、第1保留記憶数を1増やす。

【0050】

遊技球が第2始動入賞口14に入り第2始動口スイッチ14aで検出されると、第2特別図柄の可変表示を開始できる状態であれば（例えば、特別図柄の可変表示が終了し、第2の開始条件が成立したこと）、第2特別図柄表示器8bにおいて第2特別図柄の可変表示（変動）が開始されるとともに、演出表示装置9において演出図柄の可変表示が開始される。すなわち、第2特別図柄および演出図柄の可変表示は、第2始動入賞口14への入賞に対応する。第2特別図柄の可変表示を開始できる状態でなければ、第2保留記憶数が上限値に達していないことを条件として、第2保留記憶数を1増やす。

【0051】

この実施の形態では、確変大当たりとなった場合には、遊技状態を高確率状態に移行するとともに、遊技球が始動入賞しやすくなる（すなわち、特別図柄表示器8a, 8bや演出表示装置9における可変表示の実行条件が成立しやすくなる）ように制御された遊技状態である高ベース状態に移行する。また、遊技状態が時短状態に移行されたときも、高ベース状態に移行する。高ベース状態である場合には、例えば、高ベース状態でない場合と比較して、可変入賞球装置15が開状態となる頻度が高められたり、可変入賞球装置15が開状態となる時間が延長されたりして、始動入賞しやすくなる。

【0052】

なお、可変入賞球装置15が開状態となる時間を延長する（開放延長状態ともいう）のではなく、普通図柄表示器10における停止図柄が当り図柄になる確率が高められる普通図柄確変状態に移行することによって、高ベース状態に移行してもよい。普通図柄表示器10における停止図柄が所定の図柄（当り図柄）となると、可変入賞球装置15が所定回数、所定時間だけ開状態になる。この場合、普通図柄確変状態に移行制御することによって、普通図柄表示器10における停止図柄が当り図柄になる確率が高められ、可変入賞球装置15が開状態となる頻度が高まる。従って、普通図柄確変状態に移行すれば、可変入賞球装置15の開放時間と開放回数が高められ、始動入賞しやすい状態（高ベース状態）となる。すなわち、可変入賞球装置15の開放時間と開放回数は、普通図柄の停止図柄が当り図柄であったり、特別図柄の停止図柄が確変図柄である場合等に高められ、遊技者にとって不利な状態から有利な状態（始動入賞しやすい状態）に変化する。なお、開放回数が高められることは、閉状態から開状態になることも含む概念である。

【0053】

また、普通図柄表示器10における普通図柄の変動時間（可変表示期間）が短縮される普通図柄時短状態に移行することによって、高ベース状態に移行してもよい。普通図柄時短状態では、普通図柄の変動時間が短縮されるので、普通図柄の変動が開始される頻度が高くなり、結果として普通図柄が当りとなる頻度が高くなる。従って、普通図柄が当たりとなる頻度が高くなることによって、可変入賞球装置15が開状態となる頻度が高くなり、始動入賞しやすい状態（高ベース状態）となる。

【0054】

また、特別図柄や演出図柄の変動時間（可変表示期間）が短縮される時短状態に移行す

10

20

30

40

50

ることによって、特別図柄や演出図柄の変動時間が短縮されるので、特別図柄や演出図柄の変動が開始される頻度が高くなり（換言すれば、保留記憶の消化が速くなる。）、無効な始動入賞が生じてしまう事態を低減することができる。従って、有効な始動入賞が発生しやすくなり、結果として、大当たり遊技が行われる可能性が高まる。

【0055】

さらに、上記に示した全ての状態（開放延長状態、普通図柄確変状態、普通図柄時短状態および特別図柄時短状態）に移行させることによって、始動入賞しやすくなる（高ベース状態に移行する）ようにしてもよい。また、上記に示した各状態（開放延長状態、普通図柄確変状態、普通図柄時短状態および特別図柄時短状態）のうちのいずれか複数の状態に移行させることによって、始動入賞しやすくなる（高ベース状態に移行する）ようにしてもよい。また、上記に示した各状態（開放延長状態、普通図柄確変状態、普通図柄時短状態および特別図柄時短状態）のうちのいずれか1つの状態にのみ移行させることによって、始動入賞しやすくなる（高ベース状態に移行する）ようにしてもよい。10

【0056】

図2は、主基板（遊技制御基板）31における回路構成の一例を示すブロック図である。なお、図2は、払出制御基板37および演出制御基板80等も示されている。主基板31には、プログラムに従ってパチンコ遊技機1を制御する遊技制御用マイクロコンピュータ（遊技制御手段に相当）560、制御用クロック生成回路111、および乱数用クロック生成回路112が搭載されている。遊技制御用マイクロコンピュータ560は、ゲーム制御（遊技進行制御）用のプログラム等を記憶するROM54、ワークメモリとして使用される記憶手段としてのRAM55、プログラムに従って制御動作を行うCPU56を含む。また、この実施の形態では、ROM54およびRAM55は遊技制御用マイクロコンピュータ560に内蔵されている。すなわち、遊技制御用マイクロコンピュータ560は、1チップマイクロコンピュータである。1チップマイクロコンピュータには、少なくともCPU56のほかRAM55が内蔵されればよく、ROM54は外付けであっても内蔵されてもよい。遊技制御用マイクロコンピュータ560には、さらに、ハードウェア乱数（ハードウェア回路が発生する乱数）を発生する乱数回路508a, 508bが内蔵されている。20

【0057】

ここで、制御用クロック生成回路111は、遊技制御用マイクロコンピュータ560の外部にて、所定周波数の発振信号となる制御用クロックCCLKを生成する。制御用クロック生成回路111により生成された制御用クロックCCLKは、例えば、後述する図4に示すような遊技制御用マイクロコンピュータ560の制御用外部クロック端子を介してクロック回路502に供給される。乱数用クロック生成回路112は、遊技制御用マイクロコンピュータ560の外部にて、制御用クロックCCLKの発振周波数とは異なる所定周波数の発振信号となる乱数用クロックRCLKを生成する。乱数用クロック生成回路112により生成された乱数用クロックRCLKは、例えば、後述する図4に示すような遊技制御用マイクロコンピュータ560の乱数用外部クロック端子（RCT端子）を介して乱数回路508a, 508bに供給される。一例として、乱数用クロック生成回路112により生成される乱数用クロックRCLKの発振周波数は、制御用クロック生成回路111により生成される制御用クロックCCLKの発振周波数以下となるようすればよい。あるいは、乱数用クロック生成回路112により生成される乱数用クロックRCLKの発振周波数は、制御用クロック生成回路111により生成される制御用クロックCCLKの発振周波数よりも高周波となるようにしてもよい。3040

【0058】

なお、この実施の形態では、乱数用クロック生成回路112から専用の乱数用クロックRCLKを乱数回路508a, 508bに入力する場合を示しているが、そのような態様にかぎられない。例えば、専用のクロックを用いるのではなく、制御用クロック生成回路111からの制御用クロックCCLKを遊技制御用マイクロコンピュータ560内部で乱数回路508a, 508bに入力させるように構成してもよい。この場合、例えば、制御50

用クロック C C L K を分周した信号を用いて乱数回路 508a , 508b 内蔵の乱数カウンタ（後述する乱数生成回路 525a , 525b ）を更新させるようにしてよい。また、この場合、乱数用クロック生成回路 112 は主基板 31 上に設けなくてもよい。

【 0059 】

また、RAM55 は、その一部または全部が電源基板 910 において作成されるバックアップ電源によってバックアップされている不揮発性記憶手段としてのバックアップ RAM である。すなわち、遊技機に対する電力供給が停止しても、所定期間（バックアップ電源としてのコンデンサが放電してバックアップ電源が電力供給不能になるまで）は、RAM55 の一部または全部の内容は保存される。特に、少なくとも、遊技状態すなわち遊技制御手段の制御状態に応じたデータ（特別図柄プロセスフラグなど）と未払賞球数を示すデータは、バックアップ RAM に保存される。遊技制御手段の制御状態に応じたデータとは、停電等が生じた後に復旧した場合に、そのデータにもとづいて、制御状態を停電等の発生前に復旧させるために必要なデータである。また、制御状態に応じたデータと未払賞球数を示すデータとを遊技の進行状態を示すデータと定義する。なお、この実施の形態では、RAM55 の全部が、電源バックアップされているとする。

10

【 0060 】

なお、遊技制御用マイクロコンピュータ 560 において CPU56 が ROM54 に格納されているプログラムに従って制御を実行するので、以下、遊技制御用マイクロコンピュータ 560（または CPU56 ）が実行する（または、処理を行う）ということは、具体的には、CPU56 がプログラムに従って制御を実行することである。このことは、主基板 31 以外の他の基板に搭載されているマイクロコンピュータについても同様である。ただし、後述するように、遊技機への電源投入時やシステムリセット発生時には、遊技制御用マイクロコンピュータ 560 は、プログラム管理エリアの設定内容に従って、内部リセット動作の設定や乱数回路 508a , 508b の設定、レジスタの設定などを行うのであるが、この設定動作については、遊技制御用マイクロコンピュータ 560 は、プログラムによらず、ハードウェア的に実行する。

20

【 0061 】

また、ゲートスイッチ 32a 、始動口スイッチ 13a 、カウントスイッチ 23 、入賞口スイッチ 29a , 30a , 33a , 39a からの検出信号を遊技制御用マイクロコンピュータ 560 に与える入力ドライバ回路 58 も主基板 31 に搭載されている。また、可変入賞球装置 15 を開閉するソレノイド 16 、および大入賞口を形成する特別可変入賞球装置 20 を開閉するソレノイド 21 を遊技制御用マイクロコンピュータ 560 からの指令に従って駆動する出力回路 59 も主基板 31 に搭載されている。

30

【 0062 】

また、遊技制御用マイクロコンピュータ 560 は、特別図柄を可変表示する第 1 特別図柄表示器 8a 、第 2 特別図柄表示器 8b 、普通図柄を可変表示する普通図柄表示器 10 、第 1 特別図柄保留記憶表示器 18a 、第 2 特別図柄保留記憶表示器 18b および普通図柄保留記憶表示器 41 の表示制御を行う。

【 0063 】

なお、大当たり遊技状態の発生を示す大当たり情報等の情報出力信号をホールコンピュータ等の外部装置に対して出力する情報出力回路（図示せず）も主基板 31 に搭載されている。

40

【 0064 】

主基板 31 と演出制御基板 80 との間では、例えば主基板 31 から中継基板 77 を介して演出制御基板 80 へと向かう單一方向のみでシリアル通信などを行うことにより、各種の演出制御コマンドが伝送される。この実施の形態では、演出制御基板 80 に搭載されている演出制御手段（演出制御用マイクロコンピュータで構成される。）が、中継基板 77 を介して遊技制御用マイクロコンピュータ 560 から演出内容を指示する演出制御コマンドを受信し、演出図柄を可変表示する演出表示装置 9 の表示制御を行う。

【 0065 】

50

また、演出制御基板 80 に搭載されている演出制御手段が、ランプドライバ基板 35 を介して、遊技盤に設けられている装飾 LED 25、および枠側に設けられている枠 LED 28 の表示制御を行うとともに、音声出力基板 70 を介してスピーカ 27 からの音出力の制御を行う。

【0066】

図3は、中継基板 77、演出制御基板 80、ランプドライバ基板 35 および音声出力基板 70 の回路構成例を示すブロック図である。なお、図3に示す例では、ランプドライバ基板 35 および音声出力基板 70 には、マイクロコンピュータは搭載されていないが、マイクロコンピュータを搭載してもよい。また、ランプドライバ基板 35 および音声出力基板 70 を設げずに、演出制御に関して演出制御基板 80 のみを設けてもよい。

10

【0067】

演出制御基板 80 は、演出制御用 CPU 101、および演出図柄プロセスフラグ等の演出に関する情報を記憶する RAM を含む演出制御用マイクロコンピュータ 100 を搭載している。なお、RAM は外付けであってもよい。この実施の形態では、演出制御用マイクロコンピュータ 100 における RAM は電源バックアップされていない。演出制御基板 80 において、演出制御用 CPU 101 は、内蔵または外付けの ROM (図示せず) に格納されたプログラムに従って動作し、中継基板 77 を介して演出制御コマンドを受信する。また、演出制御用 CPU 101 は、演出制御コマンドにもとづいて、VDP (ビデオディスプレイプロセッサ) 109 に演出表示装置 9 の表示制御を行わせる。

【0068】

20

この実施の形態では、演出制御用マイクロコンピュータ 100 と共に動して演出表示装置 9 の表示制御を行う VDP 109 が演出制御基板 80 に搭載されている。VDP 109 は、演出制御用マイクロコンピュータ 100 とは独立したアドレス空間を有し、そこに VRAM をマッピングする。VRAM は、画像データを展開するためのバッファメモリである。そして、VDP 109 は、VRAM 内の画像データをフレームメモリを介して演出表示装置 9 に出力する。

【0069】

演出制御用 CPU 101 は、受信した演出制御コマンドに従って CGROM (図示せず) から必要なデータを読み出すための指令を VDP 109 に出力する。CGROM は、演出表示装置 9 に表示されるキャラクタ画像データや動画像データ、具体的には、人物、文字、図形や記号等 (演出図柄を含む)、および背景画像のデータをあらかじめ格納しておいたための ROM である。VDP 109 は、演出制御用 CPU 101 の指令に応じて、CGROM から画像データを読み出す。そして、VDP 109 は、読み出した画像データにもとづいて表示制御を実行する。

30

【0070】

また、演出制御用 CPU 101 は、出力ポート 106 を介して、可動部材 78 を動作させるためにモータ 86 を駆動する。また、演出制御用 CPU 101 は、出力ポート 106 を介して、演出羽根役物 79a, 79b を動作させるためのモータ 87 を駆動する。

【0071】

また、演出制御用 CPU 101 は、入力ポート 107 を介して、遊技者による操作ボタン 120 の押圧操作に応じて操作ボタン 120 からの信号を入力する。

40

【0072】

さらに、演出制御用 CPU 101 は、出力ポート 105 を介してランプドライバ基板 35 に対して LED を駆動する信号を出力する。また、演出制御用 CPU 101 は、出力ポート 104 を介して音声出力基板 70 に対して音番号データを出力する。

【0073】

ランプドライバ基板 35 において、LED を駆動する信号は、入力ドライバ 351 を介して LED ドライバ 352 に入力される。LED ドライバ 352 は、LED を駆動する信号にもとづいて枠 LED 28 などの枠側に設けられている発光体に電流を供給する。また、遊技盤側に設けられている装飾 LED 25 に電流を供給する。

50

【0074】

音声出力基板70において、音番号データは、入力ドライバ702を介して音声合成用IC703に入力される。音声合成用IC703は、音番号データに応じた音声や効果音を発生し増幅回路705に出力する。増幅回路705は、音声合成用IC703の出力レベルを、ボリューム706で設定されている音量に応じたレベルに増幅した音声信号をスピーカ27に出力する。音声データROM704には、音番号データに応じた制御データが格納されている。音番号データに応じた制御データは、所定期間（例えば演出図柄の変動期間）における効果音または音声の出力態様を時系列的に示すデータの集まりである。

【0075】

図4は、主基板31に搭載された遊技制御用マイクロコンピュータ560の構成例を示している。図4に示す遊技制御用マイクロコンピュータ560は、例えば1チップマイクロコンピュータであり、外部バスインターフェース501と、クロック回路502と、照合用ブロック503と、固有情報記憶回路504と、演算回路505と、リセット／割込みコントローラ506と、CPU(Central Processing Unit)56と、ROM(Read Only Memory)54と、RAM(Random Access Memory)55と、フリーランカウンタ回路507と、乱数回路508a, 508bと、タイマ回路509と、割り込みコントローラ510と、パラレル入力ポート511と、シリアル通信回路512と、パラレル出力ポート513と、アドレスデコード回路514とを備えて構成される。10

【0076】

また、遊技制御用マイクロコンピュータ560が搭載する乱数回路には、8ビット乱数を発生させる8ビット乱数回路508aと、16ビット乱数を発生させる16ビット乱数回路508bとがある。なお、図4に示す例では、8ビット乱数回路508aと、16ビット乱数を発生させる16ビット乱数回路508bとが1つずつ図示されているが、遊技制御用マイクロコンピュータ560は、8ビット乱数回路508aと、16ビット乱数を発生させる16ビット乱数回路508bとを、それぞれ4回路（4チャネル）ずつ搭載している。なお、この実施の形態では、8ビット乱数回路508aの4つのチャネルをそれぞれRS0～RS3と表現する場合があり、16ビット乱数回路508bの4つのチャネルをそれぞれRL0～RL3と表現する場合がある。20

【0077】

また、リセット／割り込みコントローラ506は、指定エリア外走行禁止(IAT)回路506aとウォッチドッグタイマ(WDT)506bとを備える。IAT回路506aは、ユーザプログラムが指定エリア内で正しく実行されているか否かを監視する回路であり、指定エリア外でユーザプログラムが実行されたことを検出するとIAT発生信号を出力する機能を備える。また、ウォッチドッグタイマ506bは、設定期間ごとにタイムアウト信号を発生させる機能を備える。30

【0078】

図5は、遊技制御用マイクロコンピュータ560におけるアドレスマップの一例を示している。図5に示すように、アドレス0000H～アドレス2FFFHの領域は、遊技制御用マイクロコンピュータ560のROM54に割り当てられ、プログラムコード／データエリア（ユーザプログラムやデータを格納するエリア）とプログラム管理エリアとを含んでいる。図6は、ROM54におけるプログラム管理エリアの主要部分について、用途や内容の一例を示している。アドレスF000H～アドレスF3FFFHの領域は、遊技制御用マイクロコンピュータ560のRAM55に割り当てられている。アドレスFE00H～アドレスFEBFHの領域は、遊技制御用マイクロコンピュータ560の内蔵レジスタに割り当てられる内蔵レジスタエリアである。図7～図9は、内蔵レジスタエリアの主要部分について、用途や内容の一例を示している。アドレスFED0H～アドレスFEEFHの領域は、アドレスデコード回路514に割り当てられるXCS, XCS-Eデコードエリアである。40

【0079】

プログラム管理エリアは、遊技制御用マイクロコンピュータ560がシステムリセット

50

時に内部リセット動作の設定や乱数回路 508a, 508b の設定など各種設定を行うために必要な情報を格納する記憶領域である。図 6 に示すように、プログラム管理エリアには、ヘッダ (KHD R)、プログラムコードエンドアドレス (KPC E)、プログラムコードスタートアドレス 2 (KPC S 2)、プログラムコードエンドアドレス 2 (KPC E 2)、リセット設定 (KRES)、16 ビット乱数初期設定 1 (KRL 1)、16 ビット乱数初期設定 2 (KRL 2)、16 ビット乱数初期設定 3 (KRL 3)、8 ビット乱数初期設定 1 (KRS 1)、8 ビット乱数初期設定 2 (KRS 2)、セキュリティ時間設定 (KSES)、乱数クロック監視設定 (KRC S) などが、含まれている。また、図 7 ~ 図 9 に示すように、内蔵レジスタエリアには、内部情報レジスタ (CIF) や、乱数回路 508a, 508b で用いる各種レジスタなどが、含まれている。

10

【0080】

プログラム管理エリアに記憶されるヘッダ (KHD R) は、プログラム管理エリアのスタートを示す 8 バイトのコード列の設定、および遊技制御用マイクロコンピュータ 560 における内部データの読み出設定を示す。図 10 は、ヘッダ (KHD R) における設定データと動作との対応関係を例示している。ここで、遊技制御用マイクロコンピュータ 560 では、ROM 読出防止機能と、バス出力マスク機能とを設定可能である。ROM 読出防止機能は、遊技制御用マイクロコンピュータ 560 が備える ROM 54 の記憶データについて、読み出動作を許可または禁止する機能であり、読み出禁止に設定された状態では、ROM 54 の記憶データを読み出すことができない。バス出力マスク機能は、外部バスインターフェース 501 に接続された外部装置から遊技制御用マイクロコンピュータ 560 の内部データに対する読み出要求があった場合に、外部バスインターフェース 501 におけるアドレスバス出力、データバス出力および制御信号出力にマスクをかけることにより、外部装置から内部データの読み出しを不能にする機能である。図 10 に示すように、プログラム管理エリアのスタートを示す 8 バイトのコード列として設定する設定データに対応して、ROM 読出防止機能やバス出力マスク機能の動作組合せが異なるように設定される。図 10 に示す設定データのうち、ROM 読出が許可されるとともに、バス出力マスクが有効となる設定データは、バス出力マスク有効データともいう。また、ROM 読出が禁止されるとともに、バス出力マスクが有効となる設定データ (全て「00H」) は、ROM 読出禁止データともいう。ROM 読出が許可されるとともに、バス出力マスクが無効となる設定データは、バス出力マスク無効データともいう。

20

【0081】

プログラム管理エリアに記憶されるプログラムコードエンドアドレス (KPC E) は、ユーザプログラムの 0000H から続くプログラムコードエリアの最終アドレスの設定を示す。図 11 (A) は、プログラムコードエンドアドレス (KPC E) における設定内容の一例を示している。

30

【0082】

なお、この実施の形態では、アドレス 0000H ~ アドレス 2FBFHまでのプログラムコード / データエリア内に 2 つのプログラムコードエリアを設定可能である。具体的には、1 つ目のプログラムコードエリアは、アドレス 0000H からプログラムコードエンドアドレス (KPC E) で設定されるアドレスまでのエリアとして設定可能であり、2 つ目のプログラムコードエリアは、プログラムコードスタートアドレス 2 (KPC S 2) で設定されるアドレスからプログラムコードエンドアドレス 2 (KPC E 2) で設定されるアドレスまでのエリアとして設定可能である。以下、1 つ目のプログラムコードエリアに格納されるプログラムコードをプログラムコード 1 ともいい、2 つ目のプログラムコードエリアに格納されるプログラムコードをプログラムコード 2 ともいう。

40

【0083】

図 11 (A) に示すように、プログラムコードエンドアドレス (KPC E) のアドレス 2FD3H には、プログラムコード 1 の最終アドレスの下位アドレスが設定される。また、アドレス 2FD4H には、プログラムコード 1 の最終アドレスの上位アドレスが設定される。

50

【0084】

プログラム管理エリアに記憶されるプログラムコードスタートアドレス2（KPCS2）は、ユーザプログラムが2つのブロックに分かれた場合の2つ目のプログラムコードエリアの先頭アドレスの設定を示す。図11（B）は、プログラムコードスタートアドレス2（KPCS2）における設定内容の一例を示している。

【0085】

図11（B）に示すように、プログラムコードスタートアドレス2（KPCS2）のアドレス2FD5Hには、プログラムコード2の先頭アドレスの下位アドレスが設定される。また、アドレス2FD6Hには、プログラムコード2の先頭アドレスの上位アドレスが設定される。なお、プログラムコードエリアを2つに分けない場合には、プログラムコードスタートアドレス2（KPCS2）のアドレス2FD5Hおよびアドレス2FD6Hにそれぞれ0000Hを設定するようすればよい。10

【0086】

プログラム管理エリアに記憶されるプログラムコードエンドアドレス2（KPC E2）は、ユーザプログラムが2つのブロックに分かれた場合の2つ目のプログラムコードエリアの最終アドレスの設定を示す。図11（C）は、プログラムコードエンドアドレス2（KPC E2）における設定内容の一例を示している。

【0087】

図11（C）に示すように、プログラムコードエンドアドレス2（KPC E2）のアドレス2FD7Hには、プログラムコード2の最終アドレスの下位アドレスが設定される。また、アドレス2FD8Hには、プログラムコード2の最終アドレスの上位アドレスが設定される。なお、プログラムコードエリアを2つに分けない場合には、プログラムコードエンドアドレス2（KPC E2）のアドレス2FD7Hおよびアドレス2FD8Hにそれぞれ0000Hを設定するようすればよい。20

【0088】

なお、図11に示すプログラムコードエンドアドレス（KPC E）、プログラムコードスタートアドレス2（KPCS2）およびプログラムコードエンドアドレス2（KPC E2）の設定内容は、IAT回路506aによってユーザプログラムが指定エリア内で正しく実行されているか否かを監視する際に参照される。すなわち、IAT回路506aは、0000Hからプログラムコードエンドアドレス（KPC E）で示されるアドレス、またはプログラムコードスタートアドレス2（KPCS2）で示されるアドレスからプログラムコードエンドアドレス2（KPC E2）で示されるアドレスまでの指定範囲でユーザプログラムが実行されているか否かを判定し、その指定範囲外でユーザプログラムが実行されていることを検出したこともとづいてIAT信号を出力する。30

【0089】

プログラム管理エリアに記憶されるリセット設定（KRES）は、内部リセット動作やウォッチドッグタイマ（WDT）506bの動作許可／禁止の設定を示す。図12は、リセット設定（KRES）における設定内容の一例を示している。

【0090】

リセット設定（KRES）のビット[7]は、ウォッチドッグタイマ（WDT）506bからのタイムアウト信号を入力したことや、IATが発生したこと（IAT回路506aからのIAT信号を入力したとき）により内部リセットが発生したときの動作の設定を示している。図12に示す例において、リセット設定（KRES）のビット[7]におけるビット値が”0”であれば、タイムアウト信号やIAT信号を入力したときにユーザリセットが発生する。これに対して、リセット設定（KRES）のビット[7]におけるビット値が”1”であれば、タイムアウト信号やIAT信号を入力したときにシステムリセットが発生する。40

【0091】

リセット設定（KRES）のビット[6]は、ウォッチドッグタイマ（WDT）506bの起動方法の設定を示している。図12に示す例において、リセット設定（KRES）50

のビット[6]におけるビット値が”0”であれば、ユーザプログラムによらず、リセット発生時にユーザモードに移行したことにもとづいて自動的にウォッチドッグタイマ(WDT)506bが起動され時間計測が開始される。これに対して、リセット設定(KRES)のビット[6]におけるビット値が”1”であれば、ユーザモードに移行した後、ソフトウェア(ユーザプログラム)によりウォッチドッグタイマ(WDT)506bが起動され時間計測が開始される。

【0092】

リセット設定(KRES)のビット[5-4]は、ウォッチドッグタイマ(WDT)506bの基準クロック信号の設定を示している。図12に示す例では、リセット設定(KRES)のビット[5-4]に”00”が設定された場合には、基準クロック信号として $2^{15} \times T_{SCLK}$ が選択される。また、リセット設定(KRES)のビット[5-4]に”01”が設定された場合には、基準クロック信号として $2^{19} \times T_{SCLK}$ が選択される。また、リセット設定(KRES)のビット[5-4]に”10”が設定された場合には、基準クロック信号として $2^{22} \times T_{SCLK}$ が選択される。また、リセット設定(KRES)のビット[5-4]に”11”が設定された場合には、基準クロック信号として $2^{25} \times T_{SCLK}$ が選択される。なお、SCLKとは、遊技制御用マイクロコンピュータ560の内部システムクロックを示しており、T_{SCLK}は、1/SCLKを示している。

【0093】

リセット設定(KRES)のビット[3-0]は、ウォッチドッグタイマ(WDT)506bのタイムアウト時間の設定を示している。具体的には、ウォッチドッグタイマ(WDT)506bのタイムアウト時間は、リセット設定(KRES)のビット[5-4]で選択した基準クロックに、リセット設定(KRES)のビット[3-0]で設定した設定値を乗算した値となる。例えば、リセット設定(KRES)のビット[3-0]に”1000”を設定(すなわち、値‘8’を設定)した場合、リセット設定(KRES)のビット[5-4]に”00”を設定した場合には、タイムアウト時間は $2^{15} \times T_{SCLK} \times 8$ となり、リセット設定(KRES)のビット[5-4]に”01”を設定した場合には、タイムアウト時間は $2^{19} \times T_{SCLK} \times 8$ となり、リセット設定(KRES)のビット[5-4]に”10”を設定した場合には、タイムアウト時間は $2^{22} \times T_{SCLK} \times 8$ となり、リセット設定(KRES)のビット[5-4]に”11”を設定した場合には、タイムアウト時間は $2^{25} \times T_{SCLK} \times 8$ となる。また、リセット設定(KRES)のビット[3-0]に”1111”を設定(すなわち、値‘15’を設定)した場合、リセット設定(KRES)のビット[5-4]に”00”を設定した場合には、タイムアウト時間は $2^{15} \times T_{SCLK} \times 15$ となり、リセット設定(KRES)のビット[5-4]に”01”を設定した場合には、タイムアウト時間は $2^{19} \times T_{SCLK} \times 15$ となり、リセット設定(KRES)のビット[5-4]に”10”を設定した場合には、タイムアウト時間は $2^{22} \times T_{SCLK} \times 15$ となり、リセット設定(KRES)のビット[5-4]に”11”を設定した場合には、タイムアウト時間は $2^{25} \times T_{SCLK} \times 15$ となる。なお、図12には、内部システムクロックが10.0MHzと12.0MHzである場合のタイムアウト時間の値の具体例もそれぞれ示されている。

【0094】

なお、ウォッチドッグタイマ(WDT)506bを使用しないように設定する場合、図12に示すように、リセット設定(KRES)のビット[3-0]に”0000”を設定するようにすればよい。ただし、リセット設定(KRES)のビット[3-0]に”0000”がセットされてウォッチドッグタイマ(WDT)506bが使用禁止状態に設定された場合であっても、リセット設定(KRES)のビット[7]の値を設定することにより、システムリセットするかユーザリセットとするかの設定を行うことは可能である。

【0095】

プログラム管理エリアに記憶される16ビット乱数初期設定1(KRL1)、16ビット乱数初期設定2(KRL2)および16ビット乱数初期設定3(KRL3)は、16ビ

10

20

30

40

50

ット乱数回路 508b の設定を示す。図 13 は、16 ビット乱数初期設定 1 (KRL1) のにおける設定内容の一例を示している。また、図 14 は、16 ビット乱数初期設定 2 (KRL2) のにおける設定内容の一例を示している。さらに、図 15 は、16 ビット乱数初期設定 3 (KRL3) のにおける設定内容の一例を示している。

【0096】

まず、図 13 を用いて、16 ビット乱数初期設定 1 (KRL1) における設定内容を説明する。16 ビット乱数初期設定 1 (KRL1) のビット「7」は、4 チャネルの 16 ビット乱数回路 508b のうち、チャネル 1 の 16 ビット乱数回路 508b の起動方法の設定を示している。図 13 に示す例において、16 ビット乱数初期設定 1 (KRL1) のビット「7」におけるビット値が “0” であれば、ユーザモードに移行した後、ソフトウェア (ユーザプログラム) により乱数の最大値設定が行われたことにより、チャネル 1 の 16 ビット乱数回路 508b が起動される。これに対して、16 ビット乱数初期設定 1 (KRL1) のビット「7」におけるビット値が “1” であれば、ユーザプログラムによらず、リセット発生時にユーザモードに移行したことにもとづいて自動的にチャネル 1 の 16 ビット乱数回路 508b が起動される。
10

【0097】

16 ビット乱数初期設定 1 (KRL1) のビット「6」は、チャネル 1 の 16 ビット乱数回路 508b の更新クロックの設定を示している。図 13 に示す例において、16 ビット乱数初期設定 1 (KRL1) のビット「6」におけるビット値が “0” であれば、遊技制御用マイクロコンピュータ 560 の内部システムクロックを更新クロックとして用いる。これに対して、16 ビット乱数初期設定 1 (KRL1) のビット「6」におけるビット値が “1” であれば、遊技制御用マイクロコンピュータ 560 の外部から入力された外部クロック信号を 2 分周した信号を更新クロックとして用いる。
20

【0098】

なお、この実施の形態では、既に説明した乱数用クロック生成回路 112 により生成された乱数用クロック RCLK を乱数用外部クロック端子 (RCK 端子) を介して入力し、その乱数用クロック RCLK を 2 分周した信号を更新クロックとして用いるものとする。なお、このことは、他のチャネルの 16 ビット乱数回路 508b や 8 ビット乱数回路 508a についても同様である。

【0099】

16 ビット乱数初期設定 1 (KRL1) のビット「5 - 4」は、チャネル 1 の 16 ビット乱数回路 508b が更新する乱数列を変更するか否かの設定を示している。図 13 に示す例において、16 ビット乱数初期設定 1 (KRL1) のビット「5 - 4」におけるビット値が “00” であれば、チャネル 1 の 16 ビット乱数回路 508b が更新する乱数列は変更されない。また、16 ビット乱数初期設定 1 (KRL1) のビット「5 - 4」におけるビット値が “01” であれば、チャネル 1 の 16 ビット乱数回路 508b が更新する乱数列をソフトウェア (ユーザプログラム) により変更できる。また、16 ビット乱数初期設定 1 (KRL1) のビット「5 - 4」におけるビット値が “10” であれば、チャネル 1 の 16 ビット乱数回路 508b が更新する乱数列が 2 周目から自動的に変更され、以降、乱数列が一巡ごとに自動的に乱数列が変更される。また、16 ビット乱数初期設定 1 (KRL1) のビット「5 - 4」におけるビット値が “11” であれば、チャネル 1 の 16 ビット乱数回路 508b が更新する乱数列が 1 周目から自動的に変更され、以降、乱数列が一巡ごとに自動的に乱数列が変更される。
40

【0100】

16 ビット乱数初期設定 1 (KRL1) のビット「3」は、4 チャネルの 16 ビット乱数回路 508b のうち、チャネル 0 の 16 ビット乱数回路 508b の起動方法の設定を示している。図 13 に示す例において、16 ビット乱数初期設定 1 (KRL1) のビット「3」におけるビット値が “0” であれば、ユーザモードに移行した後、ソフトウェア (ユーザプログラム) により乱数の最大値設定が行われたことにより、チャネル 0 の 16 ビット乱数回路 508b が起動される。これに対して、16 ビット乱数初期設定 1 (KRL1)
50

) のビット「 3 」におけるビット値が “ 1 ” であれば、ユーザプログラムによらず、リセット発生時にユーザモードに移行したことにもとづいて自動的にチャネル 0 の 16 ビット乱数回路 508b が起動される。

【 0101 】

16 ビット乱数初期設定 1 (KRL1) のビット「 2 」は、チャネル 0 の 16 ビット乱数回路 508b の更新クロックの設定を示している。図 13 に示す例において、16 ビット乱数初期設定 1 (KRL1) のビット「 2 」におけるビット値が “ 0 ” であれば、遊技制御用マイクロコンピュータ 560 の内部システムクロックを更新クロックとして用いる。これに対して、16 ビット乱数初期設定 1 (KRL1) のビット「 2 」におけるビット値が “ 1 ” であれば、遊技制御用マイクロコンピュータ 560 の外部から入力された外部クロック信号を 2 分周した信号を更新クロックとして用いる。10

【 0102 】

16 ビット乱数初期設定 1 (KRL1) のビット「 1 - 0 」は、チャネル 0 の 16 ビット乱数回路 508b が更新する乱数列を変更するか否かの設定を示している。図 13 に示す例において、16 ビット乱数初期設定 1 (KRL1) のビット「 1 - 0 」におけるビット値が “ 00 ” であれば、チャネル 0 の 16 ビット乱数回路 508b が更新する乱数列は変更されない。また、16 ビット乱数初期設定 1 (KRL1) のビット「 1 - 0 」におけるビット値が “ 01 ” であれば、チャネル 0 の 16 ビット乱数回路 508b が更新する乱数列をソフトウェア (ユーザプログラム) により変更できる。また、16 ビット乱数初期設定 1 (KRL1) のビット「 1 - 0 」におけるビット値が “ 10 ” であれば、チャネル 0 の 16 ビット乱数回路 508b が更新する乱数列が 2 周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。また、16 ビット乱数初期設定 1 (KRL1) のビット「 1 - 0 」におけるビット値が “ 11 ” であれば、チャネル 0 の 16 ビット乱数回路 508b が更新する乱数列が 1 周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。20

【 0103 】

次に、図 14 を用いて、16 ビット乱数初期設定 2 (KRL2) における設定内容を説明する。16 ビット乱数初期設定 2 (KRL2) のビット「 7 」は、4 チャネルの 16 ビット乱数回路 508b のうち、チャネル 3 の 16 ビット乱数回路 508b の起動方法の設定を示している。図 14 に示す例において、16 ビット乱数初期設定 2 (KRL2) のビット「 7 」におけるビット値が “ 0 ” であれば、ユーザモードに移行した後、ソフトウェア (ユーザプログラム) により乱数の最大値設定が行われたことにより、チャネル 3 の 16 ビット乱数回路 508b が起動される。これに対して、16 ビット乱数初期設定 2 (KRL2) のビット「 7 」におけるビット値が “ 1 ” であれば、ユーザプログラムによらず、リセット発生時にユーザモードに移行したことにもとづいて自動的にチャネル 3 の 16 ビット乱数回路 508b が起動される。30

【 0104 】

16 ビット乱数初期設定 2 (KRL2) のビット「 6 」は、チャネル 3 の 16 ビット乱数回路 508b の更新クロックの設定を示している。図 14 に示す例において、16 ビット乱数初期設定 2 (KRL2) のビット「 6 」におけるビット値が “ 0 ” であれば、遊技制御用マイクロコンピュータ 560 の内部システムクロックを更新クロックとして用いる。これに対して、16 ビット乱数初期設定 2 (KRL2) のビット「 6 」におけるビット値が “ 1 ” であれば、遊技制御用マイクロコンピュータ 560 の外部から入力された外部クロック信号を 2 分周した信号を更新クロックとして用いる。40

【 0105 】

16 ビット乱数初期設定 2 (KRL2) のビット「 5 - 4 」は、チャネル 3 の 16 ビット乱数回路 508b が更新する乱数列を変更するか否かの設定を示している。図 14 に示す例において、16 ビット乱数初期設定 2 (KRL2) のビット「 5 - 4 」におけるビット値が “ 00 ” であれば、チャネル 3 の 16 ビット乱数回路 508b が更新する乱数列は変更されない。また、16 ビット乱数初期設定 2 (KRL2) のビット「 5 - 4 」における50

るビット値が”01”であれば、チャネル3の16ビット乱数回路508bが更新する乱数列をソフトウェア（ユーザプログラム）により変更できる。また、16ビット乱数初期設定2（KRL2）のビット「5-4」におけるビット値が”10”であれば、チャネル3の16ビット乱数回路508bが更新する乱数列が2周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。また、16ビット乱数初期設定2（KRL2）のビット「5-4」におけるビット値が”11”であれば、チャネル3の16ビット乱数回路508bが更新する乱数列が1周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。

【0106】

16ビット乱数初期設定2（KRL2）のビット「3」は、4チャネルの16ビット乱数回路508bのうち、チャネル2の16ビット乱数回路508bの起動方法の設定を示している。図14に示す例において、16ビット乱数初期設定2（KRL2）のビット「3」におけるビット値が”0”であれば、ユーザモードに移行した後、ソフトウェア（ユーザプログラム）により乱数の最大値設定が行われたことにより、チャネル2の16ビット乱数回路508bが起動される。これに対して、16ビット乱数初期設定2（KRL2）のビット「3」におけるビット値が”1”であれば、ユーザプログラムによらず、リセット発生時にユーザモードに移行したことにもとづいて自動的にチャネル2の16ビット乱数回路508bが起動される。

【0107】

16ビット乱数初期設定2（KRL2）のビット「2」は、チャネル2の16ビット乱数回路508bの更新クロックの設定を示している。図14に示す例において、16ビット乱数初期設定2（KRL2）のビット「2」におけるビット値が”0”であれば、遊技制御用マイクロコンピュータ560の内部システムクロックを更新クロックとして用いる。これに対して、16ビット乱数初期設定2（KRL2）のビット「2」におけるビット値が”1”であれば、遊技制御用マイクロコンピュータ560の外部から入力された外部クロック信号を2分周した信号を更新クロックとして用いる。

【0108】

16ビット乱数初期設定2（KRL2）のビット「1-0」は、チャネル2の16ビット乱数回路508bが更新する乱数列を変更するか否かの設定を示している。図14に示す例において、16ビット乱数初期設定2（KRL2）のビット「1-0」におけるビット値が”00”であれば、チャネル2の16ビット乱数回路508bが更新する乱数列は変更されない。また、16ビット乱数初期設定2（KRL2）のビット「1-0」におけるビット値が”01”であれば、チャネル2の16ビット乱数回路508bが更新する乱数列をソフトウェア（ユーザプログラム）により変更できる。また、16ビット乱数初期設定2（KRL2）のビット「1-0」におけるビット値が”10”であれば、チャネル2の16ビット乱数回路508bが更新する乱数列が2周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。また、16ビット乱数初期設定2（KRL2）のビット「1-0」におけるビット値が”11”であれば、チャネル2の16ビット乱数回路508bが更新する乱数列が1周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。

【0109】

次に、図15を用いて、16ビット乱数初期設定3（KRL3）における設定内容を説明する。16ビット乱数初期設定3（KRL3）のビット「7」は、4チャネルの16ビット乱数回路508bのうち、チャネル3の16ビット乱数回路508bの1周目からのスタート値の設定を示している。図15に示す例において、16ビット乱数初期設定3（KRL3）のビット「7」におけるビット値が”0”であれば、乱数更新の1周目のスタート値として0001Hが用いられる。これに対して、16ビット乱数初期設定3（KRL3）のビット「7」におけるビット値が”1”であれば、乱数更新の1周目のスタート値として遊技制御用マイクロコンピュータ560のIDナンバをもとにした値が用いられる。遊技制御用マイクロコンピュータ560のIDナンバはチップごとに異なることか

10

20

30

40

50

ら、スタート値としてIDナンバをもとにした値を用いることにより、乱数の更新タイミングを予測しにくくすることができ、乱数の更新タイミングを狙って不正に大当たりを発生させるような行為を防止することができる。なお、IDナンバをもとにした値として、IDナンバそのものを用いてもよいし、IDナンバに所定の演算（例えば、所定値を加算したり減算したりした値）を用いてもよい。

【0110】

16ビット乱数初期設定3（KRL3）のビット「6」は、チャネル3の16ビット乱数回路508bのスタート値をシステムリセットごとに変更するか否かの設定を示している。図15に示す例において、16ビット乱数初期設定3（KRL3）のビット「6」におけるビット値が“0”であれば、システムリセット時にスタート値の変更は行わない。これに対して、16ビット乱数初期設定3（KRL3）のビット「6」におけるビット値が“1”であれば、システムリセットごとにスタート値を変更する。10

【0111】

16ビット乱数初期設定3（KRL3）のビット「5」は、4チャネルの16ビット乱数回路508bのうち、チャネル2の16ビット乱数回路508bの1周目からのスタート値の設定を示している。図15に示す例において、16ビット乱数初期設定3（KRL3）のビット「5」におけるビット値が“0”であれば、乱数更新の1周目のスタート値として0001Hが用いられる。これに対して、16ビット乱数初期設定3（KRL3）のビット「5」におけるビット値が“1”であれば、乱数更新の1周目のスタート値として遊技制御用マイクロコンピュータ560のIDナンバをもとにした値が用いられる。20

【0112】

16ビット乱数初期設定3（KRL3）のビット「4」は、チャネル2の16ビット乱数回路508bのスタート値をシステムリセットごとに変更するか否かの設定を示している。図15に示す例において、16ビット乱数初期設定3（KRL3）のビット「4」におけるビット値が“0”であれば、システムリセット時にスタート値の変更は行わない。これに対して、16ビット乱数初期設定3（KRL3）のビット「6」におけるビット値が“1”であれば、システムリセットごとにスタート値を変更する。

【0113】

16ビット乱数初期設定3（KRL3）のビット「3」は、4チャネルの16ビット乱数回路508bのうち、チャネル1の16ビット乱数回路508bの1周目からのスタート値の設定を示している。図15に示す例において、16ビット乱数初期設定3（KRL3）のビット「3」におけるビット値が“0”であれば、乱数更新の1周目のスタート値として0001Hが用いられる。これに対して、16ビット乱数初期設定3（KRL3）のビット「3」におけるビット値が“1”であれば、乱数更新の1周目のスタート値として遊技制御用マイクロコンピュータ560のIDナンバをもとにした値が用いられる。30

【0114】

16ビット乱数初期設定3（KRL3）のビット「2」は、チャネル1の16ビット乱数回路508bのスタート値をシステムリセットごとに変更するか否かの設定を示している。図15に示す例において、16ビット乱数初期設定3（KRL3）のビット「2」におけるビット値が“0”であれば、システムリセット時にスタート値の変更は行わない。これに対して、16ビット乱数初期設定3（KRL3）のビット「2」におけるビット値が“1”であれば、システムリセットごとにスタート値を変更する。40

【0115】

16ビット乱数初期設定3（KRL3）のビット「1」は、4チャネルの16ビット乱数回路508bのうち、チャネル0の16ビット乱数回路508bの1周目からのスタート値の設定を示している。図15に示す例において、16ビット乱数初期設定3（KRL3）のビット「1」におけるビット値が“0”であれば、乱数更新の1周目のスタート値として0001Hが用いられる。これに対して、16ビット乱数初期設定3（KRL3）のビット「1」におけるビット値が“1”であれば、乱数更新の1周目のスタート値として遊技制御用マイクロコンピュータ560のIDナンバをもとにした値が用いられる。50

【 0 1 1 6 】

16ビット乱数初期設定3（KRL3）のビット「0」は、チャネル0の16ビット乱数回路508bのスタート値をシステムリセットごとに変更するか否かの設定を示している。図15に示す例において、16ビット乱数初期設定3（KRL3）のビット「0」におけるビット値が“0”であれば、システムリセット時にスタート値の変更は行わない。これに対して、16ビット乱数初期設定3（KRL3）のビット「0」におけるビット値が“1”であれば、システムリセットごとにスタート値を変更する。

【 0 1 1 7 】

プログラム管理エリアに記憶される8ビット乱数初期設定1（KRS1）および8ビット乱数初期設定2（KRS2）は、8ビット乱数回路508aの設定を示す。図16は、8ビット乱数初期設定1（KRS1）における設定内容の一例を示している。また、図17は、8ビット乱数初期設定2（KRS2）における設定内容の一例を示している。

10

【 0 1 1 8 】

まず、図16を用いて、8ビット乱数初期設定1（KRS1）における設定内容を説明する。8ビット乱数初期設定1（KRS1）のビット「7」は、4チャネルの8ビット乱数回路508aのうち、チャネル1の8ビット乱数回路508aの起動方法の設定を示している。図16に示す例において、8ビット乱数初期設定1（KRS1）のビット「7」におけるビット値が“0”であれば、ユーザモードに移行した後、ソフトウェア（ユーザプログラム）により乱数の最大値設定が行われたことにより、チャネル1の8ビット乱数回路508aが起動される。これに対して、8ビット乱数初期設定1（KRS1）のビット「7」におけるビット値が“1”であれば、ユーザプログラムによらず、リセット発生時にユーザモードに移行したことにもとづいて自動的にチャネル1の8ビット乱数回路508aが起動される。

20

【 0 1 1 9 】

8ビット乱数初期設定1（KRS1）のビット「6」は、チャネル1の8ビット乱数回路508aの更新クロックの設定を示している。図16に示す例において、8ビット乱数初期設定1（KRS1）のビット「6」におけるビット値が“0”であれば、遊技制御用マイクロコンピュータ560の内部システムクロックを更新クロックとして用いる。これに対して、8ビット乱数初期設定1（KRS1）のビット「6」におけるビット値が“1”であれば、遊技制御用マイクロコンピュータ560の外部から入力された外部クロック信号を2分周した信号を更新クロックとして用いる。

30

【 0 1 2 0 】

8ビット乱数初期設定1（KRS1）のビット「5 - 4」は、チャネル1の8ビット乱数回路508aが更新する乱数列を変更するか否かの設定を示している。図16に示す例において、8ビット乱数初期設定1（KRS1）のビット「5 - 4」におけるビット値が“00”であれば、チャネル1の8ビット乱数回路508aが更新する乱数列は変更されない。また、8ビット乱数初期設定1（KRS1）のビット「5 - 4」におけるビット値が“01”であれば、チャネル1の8ビット乱数回路508aが更新する乱数列をソフトウェア（ユーザプログラム）により変更できる。また、8ビット乱数初期設定1（KRS1）のビット「5 - 4」におけるビット値が“10”であれば、チャネル1の8ビット乱数回路508aが更新する乱数列が2周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。また、8ビット乱数初期設定1（KRS1）のビット「5 - 4」におけるビット値が“11”であれば、チャネル1の8ビット乱数回路508aが更新する乱数列が1周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。

40

【 0 1 2 1 】

8ビット乱数初期設定1（KRS1）のビット「3」は、4チャネルの8ビット乱数回路508aのうち、チャネル0の8ビット乱数回路508aの起動方法の設定を示している。図16に示す例において、8ビット乱数初期設定1（KRS1）のビット「3」におけるビット値が“0”であれば、ユーザモードに移行した後、ソフトウェア（ユーザプロ

50

グラム)により乱数の最大値設定が行われたことにより、チャネル0の8ビット乱数回路508aが起動される。これに対して、8ビット乱数初期設定1(KRS1)のビット「3」におけるビット値が“1”であれば、ユーザプログラムによらず、リセット発生時にユーザモードに移行したことにもとづいて自動的にチャネル0の8ビット乱数回路508aが起動される。

【0122】

8ビット乱数初期設定1(KRS1)のビット「2」は、チャネル0の8ビット乱数回路508aの更新クロックの設定を示している。図16に示す例において、8ビット乱数初期設定1(KRS1)のビット「2」におけるビット値が“0”であれば、遊技制御用マイクロコンピュータ560の内部システムクロックを更新クロックとして用いる。これに対して、8ビット乱数初期設定1(KRS1)のビット「2」におけるビット値が“1”であれば、遊技制御用マイクロコンピュータ560の外部から入力された外部クロック信号を2分周した信号を更新クロックとして用いる。10

【0123】

8ビット乱数初期設定1(KRS1)のビット「1-0」は、チャネル0の8ビット乱数回路508aが更新する乱数列を変更するか否かの設定を示している。図16に示す例において、8ビット乱数初期設定1(KRS1)のビット「1-0」におけるビット値が“00”であれば、チャネル0の8ビット乱数回路508aが更新する乱数列は変更されない。また、8ビット乱数初期設定1(KRS1)のビット「1-0」におけるビット値が“01”であれば、チャネル0の8ビット乱数回路508aが更新する乱数列をソフトウェア(ユーザプログラム)により変更できる。また、8ビット乱数初期設定1(KRS1)のビット「1-0」におけるビット値が“10”であれば、チャネル0の8ビット乱数回路508aが更新する乱数列が2周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。また、8ビット乱数初期設定1(KRS1)のビット「1-0」におけるビット値が“11”であれば、チャネル0の8ビット乱数回路508aが更新する乱数列が1周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。20

【0124】

次に、図17を用いて、8ビット乱数初期設定2(KRS2)における設定内容を説明する。8ビット乱数初期設定2(KRS2)のビット「7」は、4チャネルの8ビット乱数回路508aのうち、チャネル3の8ビット乱数回路508aの起動方法の設定を示している。図17に示す例において、8ビット乱数初期設定2(KRS2)のビット「7」におけるビット値が“0”であれば、ユーザモードに移行した後、ソフトウェア(ユーザプログラム)により乱数の最大値設定が行われたことにより、チャネル3の8ビット乱数回路508aが起動される。これに対して、8ビット乱数初期設定2(KRS2)のビット「7」におけるビット値が“1”であれば、ユーザプログラムによらず、リセット発生時にユーザモードに移行したことにもとづいて自動的にチャネル3の8ビット乱数回路508aが起動される。30

【0125】

8ビット乱数初期設定2(KRS2)のビット「6」は、チャネル3の8ビット乱数回路508aの更新クロックの設定を示している。図17に示す例において、8ビット乱数初期設定2(KRS2)のビット「6」におけるビット値が“0”であれば、遊技制御用マイクロコンピュータ560の内部システムクロックを更新クロックとして用いる。これに対して、8ビット乱数初期設定2(KRS2)のビット「6」におけるビット値が“1”であれば、遊技制御用マイクロコンピュータ560の外部から入力された外部クロック信号を2分周した信号を更新クロックとして用いる。40

【0126】

8ビット乱数初期設定2(KRS2)のビット「5-4」は、チャネル3の8ビット乱数回路508aが更新する乱数列を変更するか否かの設定を示している。図17に示す例において、8ビット乱数初期設定2(KRS2)のビット「5-4」におけるビット値が50

”00”であれば、チャネル3の8ビット乱数回路508aが更新する乱数列は変更されない。また、8ビット乱数初期設定2（KRS2）のビット「5-4」におけるビット値が”01”であれば、チャネル3の8ビット乱数回路508aが更新する乱数列をソフトウェア（ユーザプログラム）により変更できる。また、8ビット乱数初期設定2（KRS2）のビット「5-4」におけるビット値が”10”であれば、チャネル3の8ビット乱数回路508aが更新する乱数列が2周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。また、8ビット乱数初期設定2（KRS2）のビット「5-4」におけるビット値が”11”であれば、チャネル3の8ビット乱数回路508aが更新する乱数列が1周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。

10

【0127】

8ビット乱数初期設定2（KRS2）のビット「3」は、4チャネルの8ビット乱数回路508aのうち、チャネル2の8ビット乱数回路508aの起動方法の設定を示している。図17に示す例において、8ビット乱数初期設定2（KRS2）のビット「3」におけるビット値が”0”であれば、ユーザモードに移行した後、ソフトウェア（ユーザプログラム）により乱数の最大値設定が行われたことにより、チャネル2の8ビット乱数回路508aが起動される。これに対して、8ビット乱数初期設定2（KRS2）のビット「3」におけるビット値が”1”であれば、ユーザプログラムによらず、リセット発生時にユーザモードに移行したことにもとづいて自動的にチャネル2の8ビット乱数回路508aが起動される。

20

【0128】

8ビット乱数初期設定2（KRS2）のビット「2」は、チャネル2の8ビット乱数回路508aの更新クロックの設定を示している。図17に示す例において、8ビット乱数初期設定2（KRS2）のビット「2」におけるビット値が”0”であれば、遊技制御用マイクロコンピュータ560の内部システムクロックを更新クロックとして用いる。これに対して、8ビット乱数初期設定2（KRS2）のビット「2」におけるビット値が”1”であれば、遊技制御用マイクロコンピュータ560の外部から入力された外部クロック信号を2分周した信号を更新クロックとして用いる。

【0129】

8ビット乱数初期設定2（KRS2）のビット「1-0」は、チャネル2の8ビット乱数回路508aが更新する乱数列を変更するか否かの設定を示している。図17に示す例において、8ビット乱数初期設定2（KRS2）のビット「1-0」におけるビット値が”00”であれば、チャネル2の8ビット乱数回路508aが更新する乱数列は変更されない。また、8ビット乱数初期設定2（KRS2）のビット「1-0」におけるビット値が”01”であれば、チャネル2の8ビット乱数回路508aが更新する乱数列をソフトウェア（ユーザプログラム）により変更できる。また、8ビット乱数初期設定2（KRS2）のビット「1-0」におけるビット値が”10”であれば、チャネル2の8ビット乱数回路508aが更新する乱数列が2周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。また、8ビット乱数初期設定2（KRS2）のビット「1-0」におけるビット値が”11”であれば、チャネル2の8ビット乱数回路508aが更新する乱数列が1周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。

30

【0130】

なお、8ビット乱数回路508aに関しては、16ビット乱数回路508bとは異なり、図15に示したようなスタート値の設定を行う機能はない。

【0131】

プログラム管理エリアに記憶されるセキュリティ時間設定（KSES）は、セキュリティモードを延長する時間の設定を示す。図18は、セキュリティ時間設定（KSES）における設定内容の一例を示している。

【0132】

40

50

セキュリティ時間設定（KSES）のビット[7-6]は、セキュリティモード時間をランダムに延長する時間の設定を示している。図18に示す例では、セキュリティ時間設定（KSES）のビット[7-6]に”01”が設定された場合には、セキュリティモード時間をランダムに延長するモードとして、ショートモードが設定され、具体的には、内部システムクロックが10.0MHzである場合には0~0.816msの範囲の時間がランダムに延長され、内部システムクロックが12.0MHzである場合には0~0.51msの範囲の時間がランダムに延長される。また、セキュリティ時間設定（KSES）のビット[7-6]に”10”が設定された場合には、セキュリティモード時間をランダムに延長するモードとして、ミドルモードが設定され、具体的には、内部システムクロックが10.0MHzである場合には0~26.112msの範囲の時間がランダムに延長され、内部システムクロックが12.0MHzである場合には0~16.32msの範囲の時間がランダムに延長される。また、セキュリティ時間設定（KSES）のビット[7-6]に”11”が設定された場合には、セキュリティモード時間をランダムに延長するモードとして、ロングモードが設定され、具体的には、内部システムクロックが10.0MHzである場合には0~835.584msの範囲の時間がランダムに延長され、内部システムクロックが12.0MHzである場合には0~522.24msの範囲の時間がランダムに延長される。
10

【0133】

なお、セキュリティモード時間のランダム延長を行わないように設定する場合、図18に示すように、セキュリティ時間設定（KSES）のビット[7-6]に”00”を設定するようすればよい。
20

【0134】

セキュリティ時間設定（KSES）のビット[5]は、セキュリティモード時間を固定延長する時間の基準クロック信号の設定を示している。図18に示す例では、セキュリティ時間設定（KSES）のビット[5]に”0”が設定された場合には、基準クロック信号として $2^{2^2} \times T_{SCLK}$ が選択される。また、セキュリティ時間設定（KSES）のビット[5]に”1”が設定された場合には、基準クロック信号として $2^{2^4} \times T_{SCLK}$ が選択される。

【0135】

セキュリティ時間設定（KSES）のビット[4-0]は、セキュリティモード時間を固定で延長する時間の設定を示している。具体的には、セキュリティモード時間の固定延長時間は、セキュリティ時間設定（KSES）のビット[5]で選択した基準クロックに、セキュリティ時間設定（KSES）のビット[4-0]で設定した設定値を乗算した値となる。例えば、セキュリティ時間設定（KSES）のビット[4-0]に”00001”を設定（すなわち、値「1」を設定）した場合、セキュリティ時間設定（KSES）のビット[5]に”0”を設定した場合には、固定延長時間は $2^{2^2} \times T_{SCLK} \times 1$ となり、セキュリティ時間設定（KSES）のビット[5]に”1”を設定した場合には、固定延長時間は $2^{2^4} \times T_{SCLK} \times 1$ となる。また、セキュリティ時間設定（KSES）のビット[4-0]に”01000”を設定（すなわち、値「8」を設定）した場合、セキュリティ時間設定（KSES）のビット[5]に”0”を設定した場合には、固定延長時間は $2^{2^2} \times T_{SCLK} \times 8$ となり、セキュリティ時間設定（KSES）のビット[5]に”1”を設定した場合には、固定延長時間は $2^{2^4} \times T_{SCLK} \times 8$ となる。また、セキュリティ時間設定（KSES）のビット[4-0]に”10000”を設定（すなわち、値「16」を設定）した場合、セキュリティ時間設定（KSES）のビット[5]に”0”を設定した場合には、固定延長時間は $2^{2^2} \times T_{SCLK} \times 16$ となり、セキュリティ時間設定（KSES）のビット[5]に”1”を設定した場合には、固定延長時間は $2^{2^4} \times T_{SCLK} \times 16$ となる。また、セキュリティ時間設定（KSES）のビット[4-0]に”11111”を設定（すなわち、値「31」を設定）した場合、セキュリティ時間設定（KSES）のビット[5]に”0”を設定した場合には、固定延長時間は $2^{2^2} \times T_{SCLK} \times 31$ となり、セキュリティ時間設定（KSES）のビット[5]に”1”を設定した場合には、固定延長時間は $2^{2^4} \times T_{SCLK} \times 31$ となる。
30
40
50

$1''$ を設定した場合には、固定延長時間は $2^{2^4} \times T_{SCLK} \times 31$ となる。なお、図 18 には、内部システムクロックが 10.0 MHz と 12.0 MHz である場合の固定延長時間の値の具体例もそれぞれ示されている。

【0136】

なお、セキュリティモード時間の固定延長を行わないように設定する場合、図 18 に示すように、セキュリティ時間設定 (KSES) のビット [4 - 0] に "00000" を設定するようすればよい。

【0137】

図 18 に示すように、セキュリティモード時間は、セキュリティ時間設定 (KSES) のビット [7 - 6] の設定によるランダム延長と、セキュリティ時間設定 (KSES) のビット [5 - 0] の設定による固定延長との 2 種類の方法で延長設定が可能である。そして、これら 2 種類の方法で設定された時間の加算時間が最終的なセキュリティモード時間の延長時間となる。

【0138】

プログラム管理エリアに記憶される乱数クロック監視設定 (KRCS) は、乱数用外部クロック端子 (RCK 端子) から入力された外部クロック信号の監視周波数の設定を示す。図 19 は、乱数クロック監視設定 (KRCS) における設定内容の一例を示している。

【0139】

乱数クロック監視設定 (KRCS) のビット [7 - 2] は、固定ビット (すなわち、特に設定に使用しないビット) であり、全ビット必ず "0" を設定するものとする。

【0140】

乱数クロック監視設定 (KRCS) のビット [1 - 0] は、乱数を更新するためのクロックとして、乱数用外部クロック端子 (RCK 端子) から入力された外部クロック信号を選択した場合に、その入力クロックの周波数異常の検出対象とする周波数の設定を示している。図 19 に示す例では、乱数クロック監視設定 (KRCS) のビット [1 - 0] に "00" が設定された場合には、監視周波数として SCLK (内部システムクロック) の周波数未満を設定する。また、乱数クロック監視設定 (KRCS) のビット [1 - 0] に "01" が設定された場合には、監視周波数として SCLK (内部システムクロック) / 2 の周波数未満を設定する。また、乱数クロック監視設定 (KRCS) のビット [1 - 0] に "10" が設定された場合には、監視周波数として SCLK (内部システムクロック) / 2² の周波数未満を設定する。また、乱数クロック監視設定 (KRCS) のビット [1 - 0] に "11" が設定された場合には、監視周波数として SCLK (内部システムクロック) / 2³ の周波数未満を設定する。

【0141】

なお、乱数用外部クロック端子 (RCK 端子) から入力された外部クロック信号の監視周波数の異常を検出した場合には、後述する内部情報レジスタ (CIF) のビット 3 に "1" がセットされる。

【0142】

なお、この実施の形態では、遊技制御用マイクロコンピュータ 560 は、8 ビット乱数回路 508a と 16 ビット乱数回路 508b とのうち、16 ビット乱数回路 508b の動作異常 (外部クロック周波数異常および更新異常) を検出する機能を備えている。具体的には、遊技制御用マイクロコンピュータ 560 は、乱数更新用クロックとして乱数用外部クロック端子 (RCK 端子) から入力された外部クロック信号が選択されている場合に、乱数クロック監視設定 (KRCS) で設定されている監視周波数にもとづいて、外部クロック信号の周波数が低下したか否かを検出し、外部クロック信号の周波数が低下 (外部クロック周波数異常) を検出した場合には、後述する内部情報レジスタ (CIF) のビット 3 に "1" をセットする。

【0143】

また、遊技制御用マイクロコンピュータ 560 は、16 ビット乱数回路 508b の乱数の更新状態を監視する機能を備え、更新状態に異常を検出すると (例えば、乱数値が同じ

10

20

30

40

50

値のまま更新されなくなったり、通常は乱数値が1つずつカウントアップされていくのに乱数値のカウント値がいきなり2以上の値増加した状態を検出したりすると)、内部情報レジスタ(CIF)のビット7~4のうちの対応するビットに"1"をセットする。

【0144】

なお、この実施の形態では、乱数クロック監視設定(KRCS)を用いて設定を行うことによって、16ビット乱数回路508bの動作異常の検出に関して、監視対象の外部クロック信号の監視周波数を設定する場合を示しているが、外部クロック周波数異常の検出自体を行うか否かを設定可能に構成したり、更新異常の検出自体を行うか否かを設定可能に構成したりしてもよい。この場合、外部クロック周波数異常の検出自体を行うか否かの設定と、更新異常の検出自体を行うか否かの設定とをそれぞれ独立して行えるように構成してもよいし、両方の設定を一括して有効とするか無効とするかのみ行えるように構成してもよい。

10

【0145】

なお、外部クロック周波数異常の検出自体を行うか否かや更新異常の検出自体を行うか否かを設定可能とするためには、例えば、乱数回路自体を起動するか否かを設定するようにし、乱数回路を起動しないように設定した場合には、事実上、外部クロック周波数異常の検出や更新異常の検出を行えないで、外部クロック周波数異常の検出や更新異常の検出を行わないように設定したといえる。このように、外部クロック周波数異常の検出自体を行うか否かや更新異常の検出自体を行うか否かの設定は、乱数回路自体を起動するか否かを設定することによって実現することも含む概念である。

20

【0146】

また、この実施の形態では、乱数用クロック生成回路112から専用の乱数用クロックRCLKを乱数回路508a, 508bに外部入力する場合を示しているが、例えば、制御用クロック生成回路111からの制御用クロックCCLKを外部入力する場合など専用の乱数用クロックRCLK以外のクロックを外部入力する場合であっても、外部クロック周波数異常の検出や更新異常の検出を行うことが可能である。なお、乱数回路の更新異常の検出に関しては、乱数用クロック生成回路112から専用の乱数用クロックRCLK用いて乱数更新する場合と、制御用クロック生成回路111からの制御用クロックCCLKなど他のクロックを用いて乱数更新する場合とのいずれか一方の場合のみ設定可能に構成してもよい。

30

【0147】

また、この実施の形態では、外部クロック周波数の異常の検出を行い、遊技制御用マイクロコンピュータ560の内部システムクロックSCLKの周波数については特に異常の検出を行っていないが、それは次のような理由による。すなわち、乱数更新に内部システムクロックSCLKを用いる場合には、内部システムクロックSCLKに異常が発生しているような状況では、CPU56自体の動作が停止している筈であるので、CPU56が動作しているのに乱数の更新だけが停止しているような事態が生じる場合がなく、何らかの問題が生じるおそれがない。これに対して、乱数更新に外部クロック信号を用いる場合には、CPU56が動作しているのに乱数の更新だけが停止しているような事態が生じる可能性があり弊害が生じるおそれがあるためである。

40

【0148】

図4に示す遊技制御用マイクロコンピュータ560が備える外部バスインターフェース501は、遊技制御用マイクロコンピュータ560を構成するチップの外部バスと内部バスとのインターフェース機能や、アドレスバス、データバスおよび各制御信号の方向制御機能などを有するバスインターフェースである。例えば、外部バスインターフェース501は、遊技制御用マイクロコンピュータ560に外付けされた外部メモリや外部入出力装置などに接続され、これらの外部装置との間でアドレス信号やデータ信号、各種の制御信号などを送受信するものであればよい。

【0149】

遊技制御用マイクロコンピュータ560が備えるクロック回路502は、例えば制御用

50

外部クロック端子EXに入力される発振信号を2分周することなどにより、内部システムクロックSCLKを生成する回路である。なお、生成された内部システムクロックは、外部出力端子(CLKO端子)から外部に出力される。

【0150】

遊技制御用マイクロコンピュータ560が備える照合用ブロック503は、外部の照合機と接続し、チップの照合を行う機能を備える。

【0151】

遊技制御用マイクロコンピュータ560が備える固有情報記憶回路504は、例えば遊技制御用マイクロコンピュータ560の内部情報となる複数種類の固有情報を記憶する回路である。一例として、固有情報記憶回路504は、ROMコード、チップ個別ナンバー、IDナンバーといった3種類の固有情報を記憶する。ROM54コードは、ROM54の所定領域における記憶データから生成される4バイトの数値であり、生成方法の異なる4つの数値が準備されればよい。チップ個別ナンバーは、遊技制御用マイクロコンピュータ560の製造時に付与される4バイトの番号であり、遊技制御用マイクロコンピュータ560を構成するチップ毎に異なる数値を示している。IDナンバーは、遊技制御用マイクロコンピュータ560の製造時に付与される8バイトの番号であり、遊技制御用マイクロコンピュータ560を構成するチップ毎に異なる数値を示している。ここで、チップ個別ナンバーはユーザプログラムから読み取ることができる一方、IDナンバーはユーザプログラムから読み取ることができないように設定されなければよい。なお、固有情報記憶回路504は、例えばROM54の所定領域を用いることなどにより、ROM54に含まれるようにしてよい。あるいは、固有情報記憶回路504は、例えばCPU56の内蔵レジスタを用いることなどにより、CPU56に含まれるようにしてよい。

10

20

【0152】

遊技制御用マイクロコンピュータ560が備える演算回路505は、乗算および除算を行う回路である。

【0153】

遊技制御用マイクロコンピュータ560が備えるリセット/割込みコントローラ506は、遊技制御用マイクロコンピュータ560の内部や外部にて発生する各種リセット、割込み要求を制御するためのものである。リセット/割込みコントローラ506が制御するリセットには、システムリセットとユーザリセットが含まれている。システムリセットは、外部システムリセット端子XSRSTに一定の期間にわたりローレベル信号が入力されたときに発生するリセットである。なお、この実施の形態では、リセット設定(KRES)の設定により、ウォッチドッグタイマ(WDT)のタイムアウト信号が発生したときや、指定エリア外走行禁止(IAT)が発生したときにも、システムリセットが発生することがある。ユーザリセットは、ウォッチドッグタイマ(WDT)のタイムアウト信号が発生したことや、指定エリア外走行禁止(IAT)が発生したことなど、所定の要因により発生するリセットである。

30

【0154】

リセット/割込みコントローラ506が制御する割込みには、ノンマスカブル割込みNMIとマスカブル割込みINTが含まれている。ノンマスカブル割込みNMIは、CPU56の割込み禁止状態でも無条件に受け付けられる割込みであり、外部ノンマスカブル割込み端子XNMI(入力ポートPI6と兼用)に一定の期間にわたりローレベル信号が入力されたときに発生する割込みである。マスカブル割込みINTは、CPU56の設定命令により、割込み要求の受け付けを許可/禁止できる割込みであり、優先順位設定による多重割込みの実行が可能である。マスカブル割込みINTの要因としては、外部マスカブル割込み端子XINT(入力ポートPI5と兼用)に一定の期間にわたりローレベル信号が入力されたこと、タイマ回路509にてタイムアウトが発生したこと、シリアル通信回路512にてデータ受信またはデータ送信による割込み要因が発生したこと、乱数回路508a, 508bにて乱数値となる数値データの取込による割込み要因が発生したことなど、複数種類の割込み要因があらかじめ定められていればよい。

40

50

【0155】

リセット／割込みコントローラ506は、図7～図9に示すような遊技制御用マイクロコンピュータ560が備える内蔵レジスタのうち、内部情報レジスタCIF（アドレスFE25H）などを用いて、割込みの制御やリセットの管理を行う。内部情報レジスタCIFは、直前に発生したリセット要因を管理したり、乱数更新状態、乱数更新クロックを外部クロックとした場合の入力周波数の状態を読み取るためのレジスタである。

【0156】

図20(A)は、内部情報レジスタCIFの構成例を示している。図20(B)は、内部情報レジスタCIFに格納される内部情報データの各ビットにおける設定内容の一例を示している。内部情報レジスタCIFのビット番号[7]に格納される内部情報データRL3ERは、チャネル3の16ビット乱数回路508bが更新する16ビット乱数RL3の更新状態の異常を示す。図20(B)に示す例では、16ビット乱数RL3の更新異常が検知されないときに、内部情報データRL3ERのビット値が“0”となる一方、16ビット乱数RL3の更新異常が検知されたときには、そのビット値が“1”となる。内部情報レジスタCIFのビット番号[6]に格納される内部情報データRL2ERは、チャネル2の16ビット乱数回路508bが更新する16ビット乱数RL2の更新状態の異常を示す。図20(B)に示す例では、16ビット乱数RL2の更新異常が検知されないときに、内部情報データRL2ERのビット値が“0”となる一方、16ビット乱数RL2の更新異常が検知されたときには、そのビット値が“1”となる。内部情報レジスタCIFのビット番号[5]に格納される内部情報データRL1ERは、チャネル1の16ビット乱数回路508bが更新する16ビット乱数RL1の更新状態の異常を示す。図20(B)に示す例では、16ビット乱数RL1の更新異常が検知されないときに、内部情報データRL1ERのビット値が“0”となる一方、16ビット乱数RL1の更新異常が検知されたときには、そのビット値が“1”となる。内部情報レジスタCIFのビット番号[4]に格納される内部情報データRL0ERは、チャネル0の16ビット乱数回路508bが更新する16ビット乱数RL0の更新状態の異常を示す。図20(B)に示す例では、16ビット乱数RL0の更新異常が検知されないときに、内部情報データRL0ERのビット値が“0”となる一方、16ビット乱数RL0の更新異常が検知されたときには、そのビット値が“1”となる。なお、内部情報レジスタCIFのビット番号[7-4]は、初期値として“0”が設定されている。

【0157】

内部情報レジスタCIFのビット番号[3]に格納される内部情報データRCERは、乱数更新用クロックとして乱数用外部クロック端子(RCK端子)から入力された外部クロック信号が選択されている場合に、その外部クロック信号の周波数異常を示す。図20(B)に示す例では、外部クロック信号の周波数異常が検知されないときに、内部情報データRCERのビット値が“0”となる一方、外部クロック信号の周波数異常が検知されたときには、そのビット値が“1”となる。なお、内部情報レジスタCIFのビット番号[3]は、初期値として“0”が設定されている。

【0158】

内部情報レジスタCIFのビット番号[2]に格納される内部情報データSRSFは、直前に発生したリセット要因がシステムリセットであることを示す。図20(B)に示す例では、直前のリセット要因がシステムリセットではないときに(システムリセット未発生)、内部情報データSRSFのビット値が“0”となる一方、システムリセットであるときには(システムリセット発生)、そのビット値が“1”となる。なお、内部情報レジスタCIFのビット番号[2]は、初期値として“1”が設定されている。

【0159】

内部情報レジスタCIFのビット番号[1]に格納される内部情報データWDTFは、直前に発生したリセット要因がウォッチドッグタイム(WDT)506bからタイムアウト信号を入力したことによるユーザリセットであることを示す。図20(B)に示す例では、直前のリセット要因がタイムアウト信号によるユーザリセットではないときに(タイ

10

20

30

40

50

ムアウト信号によるユーザリセット未発生)、内部情報データWDTFのビット値が“0”となる一方、タイムアウト信号によるユーザリセットであるときには(タイムアウト信号によるユーザリセット発生)、そのビット値が“1”となる。なお、内部情報レジスタCIFのビット番号[1]は、初期値として“0”が設定されている。

【0160】

内部情報レジスタCIFのビット番号[0]に格納される内部情報データIATFは、直前に発生したリセット要因がIAT回路506aからのIAT発生信号を入力したことによるユーザリセットであることを示す。図20(B)に示す例では、直前のリセット要因がIAT発生信号によるユーザリセットではないときに(IAT発生信号によるユーザリセット未発生)、内部情報データIATFのビット値が“0”となる一方、IAT発生信号によるユーザリセットであるときには(IAT発生信号によるユーザリセット発生)、そのビット値が“1”となる。なお、内部情報レジスタCIFのビット番号[0]は、初期値として“0”が設定されている。10

【0161】

遊技制御用マイクロコンピュータ560が備えるCPU56は、ROM54から読み出した制御コードにもとづいてユーザプログラム(ゲーム制御用の遊技制御処理プログラム)を実行することにより、パチンコ遊技機1における遊技制御を実行する制御用CPUである。こうした遊技制御が実行されるときには、CPU56がROM54から固定データを読み出す固定データ読出動作や、CPU56がRAM55に各種の変動データを書き込んで一時記憶させる変動データ書込動作、CPU56がRAM55に一時記憶されている各種の変動データを読み出す変動データ読出動作、CPU56が外部バスインターフェース501やパラレル入力ポート511、シリアル通信回路512などを介して遊技制御用マイクロコンピュータ560の外部から各種信号の入力を受け付ける受信動作、CPU56が外部バスインターフェース501やシリアル通信回路512、パラレル出力ポート513などを介して遊技制御用マイクロコンピュータ560の外部へと各種信号を出力する送信動作等も行われる。20

【0162】

遊技制御用マイクロコンピュータ560が備えるROM54には、ユーザプログラム(ゲーム制御用の遊技制御処理プログラム)を示す制御コードや固定データ等が記憶されている。30

【0163】

遊技制御用マイクロコンピュータ560が備えるRAM55は、ゲーム制御用のワークエリアを提供する。ここで、RAM55の少なくとも一部は、電源基板910において作成されるバックアップ電源によってバックアップされているバックアップRAMであればよい。すなわち、パチンコ遊技機1への電力供給が停止しても、所定期間はRAM55の少なくとも一部の内容が保存される。

【0164】

また、遊技制御用マイクロコンピュータ560は、フリーランカウンタ回路507として、8ビットのフリーランカウンタを4チャネル搭載している。

【0165】

遊技制御用マイクロコンピュータ560が備える乱数回路508a, 508bは、8ビット乱数や16ビット乱数といった、所定の更新範囲を有する乱数値となる数値データを生成する回路である。この実施の形態では、乱数回路508a, 508bのうち16ビット乱数回路508bが生成するハードウェア乱数は、大当たりとするか否かを判定するための大当たり判定用乱数(ランダムR)として用いられる。なお、CPU56は、乱数回路508a, 508bから抽出した数値データにもとづき、乱数回路508a, 508bとは異なるランダムカウンタを用いて、ソフトウェアによって各種の数値データを加工あるいは更新することで、遊技に用いられる乱数値の全部または一部を示す数値データをカウントするようにしてもよい。あるいは、CPU56は、乱数回路508a, 508bを用いることなく、ソフトウェアによって大当たり判定用乱数などの乱数値を示す数値データの一4050

部をカウント(更新)するようにしてもよい。一例として、ハードウェアとなる乱数回路 508a, 508b から C P U 56 により抽出された数値データを、ソフトウェアにより加工することで、大当たり判定用乱数(ランダム R)を示す数値データが更新され、それ以外の乱数値(例えば、大当たり種別判定用乱数や、変動パターン種別決定用乱数、変動パターン決定用乱数)を示す数値データは、C P U 56 がランダムカウンタなどを用いてソフトウェアにより更新すればよい。

【0166】

図 21 は、8 ビット乱数回路 508a の一構成例を示すブロック図である。また、図 22 は、16 ビット乱数回路 508b の一構成例を示すブロック図である。8 ビット乱数回路 508a および 16 ビット乱数回路 508b は、図 21 および図 22 に示すように、乱数列変更選択回路 523a, 523b、乱数生成回路 525a, 525b、乱数列変更回路 526a, 526b、および最大値比較回路 527a, 527b を備えて構成される。また、16 ビット乱数回路 508b は、図 22 に示すように、8 ビット乱数回路 508a が備える構成要素に加えて、乱数スタート値選択回路 535 を備える。さらに、16 ビット乱数回路 508b は、図 22 に示すように、8 ビット乱数回路 508a が備える構成要素に加えて、乱数生成回路 525b が更新監視回路 537 を含む。

【0167】

また、図 22 に示す例では、16 ビット乱数回路 508b の回路部分の構成のみを示し、乱数列変更レジスタ 522 および最大値設定レジスタ 524b 以外の 16 ビット乱数回路 508b が用いる各レジスタについては記載を省略している。なお、具体的には、16 ビット乱数回路 508b は、図 21 に示す R S ハードラッチ選択レジスタ 528a, 528b に代えて図 7 に示す R L 0 ハードラッチ選択レジスタ 0 (R L 0 L S 0) ~ R L 3 ハードラッチ選択レジスタ (R L 3 L S) を用い、図 21 に示す R S 0 ハードラッチ乱数値レジスタ 529a ~ R S 3 ハードラッチ乱数値レジスタ 529d に代えて図 8 および図 9 に示す R L 0 ハードラッチ乱数値レジスタ 0 (R L 0 H V 0) ~ R L 3 ハードラッチ乱数値レジスタ 1 (R L 3 H V 1) を用い、図 21 に示す R S ハードラッチフラグレジスタ 530 に代えて図 8 に示す R L ハードラッちフラグレジスタ 0 (R L H F 0) ~ R L ハードラッちフラグレジスタ 1 (R L H F 1) を用い、図 21 に示す R S 割り込み制御レジスタ 531 に代えて図 7 に示す R L 割り込み制御レジスタ 0 (R L I C 0) ~ R L 割り込み制御レジスタ 1 (R L I C 1) を用い、図 21 に示す R S 0 ソフトラッち乱数値レジスタ 533a ~ R S 3 ソフトラッち乱数値レジスタ 533d に代えて図 8 に示す R L 0 ソフトラッち乱数値レジスタ (R L 0 S V) ~ R L 3 ソフトラッち乱数値レジスタ (R L 3 S V) を用いる。また、16 ビット乱数回路 508b は、乱数値ソフトラッちレジスタ 532 および乱数ソフトラッちフラグレジスタ 534 については、8 ビット乱数回路 508a と兼用で同じレジスタを用いる。

【0168】

また、8 ビット乱数回路 508a は、既に説明したプログラム管理エリアに設けられた 8 ビット乱数初期設定 521a (図 6 に示す 8 ビット乱数初期設定 1 (K R S 1) および 8 ビット乱数初期設定 2 (K R S 2)) の設定内容に従って動作する。

【0169】

また、16 ビット乱数回路 508b は、既に説明したプログラム管理エリアに設けられた 16 ビット乱数初期設定 521b (図 6 に示す 16 ビット乱数初期設定 1 (K R L 1) ~ 16 ビット乱数初期設定 2 (K R L 2)) の設定内容に従って動作する。また、16 ビット乱数回路 508b は、8 ビット乱数回路 508a の機能に加えて、乱数スタート値選択回路 535 が 16 ビット乱数初期設定 536 (図 6 に示す 16 ビット乱数初期設定 3 (K R L 3)) の設定内容に従って動作することにより、1 周目の乱数値のスタート値を変更する機能を備えている (図 15 参照)。

【0170】

また、16 ビット乱数回路 508b は、乱数生成回路 525b が更新監視回路 537 を含んでおり、8 ビット乱数回路 508a の機能に加えて、更新監視回路 537 が動作する

10

20

30

40

50

ことにより外部クロック周波数異常および更新異常を検出する機能を備えている（図19参照）。なお、この実施の形態では、1つの更新監視回路537により外部クロック周波数異常および更新異常の両方を検出する場合を示しているが、外部クロック周波数異常を検出する監視回路と更新異常を検出する監視回路とを別々に備えてもよい。

【0171】

なお、8ビット乱数回路508aも更新監視回路を備えるように構成し、8ビット乱数回路508aの外部クロック周波数異常および更新異常を検出可能に構成するようにしてもよい。

【0172】

また、乱数列変更レジスタ522は、図7に示すような遊技制御用マイクロコンピュータ560の内蔵レジスタに含まれる乱数列変更レジスタR D S Cに対応している。なお、乱数列変更レジスタR D S Cとして、8ビット乱数回路508aおよび16ビット乱数回路508bの各チャネルで共通のレジスタが用いられる。10

【0173】

また、最大値設定レジスタ524a, 524bは、図7に示すような遊技制御用マイクロコンピュータ560の内蔵レジスタに含まれるR S 0最大値設定レジスタ(R S 0 M X)～R S 3最大値設定レジスタ(R S 3 M X)に対応している(16ビット乱数回路508bの場合は、R L 0最大値設定レジスタ(R L 0 M X)～R L 3最大値設定レジスタ(R L 3 M X)に対応している)。

【0174】

また、ハードラッチ選択レジスタ528aは、図7に示すような遊技制御用マイクロコンピュータ560の内蔵レジスタに含まれるR Sハードラッチ選択レジスタ0(R S L S 0)に対応している。また、ハードラッチ選択レジスタ528bは、図7に示すような遊技制御用マイクロコンピュータ560の内蔵レジスタに含まれるR Sハードラッチ選択レジスタ1(R S L S 1)に対応している。なお、16ビット乱数回路508bの場合は、図7に示すR L 0ハードラッチ選択レジスタ0(R L 0 L S 0)～R L 3ハードラッチ選択レジスタ3(R L 3 L S)に対応している。20

【0175】

また、R S 0ハードラッチ乱数値レジスタ529a～R S 3ハードラッチ乱数値レジスタ529dは、図9に示すような遊技制御用マイクロコンピュータ560の内蔵レジスタに含まれるR S 0ハードラッチ乱数値レジスタ(R S 0 H V)～R S 3ハードラッチ乱数値レジスタ(R S 3 H V)に対応している。なお、16ビット乱数回路508bの場合は、図8に示すR L 0ハードラッチ乱数値レジスタ0(R L 0 H V 0)～R L 1ハードラッチ乱数値レジスタ1(R L 1 H V 1)および図9に示すR L 2ハードラッチ乱数値レジスタ0(R L 2 H V 0)～R L 3ハードラッチ乱数値レジスタ1(R L 3 H V 1)に対応している。30

【0176】

また、R Sハードラッチフラグレジスタ530は、図8に示すR Sハードラッチフラグレジスタ(R S H F)に対応している。なお、16ビット乱数回路508bの場合は、図8に示すR Lハードラッチフラグレジスタ0(R L H F 0)～R Lハードラッチフラグレジスタ1(R L H F 1)に対応している。40

【0177】

また、R S割り込み制御レジスタ531は、図7に示すR S割り込み制御レジスタ(R S I C)に対応している。なお、16ビット乱数回路508bの場合は、図7に示すR L割り込み制御レジスタ0(R L I C 0)～R L割り込み制御レジスタ1(R L I C 1)に対応している。

【0178】

また、乱数ソフトラッチレジスタ532は、図7に示す乱数ソフトラッチレジスタ(R D S L)に対応している。なお、ソフトラッチレジスタR D S Lとして、8ビット乱数回路508aおよび16ビット乱数回路508bの各チャネルで共通のレジスタが用いられ50

る。

【0179】

また、RS0ソフトラッチ乱数値レジスタ533a～RS3ソフトラッチ乱数値レジスタ533dは、は、図8に示すRS0ソフトラッチ乱数値レジスタ(RS0SV)～RS3ソフトラッチ乱数値レジスタ(RS3SV)に対応している。なお、16ビット乱数回路508bの場合は、図8に示すRL0ソフトラッチ乱数値(RL0SV)～RL3ソフトラッチ乱数値(RL3SV)に対応している。

【0180】

また、乱数ソフトラッチフラグレジスタ534は、図7に示す乱数ソフトラッチフラグレジスタ(RDSF)に対応している。なお、乱数ソフトラッチフラグレジスタRDSFとして、8ビット乱数回路508aおよび16ビット乱数回路508bの各チャネルで共通のレジスタが用いられる。

【0181】

乱数列変更選択回路523a, 523bは、図16や図17に示す8ビット乱数初期設定1(KRS1)や8ビット乱数初期設定2(KRS2)の設定内容に従って(16ビット乱数回路508bの場合には、図13や図14に示す16ビット乱数初期設定1(KRL1)や16ビット乱数初期設定2(KRL2)の設定内容に従って)、乱数列の変更方法として、「変更しない」、「ソフトウェアで変更」、「2周目から自動で変更」または「1周目から自動で変更」のうちのいずれかを選択する。そして、「ソフトウェアで変更」、「2周目から自動で変更」または「1周目から自動で変更」のいずれかに選択した場合には、その選択方法に従って乱数列変更回路526a, 526bに乱数列を変更させる。また、「変更しない」を選択した場合には乱数列を変更させる制御を行わない。

【0182】

乱数列変更回路526a, 526bは、乱数生成回路525a, 525bにより生成された数値データの順列を、乱数列変更選択回路523a, 523bの指示に従って変更可能とする回路である。例えば、乱数列変更回路526a, 526bは、「ソフトウェアで変更」が指示された場合には、乱数生成回路525a, 525bが更新する乱数列をソフトウェア(ユーザプログラム)により変更する。また、例えば、乱数列変更回路526a, 526bは、「2周目から自動で変更」が指示された場合には、乱数生成回路525a, 525bが更新する乱数列を2周目から自動的に変更し、以降、乱数列が一巡するごとに自動的に乱数列を変更する。また、例えば、乱数列変更回路526a, 526bは、「1周目から自動で変更」が指示された場合には、乱数生成回路525a, 525bが更新する乱数列を1周目から自動的に変更し、以降、乱数列が一巡するごとに自動的に乱数列を変更する。

【0183】

乱数生成回路525a, 525bは、例えば8ビットのカウンタ(16ビット乱数回路508bの場合は16ビットのカウンタ)などから構成され、乱数更新クロック信号などの入力にもとづき、数値データを更新可能な所定の範囲において所定の初期値から所定の最終値まで循環的に更新する回路である。例えば乱数生成回路525a, 525bは、乱数更新クロック信号における立ち下がりエッジに応答して、「0」から「255」までの範囲内で設定された初期値から「255」まで1ずつ加算するように数値データをカウントアップして行く(16ビット乱数回路508bの場合には、「0」から「65535」までの範囲内で設定された初期値から「65535」まで1ずつ加算するように数値データをカウントアップして行く)。そして、「255」までカウントアップした後には、「0」から初期値よりも1小さい最終値となる数値まで1ずつ加算するようにカウントアップすることで、数値データを循環的に更新する。

【0184】

最大値比較回路527a, 527bは、図16や図17に示す8ビット乱数初期設定1(KRS1)や8ビット乱数初期設定2(KRS2)の設定内容に従って(16ビット乱数回路508bの場合には、図13や図14に示す16ビット乱数初期設定1(KRL1)

10

20

30

40

50

) や 16 ビット乱数初期設定 2 (R L 2) の設定内容に従って)、乱数生成回路 525
a , 525 b が生成する乱数値の最大値を設定する。

【 0185 】

図 23 (A) は、 R L 0 ハードラッチ選択レジスタ 0 (R L 0 L S 0) の構成例を示している。図 23 (B) は、 R L 0 ハードラッチ選択レジスタ 0 (R L 0 L S 0) に格納されるデータの各ビットにおける設定内容の一例を示している。 R L 0 ハードラッチ選択レジスタ 0 (R L 0 L S 0) のビット番号 [7] に格納されるデータ R L 0 1 R F は、 R L 0 ハードラッチ乱数値レジスタ 1 (R L 0 H V 1) に、外部端子入力により、 16 ビット乱数 R L 0 の値を取り込む際の条件の設定を示している。図 23 (B) に示す例では、値を読み込まないと次の値をラッチしないように設定した場合には、データ R L 0 1 R F のビット値が “ 0 ” となる一方、値を読み込まなくても次の値をラッチするように設定した場合には、そのビット値が “ 1 ” となる。なお、データ R L 0 1 R F は、初期値として “ 0 ” が設定されている。
10

【 0186 】

なお、この実施の形態では、プログラム管理エリアや内蔵レジスタのレジスタに関して、具体的には、プログラム管理エリアなどの対応するビットを “ 0 ” または “ 1 ” のいずれかの値としておくことにより、その対応するビットの値が読み込まれて、読み込まれた “ 0 ” または “ 1 ” の値が遊技制御用マイクロコンピュータ 560 の制御レジスタにハードウェア的に書き込まれることにより各種の設定が行われる。例えば、 R L 0 ハードラッチ選択レジスタ 0 (R L 0 L S 0) のビット 7 については、そのビット 7 から読み込まれた値が “ 0 ” であれば、遊技制御用マイクロコンピュータ 560 の制御レジスタにハードウェア的に “ 0 ” が書き込まれることにより R L 0 ハードラッチ乱数値レジスタ 1 (R L 0 H V 1) から値を読み込まないと次の値をラッチしないように設定され、そのビット 7 から読み込まれた値が “ 1 ” であれば、遊技制御用マイクロコンピュータ 560 の制御レジスタにハードウェア的に “ 1 ” が書き込まれることにより R L 0 ハードラッチ乱数値レジスタ 1 (R L 0 H V 1) から値を読み込まなくても次の値をラッチするように設定される。このことは、他のプログラム管理エリアの各設定項目や内蔵レジスタの各レジスタの各ビットに関しても同様である。
20

【 0187 】

R L 0 ハードラッチ選択レジスタ 0 (R L 0 L S 0) のビット番号 [6 - 4] に格納されるデータ R L 0 1 L S 0 ~ R L 0 1 L S 2 は、 R L 0 ハードラッチ乱数値レジスタ 1 (R L 0 H V 1) に、どの外部端子入力により、 16 ビット乱数 R L 0 の値を取り込むかの設定を示している。図 23 (B) に示す例では、 R L 0 ハードラッチ選択レジスタ 0 (R L 0 L S 0) のビット番号 [6 - 4] に “ 0 0 0 ” が設定された場合には P I 0 端子が選択され、“ 0 0 1 ” が設定された場合には P I 1 端子が選択され、“ 0 1 0 ” が設定された場合には P I 2 端子が選択され、“ 0 1 1 ” が設定された場合には P I 3 端子が選択され、“ 1 0 0 ” が設定された場合には P I 4 端子が選択され、“ 1 0 1 ” が設定された場合には P I 5 / X I N T 端子が選択される。なお、 R L 0 ハードラッチ選択レジスタ 0 (R L 0 L S 0) のビット番号 [6 - 4] に “ 1 1 0 ” や “ 1 1 1 ” が設定された場合には、その設定は無効である。また、データ R L 0 1 L S 0 ~ R L 0 1 L S 2 は、初期値として “ 0 0 0 ” が設定されている。
30
40

【 0188 】

R L 0 ハードラッチ選択レジスタ 0 (R L 0 L S 0) のビット番号 [3] に格納されるデータ R L 0 0 R F は、 R L 0 ハードラッチ乱数値レジスタ 0 (R L 0 H V 0) に、外部端子入力により、 16 ビット乱数 R L 0 の値を取り込む際の条件の設定を示している。図 23 (B) に示す例では、値を読み込まないと次の値をラッチしないように設定した場合には、データ R L 0 0 R F のビット値が “ 0 ” となる一方、値を読み込まなくても次の値をラッチするように設定した場合には、そのビット値が “ 1 ” となる。なお、データ R L 0 0 R F は、初期値として “ 0 ” が設定されている。

【 0189 】

R L 0 ハードラッチ選択レジスタ 0 (R L 0 L S 0) のビット番号 [2 - 0] に格納されるデータ R L 0 0 L S 0 ~ R L 0 0 L S 2 は、R L 0 ハードラッチ乱数値レジスタ 0 (R L 0 H V 0) に、どの外部端子入力により、16ビット乱数 R L 0 の値を取り込むかの設定を示している。図 23 (B) に示す例では、R L 0 ハードラッチ選択レジスタ 0 (R L 0 L S 0) のビット番号 [2 - 0] に " 0 0 0 " が設定された場合には P I 0 端子が選択され、" 0 0 1 " が設定された場合には P I 1 端子が選択され、" 0 1 0 " が設定された場合には P I 2 端子が選択され、" 0 1 1 " が設定された場合には P I 3 端子が選択され、" 1 0 0 " が設定された場合には P I 4 端子が選択され、" 1 0 1 " が設定された場合には P I 5 / X I N T 端子が選択される。なお、R L 0 ハードラッチ選択レジスタ 0 (R L 0 L S 0) のビット番号 [2 - 0] に " 1 1 0 " や " 1 1 1 " が設定された場合には 10 、その設定は無効である。また、データ R L 0 0 L S 0 ~ R L 0 0 L S 2 は、初期値として " 0 0 0 " が設定されている。

【 0 1 9 0 】

図 24 (A) は、R L 0 ハードラッチ選択レジスタ 1 (R L 0 L S 1) の構成例を示している。図 24 (B) は、R L 0 ハードラッチ選択レジスタ 1 (R L 0 L S 1) に格納されるデータの各ビットにおける設定内容の一例を示している。R L 0 ハードラッチ選択レジスタ 1 (R L 0 L S 1) のビット番号 [7] に格納されるデータ R L 0 3 R F は、R L 0 ハードラッチ乱数値レジスタ 3 (R L 0 H V 3) に、外部端子入力により、16ビット乱数 R L 0 の値を取り込む際の条件の設定を示している。図 24 (B) に示す例では、値を読み込まないと次の値をラッチしないように設定した場合には、データ R L 0 3 R F のビット値が " 0 " となる一方、値を読み込まなくても次の値をラッチするように設定した場合には、そのビット値が " 1 " となる。なお、データ R L 0 3 R F は、初期値として " 0 " が設定されている。 20

【 0 1 9 1 】

R L 0 ハードラッチ選択レジスタ 1 (R L 0 L S 1) のビット番号 [6 - 4] に格納されるデータ R L 0 3 L S 0 ~ R L 0 3 L S 2 は、R L 0 ハードラッチ乱数値レジスタ 3 (R L 0 H V 3) に、どの外部端子入力により、16ビット乱数 R L 0 の値を取り込むかの設定を示している。図 24 (B) に示す例では、R L 0 ハードラッチ選択レジスタ 1 (R L 0 L S 1) のビット番号 [6 - 4] に " 0 0 0 " が設定された場合には P I 0 端子が選択され、" 0 0 1 " が設定された場合には P I 1 端子が選択され、" 0 1 0 " が設定された場合には P I 2 端子が選択され、" 0 1 1 " が設定された場合には P I 3 端子が選択され、" 1 0 0 " が設定された場合には P I 4 端子が選択され、" 1 0 1 " が設定された場合には P I 5 / X I N T 端子が選択される。なお、R L 0 ハードラッチ選択レジスタ 1 (R L 0 L S 1) のビット番号 [6 - 4] に " 1 1 0 " や " 1 1 1 " が設定された場合には 30 、その設定は無効である。また、データ R L 0 3 L S 0 ~ R L 0 3 L S 2 は、初期値として " 0 0 0 " が設定されている。

【 0 1 9 2 】

R L 0 ハードラッチ選択レジスタ 1 (R L 0 L S 1) のビット番号 [3] に格納されるデータ R L 0 2 R F は、R L 0 ハードラッチ乱数値レジスタ 2 (R L 0 H V 2) に、外部端子入力により、16ビット乱数 R L 0 の値を取り込む際の条件の設定を示している。図 24 (B) に示す例では、値を読み込まないと次の値をラッチしないように設定した場合には、データ R L 0 2 R F のビット値が " 0 " となる一方、値を読み込まなくても次の値をラッチするように設定した場合には、そのビット値が " 1 " となる。なお、データ R L 0 2 R F は、初期値として " 0 " が設定されている。 40

【 0 1 9 3 】

R L 0 ハードラッチ選択レジスタ 1 (R L 0 L S 1) のビット番号 [2 - 0] に格納されるデータ R L 0 2 L S 0 ~ R L 0 2 L S 2 は、R L 0 ハードラッチ乱数値レジスタ 2 (R L 0 H V 2) に、どの外部端子入力により、16ビット乱数 R L 0 の値を取り込むかの設定を示している。図 24 (B) に示す例では、R L 0 ハードラッチ選択レジスタ 1 (R L 0 L S 1) のビット番号 [2 - 0] に " 0 0 0 " が設定された場合には P I 0 端子が選 50

択され、”001”が設定された場合にはPI1端子が選択され、”010”が設定された場合にはPI2端子が選択され、”011”が設定された場合にはPI3端子が選択され、”100”が設定された場合にはPI4端子が選択され、”101”が設定された場合にはPI5/XINT端子が選択される。なお、RL0ハードラッチ選択レジスタ1(RL0LS1)のビット番号[2-0]に”110”や”111”が設定された場合には、その設定は無効である。また、データRL02LS0～RL02LS2は、初期値として”000”が設定されている。

【0194】

図25(A)は、RLnハードラッチ選択レジスタ(RLnLS)の構成例を示している。図25(B)は、RLnハードラッチ選択レジスタ(RLnLS)に格納されるデータの各ビットにおける設定内容の一例を示している。なお、図25において、nは0～3の値をとる。RLnハードラッチ選択レジスタ(RLnLS)のビット番号[7]に格納されるデータRLn1RFは、RLnハードラッチ乱数値レジスタ1(RLnHV1)に、外部端子入力により、16ビット乱数RLnの値を取り込む際の条件の設定を示している。図25(B)に示す例では、値を読み込まないと次の値をラッチしないように設定した場合には、データRLn1RFのビット値が”0”となる一方、値を読み込まなくても次の値をラッチするように設定した場合には、そのビット値が”1”となる。なお、データRLn1RFは、初期値として”0”が設定されている。

【0195】

RLnハードラッチ選択レジスタ(RLnLS)のビット番号[6-4]に格納されるデータRLn1LS0～RLn1LS2は、RLnハードラッチ乱数値レジスタ1(RLnHV1)に、どの外部端子入力により、16ビット乱数RLnの値を取り込むかの設定を示している。図25(B)に示す例では、RLnハードラッチ選択レジスタ(RLnLS)のビット番号[6-4]に”000”が設定された場合にはPI0端子が選択され、”001”が設定された場合にはPI1端子が選択され、”010”が設定された場合にはPI2端子が選択され、”011”が設定された場合にはPI3端子が選択され、”100”が設定された場合にはPI4端子が選択され、”101”が設定された場合にはPI5/XINT端子が選択される。なお、RLnハードラッチ選択レジスタ(RLnLS)のビット番号[6-4]に”110”や”111”が設定された場合には、その設定は無効である。また、データRLn1LS0～RLn1LS2は、初期値として”000”が設定されている。

【0196】

RLnハードラッチ選択レジスタ(RLnLS)のビット番号[3]に格納されるデータRLn0RFは、RLnハードラッチ乱数値レジスタ0(RLnHV0)に、外部端子入力により、16ビット乱数RLnの値を取り込む際の条件の設定を示している。図25(B)に示す例では、値を読み込まないと次の値をラッチしないように設定した場合には、データRLn0RFのビット値が”0”となる一方、値を読み込まなくても次の値をラッチするように設定した場合には、そのビット値が”1”となる。なお、データRLn0RFは、初期値として”0”が設定されている。

【0197】

RLnハードラッチ選択レジスタ(RLnLS)のビット番号[2-0]に格納されるデータRLn0LS0～RLn0LS2は、RLnハードラッチ乱数値レジスタ0(RLnHV0)に、どの外部端子入力により、16ビット乱数RLnの値を取り込むかの設定を示している。図25(B)に示す例では、RLnハードラッチ選択レジスタ(RLnLS)のビット番号[2-0]に”000”が設定された場合にはPI0端子が選択され、”001”が設定された場合にはPI1端子が選択され、”010”が設定された場合にはPI2端子が選択され、”011”が設定された場合にはPI3端子が選択され、”100”が設定された場合にはPI4端子が選択され、”101”が設定された場合にはPI5/XINT端子が選択される。なお、RLnハードラッチ選択レジスタ(RLnLS)のビット番号[2-0]に”110”や”111”が設定された場合には、その設定は

10

20

30

40

50

無効である。また、データ R L n 0 L S 0 ~ R L n 0 L S 2 は、初期値として " 0 0 0 " が設定されている。

【 0 1 9 8 】

図 2 6 (A) は、 R S ハードラッチ選択レジスタ 0 (R S L S 0) の構成例を示している。図 2 6 (B) は、 R S ハードラッチ選択レジスタ 0 (R S L S 0) に格納されるデータの各ビットにおける設定内容の一例を示している。 R S ハードラッチ選択レジスタ 0 (R S L S 0) のビット番号 [7] に格納されるデータ R S 1 R F は、 R S 1 ハードラッチ乱数値レジスタ (R S 1 H V) に、外部端子入力により、 8 ビット乱数 R S 1 の値を取り込む際の条件の設定を示している。図 2 6 (B) に示す例では、値を読み込まないと次の値をラッチしないように設定した場合には、データ R S 1 R F のビット値が " 0 " となる一方、値を読み込まなくても次の値をラッチするように設定した場合には、そのビット値が " 1 " となる。なお、データ R S 1 R F は、初期値として " 0 " が設定されている。
10

【 0 1 9 9 】

R S ハードラッチ選択レジスタ 0 (R S L S 0) のビット番号 [6 - 4] に格納されるデータ R S 1 L S 0 ~ R S 1 L S 2 は、 R S 1 ハードラッチ乱数値レジスタ (R S 1 H V) に、どの外部端子入力により、 8 ビット乱数 R S 1 の値を取り込むかの設定を示している。図 2 6 (B) に示す例では、 R S ハードラッチ選択レジスタ 0 (R S L S 0) のビット番号 [6 - 4] に " 0 0 0 " が設定された場合には P I 0 端子が選択され、 " 0 0 1 " が設定された場合には P I 1 端子が選択され、 " 0 1 0 " が設定された場合には P I 2 端子が選択され、 " 0 1 1 " が設定された場合には P I 3 端子が選択され、 " 1 0 0 " が設定された場合には P I 4 端子が選択され、 " 1 0 1 " が設定された場合には P I 5 / X I N T 端子が選択される。なお、 R S ハードラッチ選択レジスタ 0 (R S L S 0) のビット番号 [6 - 4] に " 1 1 0 " や " 1 1 1 " が設定された場合には、その設定は無効である。また、データ R S 1 L S 0 ~ R S 1 L S 2 は、初期値として " 0 0 0 " が設定されている。
20

【 0 2 0 0 】

R S ハードラッチ選択レジスタ 0 (R S L S 0) のビット番号 [3] に格納されるデータ R S 0 R F は、 R S 0 ハードラッチ乱数値レジスタ (R S 0 H V) に、外部端子入力により、 8 ビット乱数 R S 0 の値を取り込む際の条件の設定を示している。図 2 6 (B) に示す例では、値を読み込まないと次の値をラッチしないように設定した場合には、データ R S 0 R F のビット値が " 0 " となる一方、値を読み込まなくても次の値をラッチするように設定した場合には、そのビット値が " 1 " となる。なお、データ R S 0 R F は、初期値として " 0 " が設定されている。
30

【 0 2 0 1 】

R S ハードラッチ選択レジスタ 0 (R S L S 0) のビット番号 [2 - 0] に格納されるデータ R S 0 L S 0 ~ R S 0 L S 2 は、 R S 0 ハードラッチ乱数値レジスタ (R S 0 H V) に、どの外部端子入力により、 8 ビット乱数 R S 0 の値を取り込むかの設定を示している。図 2 6 (B) に示す例では、 R S ハードラッチ選択レジスタ 0 (R S L S 0) のビット番号 [2 - 0] に " 0 0 0 " が設定された場合には P I 0 端子が選択され、 " 0 0 1 " が設定された場合には P I 1 端子が選択され、 " 0 1 0 " が設定された場合には P I 2 端子が選択され、 " 0 1 1 " が設定された場合には P I 3 端子が選択され、 " 1 0 0 " が設定された場合には P I 4 端子が選択され、 " 1 0 1 " が設定された場合には P I 5 / X I N T 端子が選択される。なお、 R S ハードラッチ選択レジスタ 0 (R S L S 0) のビット番号 [2 - 0] に " 1 1 0 " や " 1 1 1 " が設定された場合には、その設定は無効である。また、データ R S 0 L S 0 ~ R S 0 L S 2 は、初期値として " 0 0 0 " が設定されている。
40

【 0 2 0 2 】

図 2 7 (A) は、 R S ハードラッチ選択レジスタ 1 (R S L S 1) の構成例を示している。図 2 7 (B) は、 R S ハードラッチ選択レジスタ 1 (R S L S 1) に格納されるデータの各ビットにおける設定内容の一例を示している。 R S ハードラッチ選択レジスタ 1 (50

R S L S 1) のビット番号 [7] に格納されるデータ R S 3 R F は、 R S 3 ハードラッチ乱数値レジスタ (R S 3 H V) に、外部端子入力により、 8 ビット乱数 R S 3 の値を取り込む際の条件の設定を示している。図 27 (B) に示す例では、値を読み込まないと次の値をラッチしないように設定した場合には、データ R S 3 R F のビット値が “ 0 ” となる一方、値を読み込まなくても次の値をラッチするように設定した場合には、そのビット値が “ 1 ” となる。なお、データ R S 3 R F は、初期値として “ 0 ” が設定されている。

【 0203 】

R S ハードラッチ選択レジスタ 1 (R S L S 1) のビット番号 [6 - 4] に格納されるデータ R S 3 L S 0 ~ R S 3 L S 2 は、 R S 3 ハードラッチ乱数値レジスタ (R S 3 H V) に、どの外部端子入力により、 8 ビット乱数 R S 3 の値を取り込むかの設定を示している。図 27 (B) に示す例では、 R S ハードラッチ選択レジスタ 1 (R S L S 1) のビット番号 [6 - 4] に “ 000 ” が設定された場合には P I 0 端子が選択され、“ 001 ” が設定された場合には P I 1 端子が選択され、“ 010 ” が設定された場合には P I 2 端子が選択され、“ 011 ” が設定された場合には P I 3 端子が選択され、“ 100 ” が設定された場合には P I 4 端子が選択され、“ 101 ” が設定された場合には P I 5 / X I N T 端子が選択される。なお、 R S ハードラッチ選択レジスタ 0 (R S L S 1) のビット番号 [6 - 4] に “ 110 ” や “ 111 ” が設定された場合には、その設定は無効である。また、データ R S 3 L S 0 ~ R S 3 L S 2 は、初期値として “ 000 ” が設定されている。

【 0204 】

R S ハードラッチ選択レジスタ 1 (R S L S 1) のビット番号 [3] に格納されるデータ R S 2 R F は、 R S 2 ハードラッチ乱数値レジスタ (R S 2 H V) に、外部端子入力により、 8 ビット乱数 R S 2 の値を取り込む際の条件の設定を示している。図 27 (B) に示す例では、値を読み込まないと次の値をラッチしないように設定した場合には、データ R S 2 R F のビット値が “ 0 ” となる一方、値を読み込まなくても次の値をラッチするように設定した場合には、そのビット値が “ 1 ” となる。なお、データ R S 2 R F は、初期値として “ 0 ” が設定されている。

【 0205 】

R S ハードラッチ選択レジスタ 1 (R S L S 1) のビット番号 [2 - 0] に格納されるデータ R S 2 L S 0 ~ R S 2 L S 2 は、 R S 2 ハードラッチ乱数値レジスタ (R S 2 H V) に、どの外部端子入力により、 8 ビット乱数 R S 2 の値を取り込むかの設定を示している。図 27 (B) に示す例では、 R S ハードラッチ選択レジスタ 1 (R S L S 1) のビット番号 [2 - 0] に “ 000 ” が設定された場合には P I 0 端子が選択され、“ 001 ” が設定された場合には P I 1 端子が選択され、“ 010 ” が設定された場合には P I 2 端子が選択され、“ 011 ” が設定された場合には P I 3 端子が選択され、“ 100 ” が設定された場合には P I 4 端子が選択され、“ 101 ” が設定された場合には P I 5 / X I N T 端子が選択される。なお、 R S ハードラッチ選択レジスタ 1 (R S L S 1) のビット番号 [2 - 0] に “ 110 ” や “ 111 ” が設定された場合には、その設定は無効である。また、データ R S 2 L S 0 ~ R S 2 L S 2 は、初期値として “ 000 ” が設定されている。

【 0206 】

図 28 (A) は、 R L 割り込み制御レジスタ 0 (R L I C 0) の構成例を示している。図 28 (B) は、 R L 割り込み制御レジスタ 0 (R L I C 0) に格納されるデータの各ビットにおける設定内容の一例を示している。なお、 R L 割り込み制御レジスタ 0 (R L I C 0) のビット [7 - 6] のビット値は必ず “ 0 ” とされる。

【 0207 】

R L 割り込み制御レジスタ 0 (R L I C 0) のビット番号 [5] に格納されるデータ R L 1 1 I E は、 R L 1 ハードラッチ乱数値レジスタ 1 (R L 1 H V 1) に、乱数値が取り込まれたことを要因とする割り込みの禁止 / 許可の設定を示している。図 28 (B) に示す例では、割り込み禁止に設定した場合には、データ R L 1 1 I E のビット値が “ 0 ” と

10

20

30

40

50

なる一方、割り込み許可に設定した場合には、そのビット値が“1”となる。なお、データRL11IEは、初期値として“0”が設定されている。

【0208】

RL割り込み制御レジスタ0(RLIC0)のビット番号[4]に格納されるデータRL10IEは、RL1ハードラッチ乱数値レジスタ0(RL1HV0)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可の設定を示している。図28(B)に示す例では、割り込み禁止に設定した場合には、データRL10IEのビット値が“0”となる一方、割り込み許可に設定した場合には、そのビット値が“1”となる。なお、データRL10IEは、初期値として“0”が設定されている。

【0209】

RL割り込み制御レジスタ0(RLIC0)のビット番号[3]に格納されるデータRL03IEは、RL0ハードラッチ乱数値レジスタ3(RL0HV3)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可の設定を示している。図28(B)に示す例では、割り込み禁止に設定した場合には、データRL03IEのビット値が“0”となる一方、割り込み許可に設定した場合には、そのビット値が“1”となる。なお、データRL03IEは、初期値として“0”が設定されている。

【0210】

RL割り込み制御レジスタ0(RLIC0)のビット番号[2]に格納されるデータRL02IEは、RL0ハードラッチ乱数値レジスタ2(RL0HV2)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可の設定を示している。図28(B)に示す例では、割り込み禁止に設定した場合には、データRL02IEのビット値が“0”となる一方、割り込み許可に設定した場合には、そのビット値が“1”となる。なお、データRL02IEは、初期値として“0”が設定されている。

【0211】

RL割り込み制御レジスタ0(RLIC0)のビット番号[1]に格納されるデータRL01IEは、RL0ハードラッチ乱数値レジスタ1(RL0HV1)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可の設定を示している。図28(B)に示す例では、割り込み禁止に設定した場合には、データRL01IEのビット値が“0”となる一方、割り込み許可に設定した場合には、そのビット値が“1”となる。なお、データRL01IEは、初期値として“0”が設定されている。

【0212】

RL割り込み制御レジスタ0(RLIC0)のビット番号[1]に格納されるデータRL00IEは、RL0ハードラッチ乱数値レジスタ0(RL0HV0)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可の設定を示している。図28(B)に示す例では、割り込み禁止に設定した場合には、データRL00IEのビット値が“0”となる一方、割り込み許可に設定した場合には、そのビット値が“1”となる。なお、データRL00IEは、初期値として“0”が設定されている。

【0213】

図29(A)は、RL割り込み制御レジスタ1(RLIC1)の構成例を示している。図29(B)は、RL割り込み制御レジスタ1(RLIC1)に格納されるデータの各ビットにおける設定内容の一例を示している。なお、RL割り込み制御レジスタ1(RLIC1)のビット[7-6]およびビット[3-2]のビット値は必ず“0”とされる。

【0214】

RL割り込み制御レジスタ1(RLIC1)のビット番号[5]に格納されるデータRL31IEは、RL3ハードラッチ乱数値レジスタ1(RL3HV1)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可の設定を示している。図29(B)に示す例では、割り込み禁止に設定した場合には、データRL31IEのビット値が“0”となる一方、割り込み許可に設定した場合には、そのビット値が“1”となる。なお、データRL31IEは、初期値として“0”が設定されている。

【0215】

10

20

30

40

50

R L 割り込み制御レジスタ1 (R L I C 1) のビット番号 [4] に格納されるデータ R L 3 0 I E は、R L 3 ハードラッチ乱数値レジスタ0 (R L 3 H V 0) に、乱数値が取り込まれたことを要因とする割り込みの禁止 / 許可の設定を示している。図 29 (B) に示す例では、割り込み禁止に設定した場合には、データ R L 3 0 I E のビット値が “0” となる一方、割り込み許可に設定した場合には、そのビット値が “1” となる。なお、データ R L 3 0 I E は、初期値として “0” が設定されている。

【0216】

R L 割り込み制御レジスタ1 (R L I C 1) のビット番号 [1] に格納されるデータ R L 2 1 I E は、R L 2 ハードラッチ乱数値レジスタ1 (R L 2 H V 1) に、乱数値が取り込まれたことを要因とする割り込みの禁止 / 許可の設定を示している。図 29 (B) に示す例では、割り込み禁止に設定した場合には、データ R L 2 1 I E のビット値が “0” となる一方、割り込み許可に設定した場合には、そのビット値が “1” となる。なお、データ R L 2 1 I E は、初期値として “0” が設定されている。

【0217】

R L 割り込み制御レジスタ1 (R L I C 1) のビット番号 [0] に格納されるデータ R L 2 0 I E は、R L 2 ハードラッチ乱数値レジスタ0 (R L 2 H V 0) に、乱数値が取り込まれたことを要因とする割り込みの禁止 / 許可の設定を示している。図 29 (B) に示す例では、割り込み禁止に設定した場合には、データ R L 2 0 I E のビット値が “0” となる一方、割り込み許可に設定した場合には、そのビット値が “1” となる。なお、データ R L 2 0 I E は、初期値として “0” が設定されている。

【0218】

図 30 (A) は、R S 割り込み制御レジスタ (R S I C) の構成例を示している。図 30 (B) は、R S 割り込み制御レジスタ (R S I C) に格納されるデータの各ビットにおける設定内容の一例を示している。なお、R S 割り込み制御レジスタ (R S I C) は、8 ビット乱数回路 5 0 8 a とフリーランカウンタ回路 5 0 7 とで兼用で用いられるレジスタであり、R S 割り込み制御レジスタ (R S I C) のビット [7 - 4] は、フリーランカウンタ 5 0 7 が用いるハードラッチレジスタ (F R C 0 ハードラッチレジスタ (F R 0 H V)) ~ F R C 3 ハードラッチレジスタ (F R 3 H V)) に関する設定を示している。

【0219】

R S 割り込み制御レジスタ (R S I C) のビット番号 [3] に格納されるデータ R S 3 I E は、R S 3 ハードラッチ乱数値レジスタ (R S 3 H V) に、乱数値が取り込まれたことを要因とする割り込みの禁止 / 許可の設定を示している。図 30 (B) に示す例では、割り込み禁止に設定した場合には、データ R S 3 I E のビット値が “0” となる一方、割り込み許可に設定した場合には、そのビット値が “1” となる。なお、データ R S 3 I E は、初期値として “0” が設定されている。

【0220】

R S 割り込み制御レジスタ (R S I C) のビット番号 [2] に格納されるデータ R S 2 I E は、R S 2 ハードラッチ乱数値レジスタ (R S 2 H V) に、乱数値が取り込まれたことを要因とする割り込みの禁止 / 許可の設定を示している。図 30 (B) に示す例では、割り込み禁止に設定した場合には、データ R S 2 I E のビット値が “0” となる一方、割り込み許可に設定した場合には、そのビット値が “1” となる。なお、データ R S 2 I E は、初期値として “0” が設定されている。

【0221】

R S 割り込み制御レジスタ (R S I C) のビット番号 [1] に格納されるデータ R S 1 I E は、R S 1 ハードラッチ乱数値レジスタ (R S 1 H V) に、乱数値が取り込まれたことを要因とする割り込みの禁止 / 許可の設定を示している。図 30 (B) に示す例では、割り込み禁止に設定した場合には、データ R S 1 I E のビット値が “0” となる一方、割り込み許可に設定した場合には、そのビット値が “1” となる。なお、データ R S 1 I E は、初期値として “0” が設定されている。

【0222】

10

20

30

40

50

R S 割り込み制御レジスタ (R S I C) のビット番号 [0] に格納されるデータ R S 0 I E は、 R S 0 ハードラッチ乱数値レジスタ (R S 0 H V) に、乱数値が取り込まれたことを要因とする割り込みの禁止 / 許可の設定を示している。図 3 0 (B) に示す例では、割り込み禁止に設定した場合には、データ R S 0 I E のビット値が “ 0 ” となる一方、割り込み許可に設定した場合には、そのビット値が “ 1 ” となる。なお、データ R S 0 I E は、初期値として “ 0 ” が設定されている。

【 0 2 2 3 】

図 3 1 (A) は、 R L n 最大値設定レジスタ (R L n M X) の構成例を示している。図 3 1 (B) は、 R L n 最大値設定レジスタ (R L n M X) に格納されるデータの各ビットにおける設定内容の一例を示している。なお、図 3 1 において、 n は 0 ~ 3 の値をとる。図 3 1 (B) に示すように、 R L n 最大値設定レジスタ (R L n M X) のビット番号 [1 5 - 0] に格納されるデータ R L n M X 1 5 ~ R L n M X 0 は、 1 6 ビット乱数 R L n の最大値が設定される。

【 0 2 2 4 】

図 3 2 (A) は、 R S n 最大値設定レジスタ (R S n M X) の構成例を示している。図 3 2 (B) は、 R S n 最大値設定レジスタ (R S n M X) に格納されるデータの各ビットにおける設定内容の一例を示している。なお、図 3 2 において、 n は 0 ~ 3 の値をとる。図 3 2 (B) に示すように、 R S n 最大値設定レジスタ (R S n M X) のビット番号 [7 - 0] に格納されるデータ R S n M X 7 ~ R S n M X 0 は、 8 ビット乱数 R S n の最大値が設定される。

【 0 2 2 5 】

図 3 3 (A) は、乱数列変更レジスタ (R D S C) の構成例を示している。図 3 3 (B) は、乱数列変更レジスタ (R D S C) に格納されるデータの各ビットにおける設定内容の一例を示している。乱数列変更レジスタ (R D S C) のビット番号 [7] に格納されるデータ R S 3 S C は、 8 ビット乱数 R S 3 の乱数列変更要求ビットを示している。図 3 3 (B) に示す例では、乱数列を変更しないに設定した場合には、データ R S 3 S C のビット値が “ 0 ” となる一方、乱数列を変更するに設定した場合には、そのビット値が “ 1 ” となる。なお、データ R S 3 S C は、初期値として “ 0 ” が設定されている。

【 0 2 2 6 】

乱数列変更レジスタ (R D S C) のビット番号 [6] に格納されるデータ R S 2 S C は、 8 ビット乱数 R S 2 の乱数列変更要求ビットを示している。図 3 3 (B) に示す例では、乱数列を変更しないに設定した場合には、データ R S 2 S C のビット値が “ 0 ” となる一方、乱数列を変更するに設定した場合には、そのビット値が “ 1 ” となる。なお、データ R S 2 S C は、初期値として “ 0 ” が設定されている。

【 0 2 2 7 】

乱数列変更レジスタ (R D S C) のビット番号 [5] に格納されるデータ R S 1 S C は、 8 ビット乱数 R S 1 の乱数列変更要求ビットを示している。図 3 3 (B) に示す例では、乱数列を変更しないに設定した場合には、データ R S 1 S C のビット値が “ 0 ” となる一方、乱数列を変更するに設定した場合には、そのビット値が “ 1 ” となる。なお、データ R S 1 S C は、初期値として “ 0 ” が設定されている。

【 0 2 2 8 】

乱数列変更レジスタ (R D S C) のビット番号 [4] に格納されるデータ R S 0 S C は、 8 ビット乱数 R S 0 の乱数列変更要求ビットを示している。図 3 3 (B) に示す例では、乱数列を変更しないに設定した場合には、データ R S 0 S C のビット値が “ 0 ” となる一方、乱数列を変更するに設定した場合には、そのビット値が “ 1 ” となる。なお、データ R S 0 S C は、初期値として “ 0 ” が設定されている。

【 0 2 2 9 】

乱数列変更レジスタ (R D S C) のビット番号 [3] に格納されるデータ R L 3 S C は、 1 6 ビット乱数 R L 3 の乱数列変更要求ビットを示している。図 3 3 (B) に示す例では、乱数列を変更しないに設定した場合には、データ R L 3 S C のビット値が “ 0 ” とな

10

20

30

40

50

る一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データR L 3 S Cは、初期値として“0”が設定されている。

【0230】

乱数列変更レジスタ（R D S C）のビット番号[2]に格納されるデータR L 2 S Cは、16ビット乱数R L 2の乱数列変更要求ビットを示している。図33（B）に示す例では、乱数列を変更しないに設定した場合には、データR L 2 S Cのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データR L 2 S Cは、初期値として“0”が設定されている。

【0231】

乱数列変更レジスタ（R D S C）のビット番号[1]に格納されるデータR L 1 S Cは、16ビット乱数R L 1の乱数列変更要求ビットを示している。図33（B）に示す例では、乱数列を変更しないに設定した場合には、データR L 1 S Cのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データR L 1 S Cは、初期値として“0”が設定されている。

10

【0232】

乱数列変更レジスタ（R D S C）のビット番号[0]に格納されるデータR L 0 S Cは、16ビット乱数R L 0の乱数列変更要求ビットを示している。図33（B）に示す例では、乱数列を変更しないに設定した場合には、データR L 0 S Cのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データR L 0 S Cは、初期値として“0”が設定されている。

20

【0233】

図34（A）は、乱数ソフトラッチレジスタ（R D S L）の構成例を示している。図34（B）は、乱数ソフトラッチレジスタ（R D S L）に格納されるデータの各ビットにおける設定内容の一例を示している。乱数ソフトラッチレジスタ（R D S L）のビット番号[7]に格納されるデータR S 3 S Lは、8ビット乱数R S 3の乱数値を、R S 3ソフトラッチ乱数値レジスタ（R S 3 S V）に取り込むためのビットを示している。図34（B）に示す例では、乱数値を取り込まないに設定した場合には、データR S 3 S Lのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データR S 3 S Lは、初期値として“0”が設定されている。

30

【0234】

乱数ソフトラッチレジスタ（R D S L）のビット番号[6]に格納されるデータR S 2 S Lは、8ビット乱数R S 2の乱数値を、R S 2ソフトラッチ乱数値レジスタ（R S 2 S V）に取り込むためのビットを示している。図34（B）に示す例では、乱数値を取り込まないに設定した場合には、データR S 2 S Lのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データR S 2 S Lは、初期値として“0”が設定されている。

【0235】

乱数ソフトラッチレジスタ（R D S L）のビット番号[5]に格納されるデータR S 1 S Lは、8ビット乱数R S 1の乱数値を、R S 1ソフトラッチ乱数値レジスタ（R S 1 S V）に取り込むためのビットを示している。図34（B）に示す例では、乱数値を取り込まないに設定した場合には、データR S 1 S Lのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データR S 1 S Lは、初期値として“0”が設定されている。

40

【0236】

乱数ソフトラッチレジスタ（R D S L）のビット番号[4]に格納されるデータR S 0 S Lは、8ビット乱数R S 0の乱数値を、R S 0ソフトラッチ乱数値レジスタ（R S 0 S V）に取り込むためのビットを示している。図34（B）に示す例では、乱数値を取り込まないに設定した場合には、データR S 0 S Lのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データR S 0 S Lは、初期値として“0”が設定されている。

50

【 0 2 3 7 】

乱数ソフトラッチレジスタ（R D S L）のビット番号[3]に格納されるデータR L 3 S Lは、16ビット乱数R L 3の乱数値を、R L 3ソフトラッチ乱数値レジスタ（R L 3 S V）に取り込むためのビットを示している。図34（B）に示す例では、乱数値を取り込まないに設定した場合には、データR L 3 S Lのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データR L 3 S Lは、初期値として“0”が設定されている。

【 0 2 3 8 】

乱数ソフトラッチレジスタ（R D S L）のビット番号[2]に格納されるデータR L 2 S Lは、16ビット乱数R L 2の乱数値を、R L 2ソフトラッチ乱数値レジスタ（R L 2 S V）に取り込むためのビットを示している。図34（B）に示す例では、乱数値を取り込まないに設定した場合には、データR L 2 S Lのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データR L 2 S Lは、初期値として“0”が設定されている。

10

【 0 2 3 9 】

乱数ソフトラッチレジスタ（R D S L）のビット番号[1]に格納されるデータR L 1 S Lは、16ビット乱数R L 1の乱数値を、R L 1ソフトラッチ乱数値レジスタ（R L 1 S V）に取り込むためのビットを示している。図34（B）に示す例では、乱数値を取り込まないに設定した場合には、データR L 1 S Lのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データR L 1 S Lは、初期値として“0”が設定されている。

20

【 0 2 4 0 】

乱数ソフトラッチレジスタ（R D S L）のビット番号[0]に格納されるデータR L 0 S Lは、16ビット乱数R L 0の乱数値を、R L 0ソフトラッチ乱数値レジスタ（R L 0 S V）に取り込むためのビットを示している。図34（B）に示す例では、乱数値を取り込まないに設定した場合には、データR L 0 S Lのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データR L 0 S Lは、初期値として“0”が設定されている。

【 0 2 4 1 】

図35（A）は、乱数ソフトラッチフラグレジスタ（R D S F）の構成例を示している。図35（B）は、乱数ソフトラッチフラグレジスタ（R D S F）に格納されるデータの各ビットにおける設定内容の一例を示している。乱数ソフトラッチフラグレジスタ（R D S F）のビット番号[7]に格納されるデータR S 3 S Fは、R S 3ソフトラッチ乱数値レジスタ（R S 3 S V）に、乱数値が取り込まれたことを示している。図35（B）に示す例では、乱数値が取り込まれていない場合には、データR S 3 S Fのビット値が“0”となる一方、乱数値を取り込み済みである場合には、そのビット値が“1”となる。なお、データR S 3 S Fは、初期値として“0”が設定されている。

30

【 0 2 4 2 】

乱数ソフトラッチフラグレジスタ（R D S F）のビット番号[6]に格納されるデータR S 2 S Fは、R S 2ソフトラッチ乱数値レジスタ（R S 2 S V）に、乱数値が取り込まれたことを示している。図35（B）に示す例では、乱数値が取り込まれていない場合には、データR S 2 S Fのビット値が“0”となる一方、乱数値を取り込み済みである場合には、そのビット値が“1”となる。なお、データR S 2 S Fは、初期値として“0”が設定されている。

40

【 0 2 4 3 】

乱数ソフトラッチフラグレジスタ（R D S F）のビット番号[5]に格納されるデータR S 1 S Fは、R S 1ソフトラッチ乱数値レジスタ（R S 1 S V）に、乱数値が取り込まれたことを示している。図35（B）に示す例では、乱数値が取り込まれていない場合には、データR S 1 S Fのビット値が“0”となる一方、乱数値を取り込み済みである場合には、そのビット値が“1”となる。なお、データR S 1 S Fは、初期値として“0”が

50

設定されている。

【0244】

乱数ソフトラッチフラグレジスタ（RDSF）のビット番号[4]に格納されるデータRSOSFは、RS0ソフトラッチ乱数値レジスタ（RSOSV）に、乱数値が取り込まれたことを示している。図35（B）に示す例では、乱数値が取り込まれていない場合には、データRSOSFのビット値が“0”となる一方、乱数値を取り込み済みである場合には、そのビット値が“1”となる。なお、データRSOSFは、初期値として“0”が設定されている。

【0245】

乱数ソフトラッチフラグレジスタ（RDSF）のビット番号[3]に格納されるデータRL3SFは、RL3ソフトラッチ乱数値レジスタ（RL3SV）に、乱数値が取り込まれたことを示している。図35（B）に示す例では、乱数値が取り込まれていない場合には、データRL3SFのビット値が“0”となる一方、乱数値を取り込み済みである場合には、そのビット値が“1”となる。なお、データRL3SFは、初期値として“0”が設定されている。

10

【0246】

乱数ソフトラッチフラグレジスタ（RDSF）のビット番号[2]に格納されるデータRL2SFは、RL2ソフトラッチ乱数値レジスタ（RL2SV）に、乱数値が取り込まれたことを示している。図35（B）に示す例では、乱数値が取り込まれていない場合には、データRL2SFのビット値が“0”となる一方、乱数値を取り込み済みである場合には、そのビット値が“1”となる。なお、データRL2SFは、初期値として“0”が設定されている。

20

【0247】

乱数ソフトラッチフラグレジスタ（RDSF）のビット番号[1]に格納されるデータRL1SFは、RL1ソフトラッチ乱数値レジスタ（RL1SV）に、乱数値が取り込まれたことを示している。図35（B）に示す例では、乱数値が取り込まれていない場合には、データRL1SFのビット値が“0”となる一方、乱数値を取り込み済みである場合には、そのビット値が“1”となる。なお、データRL1SFは、初期値として“0”が設定されている。

【0248】

30

乱数ソフトラッチフラグレジスタ（RDSF）のビット番号[0]に格納されるデータRL0SFは、RL0ソフトラッチ乱数値レジスタ（RL0SV）に、乱数値が取り込まれたことを示している。図35（B）に示す例では、乱数値が取り込まれていない場合には、データRL0SFのビット値が“0”となる一方、乱数値を取り込み済みである場合には、そのビット値が“1”となる。なお、データRL0SFは、初期値として“0”が設定されている。

【0249】

図36（A）は、RLnソフトラッチ乱数値レジスタ（RLnSV）の構成例を示している。図36（B）は、RLnソフトラッチ乱数値レジスタ（RLnSV）に格納されるデータの各ビットにおける格納内容の一例を示している。なお、図36において、nは0～3の値をとる。図36（B）に示すように、RLnソフトラッチ乱数値レジスタ（RLnSV）のビット番号[15～0]に格納されるデータRLnSV15～RLnSV0は、乱数ソフトラッチレジスタ（RDSL）により取り込まれた16ビット乱数RLnの値が格納される。なお、乱数値が取り込まれると、乱数ソフトラッチフラグレジスタ（RDSF）の該当するビットに“1”がセットされる。

40

【0250】

図37（A）は、RSnソフトラッチ乱数値レジスタ（RSnSV）の構成例を示している。図37（B）は、RSnソフトラッチ乱数値レジスタ（RSnSV）に格納されるデータの各ビットにおける格納内容の一例を示している。なお、図37において、nは0～3の値をとる。図37（B）に示すように、RSnソフトラッチ乱数値レジスタ（RS

50

nSV) のビット番号 [7 - 0] に格納されるデータ $RSnSV7 \sim RSnSV0$ は、乱数ソフトラッチレジスタ (RDSL) により取り込まれた 8 ビット乱数 RSn の値が格納される。なお、乱数値が取り込まれると、乱数ソフトラッチフラグレジスタ (RDSF) の該当するビットに "1" がセットされる。

【0251】

図38(A)は、RLハードラッチフラグレジスタ0 (RLHFO) の構成例を示している。図38(B)は、RLハードラッチフラグレジスタ0 (RLHFO) に格納されるデータの各ビットにおける設定内容の一例を示している。なお、RLハードラッチフラグレジスタ0 (RLHFO) のビット [7 - 6] のビット値は必ず "0" とされる。

【0252】

RLハードラッチフラグレジスタ0 (RLHFO) のビット番号 [5] に格納されるデータ $RL11HF$ は、RL1ハードラッチ乱数値レジスタ1に、乱数値が取り込まれたことを示している。図38(B)に示す例では、乱数値が取り込まれていない場合には、データ $RL11HF$ のビット値が "0" となる一方、乱数値を取り込み済みである場合には、そのビット値が "1" となる。なお、データ $RL11HF$ は、初期値として "0" が設定されている。

【0253】

RLハードラッチフラグレジスタ0 (RLHFO) のビット番号 [4] に格納されるデータ $RL10HF$ は、RL1ハードラッチ乱数値レジスタ0に、乱数値が取り込まれたことを示している。図38(B)に示す例では、乱数値が取り込まれていない場合には、データ $RL10HF$ のビット値が "0" となる一方、乱数値を取り込み済みである場合には、そのビット値が "1" となる。なお、データ $RL10HF$ は、初期値として "0" が設定されている。

【0254】

RLハードラッチフラグレジスタ0 (RLHFO) のビット番号 [3] に格納されるデータ $RL03HF$ は、RL0ハードラッチ乱数値レジスタ3に、乱数値が取り込まれたことを示している。図38(B)に示す例では、乱数値が取り込まれていない場合には、データ $RL03HF$ のビット値が "0" となる一方、乱数値を取り込み済みである場合には、そのビット値が "1" となる。なお、データ $RL03HF$ は、初期値として "0" が設定されている。

【0255】

RLハードラッチフラグレジスタ0 (RLHFO) のビット番号 [2] に格納されるデータ $RL02HF$ は、RL0ハードラッチ乱数値レジスタ2に、乱数値が取り込まれたことを示している。図38(B)に示す例では、乱数値が取り込まれていない場合には、データ $RL02HF$ のビット値が "0" となる一方、乱数値を取り込み済みである場合には、そのビット値が "1" となる。なお、データ $RL02HF$ は、初期値として "0" が設定されている。

【0256】

RLハードラッチフラグレジスタ0 (RLHFO) のビット番号 [1] に格納されるデータ $RL01HF$ は、RL0ハードラッチ乱数値レジスタ1に、乱数値が取り込まれたことを示している。図38(B)に示す例では、乱数値が取り込まれていない場合には、データ $RL01HF$ のビット値が "0" となる一方、乱数値を取り込み済みである場合には、そのビット値が "1" となる。なお、データ $RL01HF$ は、初期値として "0" が設定されている。

【0257】

RLハードラッチフラグレジスタ0 (RLHFO) のビット番号 [0] に格納されるデータ $RL00HF$ は、RL0ハードラッチ乱数値レジスタ0に、乱数値が取り込まれたことを示している。図38(B)に示す例では、乱数値が取り込まれていない場合には、データ $RL00HF$ のビット値が "0" となる一方、乱数値を取り込み済みである場合には、そのビット値が "1" となる。なお、データ $RL00HF$ は、初期値として "0" が設

10

20

30

40

50

定されている。

【0258】

図39(A)は、RLハードラッチフラグレジスタ1(RLHF1)の構成例を示している。図39(B)は、RLハードラッチフラグレジスタ1(RLHF1)に格納されるデータの各ビットにおける設定内容の一例を示している。なお、RLハードラッチフラグレジスタ1(RLHF1)のビット[7-6]およびビット[3-2]のビット値は必ず”0”とされる。

【0259】

RLハードラッチフラグレジスタ1(RLHF1)のビット番号[5]に格納されるデータRL31HFは、RL3ハードラッチ乱数値レジスタ1に、乱数値が取り込まれたことを示している。図39(B)に示す例では、乱数値が取り込まれていない場合には、データRL31HFのビット値が”0”となる一方、乱数値を取り込み済みである場合には、そのビット値が”1”となる。なお、データRL31HFは、初期値として”0”が設定されている。

10

【0260】

RLハードラッチフラグレジスタ1(RLHF1)のビット番号[4]に格納されるデータRL30HFは、RL3ハードラッチ乱数値レジスタ0に、乱数値が取り込まれたことを示している。図39(B)に示す例では、乱数値が取り込まれていない場合には、データRL30HFのビット値が”0”となる一方、乱数値を取り込み済みである場合には、そのビット値が”1”となる。なお、データRL30HFは、初期値として”0”が設定されている。

20

【0261】

RLハードラッチフラグレジスタ1(RLHF1)のビット番号[1]に格納されるデータRL21HFは、RL2ハードラッチ乱数値レジスタ1に、乱数値が取り込まれたことを示している。図39(B)に示す例では、乱数値が取り込まれていない場合には、データRL21HFのビット値が”0”となる一方、乱数値を取り込み済みである場合には、そのビット値が”1”となる。なお、データRL21HFは、初期値として”0”が設定されている。

【0262】

RLハードラッチフラグレジスタ1(RLHF1)のビット番号[1]に格納されるデータRL20HFは、RL2ハードラッチ乱数値レジスタ0に、乱数値が取り込まれたことを示している。図39(B)に示す例では、乱数値が取り込まれていない場合には、データRL20HFのビット値が”0”となる一方、乱数値を取り込み済みである場合には、そのビット値が”1”となる。なお、データRL20HFは、初期値として”0”が設定されている。

30

【0263】

図40(A)は、RSハードラッチフラグレジスタ(RSHF)の構成例を示している。図40(B)は、RSハードラッチフラグレジスタ(RSHF)に格納されるデータの各ビットにおける設定内容の一例を示している。なお、RSハードラッチフラグレジスタ(RSHF)は、8ビット乱数回路508aとフリーランカウンタ回路507とで兼用で用いられるレジスタであり、RSハードラッチフラグレジスタ(RSHF)のビット[7-4]は、フリーランカウンタ507が用いるハードラッチレジスタ(FRC0ハードラッチレジスタ(FR0HV)～FRC3ハードラッチレジスタ(FR3HV))に関する設定を示している。

40

【0264】

RSハードラッチフラグレジスタ(RSHF)のビット番号[3]に格納されるデータRS3HFは、RS3ハードラッチ乱数値レジスタ(RS3HV)に、乱数値が取り込まれたことを示している。図40(B)に示す例では、乱数値が取り込まれていない場合には、データRS3HFのビット値が”0”となる一方、乱数値を取り込み済みである場合には、そのビット値が”1”となる。なお、データRS3HFは、初期値として”0”が

50

設定されている。

【0265】

R S ハードラッチフラグレジスタ (R S H F) のビット番号 [2] に格納されるデータ R S 2 H F は、R S 2 ハードラッチ乱数値レジスタ (R S 2 H V) に、乱数値が取り込まれたことを示している。図 4 0 (B) に示す例では、乱数値が取り込まれていない場合には、データ R S 2 H F のビット値が “0” となる一方、乱数値を取り込み済みである場合には、そのビット値が “1” となる。なお、データ R S 2 H F は、初期値として “0” が設定されている。

【0266】

R S ハードラッチフラグレジスタ (R S H F) のビット番号 [1] に格納されるデータ R S 1 H F は、R S 1 ハードラッチ乱数値レジスタ (R S 1 H V) に、乱数値が取り込まれたことを示している。図 4 0 (B) に示す例では、乱数値が取り込まれていない場合には、データ R S 1 H F のビット値が “0” となる一方、乱数値を取り込み済みである場合には、そのビット値が “1” となる。なお、データ R S 1 H F は、初期値として “0” が設定されている。

【0267】

R S ハードラッチフラグレジスタ (R S H F) のビット番号 [0] に格納されるデータ R S 0 H F は、R S 0 ハードラッチ乱数値レジスタ (R S 0 H V) に、乱数値が取り込まれたことを示している。図 4 0 (B) に示す例では、乱数値が取り込まれていない場合には、データ R S 0 H F のビット値が “0” となる一方、乱数値を取り込み済みである場合には、そのビット値が “1” となる。なお、データ R S 0 H F は、初期値として “0” が設定されている。

【0268】

図 4 1 (A) は、R L 0 ハードラッチ乱数値レジスタ m (R L 0 m H V) の構成例を示している。図 4 1 (B) は、R L 0 ハードラッチ乱数値レジスタ m (R L 0 m H V) に格納されるデータの各ビットにおける格納内容の一例を示している。なお、図 4 1において、m は 0 ~ 3 の値をとる。図 4 1 (B) に示すように、R L 0 ハードラッチ乱数値レジスタ m (R L 0 m H V) のビット番号 [15 - 0] に格納されるデータ R L 0 m H V 15 ~ R L 0 m H V 0 は、外部端子入力により取り込まれた 16 ビット乱数 R L 0 の値が格納される。なお、乱数値が取り込まれると、R L ハードラッチフラグレジスタ 0 (R L H F 0) の該当するビットに “1” がセットされる。

【0269】

図 4 2 (A) は、R L 1 ハードラッチ乱数値レジスタ m (R L 1 m H V) の構成例を示している。図 4 2 (B) は、R L 1 ハードラッチ乱数値レジスタ m (R L 1 m H V) に格納されるデータの各ビットにおける格納内容の一例を示している。なお、図 4 2において、m は 0 ~ 3 の値をとる。図 4 2 (B) に示すように、R L 1 ハードラッチ乱数値レジスタ m (R L 1 m H V) のビット番号 [15 - 0] に格納されるデータ R L 1 m H V 15 ~ R L 1 m H V 0 は、外部端子入力により取り込まれた 16 ビット乱数 R L 1 の値が格納される。なお、乱数値が取り込まれると、R L ハードラッチフラグレジスタ 0 (R L H F 0) の該当するビットに “1” がセットされる。

【0270】

図 4 3 (A) は、R L 2 ハードラッチ乱数値レジスタ m (R L 2 m H V) の構成例を示している。図 4 3 (B) は、R L 2 ハードラッチ乱数値レジスタ m (R L 2 m H V) に格納されるデータの各ビットにおける格納内容の一例を示している。なお、図 4 3において、m は 0 ~ 3 の値をとる。図 4 3 (B) に示すように、R L 2 ハードラッチ乱数値レジスタ m (R L 2 m H V) のビット番号 [15 - 0] に格納されるデータ R L 2 m H V 15 ~ R L 2 m H V 0 は、外部端子入力により取り込まれた 16 ビット乱数 R L 2 の値が格納される。なお、乱数値が取り込まれると、R L ハードラッチフラグレジスタ 1 (R L H F 1) の該当するビットに “1” がセットされる。

【0271】

10

20

30

40

50

図44(A)は、RL3ハードラッチ乱数値レジスタm(RL3mHV)の構成例を示している。図44(B)は、RL3ハードラッチ乱数値レジスタm(RL3mHV)に格納されるデータの各ビットにおける格納内容の一例を示している。なお、図44において、mは0~3の値をとる。図44(B)に示すように、RL3ハードラッチ乱数値レジスタm(RL3mHV)のビット番号[15~0]に格納されるデータRL3mHV15~RL3mHV0は、外部端子入力により取り込まれた16ビット乱数RL3の値が格納される。なお、乱数値が取り込まれると、RLハードラッチフラグレジスタ1(RLHF1)の該当するビットに”1”がセットされる。

【0272】

図45(A)は、RSnハードラッチ乱数値レジスタ(RSnHV)の構成例を示している。図45(B)は、RSnハードラッチ乱数値レジスタ(RSnHV)に格納されるデータの各ビットにおける格納内容の一例を示している。なお、図45において、nは0~3の値をとる。図45(B)に示すように、RSnハードラッチ乱数値レジスタ(RLnHV)のビット番号[7~0]に格納されるデータRSnHV7~RSnHV0は、外部端子入力により取り込まれた8ビット乱数RSnの値が格納される。なお、乱数値が取り込まれると、RSハードラッチフラグレジスタ(RSHF)の該当するビットに”1”がセットされる。

【0273】

図4に示す遊技制御用マイクロコンピュータ560が備えるタイマ回路509は、8ビットプログラマブルタイマであり、遊技制御用マイクロコンピュータ560は、タイマ回路509として、8ビットのカウンタを3チャネル備える。この実施の形態では、タイマ回路509を用いてユーザプログラムによる設定により、リアルタイム割り込み要求や時間計測を行うことが可能である。

【0274】

図4に示す遊技制御用マイクロコンピュータ560が備える割り込みコントローラ510は、PI5/XINT端子からの外部割り込み要求や、内蔵の周辺回路(例えば、シリアル通信回路512、乱数回路508a, 508b、タイマ回路509)からの割り込み要求を制御する回路である。

【0275】

図4に示す遊技制御用マイクロコンピュータ560が備えるパラレル入力ポート511は、8ビット幅の入力専用ポート(PIP)を内蔵する。また、図4に示す遊技制御用マイクロコンピュータ560が備えるパラレル出力ポート513は、11ビット幅の出力専用ポート(POP)を内蔵する。

【0276】

図4に示す遊技制御用マイクロコンピュータ560が備えるシリアル通信回路512は、外部に対する入出力において非同期シリアル通信を行う回路である。なお、遊技制御用マイクロコンピュータ560は、シリアル通信回路512として、送受信両用の1チャネルの回路と、送信用のみの3チャネルの回路とを備える。なお、例えば、送受信両用の回路については、例えば、双方向の通信が必要となる遊技制御用マイクロコンピュータ560と派出制御基板37が搭載する派出制御用マイクロコンピュータとの間の通信に用いるようにし、送信用のみの回路については、例えば、一方向の通信でよい遊技制御用マイクロコンピュータ560から演出制御用マイクロコンピュータ100に対する通信に用いるようにする。

【0277】

図4に示す遊技制御用マイクロコンピュータ560が備えるアドレスデコード回路514は、遊技制御用マイクロコンピュータ560の内部における各機能ブロックのデコードや、外部装置用のデコード信号であるチップセレクト信号のデコードを行うための回路である。チップセレクト信号により、遊技制御用マイクロコンピュータ560の内部回路、あるいは、周辺デバイスとなる外部装置を、選択的に有効動作させて、CPU56からのアクセスが可能となる。

10

20

30

40

50

【0278】

次に、遊技機の動作について説明する。まず、この実施の形態では、既に説明したように、ウォッチドッグタイマ(WDT)506bからのタイムアウト信号やIAT回路506aからのIAT信号が発生したときに、ユーザリセットを発生させるかシステムリセットを発生させるかを可能である(図12参照)。図46は、リセット設定(KRES)での設定内容によるリセット動作の違いを説明するための説明図である。

【0279】

まず、図46(A)を用いてウォッチドッグタイマ(WDT)506bからのタイムアウト信号やIAT回路506aからのIAT信号が発生したときにシステムリセットを発生させるように設定した場合について説明する。この場合、図46(A)に示すように、遊技機に対して電源が投入され電力供給が開始されると、遊技制御用マイクロコンピュータ56は、CPUコアを含む全ての内部回路を初期化するとともに、プログラム管理エリアの設定内容に従って、内部リセット動作の設定や乱数回路508a, 508bの設定など遊技制御用マイクロコンピュータ560の各種設定をハードウェア的に行う(ステップS1001)。具体的には、プログラム管理エリアの図12に示すリセット設定(KRES)の設定内容に従って内部リセットの動作の設定を行ったり、プログラム管理エリアの図13～図17に示す16ビット乱数初期設定1(KRL1)～8ビット乱数初期設定2(KRS2)の設定内容に従って乱数回路508a, 508bの設定を行ったりする。なお、図46(A)に示す例では、遊技制御用マイクロコンピュータ56は、プログラム管理エリアの設定内容に従って、内部リセット動作の設定としてシステムリセットを設定する。また、プログラム管理エリアの設定内容は予め遊技機の製作時に遊技機製造メーカー(ユーザ)によって設定されているものとする。

10

20

【0280】

遊技制御用マイクロコンピュータ560の各種設定を完了すると、遊技制御用マイクロコンピュータ56は、セキュリティモードに移行し、セキュリティチェックを実行する(ステップS1002)。ステップS1002で実行するセキュリティチェックでは、ユーザプログラムの認証を行う。具体的には、ユーザプログラムをもとに計算された認証コードが正しいか否か再計算を行う。そして、認証コードが正しければ、ステップS1003に移行し、認証コードが正しくなければ、CPU56を停止する。なお、セキュリティモードに移行されるセキュリティモード時間は、既に説明したように、プログラム管理エリアの図18に示すセキュリティ時間設定(KSES)の設定内容に従って可変とされている。具体的には、プログラム管理エリアの図18に示すセキュリティ時間設定(KSES)の設定内容に従ってステップS1001の設定が行われることによりセキュリティモード時間が設定される。なお、認証コードは、予め遊技機の製作時の内蔵ROM54への書き込み時に遊技機製造メーカー(ユーザ)によってユーザプログラムとともに書き込まれているものとする。

30

【0281】

そして、セキュリティチェックを終了すると、遊技制御用マイクロコンピュータ560は、ユーザモードに移行し、ユーザプログラムの実行を開始する。具体的には、後述する図48のメイン処理の実行を開始する。

40

【0282】

次いで、ユーザプログラムが実行されているときに(具体的には、後述する図48のメイン処理内のループ処理や図49のタイマ割込処理の実行中に)、ウォッチドッグタイマ(WDT)506bからのタイムアウト信号やIAT回路506aからのIAT信号が発生したものとする。図46(A)に示す例では、ステップS1001で内部リセット動作の設定としてシステムリセットが設定されていることから、タイムアウト信号やIAT信号の発生にもとづいてシステムリセットが発生する。

【0283】

そして、ステップS1001と同様に、遊技制御用マイクロコンピュータ56は、CPUコアを含む全ての内部回路を初期化するとともに、プログラム管理エリアの設定内容に

50

従って、内部リセット動作の設定や乱数回路 508a, 508b の設定など遊技制御用マイクロコンピュータ 560 の各種設定をハードウェア的に行う（ステップ S1005）。また、遊技制御用マイクロコンピュータ 560 の各種設定を完了すると、ステップ S1002 と同様に、遊技制御用マイクロコンピュータ 56 は、セキュリティモードに移行し、セキュリティチェックを実行する（ステップ S1006）。

【0284】

そして、セキュリティチェックを終了すると、ステップ S1003 と同様に、遊技制御用マイクロコンピュータ 560 は、ユーザモードに移行し、ユーザプログラムの実行を開始する。具体的には、後述する図 48 のメイン処理の実行を再び開始する。

【0285】

以降、ウォッチドッグタイマ（WDT）506b からのタイムアウト信号や IAT 回路 506a からの IAT 信号が発生するごとに、ステップ S1004 ~ S1007 の動作が実行される。なお、図 46 (A)において、ステップ S1001, S1002 の具体的な処理内容とステップ S1005, S1006 の具体的な処理内容とは同じである。

【0286】

次に、図 46 (B) を用いてウォッチドッグタイマ（WDT）506b からのタイムアウト信号や IAT 回路 506a からの IAT 信号が発生したときにユーザリセットを発生させるように設定した場合について説明する。この場合、図 46 (B) に示すように、遊技機に対して電源が投入され電力供給が開始されると、遊技制御用マイクロコンピュータ 56 は、CPU コアを含む全ての内部回路を初期化するとともに、プログラム管理エリアの設定内容に従って、内部リセット動作の設定や乱数回路 508a, 508b の設定など遊技制御用マイクロコンピュータ 560 の各種設定をハードウェア的に行う（ステップ S1011）。具体的には、プログラム管理エリアの図 12 に示すリセット設定（KRES）の設定内容に従って内部リセットの動作の設定を行ったり、プログラム管理エリアの図 13 ~ 図 17 に示す 16 ビット乱数初期設定 1 (KRL1) ~ 8 ビット乱数初期設定 2 (KRS2) の設定内容に従って乱数回路 508a, 508b の設定を行ったりする。なお、図 46 (B) に示す例では、遊技制御用マイクロコンピュータ 56 は、プログラム管理エリアの設定内容に従って、内部リセット動作の設定としてユーザリセットを設定する。また、プログラム管理エリアの設定内容は予め遊技機の製作時に遊技機製造メーカー（ユーザ）によって設定されているものとする。

【0287】

遊技制御用マイクロコンピュータ 560 の各種設定を完了すると、遊技制御用マイクロコンピュータ 56 は、セキュリティモードに移行し、セキュリティチェックを実行する（ステップ S1012）。ステップ S1012 で実行するセキュリティチェックでは、ユーザプログラムの認証を行う。具体的には、ユーザプログラムをもとに計算された認証コードが正しいか否か再計算を行う。そして、認証コードが正しければ、ステップ S1013 に移行し、認証コードが正しくなければ、CPU 56 を停止する。なお、セキュリティモードに移行されるセキュリティモード時間は、既に説明したように、プログラム管理エリアの図 18 に示すセキュリティ時間設定（KSES）の設定内容に従って可変とされている。具体的には、プログラム管理エリアの図 18 に示すセキュリティ時間設定（KSES）の設定内容に従ってステップ S1011 の設定が行われることによりセキュリティモード時間が設定される。なお、認証コードは、予め遊技機の製作時の内蔵 ROM 54 への書き込み時に遊技機製造メーカー（ユーザ）によってユーザプログラムとともに書き込まれているものとする。

【0288】

そして、セキュリティチェックを終了すると、遊技制御用マイクロコンピュータ 560 は、ユーザモードに移行し、ユーザプログラムの実行を開始する。具体的には、後述する図 48 のメイン処理の実行を開始する。

【0289】

次いで、ユーザプログラムが実行されているときに（具体的には、後述する図 48 のメ

10

20

30

40

50

イン処理内のループ処理や図49のタイマ割込処理の実行中に)、ウォッチドッグタイマ(WDT)506bからのタイムアウト信号やIAT回路506aからのIAT信号が発生したものとする。図46(B)に示す例では、ステップS1011で内部リセット動作の設定としてユーザリセットが設定されていることから、タイムアウト信号やIAT信号の発生にもとづいてユーザリセットが発生する。

【0290】

ユーザリセットが発生した場合には、ステップS1011の遊技制御用マイクロコンピュータ560の各種設定やステップS1012のセキュリティチェックは実行されず、遊技制御用マイクロコンピュータ560の内部回路のうち、CPUコア、タイマ回路509、フリーランカウンタ回路507、演算回路505、パラレル入力ポート511、パラレル出力ポート513、シリアル通信回路512、および割り込みコントローラ510などを初期化する。そして、そのままユーザプログラムの先頭のアドレスに戻り、ユーザプログラムの実行が先頭のアドレスから再び開始される(ステップS1015)。具体的には、後述する図48のメイン処理の実行を再び開始する。

【0291】

以降、ウォッチドッグタイマ(WDT)506bからのタイムアウト信号やIAT回路506aからのIAT信号が発生するごとに、ステップS1014～S1015の動作が実行される。

【0292】

また、この実施の形態では、遊技制御用マイクロコンピュータ560は、ユーザプログラムの実行中に内蔵RAM領域に格納されているデータを読み出す場合、そのデータが格納されている内蔵RAM領域の上位および下位全てのアドレスを指定するのではなく、アドレスの下位のみを指定してデータを読み出すことが可能である。図47は、内蔵RAM領域に格納されているデータの読み出し方の例を示す説明図である。この実施の形態では、ユーザプログラムで参照されるデータは、内蔵RAM領域のうちのF000H～F0FFH領域に格納されるものとし、データ格納領域のアドレスの上位が必ずF0Hとなるものとする。また、遊技制御用マイクロコンピュータ560は、データ格納領域の上位アドレスを固定値として格納しておくための専用のレジスタ(Qレジスタ)を備え、Qレジスタには固定値F0Hが設定されるものとする。

【0293】

図47に示す例では、内蔵RAM領域のアドレスF020Hに格納されているデータを読み出す場合が示されている。この場合、Qレジスタを用いてデータを読み出すためのコマンドLDQを用いて、下位アドレス20Hのみを指定して、データの読み出し動作を行う(具体的には、LDQ A,(20H)を実行する)。すると、CPU56は、データ格納領域の上位アドレスをQレジスタに設定されている固定値からF0Hと特定するとともに、LDQ命令で指定された下位アドレス20Hを特定し、上位および下位を合わせたデータ格納領域のアドレスがF020Hであると特定する。そして、CPU56は、特定したF020Hに対応するデータ格納領域に格納されているデータaを読み出し、レジスタAに格納する。

【0294】

なお、Qレジスタの値は、システムリセット時にハードウェア的に初期化されて初期値F0Hに自動設定されるものとする。例えば、遊技機に対して電源が投入され電力供給が開始されたときに、Qレジスタの下位4ビットは0に初期化されるとともに、上位4ビットは反転回路で反転されて全て値1となることによって、Qレジスタの初期値としてF0Hが自動設定される。なお、後述するように、この実施の形態では、ユーザプログラムの実行が開始されたときにも、ユーザプログラムによりQレジスタに初期値F0Hを設定する処理が実行される(後述するステップS5A参照)。

【0295】

なお、Qレジスタの初期値設定は、遊技機に対して電源が投入され電力供給が開始されたときに行うハードウェア的な自動設定のみでもよいし、ユーザプログラムの開始時に実

10

20

30

40

50

行されるユーザプログラムによる設定のみでもよい。

【0296】

次に、システムチェックを実行した後、ユーザモードに移行した後にユーザプログラムに従って実行される処理を説明する。ユーザモードに移行すると、遊技制御用マイクロコンピュータ560は、メイン処理の実行を開始する。

【0297】

図48は、主基板31における遊技制御用マイクロコンピュータ560が実行するメイン処理を示すフローチャートである。メイン処理において、CPU56は、まず、必要な初期設定を行う。初期設定処理において、CPU56は、まず、割込禁止に設定する(ステップS1)。次に、割込モードの設定を行い(ステップS2)、スタックポインタにスタックポインタ指定アドレスを設定する(ステップS3)。そして、内蔵デバイスの初期化(内蔵デバイス(内蔵周辺回路)であるタイマ回路509、パラレル入力ポート511およびパラレル出力ポート513の初期化など)を行った後(ステップS4)、RAMをアクセス可能状態に設定する(ステップS5)。

10

【0298】

次いで、CPU56は、Qレジスタに初期値F0Hをセットする(ステップS5A)。すなわち、ステップS5が実行されてRAM55をアクセス可能状態に設定したタイミングで、Qレジスタに初期値F0Hがセットされる。

【0299】

次いで、CPU56は、入力ポートを介して入力されるクリアスイッチ(例えば、電源基板に搭載されている。)の出力信号(クリア信号)の状態を確認する(ステップS6)。その確認においてオンを検出した場合には、CPU56は、通常の初期化処理(ステップS10~S15)を実行する。

20

【0300】

クリアスイッチがオンの状態でない場合には、遊技機への電力供給が停止したときにバックアップRAM領域のデータ保護処理(例えばパリティデータの付加等の電力供給停止時処理(電源断処理))が行われたか否か確認する(ステップS7)。そのような保護処理が行われていないことを確認したら、CPU56は初期化処理を実行する。バックアップRAM領域にバックアップデータがあるか否かは、例えば、電源断処理においてバックアップRAM領域に設定されるバックアップ監視タイマの値が判定値(例えば2)と同じ値になっていることによって、電力供給停止時処理の処理結果が保存されていることを確認できる。なお、バックアップ監視タイマに代えて、例えば、電源断処理においてバックアップフラグをセットするようにし、ステップS7では、バックアップフラグがセットされているか否かを確認するようにしてもよい。

30

【0301】

電力供給停止時処理が行われたことを確認したら、CPU56は、バックアップRAM領域のデータチェックを行う(ステップS8)。この実施の形態では、データチェックとしてパリティチェックを行う。よって、ステップS8では、算出したチェックサムと、電力供給停止時処理で同一の処理によって算出され保存されているチェックサムとを比較する。不測の停電等の電力供給停止が生じた後に復旧した場合には、バックアップRAM領域のデータは保存されているはずであるから、チェック結果(比較結果)は正常(一致)になる。チェック結果が正常でないということは、バックアップRAM領域のデータが、電力供給停止時のデータとは異なっていることを意味する。そのような場合には、内部状態を電力供給停止時の状態に戻すことができないので、電力供給の停止からの復旧時でない電源投入時に実行される初期化処理を実行する。

40

【0302】

チェック結果が正常であれば、CPU56は、遊技制御手段の内部状態と演出制御手段等の電気部品制御手段の制御状態を電力供給停止時の状態に戻すための遊技状態復旧処理(ステップS41~S43の処理)を行う。具体的には、ROM54に格納されているバックアップ時設定テーブルの先頭アドレスをポインタに設定し(ステップS41)、バッ

50

クアップ時設定テーブルの内容を順次作業領域（RAM55内の領域）に設定する（ステップS42）。作業領域はバックアップ電源によって電源バックアップされている。バックアップ時設定テーブルには、作業領域のうち初期化してもよい領域についての初期化データが設定されている。ステップS41およびS42の処理によって、作業領域のうち初期化してはならない部分については、保存されていた内容がそのまま残る。初期化してはならない部分とは、例えば、電力供給停止前の遊技状態を示すデータ（特別図柄プロセスフラグ、確変フラグ、時短フラグなど）、出力ポートの出力状態が保存されている領域（出力ポートバッファ）、未払賞球数を示すデータが設定されている部分などである。

【0303】

また、CPU56は、電力供給復旧時の初期化コマンドとしての停電復旧指定コマンドを送信する（ステップS43）。また、CPU56は、バックアップRAMに保存されている表示結果（確変大当たり、通常大当たり、突然確変大当たり、小当たり、またははずれ）を指定した表示結果指定コマンドを演出制御基板80に対して送信する（ステップS44）。そして、ステップS14Aに移行する。

【0304】

なお、この実施の形態では、バックアップRAM領域には、後述する変動時間タイマの値も保存される。従って、停電復旧した場合には、ステップS44で表示結果指定コマンドが送信された後、保存していた変動時間タイマの値の計測を再開して特別図柄の変動表示が再開されるとともに、保存していた変動時間タイマの値がタイムアウトしたときに、さらに後述する図柄確定指定コマンドが送信される。また、この実施の形態では、バックアップRAM領域には、後述する特別図柄プロセスフラグの値も保存される。従って、停電復旧した場合には、保存されている特別図柄プロセスフラグの値に応じたプロセスから特別図柄プロセス処理が再開される。

【0305】

なお、停電復旧時に必ず表示結果指定コマンドを送信するのではなく、CPU56は、まず、バックアップRAM領域に保存している変動時間タイマの値が0であるか否かを確認するようにしてもよい。そして、変動時間タイマの値が0でなければ、変動中に停電した場合であると判断して、表示結果指定コマンドを送信するようにし、変動時間タイマが0であれば、停電時に変動中の状態ではなかったと判断して、表示結果指定コマンドを送信しないようにしてもよい。

【0306】

また、CPU56は、まず、バックアップRAM領域に保存している特別図柄プロセスフラグの値が3であるか否かを確認するようにしてもよい。そして、特別図柄プロセスフラグの値が3であれば、変動中に停電した場合であると判断して、表示結果指定コマンドを送信するようにし、特別図柄プロセスフラグが3でなければ、停電時に変動中ではなかったと判断して、表示結果指定コマンドを送信しないようにしてもよい。

【0307】

なお、この実施の形態では、バックアップ監視タイマ（または、バックアップフラグ）とチェックデータとの双方を用いてバックアップRAM領域のデータが保存されているか否か確認しているが、いずれか一方のみを用いてもよい。すなわち、バックアップ監視タイマ（または、バックアップフラグ）とチェックデータとのいずれかを、遊技状態復旧処理を実行するための契機としてもよい。

【0308】

初期化処理では、CPU56は、まず、RAMクリア処理を行う（ステップS10）。なお、RAMクリア処理によって、所定のデータ（例えば、普通図柄当たり判定用乱数を生成するためのカウンタのカウント値のデータ）は0に初期化されるが、任意の値またはあらかじめ決められている値に初期化するようにしてもよい。また、RAM55の全領域を初期化せず、所定のデータ（例えば、普通図柄当たり判定用乱数を生成するためのカウンタのカウント値のデータ）をそのままにしてもよい。また、ROM54に格納されている初期化時設定テーブルの先頭アドレスをポインタに設定し（ステップS11）、初期化時設

10

20

30

40

50

定テーブルの内容を順次作業領域に設定する（ステップS12）。

【0309】

ステップS11およびS12の処理によって、例えば、普通図柄当たり判定用乱数カウンタ、特別図柄バッファ、総賞球数格納バッファ、特別図柄プロセスフラグなど制御状態に応じて選択的に処理を行うためのフラグに初期値が設定される。

【0310】

また、CPU56は、サブ基板（主基板31以外のマイクロコンピュータが搭載された基板。）を初期化するための初期化指定コマンド（遊技制御用マイクロコンピュータ560が初期化処理を実行したことを示すコマンドでもある。）をサブ基板に送信する（ステップS13）。例えば、演出制御用マイクロコンピュータ100は、初期化指定コマンドを受信すると、演出表示装置9において、遊技機の制御の初期化がなされたことを報知する画面表示、すなわち初期化報知を行う。10

【0311】

そして、ステップS15において、CPU56は、所定時間（例えば4ms）毎に定期的にタイマ割込がかかるように遊技制御用マイクロコンピュータ560に内蔵されているタイマ回路509のレジスタの設定を行なう。すなわち、初期値として例えば4msに相当する値が所定のレジスタ（時間定数レジスタ）に設定される。この実施の形態では、4ms毎に定期的にタイマ割込がかかるとする。

【0312】

初期化処理の実行（ステップS10～S15）が完了すると、CPU56は、メイン処理で、表示用乱数更新処理（ステップS17）および初期値用乱数更新処理（ステップS18）を繰り返し実行する。表示用乱数更新処理および初期値用乱数更新処理を実行するときには割込禁止状態に設定し（ステップS16）、表示用乱数更新処理および初期値用乱数更新処理の実行が終了すると割込許可状態に設定する（ステップS19）。この実施の形態では、表示用乱数とは、大当たりとしない場合の特別図柄の停止図柄を決定するための乱数や大当たりとしない場合にリーチとするか否かを決定するための乱数であり、表示用乱数更新処理とは、表示用乱数を発生するためのカウンタのカウント値を更新する処理である。また、初期値用乱数更新処理とは、初期値用乱数を発生するためのカウンタのカウント値を更新する処理である。この実施の形態では、初期値用乱数とは、普通図柄に関して当りとするか否か決定するための乱数を発生するためのカウンタ（普通図柄当たり判定用乱数発生カウンタ）のカウント値の初期値を決定するための乱数である。後述する遊技の進行を制御する遊技制御処理（遊技制御用マイクロコンピュータ560が、遊技機に設けられている演出表示装置、可変入賞球装置、球払出装置等の遊技用の装置を、自分で制御する処理、または他のマイクロコンピュータに制御させるために指令信号を送信する処理、遊技装置制御処理ともいう）において、普通図柄当たり判定用乱数のカウント値が1周（普通図柄当たり判定用乱数の取りうる値の最小値から最大値までの間の数値の個数分歩進したこと）すると、そのカウンタに初期値が設定される。2030

【0313】

なお、この実施の形態では、リーチ演出は、演出表示装置9において可変表示される演出図柄を用いて実行される。また、特別図柄の表示結果を大当たり図柄にする場合には、リーチ演出は常に実行される。特別図柄の表示結果を大当たり図柄にしない場合には、遊技制御用マイクロコンピュータ560は、乱数を用いた抽選によって、リーチ演出を実行するか否か決定する。ただし、実際にリーチ演出の制御を実行するのは、演出制御用マイクロコンピュータ100である。40

【0314】

タイマ割込が発生すると、CPU56は、図49に示すステップS20～S34のタイマ割込処理を実行する。タイマ割込処理において、まず、電源断信号が出力されたか否か（オン状態になったか否か）を検出する電源断検出処理を実行する（ステップS20）。電源断信号は、例えば電源基板に搭載されている電源監視回路が、遊技機に供給される電源の電圧の低下を検出した場合に出力する。そして、電源断検出処理において、CPU550

6は、電源断信号が出力されたことを検出したら、必要なデータをバックアップRAM領域に保存するための電力供給停止時処理を実行する。次いで、入力ドライバ回路58を介して、ゲートスイッチ32a、第1始動口スイッチ13a、第2始動口スイッチ14aおよびカウントスイッチ23の検出信号を入力し、それらの状態判定を行う（スイッチ処理：ステップS21）。

【0315】

次に、CPU56は、第1特別図柄表示器8a、第2特別図柄表示器8b、普通図柄表示器10、第1特別図柄保留記憶表示器18a、第2特別図柄保留記憶表示器18b、普通図柄保留記憶表示器41の表示制御を行う表示制御処理を実行する（ステップS22）。第1特別図柄表示器8a、第2特別図柄表示器8bおよび普通図柄表示器10については、ステップS32、S33で設定される出力バッファの内容に応じて各表示器に対して駆動信号を出力する制御を実行する。
10

【0316】

また、遊技制御に用いられる普通図柄当たり判定用乱数等の各判定用乱数を生成するための各カウンタのカウント値を更新する処理を行う（判定用乱数更新処理：ステップS23）。CPU56は、さらに、初期値用乱数および表示用乱数を生成するためのカウンタのカウント値を更新する処理を行う（初期値用乱数更新処理、表示用乱数更新処理：ステップS24、S25）。

【0317】

さらに、CPU56は、特別図柄プロセス処理を行う（ステップS26）。特別図柄プロセス処理では、第1特別図柄表示器8a、第2特別図柄表示器8bおよび大入賞口を所定の順序で制御するための特別図柄プロセスフラグに従って該当する処理を実行する。CPU56は、特別図柄プロセスフラグの値を、遊技状態に応じて更新する。
20

【0318】

次いで、普通図柄プロセス処理を行う（ステップS27）。普通図柄プロセス処理では、CPU56は、普通図柄表示器10の表示状態を所定の順序で制御するための普通図柄プロセスフラグに従って該当する処理を実行する。CPU56は、普通図柄プロセスフラグの値を、遊技状態に応じて更新する。

【0319】

また、CPU56は、演出制御用マイクロコンピュータ100に演出制御コマンドを送出する処理を行う（演出制御コマンド制御処理：ステップS28）。

【0320】

さらに、CPU56は、例えばホール管理用コンピュータに供給される大当たり情報、始動情報、確率変動情報などのデータを出力する情報出力処理を行う（ステップS29）。

【0321】

また、CPU56は、第1始動口スイッチ13a、第2始動口スイッチ14aおよびカウントスイッチ23の検出信号にもとづく賞球個数の設定などを行う賞球処理を実行する（ステップS30）。具体的には、第1始動口スイッチ13a、第2始動口スイッチ14aおよびカウントスイッチ23のいずれかがオンしたことにもとづく入賞検出に応じて、払出制御基板37に搭載されている払出制御用マイクロコンピュータに賞球個数を示す払出制御コマンド（賞球個数信号）を出力する。払出制御用マイクロコンピュータは、賞球個数を示す払出制御コマンドに応じて球払出装置97を駆動する。
40

【0322】

この実施の形態では、出力ポートの出力状態に対応したRAM領域（出力ポートバッファ）が設けられているのであるが、CPU56は、出力ポートの出力状態に対応したRAM領域におけるソレノイドのオン／オフに関する内容を出力ポートに出力する（ステップS31：出力処理）。

【0323】

また、CPU56は、特別図柄プロセスフラグの値に応じて特別図柄の演出表示を行うための特別図柄表示制御データを特別図柄表示制御データ設定用の出力バッファに設定す
50

る特別図柄表示制御処理を行う（ステップS32）。

【0324】

さらに、CPU56は、普通図柄プロセスフラグの値に応じて普通図柄の演出表示を行うための普通図柄表示制御データを普通図柄表示制御データ設定用の出力バッファに設定する普通図柄表示制御処理を行う（ステップS33）。CPU56は、例えば、普通図柄の変動に関する開始フラグがセットされると終了フラグがセットされるまで、普通図柄の変動速度が0.2秒ごとに表示状態（「」および「×」）を切り替えるような速度であれば、0.2秒が経過する毎に、出力バッファに設定される表示制御データの値（例えば、「」を示す1と「×」を示す0）を切り替える。また、CPU56は、出力バッファに設定された表示制御データに応じて、ステップS22において駆動信号を出力することによって、普通図柄表示器10における普通図柄の演出表示を実行する。10

【0325】

その後、割込許可状態に設定し（ステップS34）、処理を終了する。

【0326】

以上の制御によって、この実施の形態では、遊技制御処理は4ms毎に起動されることになる。なお、遊技制御処理は、タイマ割込処理におけるステップS21～S33（ステップS29を除く。）の処理に相当する。また、この実施の形態では、タイマ割込処理で遊技制御処理が実行されているが、タイマ割込処理では例えば割込が発生したことを示すフラグのセットのみがなされ、遊技制御処理はメイン処理において実行されるようにしてもよい。20

【0327】

第1特別図柄表示器8aまたは第2特別図柄表示器8bおよび演出表示装置9にはいずれ図柄が停止表示される場合には、演出図柄の可変表示が開始されてから、演出図柄の可変表示状態がリーチ状態にならずに、リーチにならない所定の演出図柄の組み合わせが停止表示されることがある。このような演出図柄の可変表示態様を、可変表示結果がはずれ図柄になる場合における「非リーチ」（「通常はずれ」ともいう）の可変表示態様という。

【0328】

第1特別図柄表示器8aまたは第2特別図柄表示器8bおよび演出表示装置9にはいずれ図柄が停止表示される場合には、演出図柄の可変表示が開始されてから、演出図柄の可変表示状態がリーチ状態となった後にリーチ演出が実行され、最終的に大当たり図柄とはならない所定の演出図柄の組み合わせが停止表示されることがある。このような演出図柄の可変表示結果を、可変表示結果が「はずれ」となる場合における「リーチ」（「リーチはずれ」ともいう）の可変表示態様という。30

【0329】

この実施の形態では、第1特別図柄表示器8aまたは第2特別図柄表示器8bに大当たり図柄が停止表示される場合には、演出図柄の可変表示状態がリーチ状態になった後にリーチ演出が実行され、最終的に演出表示装置9における「左」、「中」、「右」の各図柄表示エリア9L、9C、9Rに、演出図柄が揃って停止表示される。

【0330】

第1特別図柄表示器8aまたは第2特別図柄表示器8bに小当たりである「5」が停止表示される場合には、演出表示装置9において、演出図柄の可変表示態様が「突然確変大当たり」である場合と同様に演出図柄の可変表示が行われた後、所定の小当たり図柄（突然確変大当たり図柄と同じ図柄。例えば「135」）が停止表示されることがある。第1特別図柄表示器8aまたは第2特別図柄表示器8bに小当たり図柄である「5」が停止表示されることに対応する演出表示装置9における表示演出を「小当たり」の可変表示態様という。40

【0331】

ここで、小当たりとは、大当たりと比較して大入賞口の開放回数が少ない回数（この実施の形態では0.1秒間の開放を2回）まで許容される当りである。なお、小当たり遊技が終了した場合、遊技状態は変化しない。すなわち、確変状態から通常状態に移行したり通常状態から確変状態に移行したりすることはない。また、突然確変大当たりとは、大当たり遊技状50

態において大入賞口の開放回数が少ない回数（この実施の形態では0.1秒間の開放を2回）まで許容されるが大入賞口の開放時間が極めて短い大当たりであり、かつ、大当たり遊技後の遊技状態を確変状態に移行させるような大当たりである（すなわち、そのようにすることにより、遊技者に対して突然に確変状態となったかのように見せるものである）。つまり、この実施の形態では、突然確変大当たりと小当たりとは、大入賞口の開放パターンが同じである。そのように制御することによって、大入賞口の0.1秒間の開放が2回行われると、突然確変大当たりであるか小当たりであるかまでは認識できないので、遊技者に対して高確率状態（確変状態）を期待させることができ、遊技の興奮を向上させることができる。

【0332】

図50および図51は、ステップS20の電源断処理の一例を示すフローチャートである。電源断処理において、遊技制御用マイクロコンピュータ560は、まず、電源断信号が出力されているか否か（オン状態になっているか否か）確認する（ステップS450）。オン状態でなければ、RAM55に形成されているバックアップ監視タイマの値を0クリアする（ステップS451）。オン状態であれば、バックアップ監視タイマの値を1増やす（ステップS452）。そして、バックアップ監視タイマの値が判定値（例えば2）と一致すれば（ステップS453）、ステップS454以降の電力供給停止時処理すなわち電力の供給停止のための準備処理を実行する。つまり、遊技の進行を制御する状態から遊技状態を保存させるための電力供給停止時処理（電源断時制御処理）を実行する状態に移行する。なお、「RAMに形成されている」とは、RAM内の領域であることを意味する。

10

【0333】

バックアップ監視タイマと判定値とを用いることによって、判定値に相当する時間だけ電源断信号のオン状態が継続したら、電力供給停止時処理が開始される。すなわち、ノイズ等で一瞬電源断信号のオン状態が発生しても、誤って電力供給停止時処理が開始されるようなことはない。なお、バックアップ監視タイマの値は、遊技機への電力供給が停止しても、所定期間はバックアップ電源によって保存される。従って、メイン処理におけるステップS8では、バックアップ監視タイマの値が判定値と同じ値になっていることによって、電力供給停止時処理の処理結果が保存されていることを確認できる。

【0334】

電力供給停止時処理において、遊技制御用マイクロコンピュータ560は、パリティデータを作成する（ステップS454～S463）。すなわち、まず、クリアデータ（00）をチェックサムデータエリアにセットし（ステップS454）、電力供給停止時でも内容が保存されるべきRAM領域の先頭アドレスに相当するチェックサム算出開始アドレスをポインタにセットする（ステップS455）。また、電力供給停止時でも内容が保存されるべきRAM領域の最終アドレスに相当するチェックサム算出回数をセットする（ステップS456）。

20

【0335】

次いで、チェックサムデータエリアの内容とポインタが指すRAM領域の内容との排他的論理和を演算する（ステップS457）。演算結果をチェックサムデータエリアにストアするとともに（ステップS458）、ポインタの値を1増やし（ステップS459）、チェックサム算出回数の値を1減算する（ステップS460）。そして、ステップS457～S460の処理を、チェックサム算出回数の値が0になるまで繰り返す（ステップS461）。

40

【0336】

チェックサム算出回数の値が0になったら、遊技制御用マイクロコンピュータ560は、チェックサムデータエリアの内容の各ビットの値を反転する（ステップS462）。そして、反転後のデータをチェックサムデータエリアにストアする（ステップS463）。このデータが、電源投入時にチェックされるパリティデータになる。次いで、RAMアクセスレジスタにアクセス禁止値を設定する（ステップS471）。以後、内蔵RAM55のアクセスができなくなる。

50

【 0 3 3 7 】

さらに、遊技制御用マイクロコンピュータ 560 は、ROM 54 に格納されているポートクリア設定テーブルの先頭アドレスをポインタにセットする（ステップ S 472）。ポートクリア設定テーブルにおいて、先頭アドレスには処理数（クリアすべき出力ポートの数）が設定され、次いで、出力ポートのアドレスおよび出力値データ（クリアデータ：出力ポートの各ビットのオフ状態の値）が、処理数分の出力ポートについて順次設定されている。

【 0 3 3 8 】

遊技制御用マイクロコンピュータ 560 は、ポインタが指すアドレスのデータ（すなわち処理数）をロードする（ステップ S 473）。また、ポインタの値を 1 増やし（ステップ S 474）、ポインタが指すアドレスのデータ（すなわち出力ポートのアドレス）をロードする（ステップ S 475）。さらに、ポインタの値を 1 増やし（ステップ S 476）、ポインタが指すアドレスのデータ（すなわち出力値データ）をロードする（ステップ S 477）。そして、出力値データを出力ポートに出力する（ステップ S 478）。その後、処理数を 1 減らし（ステップ S 479）、処理数が 0 でなければステップ S 474 に戻る。処理数が 0 であれば、すなわち、クリアすべき出力ポートを全てクリアしたら、タイマ割込を停止し（ステップ S 481）、ループ処理に入る。なお、出力ポートをクリアする処理をチェックサムデータを作成する処理の前に実行してもよい。例えば、CPU 56 は、ステップ S 453 で Y と判定した後、直ちにステップ S 472 ~ S 480 の出力ポートクリアの処理を実行するようにしてよい。10

【 0 3 3 9 】

ループ処理では、電源断信号がオフ状態になったか否かを監視する（ステップ S 482）。そして、電源断信号がオン状態の間は（ステップ S 482 の Y ）、ステップ S 482 の処理を繰り返し実行して待機する。20

【 0 3 4 0 】

これに対して、ステップ S 482 にて電源断信号がオフ状態となったときには（ステップ S 482 の N ）、所定の電断復旧時における設定を行った後（ステップ S 487）、図 48 に示すメイン処理の先頭にリターンする。一例として、ステップ S 487 の処理では、CPU 56 に内蔵されたスタックポインタに電源断復旧時ベクタテーブルの記憶アドレスを格納し、遊技制御用タイマ割込み処理から復帰（リターン）させる。ここで、電源断復旧時ベクタテーブルは、ROM 54 に記憶された制御コード（遊技制御プログラム）の先頭アドレスを指定するものであればよい。図 49 に示すタイマ割込処理のような割込処理から復帰（リターン）するときには、スタックポインタで指定されるアドレスの記憶データが復帰アドレスとして読み出される。こうして、ステップ S 487 の処理を実行した後には、CPU 56 により、ROM 54 に記憶されている制御コードの先頭から、遊技制御の実行を開始（再開）させることができる。30

【 0 3 4 1 】

以上の処理によって、電力供給が停止する場合には、ステップ S 454 ~ S 481 の電力供給停止時処理が実行され、電力供給停止時処理が実行されたことを示すデータ（判定値になっているバックアップ監視タイマのおよびチェックサム）がバックアップ RAM へストアされ、RAM アクセスが禁止状態にされ、出力ポートがクリアされ、かつ、遊技制御処理を実行するためのタイマ割込が禁止状態に設定される。40

【 0 3 4 2 】

なお、この実施の形態では、電源断処理においてチェックデータの生成や出力ポートクリアなどの処理を終了した後、ステップ S 482 で繰り返し電源断信号の入力を確認する電源断待ちループに移行するが、このような電源断信号の入力を確認する構成とはしないようにしてよい。この場合、例えば、ウォッチドッグタイマ（WTD）506b をユーザプログラムによって起動できるように設定した上で、電源断待ちループに入るときにウォッチドッグタイマ（WTD）506b を起動させるようにし、遊技機が完全に電源断状態とならず電源の電圧値が完全に落ちきらないときにはウォッチドッグタイマ（WTD）50

506bからのタイムアウト信号によるリセットが発生するようにしてもよい。

【0343】

また、例えば、遊技機への電源投入時に電源断信号が入力されているか否かを確認し、入力されていれば無限ループに移行したり、その無限ループにおいて電源断信号の入力を確認し、その入力がなくなるまで無限ループを継続したりするように構成されている場合、上記と同様の態様で無限ループに入るときにウォッチドッグタイマ(WTD)506bを起動させ、同様の処理を行うように構成してもよい。

【0344】

なお、ウォッチドッグタイマ(WTD)506bを起動させるように設定している場合には(ただし、上記のように電源断待ちループでのみウォッチドッグタイマ(WTD)506bを起動させるものを除く)、正常にCPU56が動作しているときにはタイムアウトしないように、ウォッチドッグタイマ(WTD)506bをクリアする信号を出力するようにプログラムされる。具体的には、内蔵レジスタエリアに設けられているWDTクリアレジスタ(図示せず)にクリアするための値を書き込むようにプログラムされる。

10

【0345】

この実施の形態では、RAM55がバックアップ電源によって電源バックアップ(遊技機への電力供給が停止しても所定期間はRAM55の内容が保存されること)されている。この例では、ステップS452～S479の処理によって、バックアップ監視タイマの値とともに、電源断信号が出力されたときのRAM55の内容にもとづくチェックサムもRAM55のバックアップ領域に保存される。遊技機への電力供給が停止した後、所定期間に内に電力供給が復旧したら、遊技制御手段は、上述したステップS41～S44の処理によって、RAM55に保存されているデータ(電力供給が停止した直前の遊技制御手段による制御状態である遊技状態を示すデータ(例えば、プロセスフラグの状態、大当たり中フラグの状態、確変フラグの状態、出力ポートの出力状態等)を含む)に従って、遊技状態を、電力供給が停止した直前の状態に戻すことができる。なお、電力供給停止の期間が所定期間を越えたらバックアップ監視タイマの値とチェックサムとが正規の値とは異なるはずであるから、その場合には、ステップS10～S13の初期化処理が実行される。

20

【0346】

以上のように、電力供給停止時処理(電力の供給停止のための準備処理)によって、遊技状態を電力供給が停止した直前の状態に戻すためのデータが確実に変動データ記憶手段(この例ではRAM55の一部の領域)に保存される。よって、停電等による電源断が生じても、所定期間内に電源が復旧すれば、遊技状態を電力供給が停止した直前の状態に戻すことができる。

30

【0347】

また、電源断信号がオフ状態になった場合には、ステップS1に戻る。その場合、電力供給停止時処理が実行されたことを示すデータが設定されているので、ステップS41～S44の復旧処理が実行される。よって、電力供給停止時処理を実行した後に払出制御基板37からの電源断信号がオフ状態になったときには、遊技の進行を制御する状態に戻る。従って、電源瞬断等が生じても、遊技制御処理が停止してしまうようなことはなく、自動的に、遊技制御処理が続行される。

40

【0348】

なお、図46、図48～図51に示すような態様で遊技機が動作することによって、この実施の形態では、所定の処理(本例では、図48に示すメイン処理のステップS16～S19のループ処理と、図49のタイマ割込処理)の実行中に所定事象が発生(IAT回路506aからIAT信号を入力、ウォッチドッグタイマ(WDT)506bからタイムアウト信号を入力)したときにRAM55(バックアップRAM)の記憶内容を初期化する初期化処理を実行する。具体的には、図48に示すメイン処理のステップS16～S19のループ処理や、図49のタイマ割込処理の実行中に、IAT回路506aからIAT信号や、ウォッチドッグタイマ(WDT)506bからタイムアウト信号を入力したときには、図50および図51に示す電源断処理が実行されることなく、システムリセットま

50

たはユーザリセット（図46のステップS1004, S1014参照）が発生することになる。そして、システムリセットが発生した後にはセキュリティチェックを実行した後にステップS1007でユーザモードに移行されて図48に示すメイン処理の実行が再び開始され、ユーザリセットが発生した後にはステップS1015でユーザプログラムの先頭に戻り図48に示すメイン処理の実行が再び開始されるのであるが、バックアップ監視タイマ（または、バックアップフラグ）およびチェックデータのいずれもセットされていないことから、図48に示すメイン処理でステップS10に移行して初期化処理が実行されることになる。

【0349】

なお、「所定の処理」とは、遊技機への電源投入時の初期化処理や復旧処理が実行された後、遊技可能となった状態で実行されている処理であり、上記に説明したように、具体的には、図48に示すメイン処理のステップS16～S19のループ処理と、図49のタイマ割込処理とが該当する。ただし、電源電圧低下により電源断処理が実行されているときは所定の処理からは除かれる。

【0350】

なお、図46、図48～図51に示すような様で遊技機が動作することによって、電力供給停止時処理（本例では、図50および図51に示す電源断処理）を実行した後に所定事象が発生（IAT回路506aからIAT信号を入力、ウォッチドッグタイマ（WDT）506bからタイムアウト信号を入力）したとき、RAM55（バックアップRAM）の記憶内容にもとづいて制御状態を電力供給停止時処理を開始したときの状態に復旧させる復旧処理を実行する。具体的には、電源断信号を入力したことにもとづいて図50および図51に示す電源断処理を実行して図51のループ処理を実行しているときに、ちょうどIAT回路506aからIAT信号や、ウォッチドッグタイマ（WDT）506bからタイムアウト信号を入力したときには（ただし、IAT回路506aからIAT信号した場合には、何らかの原因で指定エリア外のプログラムを実行している状態となってしまった場合であるので、より正確には、電源断処理のループ処理に一度移行した後にIAT回路506aからIAT信号した場合に相当する）、IAT信号やタイムアウト信号を入力したことにもとづいてシステムリセットまたはユーザリセット（図46のステップS1004, S1014参照）が発生することになる。そして、システムリセットが発生した後にはセキュリティチェックを実行した後にステップS1007でユーザモードに移行されて図48に示すメイン処理の実行が再び開始され、ユーザリセットが発生した後にはステップS1015でユーザプログラムの先頭に戻り図48に示すメイン処理の実行が再び開始されるのであるが、バックアップ監視タイマ（または、バックアップフラグ）およびチェックデータの両方がセットされていることから、図48に示すメイン処理でステップS7およびステップS8でいずれもYと判定されてステップS41～S44の復旧処理が実行されることになる。

【0351】

図52は、この実施の形態で用いられる各ソフトウェア乱数を示す説明図である。各ソフトウェア乱数は、以下のように使用される。なお、前述したように、この実施の形態では、大当たりとするか否かを判定するための大当たり判定用乱数（ランダムR）については、16ビット乱数回路508bが出力するハードウェア乱数が用いられる。

(1) ランダム1(MR1)：大当たりの種類（後述する通常大当たり、確変大当たり、突然確変大当たり）を決定する（大当たり種別判定用）

(2) ランダム2(MR2)：変動パターンの種類（種別）を決定する（変動パターン種別判定用）

(3) ランダム3(MR3)：変動パターン（変動時間）を決定する（変動パターン判定用）

(4) ランダム4(MR4)：普通図柄にもとづく当たりを発生させるか否か決定する（普通図柄当たり判定用）

(5) ランダム5(MR5)：ランダム4の初期値を決定する（ランダム4初期値決定用）

10

20

30

40

50

)

【0352】

なお、この実施の形態では、大当たり判定用乱数（ランダムR）についてのみ乱数回路から抽出したハードウェア乱数を用い、それ以外の乱数についてはソフトウェア乱数を用いる場合を示しているが、この実施の形態で示したものにかぎられない。例えば、大当たり判定用乱数（ランダムR）に加えて図52に示すランダム1～5の全てについて乱数回路から抽出したハードウェア乱数を用いるようにしてもよい。また、図52に示すランダム1～5のうちの一部の乱数についてのみ乱数回路から抽出したハードウェア乱数を用い、それ以外についてはソフトウェア乱数を用いるように構成しても構わない。

【0353】

10

なお、この実施の形態では、変動パターンは、まず、変動パターン種別判定用乱数（ランダム2）を用いて変動パターン種別を決定し、変動パターン判定用乱数（ランダム3）を用いて、決定した変動パターン種別に含まれるいずれかの変動パターンに決定する。そのように、この実施の形態では、2段階の抽選処理によって変動パターンが決定される。

【0354】

なお、変動パターン種別とは、複数の変動パターンをその変動様の特徴に従ってグループ化したものである。例えば、複数の変動パターンをリーチの種類でグループ化して、ノーマルリーチを伴う変動パターンを含む変動パターン種別と、スーパー・リーチAを伴う変動パターンを含む変動パターン種別と、スーパー・リーチBを伴う変動パターンを含む変動パターン種別とに分けてもよい。また、例えば、複数の変動パターンを擬似連の再変動の回数でグループ化して、擬似連を伴わない変動パターンを含む変動パターン種別と、再変動1回の変動パターンを含む変動パターン種別と、再変動2回の変動パターンを含む変動パターン種別と、再変動3回の変動パターンを含む変動パターン種別とに分けてもよい。また、例えば、複数の変動パターンを擬似連や滑り演出などの特定演出の有無でグループ化してもよい。

20

【0355】

図49に示された遊技制御処理におけるステップS23では、遊技制御用マイクロコンピュータ560は、(1)の大当たり種別判定用乱数、および(4)の普通図柄当たり判定用乱数を生成するためのカウンタのカウントアップ(1加算)を行う。すなわち、それらが判定用乱数であり、それら以外の乱数が表示用乱数（ランダム2、ランダム3）または初期値用乱数（ランダム5）である。なお、遊技効果を高めるために、上記の乱数以外の乱数も用いてもよい。例えば、大当たり種別判定用乱数（ランダム1）の初期値を決定するための初期値決定用乱数を設けるようにしてもよい。また、この実施の形態では、大当たり判定用乱数として、遊技制御用マイクロコンピュータ560に内蔵されたハードウェア（遊技制御用マイクロコンピュータ560の外部のハードウェアでもよい。）が生成する乱数を用いる。

30

【0356】

図53(A)は、大当たり判定テーブルを示す説明図である。大当たり判定テーブルとは、ROM54に記憶されているデータの集まりであって、ランダムRと比較される大当たり判定値が設定されているテーブルである。大当たり判定テーブルには、通常状態（確変状態でない遊技状態）において用いられる通常時大当たり判定テーブルと、確変状態において用いられる確変時大当たり判定テーブルがある。通常時大当たり判定テーブルには、図53(A)の左欄に記載されている各数値が設定され、確変時大当たり判定テーブルには、図53(A)の右欄に記載されている各数値が設定されている。図53(A)に記載されている数値が大当たり判定値である。

40

【0357】

図53(B), (C)は、小当たり判定テーブルを示す説明図である。小当たり判定テーブルとは、ROM54に記憶されているデータの集まりであって、ランダムRと比較される小当たり判定値が設定されているテーブルである。小当たり判定テーブルには、第1特別図柄の変動表示を行うときに用いられる小当たり判定テーブル（第1特別図柄用）と、第2特別

50

図柄の変動表示を行うときに用いられる小当たり判定テーブル（第2特別図柄用）とがある。小当たり判定テーブル（第1特別図柄用）には、図53（B）に記載されている各数値が設定され、小当たり判定テーブル（第2特別図柄用）には、図53（C）に記載されている各数値が設定されている。また、図53（B），（C）に記載されている数値が小当たり判定値である。

【0358】

なお、第1特別図柄の変動表示を行う場合にのみ小当たりと決定するようにし、第2特別図柄の変動表示を行う場合には小当たりを設けないようにしてよい。この場合、図53（C）に示す第2特別図柄用の小当たり判定テーブルは設けなくてもよい。この実施の形態では、遊技状態が確変状態に移行されているときには主として第2特別図柄の変動表示が実行される。遊技状態が確変状態に移行されているときにも小当たりが発生するようにし、確変となるか否かを煽る演出を行うように構成すると、現在の遊技状態が確変状態であるにもかかわらず却って遊技者に煩わしさを感じさせてしまう。そこで、第2特別図柄の変動表示中は小当たりが発生しないように構成すれば、遊技状態が確変状態である場合には小当たりが発生しにくくし必要以上に確変に対する煽り演出を行わないようにすることができ、遊技者に煩わしさを感じさせる事態を防止することができる。10

【0359】

CPU56は、所定の時期に、16ビット乱数回路508bのカウント値を抽出して抽出値を大当たり判定用乱数（ランダムR）の値とするのであるが、大当たり判定用乱数値が図53（A）に示すいずれかの大当たり判定値に一致すると、特別図柄に関して大当たり（後述する通常大当たり、確変大当たり、突然確変大当たり）にすることに決定する。また、大当たり判定用乱数値が図53（B），（C）に示すいずれかの小当たり判定値に一致すると、特別図柄に関して小当たりにすることに決定する。なお、図53（A）に示す「確率」は、大当たりになる確率（割合）を示す。また、図53（B），（C）に示す「確率」は、小当たりになる確率（割合）を示す。また、大当たりにするか否か決定するということは、大当たり遊技状態に移行させるか否か決定するということであるが、第1特別図柄表示器8aまたは第2特別図柄表示器8bにおける停止図柄を大当たり図柄にするか否か決定するということでもある。また、小当たりにするか否か決定するということは、小当たり遊技状態に移行させるか否か決定するということであるが、第1特別図柄表示器8aまたは第2特別図柄表示器8bにおける停止図柄を小当たり図柄にするか否か決定するということでもある。20

【0360】

なお、この実施の形態では、図53（B），（C）に示すように、小当たり判定テーブル（第1特別図柄用）を用いる場合には300分の1の割合で小当たりと決定されるのに対して、小当たり判定テーブル（第2特別図柄）を用いる場合には3000分の1の割合で小当たりと決定される場合を説明する。従って、この実施の形態では、第1始動入賞口13に始動入賞して第1特別図柄の変動表示が実行される場合には、第2始動入賞口14に始動入賞して第2特別図柄の変動表示が実行される場合と比較して、「小当たり」と決定される割合が高い。

【0361】

図53（D），（E）は、ROM54に記憶されている大当たり種別判定テーブル131a，131bを示す説明図である。このうち、図53（D）は、遊技球が第1始動入賞口13に入賞したことにもとづく保留記憶を用いて（すなわち、第1特別図柄の変動表示が行われるとき）大当たり種別を決定する場合の大当たり種別判定テーブル（第1特別図柄用）131aである。また、図53（E）は、遊技球が第2始動入賞口14に入賞したことにもとづく保留記憶を用いて（すなわち、第2特別図柄の変動表示が行われるとき）大当たり種別を決定する場合の大当たり種別判定テーブル（第2特別図柄用）131bである。40

【0362】

大当たり種別判定テーブル131a，131bは、可変表示結果を大当たり図柄にする旨の判定がなされたときに、大当たり種別判定用の乱数（ランダム1）にもとづいて、大当たりの種別を「通常大当たり」、「確変大当たり」、「突然確変大当たり」のうちのいずれかに決定す50

るために参照されるテーブルである。なお、この実施の形態では、図 5 3 (D) , (E) に示すように、大当たり種別判定テーブル 1 3 1 a には「突然確変大当たり」に対して 10 個の判定値が割り当てられている（40 分の 10 の割合で突然確変大当たりと決定される）のに対して、大当たり種別判定テーブル 1 3 1 b には「突然確変大当たり」に対して 3 個の判定値が割り当てられている（40 分の 3 の割合で突然確変大当たりと決定される）場合を説明する。従って、この実施の形態では、第 1 始動入賞口 1 3 に始動入賞して第 1 特別図柄の変動表示が実行される場合には、第 2 始動入賞口 1 4 に始動入賞して第 2 特別図柄の変動表示が実行される場合と比較して、「突然確変大当たり」と決定される割合が高い。なお、第 1 特別図柄用の大当たり種別判定テーブル 1 3 1 a にのみ「突然確変大当たり」を振り分けるようにし、第 2 特別図柄用の大当たり種別判定テーブル 1 3 1 b には「突然確変大当たり」の振り分けを行わない（すなわち、第 1 特別図柄の変動表示を行う場合にのみ、「突然確変大当たり」と決定される場合がある）ようにしてもよい。
10

【 0 3 6 3 】

なお、この実施の形態では、図 5 3 (D) , (E) に示すように、所定量の遊技価値を付与する第 1 特定遊技状態として 2 ラウンドの突然確変大当たりと、該遊技価値よりも多い量の遊技価値を付与する第 2 特定遊技状態として 15 ラウンドの大当たり（確変大当たりまたは通常大当たり）と決定する場合を説明するが、第 1 特別図柄の変動表示が実行される場合に高い割合で第 1 特定遊技状態とすることに決定する場合を示しているが、付与される遊技価値は、この実施の形態で示したようなラウンド数に限られない。例えば、第 1 特定遊技状態と比較して、遊技価値として 1 ラウンドあたりの大入賞口への遊技球の入賞数（カウント数）の許容量を多くした第 2 特定遊技状態を決定するようにしてもよい。また、例えば、第 1 特定遊技状態と比較して、遊技価値として大当たり中の 1 回あたりの大入賞口の開放時間を長くした第 2 特定遊技状態を決定するようにしてもよい。また、例えば、同じ 15 ラウンドの大当たりであっても、1 ラウンドあたり大入賞口を 1 回開放する第 1 特定遊技状態と、1 ラウンドあたり大入賞口を複数回開放する第 2 特定遊技状態とを用意し、大入賞口の開放回数が実質的に多くなるようにして第 2 特定遊技状態の遊技価値を高めるようにしてもよい。この場合、例えば、第 1 特定遊技状態または第 2 特定遊技状態いずれの場合であっても、大入賞口を 15 回開放したときに（この場合、第 1 特定遊技状態の場合には 15 ラウンド全てを終了し、第 2 特定遊技状態の場合には未消化のラウンドが残っていることになる）、大当たりがさらに継続するか否かを煽るような態様の演出（いわゆるランクアップボーナスの演出）を実行するようにしてもよい。そして、第 1 特定遊技状態の場合には内部的に 15 ラウンド全てを終了していることから大当たり遊技を終了し、第 2 特定遊技状態の場合には内部的に未消化のラウンドが残っていることから、大当たり遊技が継続する（恰も 15 回開放の大当たりを終了した後にさらにボーナスで大入賞口の開放が追加で始まったような演出）ようにしてもよい。
20
30

【 0 3 6 4 】

この実施の形態では、図 5 3 (D) , (E) に示すように、大当たり種別として、「通常大当たり」、「確変大当たり」および「突然確変大当たり」がある。

【 0 3 6 5 】

「確変大当たり」とは、15 ラウンドの大当たり遊技状態に制御し、その大当たり遊技状態の終了後に確変状態に移行させる大当たりである（この実施の形態では、確変状態に移行されるとともに時短状態にも移行される。後述するステップ S 1 7 0 , S 1 7 1 参照）。そして、確変状態に移行した後、次の大当たりが発生するまで確変状態が維持される（後述するステップ S 1 3 4 参照）。

【 0 3 6 6 】

また、「通常大当たり」とは、15 ラウンドの大当たり遊技状態に制御し、その大当たり遊技状態の終了後に確変状態に移行されず、時短状態にのみ移行される大当たりである（後述するステップ S 1 6 7 参照）。そして、時短状態に移行した後、特別図柄および演出図柄の変動表示の実行を所定回数（例えば、100 回）終了するまで時短状態が維持される（後述するステップ S 1 4 2 ~ S 1 4 5 参照）。なお、この実施の形態では、時短状態に移行
40
50

した後、所定回数の変動表示の実行を終了する前に大当りが発生した場合にも、時短状態が終了する（後述するステップ S 1 3 4 参照）。

【0 3 6 7】

また、「突然確変大当り」とは、「確変大当り」や「通常大当り」と比較して大入賞口の開放回数が少ない回数（この実施の形態では 0.1 秒間の開放を 2 回）まで許容される大当りである。すなわち、「突然確変大当り」となった場合には、2 ラウンドの大当り遊技状態に制御される。そして、この実施の形態では、その 2 ラウンドの大当り遊技状態の終了後に確変状態に移行される（この実施の形態では、確変状態に移行されるとともに時短状態にも移行される。後述するステップ S 1 7 0 , S 1 7 1 参照）。そして、確変状態に移行した後、次の大当りが発生するまで確変状態が維持される（後述するステップ S 1 3 4 参照）。

10

【0 3 6 8】

なお、前述したように、この実施の形態では、「小当り」となった場合にも、大入賞口の開放が 0.1 秒間ずつ 2 回行われ、「突然確変大当り」による大当り遊技状態と同様の制御が行われる。そして、「小当り」となった場合には、大入賞口の 2 回の開放が終了した後、遊技状態は変化せず、「小当り」となる前の遊技状態が維持される（後述するステップ S 1 4 7 ~ S 1 5 1 参照）。そのようにすることによって、「突然確変大当り」であるか「小当り」であるかを認識できないようにし、遊技の興趣を向上させている。

【0 3 6 9】

大当り種別判定テーブル 1 3 1 a , 1 3 1 b には、ランダム 1 の値と比較される数値であって、「通常大当り」、「確変大当り」、「突然確変大当り」のそれに対応した判定値（大当り種別判定値）が設定されている。CPU 5 6 は、ランダム 1 の値が大当り種別判定値のいずれかに一致した場合に、大当りの種別を、一致した大当り種別判定値に対応する種別に決定する。

20

【0 3 7 0】

図 5 4 および図 5 5 は、主基板 3 1 に搭載される遊技制御用マイクロコンピュータ 5 6 0（具体的には、CPU 5 6 ）が実行する特別図柄プロセス処理（ステップ S 2 6 ）のプログラムの一例を示すフローチャートである。上述したように、特別図柄プロセス処理では第 1 特別図柄表示器 8 a または第 2 特別図柄表示器 8 b および大入賞口を制御するための処理が実行される。特別図柄プロセス処理において、CPU 5 6 は、第 1 始動入賞口 1 3 に遊技球が入賞したことを検出するための第 1 始動口スイッチ 1 3 a がオンしていたら、すなわち、第 1 始動入賞口 1 3 への始動入賞が発生していたら、第 1 始動口スイッチ通過処理を実行する（ステップ S 3 1 1 , S 3 1 2 ）。また、CPU 5 6 は、第 2 始動入賞口 1 4 に遊技球が入賞したことを検出するための第 2 始動口スイッチ 1 4 a がオンしていたら、すなわち第 2 始動入賞口 1 4 への始動入賞が発生していたら、第 2 始動口スイッチ通過処理を実行する（ステップ S 3 1 3 , S 3 1 4 ）。そして、ステップ S 3 0 0 ~ S 3 1 0 のうちのいずれかの処理を行う。第 1 始動入賞口スイッチ 1 3 a または第 2 始動口スイッチ 1 4 a がオンしていないければ、内部状態に応じて、ステップ S 3 0 0 ~ S 3 1 0 のうちのいずれかの処理を行う。

30

【0 3 7 1】

40

ステップ S 3 0 0 ~ S 3 1 0 の処理は、以下のような処理である。

【0 3 7 2】

特別図柄通常処理（ステップ S 3 0 0 ）：特別図柄プロセスフラグの値が 0 であるときに実行される。遊技制御用マイクロコンピュータ 5 6 0 は、特別図柄の可変表示が開始できる状態になると、保留記憶数バッファに記憶される数値データの記憶数（合算保留記憶数）を確認する。保留記憶数バッファに記憶される数値データの記憶数は合算保留記憶数カウンタのカウント値により確認できる。また、合算保留記憶数カウンタのカウント値が 0 でなければ、大当り判定用乱数（ランダム R ）を用いた抽選処理を実行することにより、第 1 特別図柄または第 2 特別図柄の可変表示の表示結果を大当りとするか否かを決定する。大当りとする場合には大当りフラグをセットする。そして、内部状態（特別図柄プロ

50

セスフラグ)をステップS301に応じた値(この例では1)に更新する。なお、大当りフラグは、大当り遊技が終了するときにリセットされる。

【0373】

変動パターン設定処理(ステップS301)：特別図柄プロセスフラグの値が1であるときに実行される。また、変動パターンを決定し、その変動パターンにおける変動時間(可変表示時間：可変表示を開始してから表示結果を導出表示(停止表示)するまでの時間)を特別図柄の可変表示の変動時間とすることに決定する。また、特別図柄の変動時間を計測する変動時間タイマをスタートさせる。そして、内部状態(特別図柄プロセスフラグ)をステップS302に対応した値(この例では2)に更新する。

【0374】

表示結果指定コマンド送信処理(ステップS302)：特別図柄プロセスフラグの値が2であるときに実行される。演出制御用マイクロコンピュータ100に、表示結果指定コマンドを送信する制御を行う。そして、内部状態(特別図柄プロセスフラグ)をステップS303に対応した値(この例では3)に更新する。

【0375】

特別図柄変動中処理(ステップS303)：特別図柄プロセスフラグの値が3であるときに実行される。変動パターン設定処理で選択された変動パターンの変動時間が経過(ステップS301でセットされる変動時間タイマがタイムアウトすなわち変動時間タイマの値が0になる)すると、演出制御用マイクロコンピュータ100に、図柄確定指定コマンドを送信する制御を行い、内部状態(特別図柄プロセスフラグ)をステップS304に対応した値(この例では4)に更新する。なお、演出制御用マイクロコンピュータ100は、遊技制御用マイクロコンピュータ560が送信する図柄確定指定コマンドを受信すると演出表示装置9において第4図柄が停止されるように制御する。

【0376】

特別図柄停止処理(ステップS304)：特別図柄プロセスフラグの値が4であるときに実行される。大当りフラグがセットされている場合に、内部状態(特別図柄プロセスフラグ)をステップS305に対応した値(この例では5)に更新する。また、小当りフラグがセットされている場合には、内部状態(特別図柄プロセスフラグ)をステップS308に対応した値(この例では8)に更新する。大当りフラグおよび小当りフラグのいずれもセットされていない場合には、内部状態(特別図柄プロセスフラグ)をステップS300に対応した値(この例では0)に更新する。なお、この実施の形態では、特別図柄プロセスフラグの値が4となったことにもとづいて、後述するように、特別図柄表示制御処理において特別図柄の停止図柄を停止表示するための特別図柄表示制御データが特別図柄表示制御データ設定用の出力バッファに設定され(図56参照)、ステップS22の表示制御処理において出力バッファの設定内容に応じて実際に特別図柄の停止図柄が停止表示される。

【0377】

大入賞口開放前処理(ステップS305)：特別図柄プロセスフラグの値が5であるときに実行される。大入賞口開放前処理では、大入賞口を開放する制御を行う。具体的には、カウンタ(例えば、大入賞口に入った遊技球数をカウントするカウンタ)などを初期化するとともに、ソレノイド21を駆動して大入賞口を開放状態にする。また、タイマによつて大入賞口開放中処理の実行時間を設定し、内部状態(特別図柄プロセスフラグ)をステップS306に対応した値(この例では6)に更新する。なお、大入賞口開放前処理は各ラウンド毎に実行されるが、第1ラウンドを開始する場合には、大入賞口開放前処理は大当り遊技を開始する処理でもある。

【0378】

大入賞口開放中処理(ステップS306)：特別図柄プロセスフラグの値が6であるときに実行される。大当り遊技状態中のラウンド表示の演出制御コマンドを演出制御用マイクロコンピュータ100に送信する制御や大入賞口の閉成条件の成立を確認する処理等を行う。大入賞口の閉成条件が成立し、かつ、まだ残りラウンドがある場合には、内部状態

10

20

30

40

50

(特別図柄プロセスフラグ)をステップS305に対応した値(この例では5)に更新する。また、全てのラウンドを終えた場合には、内部状態(特別図柄プロセスフラグ)をステップS307に対応した値(この例では7)に更新する。

【0379】

大当たり終了処理(ステップS307)：特別図柄プロセスフラグの値が7であるときに実行される。大当たり遊技状態が終了したことを遊技者に報知する表示制御を演出制御用マイクロコンピュータ100に行わせるための制御を行う。また、遊技状態を示すフラグ(例えば、確変フラグや時短フラグ)をセットする処理を行う。そして、内部状態(特別図柄プロセスフラグ)をステップS300に対応した値(この例では0)に更新する。

【0380】

小当たり開放前処理(ステップS308)：特別図柄プロセスフラグの値が8であるときに実行される。小当たり開放前処理では、大入賞口を開放する制御を行う。具体的には、カウンタ(例えば、大入賞口に入った遊技球数をカウントするカウンタ)などを初期化するとともに、ソレノイド21を駆動して大入賞口を開放状態にする。また、タイマによって大入賞口開放中処理の実行時間を設定し、内部状態(特別図柄プロセスフラグ)をステップS309に対応した値(この例では9)に更新する。なお、小当たり開放前処理は各ラウンド毎に実行されるが、第1ラウンドを開始する場合には、小当たり開放前処理は小当たり遊技を開始する処理でもある。

【0381】

小当たり開放中処理(ステップS309)：特別図柄プロセスフラグの値が9であるときに実行される。大入賞口の閉成条件の成立を確認する処理等を行う。大入賞口の閉成条件が成立し、かつ、まだ残りラウンドがある場合には、内部状態(特別図柄プロセスフラグ)をステップS308に対応した値(この例では8)に更新する。また、全てのラウンドを終えた場合には、内部状態(特別図柄プロセスフラグ)をステップS310に対応した値(この例では10(10進数))に更新する。

【0382】

小当たり終了処理(ステップS310)：特別図柄プロセスフラグの値が10であるときに実行される。小当たり遊技状態が終了したことを遊技者に報知する表示制御を演出制御用マイクロコンピュータ100に行わせるための制御を行う。そして、内部状態(特別図柄プロセスフラグ)をステップS300に対応した値(この例では0)に更新する。

【0383】

図56は、ステップS312, S314の始動口スイッチ通過処理を示すフローチャートである。このうち、図56(A)は、ステップS312の第1始動口スイッチ通過処理を示すフローチャートである。また、図56(B)は、ステップS314の第2始動口スイッチ通過処理を示すフローチャートである。

【0384】

まず、図56(A)を参照して第1始動口スイッチ通過処理について説明する。第1始動口スイッチ13aがオン状態の場合に実行される第1始動口スイッチ通過処理において、CPU56は、第1保留記憶数が上限値に達しているか否か(具体的には、第1保留記憶数をカウントするための第1保留記憶数カウンタの値が4であるか否か)を確認する(ステップS201A)。

【0385】

第1保留記憶数が上限値に達していないければ、CPU56は、第1保留記憶数カウンタの値を1増やす(ステップS202A)とともに、合算保留記憶数をカウントするための合算保留記憶数カウンタの値を1増やす(ステップS203A)。

【0386】

次いで、CPU56は、ソフトウェア乱数(大当たり種別判定用乱数(ランダム1)、変動パターン種別判定用乱数(ランダム2)および変動パターン判定用乱数(ランダム3))を生成するための各カウンタから値を抽出する(ステップS204A)。また、CPU56は、チャネル0の16ビット乱数回路508bが用いるRL0ハードラッチ乱数値レ

10

20

30

40

50

ジスタ0 (R L 0 H V 0) から、大当たり判定用乱数 (ランダムR) としての数値データを抽出する (ステップS 2 0 5 A)。

【0 3 8 7】

なお、既に、図23で説明したように、R L 0 ハードラッチ選択レジスタ0 (R L 0 L S 0) のビット2 - 0 の設定内容によりいずれの端子からの信号 (ラッチ信号) にもとづいて、R L 0 ハードラッチ乱数値レジスタ0 (R L 0 H V 0) に乱数値をラッチさせるかが設定されている。また、この実施の形態では、その設定された端子には、第1始動口スイッチ13aからの検出信号がラッチ信号として入力されているものとし、第1始動入賞口13への始動入賞が発生したタイミングでR L 0 ハードラッチ乱数値レジスタ0 (R L 0 H V 0) に乱数値をラッチできるように構成されている。

10

【0 3 8 8】

そして、C P U 5 6は、抽出したそれらのソフトウェア乱数および大当たり判定用乱数 (ランダムR) を、第1保留記憶バッファ (図57参照) における保存領域に格納する処理を実行する (ステップS 2 0 6 A)。なお、変動パターン判定用乱数 (ランダム3) を第1始動口スイッチ通過処理 (始動入賞時) において抽出して保存領域にあらかじめ格納しておくのではなく、第1特別図柄の変動開始時に抽出するようにしてもよい。例えば、遊技制御用マイクロコンピュータ560は、後述する変動パターン設定処理において、変動パターン判定用乱数 (ランダム3) を生成するための変動パターン判定用乱数カウンタから値を直接抽出するようにしてもよい。

【0 3 8 9】

20

図57は、保留記憶に対応する乱数等を保存する領域 (保留記憶バッファ) の構成例を示す説明図である。図57に示すように、第1保留記憶バッファには、第1保留記憶数の上限値 (この例では4) に対応した保存領域が確保されている。また、第2保留記憶バッファには、第2保留記憶数の上限値 (この例では4) に対応した保存領域が確保されている。この実施の形態では、第1保留記憶バッファおよび第2保留記憶バッファには、ハードウェア乱数であるランダムR (大当たり判定用乱数) や、ソフトウェア乱数である大当たり種別判定用乱数 (ランダム1) 、変動パターン種別判定用乱数 (ランダム2) および変動パターン判定用乱数 (ランダム3) が記憶される。なお、第1保留記憶バッファおよび第2保留記憶バッファは、R A M 5 5に形成されている。

【0 3 9 0】

30

そして、C P U 5 6は、第1保留記憶数が1増加したことを指定する第1保留記憶数加算指定コマンドを演出制御用マイクロコンピュータ100に送信する制御を行う (ステップS 2 0 7 A)。

【0 3 9 1】

第1保留記憶数が上限値に達していれば (ステップS 2 0 1 AのY) 、C P U 5 6は、R L 0 ハードラッチ乱数値レジスタ0 (R L 0 H V 0) から数値データを抽出し (ステップS 2 0 8 A) 、抽出した数値データ (乱数) を格納することなく、第1始動口スイッチ通過処理を終了する。すなわち、この実施の形態では、図23に示すプログラム管理エリアにおけるR L 0 ハードラッチ選択レジスタ0 (R L 0 L S 0) のビット3が"0"に設定され、R L 0 ハードラッチ乱数値レジスタ0 (R L 0 H V 0) から値を読み込まないと次の値をラッチできないように設定されているものとする。そのため、第1保留記憶数が上限値に達している場合であっても、C P U 5 6は、R L 0 ハードラッチ乱数値レジスタ0 (R L 0 H V 0) から数値データを抽出する処理のみを行い (値の格納まで行わない) 、R L 0 ハードラッチ乱数値レジスタ0 (R L 0 H V 0) が次の値をラッチできるようになっている。

40

【0 3 9 2】

なお、R L 0 ハードラッチ選択レジスタ0 (R L 0 L S 0) のビット3を"1"に設定し、R L 0 ハードラッチ乱数値レジスタ0 (R L 0 H V 0) から値を読み込まなくても次の値をラッチできるように設定してもよい。そのようにすれば、ステップS 2 0 8 Aの処理は不要となる。

50

【0393】

次に、図56(B)を参照して第2始動口スイッチ通過処理について説明する。第2始動口スイッチ14aがオン状態の場合に実行される第2始動口スイッチ通過処理において、CPU56は、第2保留記憶数が上限値に達しているか否か(具体的には、第2保留記憶数をカウントするための第2保留記憶数カウンタの値が4であるか否か)を確認する(ステップS201B)。

【0394】

第2保留記憶数が上限値に達していないければ、CPU56は、第2保留記憶数カウンタの値を1増やす(ステップS202B)とともに、合算保留記憶数をカウントするための合算保留記憶数カウンタの値を1増やす(ステップS203B)。

10

【0395】

次いで、CPU56は、ソフトウェア乱数(大当たり種別判定用乱数(ランダム1)、変動パターン種別判定用乱数(ランダム2)および変動パターン判定用乱数(ランダム3))を生成するための各カウンタから値を抽出する(ステップS204B)。また、CPU56は、チャネル1の16ビット乱数回路508bが用いるRL1ハードラッチ乱数値レジスタ0(RL1HVO)から、大当たり判定用乱数(ランダムR)としての数値データを抽出する(ステップS205B)。

【0396】

なお、既に、図25で説明したように、RL1ハードラッチ選択レジスタ(RL1LS)のビット2-0の設定内容によりいずれの端子からの信号(ラッチ信号)にもとづいて、RL1ハードラッチ乱数値レジスタ0(RL1HVO)に乱数値をラッチさせるかが設定されている。また、この実施の形態では、その設定された端子には、第2始動口スイッチ14aからの検出信号がラッチ信号として入力されているものとし、第2始動入賞口14への始動入賞が発生したタイミングでRL1ハードラッチ乱数値レジスタ0(RL1HVO)に乱数値をラッチできるように構成されている。

20

【0397】

そして、CPU56は、抽出したこれらのソフトウェア乱数および大当たり判定用乱数(ランダムR)を、第2保留記憶バッファ(図57参照)における保存領域に格納する処理を実行する(ステップS206B)。なお、変動パターン判定用乱数(ランダム3)を第2始動口スイッチ通過処理(始動入賞時)において抽出して保存領域にあらかじめ格納しておくのではなく、第2特別図柄の変動開始時に抽出するようにしてもよい。例えば、遊技制御用マイクロコンピュータ560は、後述する変動パターン設定処理において、変動パターン判定用乱数(ランダム3)を生成するための変動パターン判定用乱数カウンタから値を直接抽出するようにしてもよい。

30

【0398】

そして、CPU56は、第2保留記憶数が1増加したことを指定する第2保留記憶数加算指定コマンドを演出制御用マイクロコンピュータ100に送信する制御を行う(ステップS207B)。

【0399】

第2保留記憶数が上限値に達していれば(ステップS201BのY)、CPU56は、RL1ハードラッチ乱数値レジスタ0(RL1HVO)から数値データを抽出し(ステップS208B)、抽出した数値データ(乱数)を格納することなく、第2始動口スイッチ通過処理を終了する。すなわち、この実施の形態では、プログラム管理エリアにおけるRL1ハードラッチ選択レジスタ(RL1LS)のビット3が”0”に設定され(図25でn=1とした場合に相当する)、RL1ハードラッチ乱数値レジスタ0(RL1HVO)から値を読み込まないと次の値をラッチできないように設定されているものとする。そのため、第2保留記憶数が上限値に達している場合であっても、CPU56は、RL1ハードラッチ乱数値レジスタ0(RL1HVO)から数値データを抽出する処理のみを行い(値の格納までは行わない)、RL1ハードラッチ乱数値レジスタ0(RL1HVO)が次の値をラッチできるようにしている。

40

50

【0400】

なお、RL1ハードラッチ選択レジスタ0 (RL1LS) のビット3を”1”に設定し、RL1ハードラッチ乱数値レジスタ0 (RL1HVO) から値を読み込まなくても次の値をラッチできるように設定してもよい。そのようにすれば、ステップS208Bの処理は不要となる。

【0401】

また、この実施の形態では、ステップS205A, S205Bの処理が実行されることによって、第1特別図柄の変動表示を実行する場合と第2特別図柄の変動表示を実行する場合とで異なる乱数値レジスタから乱数値を抽出して格納するようにしている。そのようにすることにより、例えば、乱数更新のスタート値を異ならせたり、乱数列の変更の設定を異ならせたり、乱数最大値の設定を異ならせることによって、第1特別図柄の変動表示を実行する場合と第2特別図柄の変動表示を実行する場合とで乱数値が同期しにくくすることができ、所定の乱数更新タイミングを狙って不正に大当たりを発生させるなどの行為をしにくくしている。10

【0402】

なお、この実施の形態では、16ビット乱数回路508bの異なるチャネル（本例では、チャネル0とチャネル1）から乱数値を抽出することにより、第1特別図柄の変動表示を実行する場合と第2特別図柄の変動表示を実行する場合とで乱数を抽出する乱数値レジスタを異ならせる場合を示したが、この実施の形態で示した様にかぎられない。例えば、16ビット乱数回路508bの同じチャネルであっても、その同じチャネルで用いる異なるハードラッチ乱数値レジスタから（例えば、同じチャネル0のRL0ハードラッチ乱数値レジスタ0 (RL0HVO) と RL0ハードラッチ乱数値レジスタ1 (RL0HV1) とから）乱数値を抽出することにより、第1特別図柄の変動表示を実行する場合と第2特別図柄の変動表示を実行する場合とで乱数を抽出する乱数値レジスタを異ならせてよい。20

【0403】

また、この実施の形態では、ハードラッチ乱数値レジスタから乱数値を抽出する場合を示したが、例えば、ソフトラッチ乱数値レジスタから乱数値を抽出するようにしてもよい。この場合であっても、16ビット乱数回路508bの異なるチャネルから乱数値を抽出することにより、または同じチャネルであっても異なるソフトラッチ乱数値レジスタから乱数値を抽出することにより、第1特別図柄の変動表示を実行する場合と第2特別図柄の変動表示を実行する場合とで乱数を抽出する乱数値レジスタを異ならせるようにすればよい。30

【0404】

また、この実施の形態では、16ビット乱数回路508bから乱数値を抽出する場合を示したが、例えば、8ビット乱数回路508aから乱数値を抽出するようにしてもよい。この場合であっても、8ビット乱数回路508aの異なるチャネルから乱数値を抽出することにより、または同じチャネルであっても異なるハードラッチ乱数値レジスタやソフトラッチ乱数値レジスタから乱数値を抽出することにより、第1特別図柄の変動表示を実行する場合と第2特別図柄の変動表示を実行する場合とで乱数を抽出する乱数値レジスタを異ならせるようにすればよい。40

【0405】

なお、この実施の形態では、既に説明したように、遊技制御用マイクロコンピュータ560は、遊技機への電源投入時にステップS1001, S1011を実行して乱数回路508a, 508bに関する設定をハードウェア的に行い、その後に、ユーザプログラムの実行中に第1始動口スイッチ通過処理（ステップS312参照）や第2始動口スイッチ通過処理（ステップS314参照）においてステップS205A, S205Bの乱数抽出の処理を実行する。従って、この実施の形態では、乱数回路から数値データ（乱数値）を抽出するタイミングよりも前に、乱数回路の監視に関する設定が行われるように構成されている。50

【 0 4 0 6 】

次に、演出制御手段の動作を説明する。図58は、演出制御基板80に搭載されている演出制御手段としての演出制御用マイクロコンピュータ100（具体的には、演出制御用CPU101）が実行するメイン処理を示すフローチャートである。演出制御用CPU101は、電源が投入されると、メイン処理の実行を開始する。メイン処理では、まず、RAM領域のクリアや各種初期値の設定、また演出制御の起動間隔（例えば、4ms）を決めるためのタイマの初期設定等を行うための初期化処理を行う（ステップS7001）。その後、演出制御用CPU101は、タイマ割込フラグの監視（ステップS7002）を行うループ処理に移行する。タイマ割込が発生すると、演出制御用CPU101は、タイマ割込処理においてタイマ割込フラグをセットする。メイン処理において、タイマ割込フラグがセットされていたら、演出制御用CPU101は、そのフラグをクリアし（ステップS7003）、以下の演出制御処理を実行する。10

【 0 4 0 7 】

演出制御処理において、演出制御用CPU101は、まず、受信した演出制御コマンドを解析し、受信した演出制御コマンドに応じたフラグをセットする処理等を行う（コマンド解析処理：ステップS7004）。

【 0 4 0 8 】

次いで、演出制御用CPU101は、演出制御プロセス処理を行う（ステップS7005）。演出制御プロセス処理では、制御状態に応じた各プロセスのうち、現在の制御状態（演出制御プロセスフラグ）に対応した処理を選択して演出表示装置9の表示制御を実行する。20

【 0 4 0 9 】

次いで、演出制御用CPU101は、第4図柄プロセス処理を行う（ステップS7006）。第4図柄プロセス処理では、制御状態に応じた各プロセスのうち、現在の制御状態（第4図柄プロセスフラグ）に対応した処理を選択して演出表示装置9の第4図柄表示領域9c, 9dにおいて第4図柄の表示制御を実行する。

【 0 4 1 0 】

次いで、大当たり図柄決定用乱数などの乱数を生成するためのカウンタのカウント値を更新する乱数更新処理を実行する（ステップS7007）。その後、ステップS7002に移行する。30

【 0 4 1 1 】

以上に説明したように、この実施の形態によれば、所定事象が発生（本例では、IAT506aからのIAT信号の入力、ウォッチドッグタイマ（WDT）506bからのタイマアウト信号の入力）したことにもとづいて第1リセット（本例では、システムリセット）を発生させるか第2リセット（本例では、ユーザリセット）を発生させるかを設定可能である（図12に示すリセット設定（KRES）のビット7参照）。そして、第1リセットの発生後にはセキュリティチェックを実行する一方、第2リセットの発生後にはセキュリティチェックを実行しない。そのため、遊技機や遊技店の状況などに応じて所定事象が発生したときに行うリセットの種類を最適なものに設定できるので、遊技制御用マイクロコンピュータ560に関するセキュリティ性を向上させることができる。40

【 0 4 1 2 】

なお、この実施の形態では、所定事象の発生として、IAT506aからのIAT信号を入力した場合と、ウォッチドッグタイマ（WDT）506bからのタイマアウト信号を入力した場合とを示しているが、この実施の形態で示したものにかぎらず、遊技制御用マイクロコンピュータ560をリセットすべき何らかのエラーなどの状況が発生したことにともとづいて、所定事象が発生したとしてリセットするものであってもよい。

【 0 4 1 3 】

また、この実施の形態によれば、所定事象の発生には、ウォッチドッグタイマ（WDT）506bのタイマアウトが含まれ、ウォッチドッグタイマ（WDT）506bを起動させるか否かを設定可能である（本例では、図12に示すリセット設定（KRES）のビッ50

ト3-0に”0000”を設定する）。そして、ウォッチドッグタイマ（WDT）506bを起動させないと設定した場合であっても、所定事象が発生したことにもとづいて第1リセットを発生させるか第2リセットを発生させるかを設定可能である。具体的には、図12に示すリセット設定（KRES）において、ビット3-0に”0000”を設定していても、ビット7の設定を行うことによってリセットの種類を設定可能である。そのため、ウォッチドッグタイマ（WDT）506bの設定にかかわらず、所定事象が発生したことにもとづいて発生させるリセットの種類の設定を共通化することができる。

【0414】

また、この実施の形態によれば、所定事象の発生には、指定された領域以外の領域に格納されたプログラムを実行する指定領域外実行（本例では、指定エリア外走行禁止（IAT））が含まれる。そして、遊技制御用マイクロコンピュータ560は、所定の処理として所定時間（本例では4ms）毎に発生するタイマ割込に応じて実行されるタイマ割込処理（図49に示すタイマ割込処理）の実行中に指定領域外実行が発生（本例では、IAT回路506aからIAT信号を入力）した場合に、RAM55（バックアップRAM）の記憶内容を初期化する（本例では、リセットの後、図48に示すステップS10が実行される）。そのため、意図しないプログラムが実行された場合のセキュリティ性を向上させることができる。10

【0415】

また、この実施の形態によれば、第1リセットを発生させると設定したときに、所定事象が発生して第1リセットを発生させた後、所定事象が発生したことにもとづいて第1リセットを発生させるか第2リセットを発生させるかを再度設定する。具体的には、図46（A）に示すように、システムリセットが発生したときに、ステップS1005が実行されて、遊技制御用マイクロコンピュータ560の各種設定がハードウェア的に再度実行されることにより、システムリセットとするかユーザリセットとするかが再度設定される。そのため、異常な状態から正常な状態に確実に復旧させることができる。20

【0416】

なお、この実施の形態では、具体的には、所定事象が発生（IAT506aからのIAT信号の入力、ウォッチドッグタイマ（WDT）506bからのタイムアウト信号の入力）してシステムリセットが発生した後に、内部リセットの設定を再度設定する場合（図46（A）のステップS1005参照）を示しているが、ユーザリセットが発生した場合にもステップS1005と同様の処理を実行して内部リセットの設定を再度設定するようにしてもよい。30

【0417】

また、この実施の形態によれば、16ビット乱数回路508bの数値保持手段（本例では、ハードラッ奇偶数用レジスタやソフトラッ奇偶数用レジスタ）が保持する数値データを更新するための乱数用クロック信号（本例では、外部クロック信号）の周波数の異常の発生と、数値保持手段が保持する数値データの更新状態とを監視可能な乱数回路監視手段（本例では、更新監視回路537）を備える。そのため、乱数用クロック信号の周波数の異常の発生を監視するとともに数値データの更新状態も監視できるので、遊技機が搭載する乱数回路（本例では、16ビット乱数回路508b）に関するセキュリティ性を向上させることができる。40

【0418】

また、この実施の形態によれば、遊技制御用マイクロコンピュータ560が搭載する制御用CPU（本例では、CPU56）は、第1情報（本例では、データ格納領域の上位アドレス）と第2情報（本例では、データ格納領域の下位アドレス）とともにとづいて、読み出し対象のデータが格納された領域に対応するアドレスを特定し、特定したアドレスに対応する領域から読み出し対象のデータを読み出す。この場合、読み出し対象のデータを読み出すときに、格納手段（本例では、Qレジスタ）に格納された特定値（本例では、固定値として格納されている「FOH」）にもとづいて第1情報を特定するとともに、制御命令で指定された第2情報（図47に示す例では、LDQコマンド（プログラムされている

命令の 1 つ) で指定された「20H」) を特定する。そのため、格納手段(本例では、Qレジスタ)を用いることにより、データ格納領域のアドレスのうちの固定部分(本例では、上位アドレス)を毎回コマンドで指定する必要がなくなるので、データを読み出すために処理命令を行う際の無駄(アドレスの共通部分を指定するプログラムの無駄)を削減することができる。

【0419】

また、この実施の形態によれば、制御用CPU(本例では、CPU56)は、遊技機への電力供給が開始された後、RAM55へのアクセスが許可されるタイミングで(図48のステップS5参照)、RAM55に設けられた作業領域に対応するアドレスの一部を示す値(本例では、F0H)を特定値として格納手段(本例では、Qレジスタ)に格納する(図48のステップS5A参照)。そのため、RAM55へのアクセスが許可されるタイミングで格納手段に特定値が格納されることによって、それ以降にRAM55に設けられた作業領域に対応するアドレスを指定するためのプログラムの無駄を削減することができる。10

【0420】

なお、この実施の形態では、特定値の格納の仕方として、(1) RAM55へのアクセスを許可するタイミングで特定値を格納手段に格納する処理と、(2) 常に格納手段に特定値が格納されている状態としている構成との両方を備える場合を示している。具体的には、この実施の形態では、ユーザプログラムの実行が開始され図48に示すメイン処理が開始されたときに、ユーザプログラムによりQレジスタに初期値F0Hを設定する処理が実行される(ステップS5A参照)とともに、システムリセット時にハードウェア的に初期化されてQレジスタn値が初期値F0Hに自動設定されるものとする。例えば、遊技機に対して電源が投入され電力供給が開始されたときに、Qレジスタの下位4ビットは0に初期化されるとともに、上位4ビットは反転回路で反転されて全て値1となることによって、Qレジスタの初期値としてF0Hが自動設定される。ただし、Qレジスタの初期値設定は、ユーザプログラムの開始時に実行されるユーザプログラムによる設定のみでもよいし、遊技機に対して電源が投入され電力供給が開始されたときに行うハードウェア的な自動設定のみでもよい。20

【0421】

なお、この実施の形態において、遊技機が搭載する遊技制御用マイクロコンピュータ560において制御命令として使用可能なコマンドには、所定のルールに従ってあるレジスタのデータと他の2バイトのレジスタで指定されたアドレスに格納(記憶)されたデータとの入れ替えを実行可能なRLDコマンドやRRDコマンド(ともにプログラムされている命令の1つである)がある。例えば、RLDコマンドを用いてレジスタAのデータと2バイトのレジスタで指定されたアドレスに格納(記憶)されたデータとの入れ替えを実行した場合、レジスタAの上位4ビットのデータはそのままで、レジスタAの下位4ビットのデータを2バイトのレジスタで指定されたアドレスの下位4ビットに移し、2バイトのレジスタで指定されたアドレスの上位4ビットに移し、2バイトのレジスタで指定されたアドレスに格納(記憶)されたデータの上位4ビットをレジスタAの下位4ビットに移すことが可能である。そして、この場合に、例えば、2バイトのレジスタで指定されたアドレスに格納(記憶)されたデータとして書き込み不能な領域のデータ(例えば、ROMエリアのデータ)を指定すれば、2バイトのレジスタで指定されたアドレスに格納(記憶)されたデータをそのままにして、2バイトのレジスタで指定されたアドレスに格納(記憶)されたデータの上位4ビットをレジスタAの下位4ビットに反映させる動作のみを実行させることもできる。3040

【0422】

また、例えば、RRDコマンドを用いてレジスタAのデータと2バイトのレジスタで指定されたアドレスに格納(記憶)されたデータとの入れ替えを実行した場合、レジスタAの上位4ビットのデータはそのままで、レジスタAの下位4ビットのデータを2バイトの50

レジスタで指定されたアドレスの上位4ビットに移し、2バイトのレジスタで指定されたアドレスに格納（記憶）されたデータの上位4ビットを2バイトのレジスタで指定されたアドレスの下位4ビットに移し、2バイトのレジスタで指定されたアドレスに格納（記憶）されたデータの下位4ビットをレジスタAの下位4ビットに移すことが可能である。そして、この場合に、例えば、2バイトのレジスタで指定されたアドレスに格納（記憶）されたデータとして書き込み不能な領域のデータ（例えば、ROMエリアのデータ）を指定すれば、2バイトのレジスタで指定されたアドレスに格納（記憶）されたデータのデータをそのままにして、2バイトのレジスタで指定されたアドレスに格納（記憶）されたデータの下位4ビットをレジスタAの下位4ビットに反映させる動作のみを実行させることもできる。

10

【0423】

なお、上記の実施の形態において、予告演出の対象となる変動表示が開始されるよりも前に実行される先読み予告演出を実行するように構成してもよい。先読み予告演出を実行するように構成する場合、例えば、遊技制御用マイクロコンピュータ560は、第1始動入賞口13や第2始動入賞口14への始動入賞が発生したタイミングで第1始動口スイッチ通過処理（ステップS312参照）や第2始動口スイッチ通過処理（ステップS314参照）にて始動入賞時の判定を行い、その判定結果を示す入賞時判定結果コマンドを送信する制御を行う。この場合、例えば、入賞時判定結果コマンドとして、大当たりとなるか否かや、小当たりとなるか否か、大当たりの種別の判定結果を示す図柄指定コマンド、および変動パターン種別判定用乱数の値がいずれの判定値の範囲となるかの判定結果（変動パターン種別の判定結果）を示す変動カテゴリコマンドを送信する。従って、この場合、新たな始動入賞が発生したタイミングで1タイム割り込み内で始動入賞時コマンドとして図柄指定コマンド、変動カテゴリコマンド、および保留記憶数加算指定コマンド（第1保留記憶数加算指定コマンド、第2保留記憶数加算指定コマンド）が送信されることになる。

20

【0424】

なお、第1保留記憶数加算指定コマンドは、第1始動入賞口13に始動入賞したときに送信されるコマンドであることから、この意味で第1始動入賞口13に始動入賞したことを示す第1始動口入賞指定コマンドでもある。また、第2保留記憶数加算指定コマンドは、第2始動入賞口14に始動入賞したときに送信されるコマンドであることから、この意味で第2始動入賞口14に始動入賞したことを示す第2始動口入賞指定コマンドでもある。以下、第1始動口入賞指定コマンド（第1保留記憶数加算指定コマンド）と第2始動口入賞指定コマンド（第2保留記憶数加算指定コマンド）とを総称して始動口入賞指定コマンドともいう。

30

【0425】

以下、先読み予告演出を実行可能に構成する場合の動作について説明する。

【0426】

図59は、演出制御プロセス処理として、図58のステップS7005にて実行される処理の一例を示すフローチャートである。図59に示す演出制御プロセス処理において、演出制御用CPU101は、まず、先読み予告演出の有無や演出態様を決定する先読み予告決定処理を実行する（ステップS161）。

40

【0427】

図60は、図59のステップS161にて実行される先読み予告決定処理の一例を示すフローチャートである。図60に示す先読み予告決定処理において、演出制御用CPU101は、まず、始動入賞時にその始動入賞の判定結果にもとづいて送信される始動入賞時コマンドを格納する始動入賞時受信コマンドバッファにおける記憶内容をチェックする（ステップS701）。そして、始動入賞時のコマンドのうち、少なくともいずれかとなる新たな受信コマンドがあるか否かを判定する（ステップS702）。例えば、始動入賞時受信コマンドバッファに少なくとも図柄指定コマンド、変動カテゴリコマンドまたは保留記憶数加算指定コマンド（第1保留記憶数加算指定コマンド、第2保留記憶数加算指定コマンド）のうち、いずれかが新たに格納されているか否かを確認することにより受信コマ

50

ンドの有無を判定できる。いずれのコマンドも新たに受信していなければ（ステップS702；No）、そのまま先読み予告決定処理を終了する。

【0428】

ステップS702にて受信コマンドがあると判定された場合には（ステップS702；Yes）、既に先読み予告演出を実行中であるか否かを判定する（ステップS703）。例えば、ステップS703の処理では、先読み予告演出の実行中であることを示す先読み予告実行中フラグがオンであるときに、先読み予告演出を実行中であると判定すればよい。先読み予告実行中フラグは、先読み予告演出が実行されるときにオン状態にセットされる。

【0429】

この実施の形態では、既に先読み予告演出を実行中であるときには、さらに先読み予告演出を実行するための処理が行われないようにして、既に決定した演出態様で先読み予告演出が実行される。一方、可変表示態様が「非リーチ」に決定される旨の入賞時判定結果にもとづき先読み予告演出が実行されているときに、可変表示結果が「大当たり」に決定される旨の入賞時判定結果やリーチを伴う変動パターンに決定される旨の入賞時判定結果が得られたときには、実行中の先読み予告演出からスーパー・リーチや大当たりの予告演出へと切り替えてよい。なお、既に実行されている先読み予告演出の演出態様にかかわらず、さらに先読み予告演出を実行可能にしてもよい。

【0430】

ステップS703にて先読み予告演出が実行中ではない場合には（ステップS703；No）、先読み予告演出の実行が制限される先読み予告制限中であるか否かを判定する（ステップS704）。ステップS704にて先読み予告制限中ではない場合には（ステップS704；No）、始動入賞の発生にもとづく受信コマンドの順序と内容をチェックして（ステップS706）、正常に受信できたか否かを判定する（ステップS707）。ステップS707の処理では、例えば始動入賞時の受信コマンドが順番通りであるか否か、欠落なくすべて受信できたか否か、図柄指定コマンドと変動カテゴリコマンドとの内容が整合しているか否かなどの確認を行い、いずれか1つでも否定された場合には、正常に受信できなかったと判定すればよい。なお、いずれか1つでも否定された場合に異常が発生したと判定するものに限定されず、例えばいずれか2つが否定された場合に異常が発生したと判定するようにしてもよい。あるいは、すべてが否定された場合に異常が発生したと判定するようにしてもよい。

【0431】

ステップS707にて正常に受信できたと判定された場合には（ステップS707；Yes）、始動入賞時受信コマンドバッファに格納されている前回までの変動カテゴリコマンドをチェックして（ステップS708）、現在の保留記憶数（例えば、第1保留記憶数または第2保留記憶数）が「3」または「4」であり、かつ、前回までの変動カテゴリが非リーチハズレとなるもののみであるか否かを判定する（ステップS709）。すなわち、この実施の形態では、可変表示結果が「非リーチハズレ」となる保留データが2つまたは3つある場合には、その保留データを利用して連続予告演出を実行するようにしている。

【0432】

なお、保留記憶数が連続予告演出を実行するのに十分な数であれば（例えば2以上であれば）、連続予告演出を実行できるようにしてもよい。例えば、後述する先読み予告パターンSY P3-1の連続予告演出（先読み予告演出）のように、演出態様が変化する予告パターン以外では、一連の演出であることを報知できる保留記憶数である場合に連続予告演出を実行するようにしてもよい。このようにすることで、連続予告演出を総合的な実行頻度を向上させることができる。

【0433】

また、停止図柄予告以外の先読み予告演出を実行する場合には、可変表示結果が「非リーチハズレ」となる保留データが含まれている場合にも、連続予告演出を実行するよう

10

20

30

40

50

してもよい。このようにした場合、連続予告演出の実行途中でリーチが発生したり、「大当たり」となることがあるので、意外性のある演出を実行できる。可変表示結果が「非リーチハズレ」となる保留データが含まれている場合に連続予告演出を実行するようする場合に、例えば、リーチを伴う可変表示においては、停止図柄予告以外の演出態様の連続予告演出が選択されるようにすればよい。このようにすることで、先読みの対象となる可変表示が実行さえる前の表示結果に関わらず連続予告演出を実行することができる。

【0434】

例えば、ステップS708の処理では、最新の変動カテゴリコマンドよりも1つ前までに受信して始動入賞時受信コマンドバッファに格納されているデータの数、及び、変動カテゴリコマンドにより指定された変動カテゴリを読み取る。ステップS709の処理では、ステップS708における読み取り結果により、データの数が「3」または「4」であるか、非リーチハズレに対応した変動カテゴリを指定する変動カテゴリコマンドのみであるか否かを判定する。10

【0435】

ステップS709にて、現在の保留記憶数が「3」または「4」であり、かつ、り、かつ、前回までの変動カテゴリが非リーチハズレとなるもののみであると判定された場合には、(ステップS709; Yes)、先読み予告演出を実行するか否かと、先読み予告演出を実行する場合における先読み予告演出の演出態様に対応した先読み予告パターンとを決定する(ステップS710)。20

【0436】

一例として、ステップS710の処理では、先読み予告演出の有無と先読み予告パターンとを決定するための使用テーブルとして、予め用意された先読み予告決定テーブルを選択してセットする。先読み予告決定テーブルでは、予告対象となる可変表示に対応する始動入賞の発生にもとづいて送信された変動カテゴリコマンドの指定内容などに応じて、先読み予告種別決定用の乱数値と比較される数値(決定値)が、先読み予告演出を実行しない場合に対応する「実行なし」の決定結果や、先読み予告演出を実行する場合における複数の先読み予告パターンなどに、割り当てられていればよい。その後、演出制御用CPU101は、例えば、先読み予告決定用の乱数値を示す数値データを抽出し、その数値データにもとづいて、先読み予告決定テーブルを参照することにより、先読み予告演出の有無と先読み予告パターンとを決定すればよい。30

【0437】

ステップS710の処理では、例えば図61に示すような決定割合で、先読み予告演出の有無と先読み予告パターンとが決定されればよい。図61に示す決定割合の設定例では、変動カテゴリに応じて、先読み予告演出の有無や先読み予告パターンの決定割合を異ならせている。

【0438】

この実施の形態では、先読み予告パターンとして、SYP1-1、SYP1-2、SYP2-1、SYP3-1の4種類が設けられている。先読み予告パターンSYP1-1及びSYP1-2は、予告の対象となる可変表示が実行されるまでの複数回の可変表示渡って演出表示装置9に予め定められた連続演出用のチャンス目を構成する飾り図柄が停止する停止図柄予告に対応した先読み予告パターンである。先読み予告パターンSYP1-1にもとづく停止図柄予告では、連続演出用のチャンス目として、図62(A)に示すチャンス目CA1~CA8(チャンス目A)のいずれかが停止する。チャンス目Aは、図62(A)に示すように、左図柄と中図柄が同じ数字であり、右図柄のみが1つずれた数字の組合せとなっている。また、先読み予告パターンSYP1-2にもとづく停止図柄予告では、連続演出用のチャンス目として、図62(B)に示すチャンス目CB1~CB6(チャンス目B)のいずれかが停止する。チャンス目Bは、図62(B)に示すように、並び数字の組合せとなっている。この実施の形態では、後述するように、チャンス目Aが停止する停止図柄予告が実行された場合よりも、チャンス目Bが停止する停止図柄予告が実行された場合の方が、大当りとなる可能性(大当り信頼度)が高くなっている。このように4050

することで、停止図柄予告が実行されるときに、いずれのチャンス目が停止したかに遊技者を注目させることができ、遊技の興趣が向上する。

【0439】

なお、チャンス目Aやチャンス目Bは、図62(A)、(B)に示すようなものに限定されず、それぞれが区別可能な予め定められた組合せであればよい。例えばチャンス目Aを通常図柄(非確変図柄)である偶数の数字の任意の組合せとして、チャンス目Bを確変図柄である奇数の数字の任意の組合せとしてもよい。このようにすることで、遊技者がいずれのチャンス目であるかを認識しやすくなる。

【0440】

先読み予告パターンSYP2-1は、予告の対象となる可変表示が実行されるより前の可変表示中に、演出表示装置9における背景画像が通常の背景画像から特殊な背景画像に変化し、予告の対象となる可変表示が実行されるまでその特殊な背景画像となる背景変化予告を実行することに対応した先読み予告パターンである。10

【0441】

先読み予告パターンSYP3-1は、チャンス目Aが停止する停止図柄予告が実行された後に、背景変化予告に変化する先読み予告演出を実行することに対応した先読み予告パターンである。

【0442】

図61に示すように、この実施の形態では、変動カテゴリが「非リーチハズレ」、「リーチハズレ」、「突確・小当り」、「大当り」のいずれであるかによって先読み予告演出が実行される割合、先読み予告パターンの決定割合が異なっている。20

【0443】

具体的には、変動カテゴリが「リーチハズレ」である場合には、「非リーチハズレ」である場合よりも、先読み予告演出が実行される割合(「実行あり」以外に決定される割合)が高くなっている。変動カテゴリが「大当り」である場合には、「非リーチハズレ」、「リーチハズレ」、「突確・小当り」である場合よりも、先読み予告演出が実行される割合が高くなっている。このような設定により、先読み予告演出を実行することで、可変表示結果が「大当り」となることやリーチが実行されることを予告・示唆することができる。なお、変動カテゴリが「突確・小当り」である場合には、先読み予告演出が実行されたにも関わらず、実質的には出玉(賞球)が得られない「突確」や実質的には出玉(賞球)が得られないことに加えて遊技状態も変化しない「小当り」となって遊技者を落胆させてしまうことを防止するため、先読み予告演出を実行しないようにしてもよい。30

【0444】

また、図61に示す決定割合では、チャンス目Aが停止する先読み予告パターンSYP1-1の先読み予告演出が実行された場合よりも、チャンス目Bが停止する先読み予告パターンSYP1-2の先読み予告演出が実行された場合の方が、可変表示結果が「大当り」となる割合(大当り信頼度)やリーチが実行される割合(リーチ信頼度)が高くなっている。このように、チャンス目の種別により大当り信頼度やリーチ信頼度が異なるので、遊技者が停止図柄に注目するようになり、遊技の興趣が向上する。

【0445】

また、先読み予告パターンSYP1-1や先読み予告パターンSYP1-2といった停止図柄予告の先読み予告演出が実行された場合よりも、背景変化予告の先読み予告パターンSYP2-1の先読み予告演出が実行された場合の方が、大当り信頼度やリーチ信頼度が高くなっている。40

【0446】

また、先読み予告パターンSYP1-1や先読み予告パターンSYP1-2といった停止図柄予告の先読み予告演出が実行された場合よりも、停止図柄予告から背景変化予告に変化する先読み予告パターンSYP3-1の先読み予告演出が実行された場合の方が、大当り信頼度やリーチ信頼度が高くなっている。

【0447】

10

20

30

40

50

このように、大当たり信頼度やリーチ信頼度が低い停止図柄予告の先読み予告演出が実行された場合であっても、大当たり信頼度やリーチ信頼度が高い背景変化予告に変化する場合があるので、停止図柄予告が実行された場合であっても、遊技者は背景変化予告に変化することを期待するようになり、遊技者の期待感を維持することができ、遊技の興趣が向上する。

【0448】

特に、先読み予告パターンSYP3-1の先読み予告演出は、大当たり信頼度やリーチ信頼度が最も低い先読み予告パターンSYP1-1と同一の演出態様（チャンス目Aが停止する演出態様）から背景変化予告に変化するようになっている。これにより、大当たり信頼度やリーチ信頼度が最も低い、チャンス目Aが停止する先読み予告演出が実行された場合でも、遊技者の期待感を維持することができ、遊技の興趣が向上する。10

【0449】

なお、この実施の形態では、チャンス目Aが停止する停止図柄予告から背景変化予告に変化する場合がある一方、チャンス目Bが停止する停止図柄予告からは背景変化予告に変化しないよう（変化する割合が0%）になっている。これに限定されず、チャンス目Bが停止する停止図柄予告から背景変化予告に変化する場合があるようにしてよい。この場合は、チャンス目Aが停止する停止図柄予告が実行された場合と、チャンス目Bが停止する停止図柄予告が実行された場合と、で背景変化予告に変化する割合が異なるようにすればよい。具体的には、背景変化予告に変化しなかった場合の大当たり信頼度やリーチ信頼度が低いチャンス目Aが停止する停止図柄予告からの方が、背景変化予告に変化しやすいようになることが好みしい。このようにすることで、大当たり信頼度やリーチ信頼度が低い停止図柄予告が実行された場合でも、遊技者の期待感を維持することができ、遊技の興趣が向上する。20

【0450】

また、先読み予告パターンSYP2-1の先読み予告演出が実行された場合よりも、先読み予告パターンSYP3-1の先読み予告演出が実行された場合の方が、大当たり信頼度やリーチ信頼度が高くなっている。このような設定により、遊技者は背景変化予告に変化することより期待するようになり、遊技者の期待感をより維持することができ、遊技の興趣が向上する。30

【0451】

なお、遊技状態が大当たり遊技状態や小当たり遊技状態であるときには、先読み予告演出を実行しないように制限してもよい。大当たり遊技状態であるか否かは、例えば演出プロセスフラグの値が「6」または「7」のいずれかであるか否かに対応して、判定することができる。また、小当たり遊技状態であるか否かは、例えば演出プロセスフラグの値が「4」または「5」のいずれかであるか否かに対応して、判定することができる。30

【0452】

一方、遊技状態が大当たり遊技状態や小当たり遊技状態であるときでも、先読み予告演出を実行可能にしてもよい。例えば始動入賞の発生にもとづいて始動入賞時のコマンドを受信した後、大当たり遊技状態におけるラウンドの実行回数が所定回数（例えば「10」）となつたときに、始動入賞時受信コマンドバッファに格納されている図柄指定コマンドや変動カテーテゴリコマンドを読み出して先読み予告演出を実行するか否かを決定し、そのラウンドを実行中に先読み予告演出を実行するようにしてよい。この場合、先読み予告演出として、連続した態様の演出ではなく、例えば、今回の大当たり遊技状態の終了後に可変表示結果が「大当たり」となることを確定的に報知する一発告知態様の演出を実行してもよい。40

【0453】

図60に示すステップS710の処理による決定にもとづいて、先読み予告演出を実行しない「実行なし」であるか否かを判定する（ステップS711）。このとき、「実行なし」以外であれば（ステップS711；No）、決定した先読み予告パターンに応じた先読み予告演出の実行を開始するための設定を行う（ステップS712）。ステップS712では、先読み予告演出を実行する可変表示の回数を示す先読み予告実行回数カウンタに50

保留記憶数（第1保留記憶数、第2保留記憶数）をカウント初期値として設定し、例えば先読み予告実行中フラグをオン状態にセットするといった、先読み予告演出が実行中であることに対応した設定を行う。また、ステップS710にて決定された先読み予告パターンや、現在の保留記憶数（第1保留記憶数、第2保留記憶数）に対応した先読み予告演出制御パターンをセットする。

【0454】

図63は、先読み予告演出制御パターンの一覧を示す図である。図63に示すように、先読み予告パターンSYP1-1であって保留記憶数（第1保留記憶数、第2保留記憶数）が3であることに対応した先読み予告演出制御パターンSCP1-1と、先読み予告パターンSYP1-1であって保留記憶数（第1保留記憶数、第2保留記憶数）が4であることに対応した先読み予告演出制御パターンSCP1-2と、先読み予告パターンSYP1-2であって保留記憶数（第1保留記憶数、第2保留記憶数）が3であることに対応した先読み予告演出制御パターンSCP2-1と、先読み予告パターンSYP1-2であって保留記憶数（第1保留記憶数、第2保留記憶数）が4であることに対応した先読み予告演出制御パターンSCP2-2と、先読み予告パターンSYP2-1であって保留記憶数（第1保留記憶数、第2保留記憶数）が3であることに対応した先読み予告演出制御パターンSCP3-1と、先読み予告パターンSYP2-1であって保留記憶数（第1保留記憶数、第2保留記憶数）が4であることに対応した先読み予告演出制御パターンSCP3-2と、先読み予告パターンSYP3-1であって保留記憶数（第1保留記憶数、第2保留記憶数）が3であることに対応した先読み予告演出制御パターンSCP4-1と、先読み予告パターンSYP3-1であって保留記憶数（第1保留記憶数、第2保留記憶数）が4であることに対応した先読み予告演出制御パターンSCP4-2と、が設けられている。10各先読み予告演出制御パターンは、図63に示すように、先読み予告演出を開始してからの各変動において実行する演出内容に対応した制御データから構成されている。

【0455】

なお、図63に示すように、先読み予告パターンSYP3-1である場合には、先読み予告演出が開始されてから2変動目において、背景変化予告が実行されるようになっている。これに限定されず、先読み予告演出の対象となる変動時や先読み予告演出の対象となる変動の1回前の変動時に背景変化予告が実行されるようにしてもよい。例えば、先読み予告パターンSYP3-1に決定された場合には、背景変化予告を実行するタイミングをさらに決定するようにして、その決定結果に応じた先読み予告演出制御パターンを選択するようすればよい。この場合、先読み予告演出の対象となる変動の表示結果（変動力テゴリ）に応じて、背景変化予告を実行するタイミングの決定割合を異ならせてもよい。30このようにすることで、停止図柄予告の先読み予告演出が実行された後、背景変化予告が実行されるタイミングによって、大当たり信頼度やリーチ信頼度を異ならせることができる。

【0456】

ステップS712の処理を実行した後や、ステップS703にて先読み予告演出が実行中であると判定されたとき（ステップS703；Yes）、ステップS704にて先読み予告制限中であると判定されたとき（ステップS704；Yes）、ステップS709にて現在の保留記憶数（第1保留記憶数、第2保留記憶数）が「3」または「4」でないと判定されたとき、または、前回までの変動力テゴリが非リーチハズレとなるもののみでないと判定されたとき（ステップS709；No）、あるいは、ステップS711にて「実行なし」と判定されたときには（ステップS711；Yes）、始動入賞時受信コマンドバッファに格納されている最新の始動口入賞指定コマンドが第1始動口入賞指定コマンド（第1保留記憶数加算指定コマンド）であるか否かを判定する（ステップS713）。40

【0457】

ステップS713にて第1始動口入賞指定コマンド（第1保留記憶数加算指定コマンド）であるときには（ステップS713；Yes）、第1保留記憶表示部18cにおける保留表示として、第1特図を用いた特図ゲームが新たに保留されたことに対応する表示部位を更新する制御を行う（ステップS714）。ステップS714では、第1保留記憶表示

10

20

30

40

50

部18cにおける保留表示を通常の表示態様（例えば丸型の白色表示）で更新する制御を行う。その後、先読み予告決定処理を終了する。

【0458】

一方、ステップS713にて第1始動口入賞指定コマンド（第1保留記憶数加算指定コマンド）ではないと判定された場合には（ステップS713；No）、第2保留記憶表示部18dにおける保留表示として、第2特図を用いた特図ゲームが新たに保留されたことに対応する表示部位を更新する制御を行う（ステップS715）。ステップS715では、第2保留記憶表示部18dにおける保留表示を通常の表示態様（例えば丸型の白色表示）で更新する制御を行う。その後、先読み予告決定処理を終了する。

【0459】

ステップS707にて始動入賞時のコマンドを正常に受信できなかったと判定されたときには（ステップS707；No）、始動入賞時受信コマンドバッファにおける最新のコマンドに対応して、未判定情報をセットする（ステップS731）。例えば、始動入賞時受信コマンドバッファにおけるバッファ番号ごとに、未判定情報の格納領域を設け、最新のコマンドに対応するバッファ番号の未判定情報を「1」（またはオン状態）にセットすればよい。

【0460】

ステップS731の処理を実行した後には、第1保留記憶表示部18cおよび第2保留記憶表示部18dにおける保留表示として、第1保留記憶数や第2保留記憶数を示す表示部位をそれぞれ、共通の非正常時の表示態様（例えば丸型の灰色表示）に変更して、新たに保留されたことに対応する表示部位も共通の非正常時の表示態様で表示する（ステップS732）。非正常時の表示態様は、通常の表示態様や特別な表示態様であるときとは表示部位の表示色や表示形状、表示キャラクタなどの一部または全部を異ならせることにより、始動入賞時のコマンドに取りこぼしが生じたことを認識可能に報知できればよい。なお、新たに保留されたことに対応する表示部位のみを非正常時の表示態様とする一方で、他の表示部位における表示態様は変更しなくてもよい。

【0461】

ステップS732の処理を実行した後には、例えば先読み予告制限フラグをオン状態にセットするといった、先読み予告制限中の設定を行ってから（ステップS733）、先読み予告決定処理を終了する。

【0462】

こうした先読み予告決定処理では、ステップS707にて始動入賞時のコマンドを正常に受信できなかったと判定したときに、ステップS710の処理を実行しないことで、先読み予告演出を実行しないように制限される。

【0463】

例えば図柄指定コマンドや変動カテゴリコマンドといった、始動入賞の発生時における判定結果を認識可能に指定する判定結果情報の一部または全部を取りこぼしたときには、その保留記憶に対応する可変表示の実行が終了するまで、先読み予告演出を実行しないように制限してもよい。これにより、先読み予告演出と可変表示結果との整合が取れなくなることを防止して、遊技者に不信感を与えないようにすることができる。

【0464】

例えば図柄指定コマンドや変動カテゴリコマンドといった判定結果情報の一部を取りこぼした場合に、他の判定結果情報によって判定結果を認識可能な場合であっても、その判定結果にもとづく先読み予告演出を実行しないように制限してもよい。これにより、信憑性の低い情報にもとづいて先読み予告演出が実行されることを防止して、遊技者に不信感を与えないようにすることができる。

【0465】

例えば図柄指定コマンドや変動カテゴリコマンドといった複数の判定結果情報から認識可能な判定結果が整合しない場合に、いずれかの判定結果情報によって認識可能な判定結果にもとづく先読み予告演出を実行しないように制限してもよい。これにより、信憑性の

10

20

30

40

50

低い情報にもとづいて先読み予告演出が実行されることを防止して、遊技者に不信感を与えるないようにすることができる。

【0466】

第2特図を用いた特図ゲームが第1特図を用いた特図ゲームよりも優先して実行される場合に、時短制御に伴う高開放制御が行われる高ベース状態であるときには、第1始動入賞口を遊技球が通過（進入）したことによる始動入賞（第1始動入賞）の発生にもとづく先読み予告演出を実行しないように制限してもよい。高開放制御が行われているときには、第2始動入賞口に遊技球を通過（進入）させて優先的に実行される第2特図を用いた特図ゲームを実行し続けることが可能になる。そのため、大当たり遊技状態の終了前から第1特図を用いた特図ゲームの保留データにもとづいて先読み予告演出の実行を開始して、大当たり遊技状態の終了後にも継続して先読み予告演出を実行すると、可変表示結果が「大当たり」となる保留データなどを保持した状態で多数回の可変表示を継続して実行することができ、第2特図を用いた特図ゲームを実行することで可変表示結果が「大当たり」となり、大当たり遊技状態へと繰り返し制御されることになってパチンコ遊技機1の射幸性が著しく高められるおそれがある。さらに、遊技者が第1特図を用いた特図ゲームで可変表示結果が「大当たり」となることを認識しながら、第2始動入賞口に遊技球を繰り返し通過（進入）させて第2特図を用いた特図ゲームを繰り返し実行するか、第2始動入賞口に遊技球を通過（進入）させずに第1特図を用いた特図ゲームを実行するかにより、可変表示結果が「大当たり」となり大当たり遊技状態へと制御されるタイミングを、遊技者の技量によって大きく変化させられるおそれがある。そこで、高ベース状態であるときには第1始動入賞の発生にもとづく先読み予告演出の実行を制限することにより、第1特図を用いた特図ゲームに対応して可変表示結果が「大当たり」となる可能性があることを遊技者が認識できないようにして、健全な遊技性を確保することができる。10

【0467】

これに加えて、例えば高ベース状態であるときに始動口入賞指定コマンドといった保留記憶情報の一部または全部を取りこぼした場合には、たとえ図柄指定コマンドや変動力テゴリコマンドといった判定結果情報を正常に受信したとしても、先読み予告演出を実行しないように制限してもよい。これにより、第1特図を用いた特図ゲームに対応して可変表示結果が「大当たり」となる可能性があることを遊技者が認識できてしまうことを防止して、健全な遊技性を確保することができる。30

【0468】

一方、例えば始動口入賞指定コマンドといった保留記憶情報の一部を取りこぼした場合に、先読み予告演出の少なくとも一部（例えば、信頼度の最も低い先読み予告演出など）を実行することは許可してもよい。これにより、正常に受信できたコマンドを可能な限り利用して先読み予告演出を実行することができ、先読み予告演出の実行頻度が過度に低下してしまうことを防止できる。

【0469】

また、例えば図柄指定コマンドや変動力テゴリコマンドといった判定結果情報の一部を取りこぼした場合に、先読み予告演出の少なくとも一部（例えば、信頼度の最も低い先読み予告演出など）を実行することは許可してもよい。これにより、正常に受信できたコマンドを可能な限り利用して先読み予告演出を実行することができ、先読み予告演出の実行頻度が過度に低下してしまうことを防止できる。40

【0470】

あるいは、例えば図柄指定コマンドや変動力テゴリコマンドといった複数の判定結果情報から認識可能な判定結果が整合しない場合に、先読み予告演出の少なくとも一部（例えば、信頼度の最も低い先読み予告演出など）を実行することは許可してもよい。これにより、正常に受信できたコマンドを可能な限り利用して先読み予告演出を実行することができ、先読み予告演出の実行頻度が過度に低下してしまうことを防止できる。

【0471】

図59に示すステップS161にて先読み予告決定処理を実行した後には、先読み予告50

制限解除設定処理を実行する（ステップS162）。先読み予告制限解除設定処理では、先読み予告演出を実行しないように制限される先読み予告制限中であるときに、所定条件の成立にもとづき制限を解除するための処理や、実行中の先読み予告演出が終了したことに応じて、新たな先読み予告演出を実行可能とするための処理が実行される。例えば、先読み予告実行中フラグがオン状態である場合には、変動が開始されるごとに、予告残回数カウンタの値を1減算していき、予告残回数カウンタの値が0になったときに、先読み予告実行中フラグをオフ状態にリセットする。また、先読み予告制限フラグがオン状態である場合には、始動入賞時受信コマンドバッファにおいてバッファ番号が「1」～「8」のそれぞれに対応して有効に格納された始動入賞時のコマンドについて、すべての順序と内容が正しくなるように受信できたことを条件に、例えば先読み予告制限フラグをクリアするなどして、先読み予告演出が実行されないようにした制限を解除すればよい。なお、コマンドの取りこぼしや判定結果の不整合が生じた保留記憶が消化されたことを条件に、先読み予告演出が実行されないようにした制限を解除するようにしてもよい。10

【0472】

図59に示すステップS162にて先読み予告制限解除設定処理を実行した後には、例えば演出プロセスフラグの値に応じて、以下のようなステップS170～S177の処理のいずれかを選択して実行する。

【0473】

ステップS170の可変表示開始待ち処理は、演出プロセスフラグの値が“0”的ときに実行される処理である。この可変表示開始待ち処理は、主基板31からの第1変動開始コマンドあるいは第2変動開始コマンドなどを受信したか否かにもとづき、演出表示装置9における飾り図柄の可変表示を開始するか否かを判定する処理などを含んでいる。20

【0474】

ステップS171の可変表示開始設定処理は、演出プロセスフラグの値が“1”的ときに実行される処理である。この可変表示開始設定処理は、第1特別図柄表示器8aや第2特別図柄表示器8bによる特図ゲームにおいて特別図柄の可変表示が開始されることに対応して、演出表示装置9における飾り図柄の可変表示や、その他の各種演出動作を行うために、特別図柄の変動パターンや表示結果の種類などに応じた確定飾り図柄や各種の演出制御パターンを決定する処理などを含んでいる。

【0475】

ステップS172の可変表示中演出処理は、演出プロセスフラグの値が“2”的ときに実行される処理である。この可変表示中演出処理において、演出制御用CPU101は、演出制御プロセスタイミングにおけるタイミング値に対応して、演出制御パターンから各種の制御データを読み出し、飾り図柄の可変表示中における各種の演出制御を行う。こうした演出制御を行った後、例えば特図変動時演出制御パターンから飾り図柄の可変表示終了を示す終了コードが読み出されたこと、あるいは、主基板31から伝送される図柄確定コマンドを受信したことなどに対応して、飾り図柄の可変表示結果となる最終停止図柄としての確定飾り図柄を完全停止表示させる。特図変動時演出制御パターンから終了コードが読み出されたことに対応して確定飾り図柄を完全停止表示させるようすれば、変動パターン指定コマンド（変動パターンコマンド）により指定された変動パターンに対応する可変表示時間が経過したときに、主基板31からの演出制御コマンドによらなくとも、演出制御基板80の側で自律的に確定飾り図柄を導出表示して可変表示結果を確定させることができる。確定飾り図柄を完全停止表示したときには、演出プロセスフラグの値が“3”に更新される。40

【0476】

ステップS173の特図当り待ち処理は、演出プロセスフラグの値が“3”的ときに実行される処理である。この特図当り待ち処理において、演出制御用CPU101は、主基板31から伝送された当り開始指定コマンドの受信があったか否かを判定する。そして、当り開始指定コマンドを受信したときに、その当り開始指定コマンドが大当り遊技状態の開始を指定するものであれば、演出プロセスフラグの値を大当り中演出処理に対応した値で50

ある“6”に更新する。これに対して、当り開始指定コマンドを受信したときに、その当り開始指定コマンドが小当たり遊技状態の開始を指定するものであれば、演出プロセスフラグの値を小当たり中演出処理に対応した値である“4”に更新する。また、当り開始指定コマンドを受信せずに、演出制御プロセスタイマがタイムアウトしたときには、特図ゲームにおける特図表示結果が「ハズレ」であったと判断して、演出プロセスフラグの値を初期値である“0”に更新する。

【0477】

ステップS174の小当たり中演出処理は、演出制御プロセスフラグの値が“4”的ときに実行される処理である。この小当たり中演出処理において、演出制御用CPU101は、例えば小当たり遊技状態における演出内容に対応した演出制御パターン等を設定し、その設定内容にもとづく演出画像を演出表示装置9の表示画面に表示させることや、音声出力基板70に対する指令（効果音信号）の出力によりスピーカ27から音声や効果音を出力させること、ランプドライバ基板35に対する指令（電飾信号）の出力により枠LED28や装飾LED25を点灯／消灯／点滅させることといった、小当たり遊技状態における各種の演出制御を実行する。また、小当たり中演出処理では、例えば主基板31からの当り終了指定コマンドを受信したことに対応して、演出プロセスフラグの値を小当たり終了演出に対応した値である“5”に更新する。

【0478】

ステップS175の小当たり終了演出処理は、演出制御プロセスフラグの値が“5”的ときに実行される処理である。この小当たり終了演出処理において、演出制御用CPU101は、例えば小当たり遊技状態の終了などに対応した演出制御パターン等を設定し、その設定内容にもとづく演出画像を演出表示装置9の表示画面に表示させることや、音声出力基板70に対する指令（効果音信号）の出力によりスピーカ27から音声や効果音を出力させること、ランプドライバ基板35に対する指令（電飾信号）の出力により枠LED28や装飾LED25を点灯／消灯／点滅させることといった、小当たり遊技状態の終了時における各種の演出制御を実行する。その後、演出プロセスフラグの値を初期値である“0”に更新する。

【0479】

ステップS176の大当たり中演出処理は、演出プロセスフラグの値が“6”的ときに実行される処理である。この大当たり中演出処理において、演出制御用CPU101は、例えば大当たり遊技状態における演出内容に対応した演出制御パターン等を設定し、その設定内容にもとづく演出画像を演出表示装置9の表示画面に表示させることや、音声出力基板70に対する指令（効果音信号）の出力によりスピーカ27から音声や効果音を出力させること、ランプドライバ基板35に対する指令（電飾信号）の出力により枠LED28や装飾LED25を点灯／消灯／点滅させることといった、大当たり遊技状態における各種の演出制御を実行する。また、大当たり中演出処理では、例えば主基板31からの当り終了指定コマンドを受信したことに対応して、演出制御プロセスフラグの値をエンディング演出処理に対応した値である“7”に更新する。

【0480】

ステップS177のエンディング演出処理は、演出プロセスフラグの値が“7”的ときに実行される処理である。このエンディング演出処理において、演出制御用CPU101は、例えば大当たり遊技状態の終了などに対応した演出制御パターン等を設定し、その設定内容にもとづく演出画像を演出表示装置9の表示画面に表示させることや、音声出力基板70に対する指令（効果音信号）の出力によりスピーカ27から音声や効果音を出力させること、ランプドライバ基板35に対する指令（電飾信号）の出力により枠LED28や装飾LED25を点灯／消灯／点滅させることといった、大当たり遊技状態の終了時における各種の演出制御を実行する。その後、演出プロセスフラグの値を初期値である“0”に更新する。

【0481】

図64は、可変表示開始設定処理として、図59のステップS171にて実行される処

10

20

30

40

50

理の一例を示すフローチャートである。図64に示す可変表示開始設定処理において、演出制御用CPU101は、まず、例えば主基板31から伝送された可変表示結果通知コマンド(表示結果指定コマンド)(表示結果指定コマンド)におけるEXTデータを読み取ることなどにより、特図表示結果が「ハズレ」となるか否かを判定する(ステップS522)。特図表示結果が「ハズレ」となる旨の判定がなされたときには(ステップS522; Yes)、例えば主基板31から伝送された変動パターン指定コマンド(変動パターンコマンド)におけるEXTデータを読み取ることなどにより、指定された変動パターンが飾り図柄の可変表示態様を「非リーチ」とする場合に対応した非リーチ変動パターンであるか否かを判定する(ステップS523)。

【0482】

ステップS523にて非リーチ変動パターンであると判定された場合には(ステップS523; Yes)、非リーチ組合せを構成する最終停止図柄となる確定飾り図柄の組合せを決定する(ステップS524)。一例として、ステップS524の処理では、まず、ランダムカウンタ等により更新される左確定図柄決定用の乱数値を示す数値データを抽出し、ROMなどに予め記憶された所定の左確定図柄決定テーブルを参照することなどにより、確定飾り図柄のうち演出表示装置9の表示領域における「左」の演出図柄表示領域9Lに停止表示される左確定飾り図柄を決定する。次に、ランダムカウンタ等により更新される右確定図柄決定用の乱数値を示す数値データを抽出し、ROMなどに予め記憶された所定の右確定図柄決定テーブルを参照することなどにより、確定飾り図柄のうち演出表示装置9の表示領域における「右」の演出図柄表示領域9Rに停止表示される右確定飾り図柄を決定する。このときには、右確定図柄決定テーブルにおける設定などにより、右確定飾り図柄番号が左確定飾り図柄の図柄番号とは異なるように、決定されるとよい。続いて、ランダムカウンタ等により更新される中確定図柄決定用の乱数値を示す数値データを抽出し、ROMなどに予め記憶された所定の中確定図柄決定テーブルを参照することなどにより、確定飾り図柄のうち演出表示装置9の表示領域における「中」の演出図柄表示領域9Cに停止表示される中確定飾り図柄を決定する。なお、ステップS524の処理では、変動図柄予告を実行中である場合に対応して、所定のチャンス目図柄となる非リーチ組合せの確定飾り図柄を決定すればよい。

【0483】

ステップS523にて非リーチ変動パターンではないと判定された場合には(ステップS523; No)、リーチ組合せを構成する最終停止図柄となる確定飾り図柄の組合せを決定する(ステップS525)。一例として、ステップS525の処理では、まず、ランダムカウンタ等により更新される左右確定図柄決定用の乱数値を示す数値データを抽出し、ROMなどに予め記憶された所定の左右確定図柄決定テーブルを参照することなどにより、確定飾り図柄のうち演出表示装置9の表示領域における「左」と「右」の演出図柄表示領域9L、9Rにて揃って停止表示される図柄番号が同一の飾り図柄を決定する。さらに、ランダムカウンタ等により更新される中確定図柄決定用の乱数値を示す数値データを抽出し、ROMなどに予め記憶された所定の中確定図柄決定テーブルを参照することなどにより、確定飾り図柄のうち演出表示装置9の表示領域における「中」の演出図柄表示領域9Cにて停止表示される中確定飾り図柄を決定する。ここで、例えば中確定飾り図柄の図柄番号が左確定飾り図柄及び右確定飾り図柄の図柄番号と同一になる場合のように、確定飾り図柄が大当たり組合せとなってしまう場合には、任意の値(例えば「1」)を中確定飾り図柄の図柄番号に加算または減算することなどにより、確定飾り図柄が大当たり組合せとはならずにリーチ組合せとなるようにすればよい。あるいは、中確定飾り図柄を決定するときには、左確定飾り図柄及び右確定飾り図柄の図柄番号との差分(図柄差)を決定し、その図柄差に対応する中確定飾り図柄を設定してもよい。

【0484】

ステップS522にて特図表示結果が「ハズレ」ではないと判定されたときには(ステップS522; No)、特図表示結果が「大当たり」で大当たり種別が「突確」である場合、または、特図表示結果が「小当たり」である場合であるか、これら以外の場合であるかを判

10

20

30

40

50

定する（ステップS526）。「突確」または「小当り」であると判定されたときには（ステップS526；Yes）、例えば開放チャンス目といった、「突確」の場合や「小当り」の場合に対応した最終停止図柄となる確定飾り図柄の組合せを決定する（ステップS527）。一例として、変動パターン指定コマンド（変動パターンコマンド）により突確／小当り用のいずれの変動パターンが指定された場合に対応して、複数種類の開放チャンス目のうち、いずれかを構成する最終停止図柄となる確定飾り図柄の組合せを決定する。この場合には、ランダムカウンタ等により更新されるチャンス目決定用の乱数値を示す数値データを抽出し、ROMなどに予め記憶された所定のチャンス目決定テーブルを参照することなどにより、開放チャンス目のいずれかを構成する確定飾り図柄の組合せを決定すればよい。また、変動パターン指定コマンド（変動パターンコマンド）によりリーチを指定するいずれかの変動パターンが指定された場合には、例えばステップS525と同様の処理を実行することにより、リーチ組合せを構成する最終停止図柄となる確定飾り図柄の組合せを決定すればよい。10

【0485】

ステップS526にて「突確」または「小当り」以外の「非確変」または「確変」であると判定されたときには（ステップS526；No）、大当り組合せを構成する最終停止図柄となる確定飾り図柄の組合せを決定する（ステップS528）。一例として、ステップS528の処理では、まず、ランダムカウンタなどにより更新される大当り確定図柄決定用の乱数値を示す数値データを抽出し、続いてROMなどに予め記憶された所定の大当り確定図柄決定テーブルを参照することなどにより、演出表示装置9の画面上で「左」、「中」、「右」の演出図柄表示領域9L、9C、9Rに揃って停止表示される図柄番号が同一の飾り図柄を決定する。このときには、大当り種別が「非確変」、「確変」のいずれであるかや、大当り中における昇格演出の有無などに応じて、異なる飾り図柄を確定飾り図柄とする決定が行われるようにしてもよい。20

【0486】

具体的な一例として、大当り種別が「非確変」である場合には、複数種類の通常図柄のうちいずれか1つの飾り図柄を選択して、非確変大当り組合せを構成する確定飾り図柄に決定すればよい。また、大当り種別が「確変」である場合には、複数種類の通常図柄または確変図柄のうちからいずれか1つの飾り図柄を選択して、非確変大当り組合せまたは確変大当り組合せを構成する確定飾り図柄に決定すればよい。このとき、非確変大当り組合せの確定飾り図柄に決定された場合には、可変表示中の再抽選演出において確変状態に制御される旨の報知が行われず、大当り遊技状態に対応して実行される大当り中昇格演出などにより確変状態に制御される旨が報知されればよい。他方、確変大当り組合せの確定飾り図柄に決定された場合には、可変表示中の再抽選演出において、あるいは再抽選演出を実行することなく、確変状態に制御される旨の報知が行われる。30

【0487】

ステップS524、S525、S527、S528の処理のいずれかを実行した後には、先読み予告実行設定処理を実行する（ステップS535）。図66は、先読み予告実行設定処理の一例を示すフローチャートである。図66に示す先読み予告実行設定処理において、演出制御用CPU101は、まず、先読み予告実行中フラグがオン状態であるか否かを判定する（ステップS601）。先読み予告実行中フラグがオフ状態であれば（ステップS601；No）、先読み予告実行設定処理を終了する。40

【0488】

先読み予告実行中フラグがオン状態であれば（ステップS601；Yes）、先読み予告実行回数カウンタの値を1減算する（ステップS602）。そして、先読み予告実行回数カウンタの値とセットされている先読み予告演出制御パターンにもとづいて、先読み予告演出を実行するための設定を行う（ステップS603）。ステップS603の処理では、図63に示す演出内容に対応した先読み予告演出を実行するための設定が行われればよい。また、停止図柄予告を実行する先読み予告演出制御パターンであれば、図62に示すチャンス目のいずれを停止させるかを決定する処理を実行すればよい。この場合、図6450

のステップ S 524 で決定された非リーチ組合せに代えて、チャンス目 A またはチャンス目 B を停止表示する制御が実行される。背景変化予告を実行する先読み予告演出制御パターンであれば、図 64 のステップ S 524 で決定された非リーチ組合せを停止表示する制御が実行される。なお、停止図柄予告を実行する先読み予告演出制御パターンである場合には、図 64 のステップ S 524 で非リーチ組合せを決定する処理に代えて、停止表示させるチャンス目 A またはチャンス目 B を決定する処理を実行するようにしてもよい。また、図 64 のステップ S 524 の前、先読み予告実行設定処理を実行するようにして、停止表示させるチャンス目が決定されている場合には、図 64 のステップ S 524 の処理をスキップするようにしてもよい。このようにすることで、停止図柄を決定する処理の重複を避けることができる。

10

【 0489 】

続いて、先読み予告実行回数カウンタの値が 0 であるか否かを判定する（ステップ S 604）。先読み予告実行回数カウンタの値が 0 でなければ（ステップ S 604；N○）、先読み予告実行設定処理を終了する。

【 0490 】

先読み予告実行回数カウンタの値が 0 であれば（ステップ S 604；Y○）、先読み予告実行中フラグをオフ状態にクリアする（ステップ S 605）。先読み予告実行回数カウンタの値が 0 である場合とは、今回の変動が先読み予告演出の対象となる変動であって、先読み予告演出が終了する場合である。その後、先読み予告実行設定処理を終了する。

20

【 0491 】

ステップ S 535 で先読み予告実行設定処理を実行した後には、変動中予告演出の実行の有無と、実行する場合における変動中予告演出の演出態様に対応した変動中予告パターンとを決定する（ステップ S 529）。一例として、ステップ S 529 の処理では、変動中予告演出の有無と変動中予告パターンとを決定するための使用テーブルとして、予め用意された変動中予告決定テーブルを選択してセットする。変動中予告決定テーブルでは、可変表示結果通知コマンド（表示結果指定コマンド）（表示結果指定コマンド）から特定される可変表示結果や、変動パターン指定コマンド（変動パターンコマンド）から特定される変動パターンなどに応じて、変動中予告種別決定用の乱数値と比較される数値（決定値）が、変動中予告演出を実行しない場合に対応する「実行なし」の決定結果や、変動中予告演出を実行する場合における複数の変動中予告パターンなどに、割り当てられていればよい。その後、演出制御用 CPU101 は、例えばランダムカウンタなどから抽出した変動中予告決定用の乱数値を示す数値データにもとづいて、変動中予告決定テーブルを参照することにより、変動中予告演出の有無と変動中予告パターンとを決定すればよい。

30

【 0492 】

ステップ S 529 の処理では、例えば図 65（A）に示すような決定割合で、変動中予告演出の有無と変動中予告パターンとが決定されればよい。図 65（A）に示す決定割合の設定例では、変動パターンが「非リーチハズレ」、「リーチハズレ」、「大当り」、「小当り」のいずれに対応したものであるかに応じて、変動中予告演出の有無や変動中予告パターンの決定割合を異ならせている。

40

【 0493 】

具体的には、変動パターンが「リーチハズレ」である場合には、「非リーチハズレ」である場合よりも、変動中予告演出が実行される割合（「予告実行なし」以外に決定される割合）が高くなっている。変動パターンが「大当り」である場合には、「非リーチハズレ」、「リーチハズレ」、「小当り」である場合よりも、変動中予告演出が実行される割合が高くなっている。また、各変動中予告パターンでは、「予告 Z」、「予告 Y」、「予告 X」の順番で、可変表示結果が「大当り」となる割合が高くなっている。このような設定により、変動中予告演出を実行することで、可変表示結果が「大当り」となることやリーチが実行されることを予告・示唆することができる。

【 0494 】

また、この実施の形態では、特定の先読み予告演出が実行されている場合には、図 65

50

(B)に示すような、特別な決定割合で、変動中予告演出の有無と変動中予告パターンとが決定されるようになっている。具体的には、停止図柄予告が実行された後に背景変化予告が実行される先読み予告パターンSYP3-1の先読み予告演出が実行されている場合であって、未だ背景変化予告が実行される前であるときには、図65(B)に示すような、特別な決定割合で、変動中予告演出の有無と変動中予告パターンとが決定される。なお、先読み予告演出が実行されているときには、先読み予告演出の対象となる変動までの可変表示結果は「非リーチハズレ」となるので、図65(B)では、「非リーチハズレ」の場合の決定割合のみを示している。図65(B)の決定割合では、図65(A)における「非リーチハズレ」である場合の決定割合と比較して、「予告Y」に決定される割合が高くなっている(変動中予告演出が実行される場合には必ず「予告Y」に決定される)。このような設定により、停止図柄予告の先読み予告演出が実行されているときには、変動中予告演出の演出態様によって、背景変化予告が実行されることを遊技者に示唆することができ、遊技の興味が向上する。

【0495】

この実施の形態では、「予告Z」の変動中予告演出が実行された場合、「予告Y」の変動中予告演出が実行された場合よりも大当たり信頼度が高くなっている。従って、通常は「予告Y」の変動中予告演出が実行された場合、遊技者は落胆してしまう可能性がある。しかしながら、停止図柄予告の先読み予告演出が実行されているときに、「予告Y」の変動中予告演出が実行された場合には、その後に背景変化予告の先読み予告演出が実行される割合(先読み予告パターンSYP3-1である割合)が高くなる。先読み予告パターンSYP3-1の先読み予告演出は、先読み予告演出の中で最も大当たり信頼度が高いので、停止図柄予告の先読み予告演出が実行されているときに、「予告Y」の変動中予告演出が実行された場合でも、その後の表示結果に期待できるようになり、遊技者の期待感を維持することができ、遊技の興味が向上する。

【0496】

なお、各変動中予告パターンの演出態様は、それぞれが区別可能に異なっていればよい。例えば、予告Xは、「キャラクタ表示」の変動中予告演出を実行する変動中予告パターンであり、予告Yは、「ステップアップ動作」の変動中予告演出を実行する変動中予告パターンであり、予告Zは、「操作予告」の変動中予告演出を実行する変動中予告パターンである。

【0497】

「キャラクタ表示」の変動中予告演出では、飾り図柄の可変表示中に、例えば演出表示装置9の表示画面にて、所定位置に予め用意されたキャラクタ画像を表示させる演出表示が行われる。

【0498】

「ステップアップ動作」の変動中予告演出では、飾り図柄の可変表示中に、例えば演出表示装置9の表示画面にて、予め用意された複数種類の演出画像を所定の順番に従って切り換えて表示させる演出表示により、演出態様が複数段階に変化(ステップアップ)するような演出動作が行われることがある。なお、「ステップアップ動作」の変動中予告演出では、予め用意された複数種類の演出画像のうちいずれか1つ(例えば所定の順番において最初に表示される演出画像など)が表示された後、演出画像が切り換えられることなく、変動中予告演出における演出表示を終了させことがあるようにしてよい。また、「ステップアップ動作」の変動中予告演出では、飾り図柄の可変表示中に、例えば可動部材を所定の順番に従って複数種類の動作態様で動作させる演出動作により、演出態様が複数段階に変化(ステップアップ)するような演出動作が行われてもよい。なお、「ステップアップ動作」の変動中予告演出では、可動部材が1種類の動作態様で演出動作を行った後、2段階目の演出動作に切り換えられることなく、予告演出における演出動作を終了させることがあるようにしてよい。

【0499】

「操作予告」の変動中予告演出では、飾り図柄の可変表示中に、遊技者により操作ボタ

10

20

30

40

50

ン 1 2 0 が操作されたことに応じて、例えば演出表示装置 9 の表示画面における演出画像の表示を変更することや、スピーカ 2 7 から出力させる音声などを変更することにより、演出動作を変化させる。一例として、「操作予告」の変動中予告演出では、飾り図柄の可変表示中に、操作促進演出となる所定の演出動作が行われる。操作促進演出は、例えば演出表示装置 9 の表示画面における所定位置に、予め用意されたキャラクタ画像やメッセージ画像といった演出画像を表示させることなどにより、遊技者による所定の操作態様での操作ボタン 1 2 0 の操作を促す演出動作であればよい。

【 0 5 0 0 】

この実施の形態では、「キャラクタ表示」、「ステップアップ動作」、「操作予告」の各変動中予告演出は、変動開始から変動終了までのそれぞれ異なるタイミングで実行される。具体的には、「操作予告」の実行タイミングが最も早く、「キャラクタ表示」の実行タイミングが最も遅くなっている。従って、変動中予告演出の演出態様のみならず、その実行タイミングによっても大当たり信頼度が異なっている。また、停止図柄予告の先読み予告演出が実行されているときには、変動中予告演出の実行タイミングによって、背景変化予告が実行されることを遊技者に示唆することができ、遊技の興趣が向上する。10

【 0 5 0 1 】

ステップ S 5 2 9 の処理を実行した後には、その他の可変表示中における演出の実行設定を行う(ステップ S 5 3 0)。一例として、ステップ S 5 3 0 の処理では、先読み予告演出や変動中予告演出とは異なる演出を実行するための設定が行われてもよい。そのような演出としては、例えば可変表示の開始時や実行中における所定のタイミングにて、スピーカ 2 7 から所定の効果音(例えばアラーム音やチャイム音、サイレン音など)が outputされるような態様の演出や、枠 L E D 2 8 などに含まれるフラッシュランプが光るような態様の演出のうち、一部または全部を含む所定態様の演出を実行することにより、可変表示結果が「大当たり」となることを直ちに告知(確定的に報知)する一発告知態様の演出が実行されてもよい。あるいは、そのような演出として、可変表示結果が「大当たり」となることに対応した特別な演出画像(プレミアム画像)を表示する演出が実行されてもよい。20

【 0 5 0 2 】

他の一例として、ステップ S 5 3 0 の処理では、可変表示結果が「大当たり」となる可能性などにはかかわらず、例えば賑やかしのために所定態様の演出を実行するための設定が行われてもよい。より具体的には、枠 L E D 2 8 に含まれる所定のランプが光るような態様の演出といった、所定態様の演出を実行できればよい。30

【 0 5 0 3 】

その後、演出制御パターンを予め用意された複数パターンのいずれかに決定する(ステップ S 5 3 1)。このとき、演出制御用 C P U 1 0 1 は、例えば変動パターン指定コマンド(変動パターンコマンド)により指定された変動パターンなどに対応して、複数用意された特図変動時演出制御パターンのいずれかを選択し、使用パターンとしてセットする。また、例えばキャラクタ表示予告の先読み予告演出を実行するための設定がなされた場合には、その設定に対応した予告演出制御パターンが選択されてもよい。

【 0 5 0 4 】

ステップ S 5 3 1 の処理を実行した後には、例えば変動パターン指定コマンド(変動パターンコマンド)により指定された変動パターンに対応して、演出制御プロセススタイマの初期値を設定する(ステップ S 5 3 2)。続いて、演出表示装置 9 における飾り図柄などの変動を開始させるための設定を行う(ステップ S 5 3 3)。このときには、例えばステップ S 5 3 1 にて使用パターンとして決定された特図変動時演出制御パターンに含まれる表示制御データが指定する表示制御指令を演出制御基板 8 0 の V D P 1 0 9 等に対して伝送されることなどにより、演出表示装置 9 の画面上に設けられた「左」、「中」、「右」の各演出図柄表示領域 9 L 、 9 C 、 9 R にて飾り図柄の変動を開始させねばよい。その後、演出プロセスフラグの値を可変表示中演出処理に対応した値である“2”に更新してから(ステップ S 5 3 4)、可変表示開始設定処理を終了する。40

【 0 5 0 5 】

10

20

30

40

50

次に、パチンコ遊技機 1 における制御の具体的な一例について説明する。

【0506】

パチンコ遊技機 1 では、第 1 始動入賞口 13 や第 2 始動入賞口 14 を遊技球が入賞して第 1 始動口スイッチ 13a や第 2 始動口スイッチ 14a により検出されたときに、第 1 始動口スイッチ通過処理（ステップ S 312 参照）や第 2 始動口スイッチ通過処理（ステップ S 314 参照）にて入賞時乱数値判定処理が実行される。

【0507】

入賞時乱数値判定処理では、大当たりとなるか否かや、小当たりとなるか否か、大当たりの種別の判定結果や、変動パターン種別判定用乱数の値がいずれの判定値の範囲となるかの判定結果にもとづいて、図柄指定コマンドや変動カテゴリコマンドが、主基板 31 から演出制御基板 80 に対して伝送される。10

【0508】

演出制御基板 80 の側では、例えば演出制御用 CPU101 が図 59 のステップ S 16 1 にて先読み予告決定処理を実行したときに、先読み予告の制限中でない場合や（ステップ S 704；No）、前回までの変動カテゴリ等が先読み予告演出を実行可能な状況であれば（ステップ S 709；Yes）、図 60 のステップ S 710 にて先読み予告演出の有無や先読み予告パターンなどが決定される。そしてその決定結果にもとづいて、複数回の変動に渡って先読み予告演出が実行される。

【0509】

図 67 は、停止図柄予告の先読み予告演出が実行される場合の演出表示装置 9 における表示動作例を示す図である。図 67 (A) は、「左」、「中」、「右」の演出図柄表示領域 9L、9C、9R において飾り図柄の変動が実行されている演出表示装置 9 を示している。ここで、第 1 始動入賞口 13 に遊技球が入賞したことにもとづいて、図 60 に示す先読み予告決定処理が実行され、ステップ S 710 において、先読み予告パターン SYP1-2 を実行することに決定されたものとする。なお、このときの入賞により、保留記憶数は 3 になっているので、ステップ S 712 の処理では、図 63 に示す先読み予告演出制御パターン SCP2-1 がセットされる。20

【0510】

その後、図 67 (B) に示すように、その時点での変動が終了すると、次回の変動時から先読み予告演出が開始されることになる。先読み予告演出が開始される 1 回目の変動では、図 67 (C)、(D) に示すように、例えばチャンス目 CB1（「1・2・3」）が停止する。ここで停止するチャンス目 B をいずれとするかは、図 66 のステップ S 603 において決定される。30

【0511】

そして、先読み予告演出が開始されてから 2 回目の変動では、図 67 (E)、(F) に示すように、例えばチャンス目 CB2（「2・3・4」）が停止する。

【0512】

続いて、先読み予告演出が開始されてから 3 回目の変動（先読み予告演出の対象となる変動）では、決定された変動パターンに応じた変動が実行される。ここでは、大当たりの変動パターンであることに対応して、図 67 (G)～(I) に示すように、変動が開始されてからリーチとなって、大当たり組合せを構成する飾り図柄が停止する。40

【0513】

以上のように、停止図柄予告の先読み予告演出では、複数回の変動に渡って予め定められたチャンス目が停止することによって、大当たりとなる可能性やリーチとなる可能性を予告することができる。

【0514】

また、図 68 は、背景変化予告の先読み予告演出が実行される場合の演出表示装置 9 における表示動作例を示す図である。図 68 (A) は、「左」、「中」、「右」の演出図柄表示領域 9L、9C、9R において飾り図柄の変動が実行されている演出表示装置 9 を示している。ここで、第 1 始動入賞口 13 に遊技球が入賞したことにもとづいて、図 60 に50

示す先読み予告決定処理が実行され、ステップ S 710において、先読み予告パターン S Y P 2 - 1 を実行することに決定されたものとする。なお、このときの入賞により、保留記憶数は 3 になっているので、ステップ S 712 の処理では、図 63 に示す先読み予告演出制御パターン S C P 3 - 1 がセットされる。

【0515】

その後、図 68 (B) に示すように、その時点での変動が終了すると、次回の変動時から先読み予告演出が開始されることになる。先読み予告演出が開始される 1 回目の変動では、図 68 (C) ~ (E) に示すように、例えば「チャンス」という文字が演出表示装置 9 に表示され、演出表示装置 9 における背景画像が昼をモチーフとした画像（通常の背景画像）から夜をモチーフとした背景画像（特殊な背景画像）に変化する。なお、このときの停止図柄は非リーチハズレ組合せを構成する飾り図柄となる。10

【0516】

そして、先読み予告演出が開始されてから 2 回目の変動では、図 68 (F)、(G) に示すように、引き続き夜をモチーフとした背景画像となる。

【0517】

続いて、先読み予告演出が開始されてから 3 回目の変動（先読み予告演出の対象となる変動）では、決定された変動パターンに応じた変動が実行される。ここでは、大当たりの変動パターンであることに対応して、図 68 (H) ~ (J) に示すように、変動が開始されてからリーチとなって、大当たり組合せを構成する飾り図柄が停止する。なお、この 3 回目の変動においても、引き続き夜をモチーフとした背景画像となる。20

【0518】

以上のように、背景変化予告の先読み予告演出では、複数回の変動に渡って通常とは異なる特殊な背景画像となることで、大当たりとなる可能性やリーチとなる可能性を予告することができる。なお、背景変化予告の実行中の停止図柄は非リーチハズレの組合せとなるものとして説明したが、この場合においてもチャンス目が停止するようにしてもよい。

【0519】

また、図 69 は、停止図柄予告の後に背景変化予告の先読み予告演出が実行される場合の演出表示装置 9 における表示動作例を示す図である。図 69 (A) は、「左」、「中」、「右」の演出図柄表示領域 9 L、9 C、9 R において飾り図柄の変動が実行されている演出表示装置 9 を示している。ここで、第 1 始動入賞口 13 に遊技球が入賞したことにもとづいて、図 60 に示す先読み予告決定処理が実行され、ステップ S 710 において、先読み予告パターン S Y P 3 - 1 を実行することに決定されたものとする。なお、このときの入賞により、保留記憶数は 3 になっているので、ステップ S 712 の処理では、図 63 に示す先読み予告演出制御パターン S C P 4 - 1 がセットされる。30

【0520】

その後、図 69 (B) に示すように、その時点での変動が終了すると、次回の変動時から先読み予告演出が開始されることになる。先読み予告演出が開始される 1 回目の変動では、図 69 (C)、(D) に示すように、例えばチャンス目 C A 1 (「1・1・2」) が停止する。ここで停止するチャンス目 A をいずれとするかは、図 66 のステップ S 603 において決定される。40

【0521】

そして、先読み予告演出が開始されてから 2 回目の変動では、図 69 (E) ~ (G) に示すように、例えば「チャンス」という文字が演出表示装置 9 に表示され、演出表示装置 9 における背景画像が昼をモチーフとした画像（通常の背景画像）から夜をモチーフとした背景画像（特殊な背景画像）に変化する。なお、このときの停止図柄は非リーチハズレ組合せを構成する飾り図柄となる。

【0522】

続いて、先読み予告演出が開始されてから 3 回目の変動（先読み予告演出の対象となる変動）では、決定された変動パターンに応じた変動が実行される。ここでは、大当たりの変動パターンであることに対応して、図 69 (H) ~ (J) に示すように、変動が開始され50

てからリーチとなって、大当たり組合せを構成する飾り図柄が停止する。なお、この3回目の変動においても、引き続き夜をモチーフとした背景画像となる。

【0523】

以上のように、停止図柄予告の後に背景変化予告が実行される先読み予告演出では、チャンス目Aが停止する停止図柄予告が実行された後、通常とは異なる特殊な背景画像に変化する背景変化予告が実行されることで、大当たりとなる可能性やリーチとなる可能性を予告することができる。

【0524】

なお、チャンス目Aが停止する停止図柄予告が実行された場合、その後、背景変化予告が実行されなかった場合には、先読み予告演出の中で最も大当たり信頼度は低いが、背景変化予告が実行された場合には、先読み予告演出の中で最も大当たり信頼度が高くなる。このように、信頼度が低いことを示す演出態様から信頼度の高いことを示す演出態様に変化（移行）する先読み予告パターンを設けることで、信頼度の低いパターンの先読み予告演出が実行された場合であっても、遊技者の期待感を維持することができ、遊技の興趣が向上する。

10

【0525】

この発明は、上記実施の形態に限定されず、様々な変形及び応用が可能である。例えば、上記実施の形態では、図61に示すように、先読み予告演出のパターン（先読み予告パターン）として、複数回の可変表示渡って演出表示装置9に演出表示装置9に予め定められたチャンス目Aが停止する先読み予告パターンSYP1-1と、複数回の可変表示渡つて演出表示装置9に予め定められたチャンス目Bが停止する先読み予告パターンSYP1-2と、表示装置5における背景画像が通常の背景画像から特殊な背景画像に変化し、予告の対象となる可変表示が実行されるまでその特殊な背景画像となる先読み予告パターンSYP2-1と、演出表示装置9に予め定められたチャンス目Aが停止した後に、表示装置5における背景画像が通常の背景画像から特殊な背景画像に変化し、予告の対象となる可変表示が実行されるまでその特殊な背景画像となる先読み予告パターンSYP3-1と、が設けられていた。先読み予告演出のパターンはこれらに限定されず、これら以外の先読み予告演出のパターンが設けられていてもよい。例えば、図70に示すように、4回の変動に渡つて実行される先読み予告演出の先読み予告パターンとして、1回目の変動においてチャンス目Aが停止し、2回目の変動においてチャンス目Bが停止し、3回目の変動において、背景画像が特殊な背景画像に変化し、4回目の変動においては継続して特殊な背景画像において変動が実行されるものがあつてもよい。このような先読み予告パターンを設けることで、大当たり信頼度が段階的にステップアップしていくような演出が可能になり、演出態様の変化に遊技者を注目させることができ、遊技の興趣が向上する。

20

【0526】

なお、上記実施の形態では、先読み予告パターンを決定することで、複数回の変動に渡つて実行される先読み予告演出の演出態様を決定するようになっていたが、結果として上記実施の形態と同様の先読み予告演出を実行する制御が行われていればよく、先読み予告演出の演出態様の決定方法は上記実施の形態の方法に限定されない。

30

【0527】

例えば、先読み予告演出の対象となる変動が実行されるまでの複数回の変動において、先読み予告演出の対象となる変動の表示結果や変動カテゴリにもとづいて、いずれ演出態様の先読み予告演出を実行するかを変動毎に決定するようにしてもよい。具体的には、先読み予告演出の対象となる変動の表示結果が「大当たり」となる場合には、より大当たり信頼度の高い演出態様の先読み予告演出が実行されやすくなつていればよい。この場合においては、前回の変動における演出態様を記憶しておき、前回の変動の演出態様より大当たり信頼度が低い演出態様の先読み予告演出が実行されないようにすることが好ましい。このようにすることで、先読み予告演出（連続演出）が進むにつれて、大当たり信頼度が低下するような演出が実行されることを防止できる。

40

50

【 0 5 2 8 】

上記実施の形態では、背景変化予告の先読み予告演出が実行される場合、通常の背景画像から特殊な背景画像に変化するタイミングについては、特に言及していなかったが、背景変化予告を実行する変動におけるいずれのタイミングで通常の背景画像から特殊な背景画像に変化させるかを異ならせるようにしてもよい。

【 0 5 2 9 】

例えば、背景変化予告を実行する変動における変動開始時、または、変動終了時のいずれかで通常の背景画像から特殊な背景画像に変化させるようにしてもよい。この場合、例えば図60に示すステップS710において、先読み予告演出を実行しないことに対応した「実行なし」以外に決定された場合(ステップS711; No)、図71(A)に示すように、その先読み予告パターンが停止図柄予告の後に背景変化予告が実行されることに對応したSYP3-1であるか否かを判定する(ステップS751)。先読み予告パターンがSYP3-1以外であれば(ステップS751; No)、ステップS712の処理に進む。

10

【 0 5 3 0 】

先読み予告パターンがSYP3-1であれば(ステップS751; Yes)、背景変化予告における背景画像の変化タイミングを変動開始時、または、変動終了時のいずれにするかを決定する(ステップS752)。背景画像の変化タイミングとして、変動開始時、または、変動終了時を採用することで、変化タイミングの差異が遊技者に明確になり、遊技者に分かりやすい演出を実行することができる。

20

【 0 5 3 1 】

ステップS752の処理では、先読み予告演出の対象となる変動カテゴリが「非リーチハズレ」、「リーチハズレ」、「突確・小当たり」、「大当たり」のいずれであるかに応じて異なる割合で変化タイミングを決定する。例えば、ステップS752の処理では、図71(B)に示す決定割合で、変化タイミングを決定すればよい。

【 0 5 3 2 】

図71(B)に示す決定割合では、変動カテゴリに関わらず、変化タイミングとして、変動終了時に決定されやすくなっている。変動開始時に背景画像が変化しなかった場合には、遊技者は変動終了時に背景画像が変化することを期待するようになるので、遊技者の期待感を維持させることができる。

30

【 0 5 3 3 】

また、図71(B)に示す決定割合では、変動カテゴリが「大当たり」である場合には、変動終了時に決定されやすくなっている。このような設定により、背景変化予告において背景画像が変化するタイミングが変動終了時である場合の大当たり信頼度を、変動開始時である場合の大当たり信頼度よりも高くすることができます。なお、背景画像が変化するタイミングが変動終了時である場合の大当たり信頼度を高くすることで、変動開始時に背景画像が変化しなかった場合には、遊技者は変動終了時に背景画像が変化して、大当たり信頼度が高くなることを期待するようになるので、遊技者の期待感をより高めることができる。

【 0 5 3 4 】

なお、図71(B)に示す決定割合とは逆に、変動カテゴリに関わらず、変化タイミングとして、変動開始時に決定されやすくしてもよいし、変動カテゴリが「大当たり」である場合には、変動開始時に決定されやすくしてもよい。このようにすることで、遊技者に早い段階で大当たり信頼度等を報知することでき、変動の開始時を注目させることができる。

40

【 0 5 3 5 】

なお、図71(A)では、先読み予告パターンがSYP3-1である場合にのみ、背景変化予告における背景画像の変化タイミングを決定するようになっているが、先読み予告パターンがSYP2-1である場合にも背景画像の変化タイミングを決定するようにしてもよい。

【 0 5 3 6 】

ステップS752において背景画像の変化タイミングを決定した後には、ステップS7

50

12の処理に進む。この変形例では、先読み予告パターンSYP3-1の先読み予告演出制御パターンとして、変化タイミングに応じて、図72に示すようなパターンが設けられる。そして、ステップS712の処理では、ステップS752における決定結果に応じて、先読み予告演出制御パターンSCP4-1-1（保留記憶数3で変化タイミングが変動開始時）、SCP4-1-2（保留記憶数3で変化タイミングが変動終了時）、SCP4-2-1（保留記憶数4で変化タイミングが変動開始時）、SCP4-2-2（保留記憶数4で変化タイミングが変動終了時）のいずれかがセットされればよい。

【0537】

図73は、停止図柄予告の後に背景変化予告の先読み予告演出が実行される場合であって、背景変化予告の変化タイミングが変動開始時である場合の演出表示装置9における表示動作例を示す図である。図73（A）は、「左」、「中」、「右」の演出図柄表示領域9L、9C、9Rにおいて飾り図柄の変動が実行されている演出表示装置9を示している。ここで、第1始動入賞口13に遊技球が入賞したことにもとづいて、図60に示す先読み予告決定処理が実行され、ステップS710において、先読み予告パターンSYP3-1を実行することに決定され、ステップS752において、変化タイミングが変動開始時に決定されたものとする。なお、このときの入賞により、保留記憶数は3になっているので、ステップS712の処理では、図72に示す先読み予告演出制御パターンSCP4-1-1がセットされる。

【0538】

その後、図73（B）に示すように、その時点での変動が終了すると、次回の変動時から先読み予告演出が開始されることになる。先読み予告演出が開始される1回目の変動では、図73（C）、（D）に示すように、例えばチャンス目CA1（「1・1・2」）が停止する。ここで停止するチャンス目Aをいずれとするかは、図66のステップS603において決定される。

【0539】

そして、先読み予告演出が開始されてから2回目の変動では、図73（E）に示すように、変動開始時に演出表示装置9における背景画像が昼をモチーフとした画像（通常の背景画像）から夜をモチーフとした背景画像（特殊な背景画像）に変化する。その後、図73（F）に示すように、非リーチハズレ組合せを構成する飾り図柄が停止する。なお、図73（F）においてチャンス目Aが停止するようにしてもよい。

【0540】

続いて、先読み予告演出が開始されてから3回目の変動（先読み予告演出の対象となる変動）では、決定された変動パターンに応じた変動が実行される。ここでは、大当りの変動パターンであることに対応して、図73（G）～（I）に示すように、変動が開始されてからリーチとなって、大当り組合せを構成する飾り図柄が停止する。なお、この3回目の変動においても、引き続き夜をモチーフとした背景画像となる。

【0541】

図74は、停止図柄予告の後に背景変化予告の先読み予告演出が実行される場合であって、背景変化予告の変化タイミングが変動開始時である場合の演出表示装置9における表示動作例を示す図である。図74（A）は、「左」、「中」、「右」の演出図柄表示領域9L、9C、9Rにおいて飾り図柄の変動が実行されている演出表示装置9を示している。ここで、第1始動入賞口13に遊技球が入賞したことにもとづいて、図60に示す先読み予告決定処理が実行され、ステップS710において、先読み予告パターンSYP3-1を実行することに決定され、ステップS752において、変化タイミングが変動終了時に決定されたものとする。なお、このときの入賞により、保留記憶数は3になっているので、ステップS712の処理では、図72に示す先読み予告演出制御パターンSCP4-2-1がセットされる。

【0542】

その後、図74（B）に示すように、その時点での変動が終了すると、次回の変動時から先読み予告演出が開始されることになる。先読み予告演出が開始される1回目の変動で

10

20

30

40

50

は、図74(C)、(D)に示すように、例えばチャンス目C A 1 (「 1 · 1 · 2 」)が停止する。ここで停止するチャンス目Aをいずれとするかは、図66のステップS 6 0 3において決定される。

【 0 5 4 3 】

そして、先読み予告演出が開始されてから2回目の変動では、図74(E)に示すように、飾り図柄の変動が開始された後、図74(F)に示すように、非リーチハズレ組合せを構成する飾り図柄が停止するとき(変動終了時)に、演出表示装置9における背景画像が昼をモチーフとした画像(通常の背景画像)から夜をモチーフとした背景画像(特殊な背景画像)に変化する。なお、図74(F)においてチャンス目が停止するようにしてもよい。

10

【 0 5 4 4 】

続いて、先読み予告演出が開始されてから3回目の変動(先読み予告演出の対象となる変動)では、決定された変動パターンに応じた変動が実行される。ここでは、大当りの変動パターンであることに対応して、図74(G)～(I)に示すように、変動が開始されてからリーチとなって、大当り組合せを構成する飾り図柄が停止する。なお、この3回目の変動においても、引き続き夜をモチーフとした背景画像となる。

【 0 5 4 5 】

図74に示すように、変動終了時に背景が変化した場合の方が、図73に示すように、変動開始時に背景が変化した場合よりも、大当り信頼度が高くなっている。背景画像が変化するタイミングが変動終了時である場合の大当り信頼度を高くすることで、変動開始時に背景画像が変化しなかった場合には、遊技者は変動終了時に背景画像が変化して、大当り信頼度が高くなることを期待するようになるので、遊技者の期待感をより高めることができる。

20

【 0 5 4 6 】

なお、上記の実施の形態においては、変動時間およびリーチ演出の種類や擬似連の有無等の変動態様を示す変動パターンを演出制御用マイクロコンピュータ100に通知するために、変動を開始するときに1つの変動パターンコマンドを送信する例を示したが、2つ乃至それ以上のコマンドにより変動パターンを演出制御用マイクロコンピュータ100に通知するようにしてもよい。具体的には、2つのコマンドにより通知する場合、遊技制御用マイクロコンピュータ560は、1つ目のコマンドでは擬似連の有無、滑り演出の有無など、リーチとなる以前(リーチとならない場合には所謂第2停止の前)の変動時間や変動態様を示すコマンドを送信し、2つ目のコマンドではリーチの種類や再抽選演出の有無など、リーチとなった以降(リーチとならない場合には所謂第2停止の後)の変動時間や変動態様を示すコマンドを送信するようにしてもよい。この場合、演出制御用マイクロコンピュータ100は2つのコマンドの組合せから導かれる変動時間にもとづいて変動表示における演出制御を行うようにすればよい。なお、遊技制御用マイクロコンピュータ560の方では2つのコマンドのそれぞれにより変動時間を通知し、それぞれのタイミングで実行される具体的な変動態様については演出制御用マイクロコンピュータ100の方で選択を行うようにしてもよい。2つのコマンドを送る場合、同一のタイマ割込内で2つのコマンドを送信する様にしてもよく、1つ目のコマンドを送信した後、所定期間が経過してから(例えば次のタイマ割込において)2つ目のコマンドを送信するようにしてもよい。なお、それぞれのコマンドで示される変動態様はこの例に限定されるわけではなく、送信する順序についても適宜変更可能である。このように2つ乃至それ以上のコマンドにより変動パターンを通知するようにすることで、変動パターンコマンドとして記憶しておかなければならぬデータ量を削減することができる。

30

【 0 5 4 7 】

また、上記の実施の形態では、演出装置を制御する回路が搭載された基板として、演出制御基板80、音声出力基板70およびランプドライバ基板35が設けられているが、演出装置を制御する回路を1つの基板に搭載してもよい。さらに、演出表示装置9等を制御する回路が搭載された第1の演出制御基板(表示制御基板)と、その他の演出装置(ラン

40

50

プ、LED、スピーカ27など)を制御する回路が搭載された第2の演出制御基板との2つの基板を設けるようにしてもよい。

【0548】

また、上記の実施の形態では、遊技制御用マイクロコンピュータ560は、演出制御用マイクロコンピュータ100に対して直接コマンドを送信していたが、遊技制御用マイクロコンピュータ560が他の基板(例えば、図3に示す音声出力基板70やランプドライバ基板35など、または音声出力基板70に搭載されている回路による機能とランプドライバ基板35に搭載されている回路による機能とを備えた音/ランプ基板)に演出制御コマンドを送信し、他の基板を経由して演出制御基板80における演出制御用マイクロコンピュータ100に送信されるようにしてもよい。その場合、他の基板においてコマンドが単に通過するようにしてもよいし、音声出力基板70、ランプドライバ基板35、音/ランプ基板にマイクロコンピュータ等の制御手段を搭載し、制御手段がコマンドを受信したことにより音声制御やランプ制御に応じて制御を実行し、さらに、受信したコマンドをそのまま、または例えば簡略化したコマンドに変更して、演出表示装置9を制御する演出制御用マイクロコンピュータ100に送信するようにしてもよい。その場合でも、演出制御用マイクロコンピュータ100は、上記の実施の形態における遊技制御用マイクロコンピュータ560から直接受信した演出制御コマンドに応じて表示制御を行うのと同様に、音声出力基板70、ランプドライバ基板35または音/ランプ基板から受信したコマンドに応じて表示制御を行うことができる。10

【0549】

また、上記の実施の形態では、遊技機としてパチンコ機を例にしたが、本発明を、メダルが投入されて所定の賭け数が設定され、遊技者による操作レバーの操作に応じて複数種類の図柄を回転させ、遊技者によるストップボタンの操作に応じて図柄を停止させたときに停止図柄の組合せが特定の図柄の組み合わせになると、所定数のメダルが遊技者に払い出されるスロット機に適用することも可能である。20

【0550】

また、上記の実施の形態では、遊技機として遊技媒体を使用するものを例にしたが本発明による遊技機は、所定数の景品としての遊技媒体を払い出す遊技機に限定されず、遊技球等の遊技媒体を封入し景品の付与条件が成立した場合に得点を付与する封入式の遊技機に適用することもできる。30

【産業上の利用可能性】

【0551】

本発明は、所定の遊技を行うことが可能なパチンコ遊技機等の遊技機に好適に適用される。

【符号の説明】

【0552】

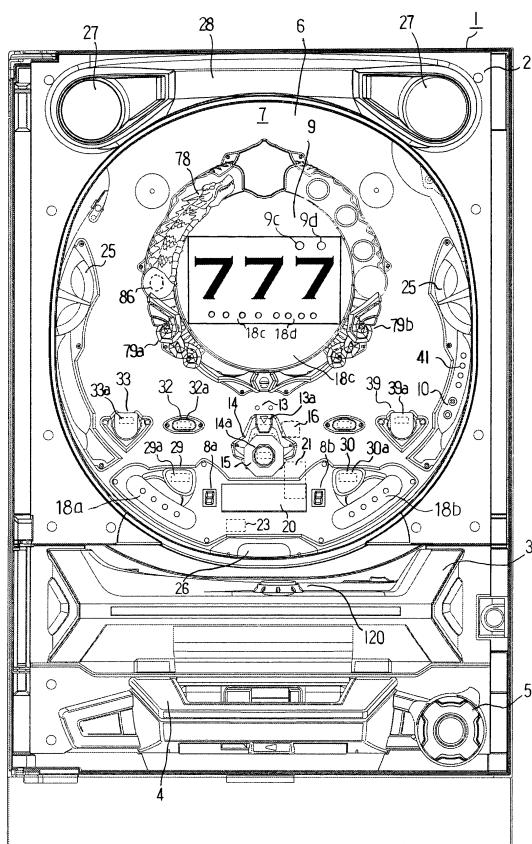
- 1 パチンコ遊技機
- 8 a 第1特別図柄表示器
- 8 b 第2特別図柄表示器
- 9 演出表示装置
- 13 第1始動入賞口
- 14 第2始動入賞口
- 20 特別可変入賞球装置
- 31 遊技制御基板(主基板)
- 56 C P U
- 502 クロック回路
- 506 リセット/割り込みコントローラ
- 506a I A T回路
- 506b ウオッチドッグタイマ(W D T)
- 507 フリーランカウンタ回路

40

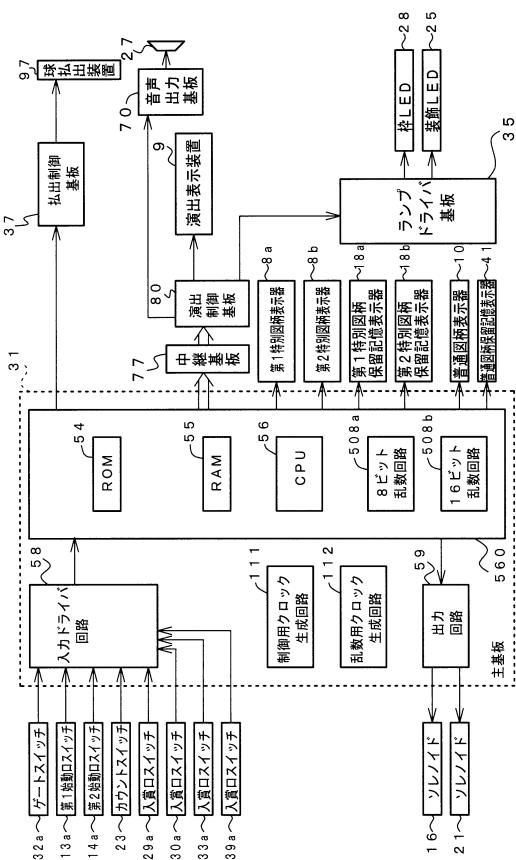
50

5 0 8 a 8 ビット乱数回路
5 0 8 b 16 ビット乱数回路
5 2 5 a , 5 2 5 b 亂数生成回路
5 3 7 更新監視回路
5 6 0 遊技制御用マイクロコンピュータ
8 0 演出制御基板
1 0 0 演出制御用マイクロコンピュータ
1 0 1 演出制御用 C P U
1 0 9 V D P

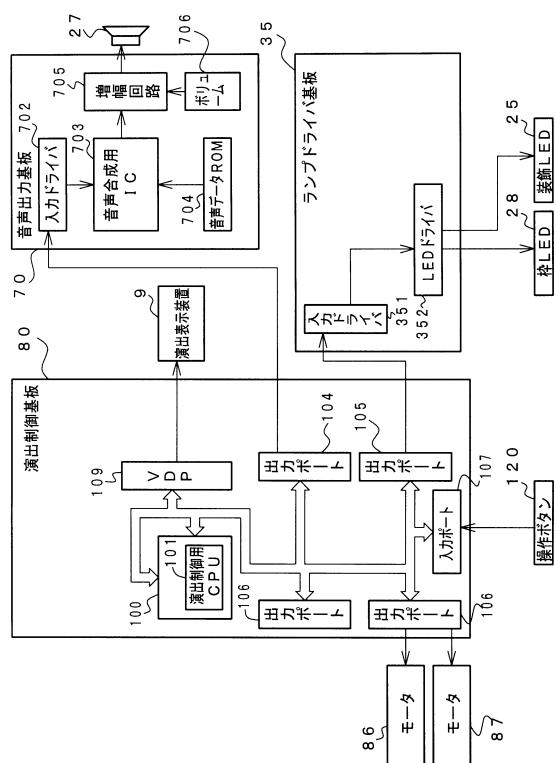
【 义 1 】



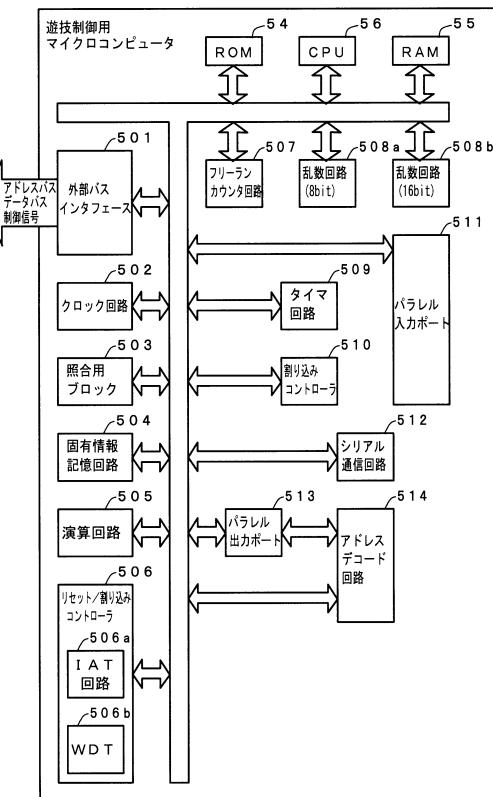
【 义 2 】



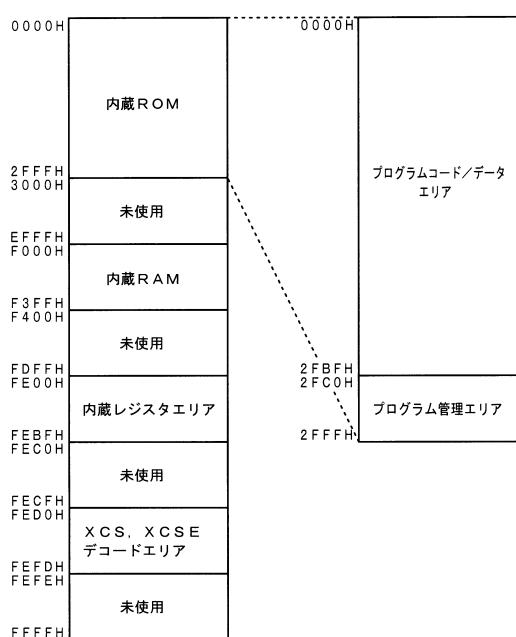
【図3】



【図4】



【図5】



【図6】

アドレス (H)	内容
2FC0~2FC7	ヘッダ (KHDR)
2FD3~2FD4	プログラムコードエンドアドレス (KPC E)
2FD5~2FD6	プログラムコードスタートアドレス2 (KPC S2)
2FD7~2FD8	プログラムコードエンドアドレス2 (KPC E2)
2FD9	リセット設定 (KRES)
2FE0	16ビット乱数初期設定1 (KRL1)
2FE1	16ビット乱数初期設定2 (KRL2)
2FE2	16ビット乱数初期設定3 (KRL3)
2FE3	8ビット乱数初期設定1 (KRS1)
2FE4	8ビット乱数初期設定2 (KRS2)
2FEA	セキュリティ時間設定 (KSES)
2FEB	乱数クロック監視設定 (KRCS)

【図7】

内蔵レジスタエリア（主要部分）

アドレス (H)	レジスタ名称
FE25	内部情報レジスタ (C1F)
FE5B	RL0ハードラッチ選択レジスタ0 (RL0LS0)
FE5C	RL0ハードラッチ選択レジスタ1 (RL0LS1)
FE5D	RL1ハードラッチ選択レジスタ (RL1LS)
FE5E	RL2ハードラッチ選択レジスタ (RL2LS)
FE5F	RL3ハードラッチ選択レジスタ (RL3LS)
FE60	RSハードラッチ選択レジスタ0 (RSLS0)
FE61	RSハードラッチ選択レジスタ1 (RSLS1)
FE64	RL割り込み制御レジスタ0 (RL1C0)
FE65	RL割り込み制御レジスタ1 (RL1C1)
FE66	RS割り込み制御レジスタ (RS1C)
FE67	RL0最大値設定レジスタ (RL0MX) の下位バイト
FE68	RL0最大値設定レジスタ (RL0MX) の上位バイト
FE69	RL1最大値設定レジスタ (RL1MX) の下位バイト
FE6A	RL1最大値設定レジスタ (RL1MX) の上位バイト
FE6B	RL2最大値設定レジスタ (RL2MX) の下位バイト
FE6C	RL2最大値設定レジスタ (RL2MX) の上位バイト
FE6D	RL3最大値設定レジスタ (RL3MX) の下位バイト
FE6E	RL3最大値設定レジスタ (RL3MX) の上位バイト
FE6F	RS0最大値設定レジスタ (RS0MX)
FE70	RS1最大値設定レジスタ (RS1MX)
FE71	RS2最大値設定レジスタ (RS2MX)
FE72	RS3最大値設定レジスタ (RS3MX)
FE73	乱数列変更レジスタ (RDSC)
FE74	乱数ソフトラッチレジスタ (RDSL)
FE75	乱数ソフトラッチフラグレジスタ (RDSF)

【図8】

内蔵レジスタエリア（主要部分）

アドレス (H)	レジスタ名称
FE76	RL0ソフトラッチ乱数値レジスタ (RL0SV) の下位バイト
FE77	RL0ソフトラッチ乱数値レジスタ (RL0SV) の上位バイト
FE78	RL1ソフトラッチ乱数値レジスタ (RL1SV) の下位バイト
FE79	RL1ソフトラッチ乱数値レジスタ (RL1SV) の上位バイト
FE7A	RL2ソフトラッチ乱数値レジスタ (RL2SV) の下位バイト
FE7B	RL2ソフトラッチ乱数値レジスタ (RL2SV) の上位バイト
FE7C	RL3ソフトラッチ乱数値レジスタ (RL3SV) の下位バイト
FE7D	RL3ソフトラッチ乱数値レジスタ (RL3SV) の上位バイト
FE7E	RS0ソフトラッチ乱数値レジスタ (RS0SV)
FE7F	RS1ソフトラッチ乱数値レジスタ (RS1SV)
FE80	RS2ソフトラッチ乱数値レジスタ (RS2SV)
FE81	RS3ソフトラッチ乱数値レジスタ (RS3SV)
FE82	RLハードラッチフラグレジスタ0 (RLHF0)
FE83	RLハードラッチフラグレジスタ1 (RLHF1)
FE84	RSハードラッチフラグレジスタ (RSHF)
FE85	RL0ハードラッチ乱数値レジスタ0 (RL0HV0) の下位バイト
FE86	RL0ハードラッチ乱数値レジスタ0 (RL0HV0) の上位バイト
FE87	RL0ハードラッチ乱数値レジスタ1 (RL0HV1) の下位バイト
FE88	RL0ハードラッチ乱数値レジスタ1 (RL0HV1) の上位バイト
FE89	RL0ハードラッチ乱数値レジスタ2 (RL0HV2) の下位バイト
FE8A	RL0ハードラッチ乱数値レジスタ2 (RL0HV2) の上位バイト
FE8B	RL0ハードラッチ乱数値レジスタ3 (RL0HV3) の下位バイト
FE8C	RL0ハードラッチ乱数値レジスタ3 (RL0HV3) の上位バイト
FE8D	RL1ハードラッチ乱数値レジスタ0 (RL1HV0) の下位バイト
FE8E	RL1ハードラッチ乱数値レジスタ0 (RL1HV0) の上位バイト
FE8F	RL1ハードラッチ乱数値レジスタ1 (RL1HV1) の下位バイト
FE90	RL1ハードラッチ乱数値レジスタ1 (RL1HV1) の上位バイト

【図9】

内蔵レジスタエリア（主要部分）

アドレス (H)	レジスタ名称
FE91	RL2ハードラッチ乱数値レジスタ0 (RL2HV0) の下位バイト
FE92	RL2ハードラッチ乱数値レジスタ0 (RL2HV0) の上位バイト
FE93	RL2ハードラッチ乱数値レジスタ1 (RL2HV1) の下位バイト
FE94	RL2ハードラッチ乱数値レジスタ1 (RL2HV1) の上位バイト
FE95	RL3ハードラッチ乱数値レジスタ0 (RL3HV0) の下位バイト
FE96	RL3ハードラッチ乱数値レジスタ0 (RL3HV0) の上位バイト
FE97	RL3ハードラッチ乱数値レジスタ1 (RL3HV1) の下位バイト
FE98	RL3ハードラッチ乱数値レジスタ1 (RL3HV1) の上位バイト
FE99	RS0ハードラッチ乱数値レジスタ (RS0HV)
FE9A	RS1ハードラッチ乱数値レジスタ (RS1HV)
FE9B	RS2ハードラッチ乱数値レジスタ (RS2HV)
FE9C	RS3ハードラッチ乱数値レジスタ (RS3HV)

【図11】

(A) プログラムコードエンドアドレス (KPC E)

アドレス	設定データ
2FD3	プログラムコード1の最終アドレスの下位アドレス
2FD4	プログラムコード1の最終アドレスの上位アドレス

(B) プログラムコードスタートアドレス2 (KPC S 2)

アドレス	設定データ
2FD5	プログラムコード2の先頭アドレスの下位アドレス
2FD6	プログラムコード2の先頭アドレスの上位アドレス

(C) プログラムコードエンドアドレス (KPC E 2)

アドレス	設定データ
2FD7	プログラムコード2の最終アドレスの下位アドレス
2FD8	プログラムコード2の最終アドレスの上位アドレス

【図10】

ヘッダ (KHDR)

アドレス (H)	設定データ (H)		
2FC0	4C	00	左記以外
2FC1	45	00	
2FC2	4D	00	
2FC3	35	00	
2FC4	30	00	
2FC5	41	00	
2FC6	56	00	
2FC7	35	00	
ROM読み出 防止機能	無効	有効	無効
バス出力 マスク機能	有効	有効	無効

【図12】

リセット設定 (KRES)

ビット番号	設定内容																																																
7	ウォッチドッグタイマ (WDT) のタイムアウト信号・IAT発生により内部リセットが発生したときの動作を設定 0:ユーザリセット 1:システムリセット																																																
6	ウォッチドッグタイマ (WDT) の起動方法を設定 0:ユーザモード移行で自動起動 1:ソフトウェアで起動																																																
5-4	ウォッチドッグタイマ (WDT) の基準クロックを設定 <table border="1"> <tr> <td>設定値</td> <td>選択基準クロック</td> </tr> <tr> <td>00</td> <td>$2^{15} \times T_{SCLK}$ を選択</td> </tr> <tr> <td>01</td> <td>$2^{19} \times T_{SCLK}$ を選択</td> </tr> <tr> <td>10</td> <td>$2^{22} \times T_{SCLK}$ を選択</td> </tr> <tr> <td>11</td> <td>$2^{25} \times T_{SCLK}$ を選択</td> </tr> </table>	設定値	選択基準クロック	00	$2^{15} \times T_{SCLK}$ を選択	01	$2^{19} \times T_{SCLK}$ を選択	10	$2^{22} \times T_{SCLK}$ を選択	11	$2^{25} \times T_{SCLK}$ を選択																																						
設定値	選択基準クロック																																																
00	$2^{15} \times T_{SCLK}$ を選択																																																
01	$2^{19} \times T_{SCLK}$ を選択																																																
10	$2^{22} \times T_{SCLK}$ を選択																																																
11	$2^{25} \times T_{SCLK}$ を選択																																																
3-0	ウォッチドッグタイマ (WDT) のタイムアウト時間を設定 タイムアウト時間 = (ビット5-4で選択した基準クロック) × (設定値) ウォッチドッグタイマ (WDT) を使用しない場合は0000Hを設定 <table border="1"> <tr> <th colspan="4">設定値とタイムアウト時間の一例</th> </tr> <tr> <th>設定値</th> <th>ビット 5-4</th> <th>設定周期</th> <th>タイムアウト時間</th> </tr> <tr> <td></td> <td></td> <td></td> <td>SCLK = 10.0MHz SCLK = 12.0MHz</td> </tr> <tr> <td>0000</td> <td>—</td> <td>ウォッチドッグタイマを禁止 (使用しない)</td> <td></td> </tr> <tr> <td>00</td> <td>$2^{15} \times T_{SCLK} \times 8$</td> <td>約52.4ms</td> <td>約43.7ms</td> </tr> <tr> <td>1000</td> <td>$2^{19} \times T_{SCLK} \times 8$</td> <td>約419.4ms</td> <td>約349.5ms</td> </tr> <tr> <td>10</td> <td>$2^{22} \times T_{SCLK} \times 8$</td> <td>約3.36s</td> <td>約2.80s</td> </tr> <tr> <td>11</td> <td>$2^{25} \times T_{SCLK} \times 8$</td> <td>約23.49s</td> <td>約22.37s</td> </tr> <tr> <td>00</td> <td>$2^{15} \times T_{SCLK} \times 15$</td> <td>約98.3ms</td> <td>約81.9ms</td> </tr> <tr> <td>1111</td> <td>$2^{19} \times T_{SCLK} \times 15$</td> <td>約786.4ms</td> <td>約655.4ms</td> </tr> <tr> <td>10</td> <td>$2^{22} \times T_{SCLK} \times 15$</td> <td>約6.29s</td> <td>約5.24s</td> </tr> <tr> <td>11</td> <td>$2^{25} \times T_{SCLK} \times 15$</td> <td>約50.33s</td> <td>約41.94s</td> </tr> </table>	設定値とタイムアウト時間の一例				設定値	ビット 5-4	設定周期	タイムアウト時間				SCLK = 10.0MHz SCLK = 12.0MHz	0000	—	ウォッチドッグタイマを禁止 (使用しない)		00	$2^{15} \times T_{SCLK} \times 8$	約52.4ms	約43.7ms	1000	$2^{19} \times T_{SCLK} \times 8$	約419.4ms	約349.5ms	10	$2^{22} \times T_{SCLK} \times 8$	約3.36s	約2.80s	11	$2^{25} \times T_{SCLK} \times 8$	約23.49s	約22.37s	00	$2^{15} \times T_{SCLK} \times 15$	約98.3ms	約81.9ms	1111	$2^{19} \times T_{SCLK} \times 15$	約786.4ms	約655.4ms	10	$2^{22} \times T_{SCLK} \times 15$	約6.29s	約5.24s	11	$2^{25} \times T_{SCLK} \times 15$	約50.33s	約41.94s
設定値とタイムアウト時間の一例																																																	
設定値	ビット 5-4	設定周期	タイムアウト時間																																														
			SCLK = 10.0MHz SCLK = 12.0MHz																																														
0000	—	ウォッチドッグタイマを禁止 (使用しない)																																															
00	$2^{15} \times T_{SCLK} \times 8$	約52.4ms	約43.7ms																																														
1000	$2^{19} \times T_{SCLK} \times 8$	約419.4ms	約349.5ms																																														
10	$2^{22} \times T_{SCLK} \times 8$	約3.36s	約2.80s																																														
11	$2^{25} \times T_{SCLK} \times 8$	約23.49s	約22.37s																																														
00	$2^{15} \times T_{SCLK} \times 15$	約98.3ms	約81.9ms																																														
1111	$2^{19} \times T_{SCLK} \times 15$	約786.4ms	約655.4ms																																														
10	$2^{22} \times T_{SCLK} \times 15$	約6.29s	約5.24s																																														
11	$2^{25} \times T_{SCLK} \times 15$	約50.33s	約41.94s																																														

【図13】

16ビット乱数初期設定1 (KRL1)

ビット番号	設定内容										
7	16ビット乱数ch1の起動方法を選択 0:最大値設定 (ソフトウェア) で起動 1:ユーザモード移行で自動起動										
6	16ビット乱数ch1の更新クロックを設定 0:内部システムクロック 1:外部 (RCK端子に入力された) クロックの2分周										
5-4	16ビット乱数ch1の乱数列変更方法を設定 <table border="1"> <tr> <td>設定値</td> <td>設定内容</td> </tr> <tr> <td>00</td> <td>変更しない</td> </tr> <tr> <td>01</td> <td>ソフトウェアで変更</td> </tr> <tr> <td>10</td> <td>2周目から自動で変更</td> </tr> <tr> <td>11</td> <td>1周目から自動で変更</td> </tr> </table>	設定値	設定内容	00	変更しない	01	ソフトウェアで変更	10	2周目から自動で変更	11	1周目から自動で変更
設定値	設定内容										
00	変更しない										
01	ソフトウェアで変更										
10	2周目から自動で変更										
11	1周目から自動で変更										
3	16ビット乱数ch0の起動方法を選択 0:最大値設定 (ソフトウェア) で起動 1:ユーザモード移行で自動起動										
2	16ビット乱数ch0の更新クロックを設定 0:内部システムクロック 1:外部 (RCK端子に入力された) クロックの2分周										
1-0	16ビット乱数ch0の乱数列変更方法を設定 <table border="1"> <tr> <td>設定値</td> <td>設定内容</td> </tr> <tr> <td>00</td> <td>変更しない</td> </tr> <tr> <td>01</td> <td>ソフトウェアで変更</td> </tr> <tr> <td>10</td> <td>2周目から自動で変更</td> </tr> <tr> <td>11</td> <td>1周目から自動で変更</td> </tr> </table>	設定値	設定内容	00	変更しない	01	ソフトウェアで変更	10	2周目から自動で変更	11	1周目から自動で変更
設定値	設定内容										
00	変更しない										
01	ソフトウェアで変更										
10	2周目から自動で変更										
11	1周目から自動で変更										

【図14】

16ビット乱数初期設定2 (KRL2)

ビット番号	設定内容										
7	16ビット乱数ch3の起動方法を選択 0:最大値設定 (ソフトウェア) で起動 1:ユーザモード移行で自動起動										
6	16ビット乱数ch3の更新クロックを設定 0:内部システムクロック 1:外部 (RCK端子に入力された) クロックの2分周										
5-4	16ビット乱数ch3の乱数列変更方法を設定 <table border="1"> <tr> <td>設定値</td> <td>設定内容</td> </tr> <tr> <td>00</td> <td>変更しない</td> </tr> <tr> <td>01</td> <td>ソフトウェアで変更</td> </tr> <tr> <td>10</td> <td>2周目から自動で変更</td> </tr> <tr> <td>11</td> <td>1周目から自動で変更</td> </tr> </table>	設定値	設定内容	00	変更しない	01	ソフトウェアで変更	10	2周目から自動で変更	11	1周目から自動で変更
設定値	設定内容										
00	変更しない										
01	ソフトウェアで変更										
10	2周目から自動で変更										
11	1周目から自動で変更										
3	16ビット乱数ch2の起動方法を選択 0:最大値設定 (ソフトウェア) で起動 1:ユーザモード移行で自動起動										
2	16ビット乱数ch2の更新クロックを設定 0:内部システムクロック 1:外部 (RCK端子に入力された) クロックの2分周										
1-0	16ビット乱数ch2の乱数列変更方法を設定 <table border="1"> <tr> <td>設定値</td> <td>設定内容</td> </tr> <tr> <td>00</td> <td>変更しない</td> </tr> <tr> <td>01</td> <td>ソフトウェアで変更</td> </tr> <tr> <td>10</td> <td>2周目から自動で変更</td> </tr> <tr> <td>11</td> <td>1周目から自動で変更</td> </tr> </table>	設定値	設定内容	00	変更しない	01	ソフトウェアで変更	10	2周目から自動で変更	11	1周目から自動で変更
設定値	設定内容										
00	変更しない										
01	ソフトウェアで変更										
10	2周目から自動で変更										
11	1周目から自動で変更										

【図15】

16ビット乱数初期設定3 (KRL3)

ビット番号	設定内容
7	16ビット乱数ch3のスタート値を設定 0:0001H 1:IDナンバを基にした値
6	16ビット乱数ch3のスタート値を、システムリセット毎に変更するかを設定 0:変更しない 1:変更する
5	16ビット乱数ch2のスタート値を設定 0:0001H 1:IDナンバを基にした値
4	16ビット乱数ch2のスタート値を、システムリセット毎に変更するかを設定 0:変更しない 1:変更する
3	16ビット乱数ch1のスタート値を設定 0:0001H 1:IDナンバを基にした値
2	16ビット乱数ch1のスタート値を、システムリセット毎に変更するかを設定 0:変更しない 1:変更する
1	16ビット乱数ch0のスタート値を設定 0:0001H 1:IDナンバを基にした値
0	16ビット乱数ch0のスタート値を、システムリセット毎に変更するかを設定 0:変更しない 1:変更する

【図16】

8ビット乱数初期設定1 (KRS1)

ビット番号	設定内容										
7	8ビット乱数ch1の起動方法を選択 0:最大値設定(ソフトウェア)で起動 1:ユーザーモード移行で自動起動										
6	8ビット乱数ch1の更新クロックを設定 0:内部システムクロック 1:外部(RCK端子に入力された)クロックの2分周										
5-4	8ビット乱数ch1の乱数列変更方法を設定 <table border="1"><thead><tr><th>設定値</th><th>設定内容</th></tr></thead><tbody><tr><td>00</td><td>変更しない</td></tr><tr><td>01</td><td>ソフトウェアで変更</td></tr><tr><td>10</td><td>2周目から自動で変更</td></tr><tr><td>11</td><td>1周目から自動で変更</td></tr></tbody></table>	設定値	設定内容	00	変更しない	01	ソフトウェアで変更	10	2周目から自動で変更	11	1周目から自動で変更
設定値	設定内容										
00	変更しない										
01	ソフトウェアで変更										
10	2周目から自動で変更										
11	1周目から自動で変更										
3	8ビット乱数ch0の起動方法を選択 0:最大値設定(ソフトウェア)で起動 1:ユーザーモード移行で自動起動										
2	8ビット乱数ch0の更新クロックを設定 0:内部システムクロック 1:外部(RCK端子に入力された)クロックの2分周										
1-0	8ビット乱数ch0の乱数列変更方法を設定 <table border="1"><thead><tr><th>設定値</th><th>設定内容</th></tr></thead><tbody><tr><td>00</td><td>変更しない</td></tr><tr><td>01</td><td>ソフトウェアで変更</td></tr><tr><td>10</td><td>2周目から自動で変更</td></tr><tr><td>11</td><td>1周目から自動で変更</td></tr></tbody></table>	設定値	設定内容	00	変更しない	01	ソフトウェアで変更	10	2周目から自動で変更	11	1周目から自動で変更
設定値	設定内容										
00	変更しない										
01	ソフトウェアで変更										
10	2周目から自動で変更										
11	1周目から自動で変更										

【図17】

8ビット乱数初期設定2 (KRS2)

ビット番号	設定内容										
7	8ビット乱数ch3の起動方法を選択 0:最大値設定(ソフトウェア)で起動 1:ユーザーモード移行で自動起動										
6	8ビット乱数ch3の更新クロックを設定 0:内部システムクロック 1:外部(RCK端子に入力された)クロックの2分周										
5-4	8ビット乱数ch3の乱数列変更方法を設定 <table border="1"><thead><tr><th>設定値</th><th>設定内容</th></tr></thead><tbody><tr><td>00</td><td>変更しない</td></tr><tr><td>01</td><td>ソフトウェアで変更</td></tr><tr><td>10</td><td>2周目から自動で変更</td></tr><tr><td>11</td><td>1周目から自動で変更</td></tr></tbody></table>	設定値	設定内容	00	変更しない	01	ソフトウェアで変更	10	2周目から自動で変更	11	1周目から自動で変更
設定値	設定内容										
00	変更しない										
01	ソフトウェアで変更										
10	2周目から自動で変更										
11	1周目から自動で変更										
3	8ビット乱数ch2の起動方法を選択 0:最大値設定(ソフトウェア)で起動 1:ユーザーモード移行で自動起動										
2	8ビット乱数ch2の更新クロックを設定 0:内部システムクロック 1:外部(RCK端子に入力された)クロックの2分周										
1-0	8ビット乱数ch2の乱数列変更方法を設定 <table border="1"><thead><tr><th>設定値</th><th>設定内容</th></tr></thead><tbody><tr><td>00</td><td>変更しない</td></tr><tr><td>01</td><td>ソフトウェアで変更</td></tr><tr><td>10</td><td>2周目から自動で変更</td></tr><tr><td>11</td><td>1周目から自動で変更</td></tr></tbody></table>	設定値	設定内容	00	変更しない	01	ソフトウェアで変更	10	2周目から自動で変更	11	1周目から自動で変更
設定値	設定内容										
00	変更しない										
01	ソフトウェアで変更										
10	2周目から自動で変更										
11	1周目から自動で変更										

【図18】

セキュリティ時間設定 (KSES)

ビット番号	設定内容																																																				
7-6	セキュリティモード時間ランダムに延長する時間を設定 <table border="1"><thead><tr><th>設定値</th><th>設定周期</th><th>延長される時間の範囲</th></tr></thead><tbody><tr><td></td><td></td><td>SCLK= 10.0MHz SCLK= 12.0MHz</td></tr><tr><td>00</td><td></td><td>延長しない</td></tr><tr><td>01</td><td>ショートモード</td><td>0~0.816ms 0~0.51ms</td></tr><tr><td>10</td><td>ミドルモード</td><td>0~26.112ms 0~16.32ms</td></tr><tr><td>11</td><td>ロングモード</td><td>0~835.584ms 0~522.24ms</td></tr></tbody></table>	設定値	設定周期	延長される時間の範囲			SCLK= 10.0MHz SCLK= 12.0MHz	00		延長しない	01	ショートモード	0~0.816ms 0~0.51ms	10	ミドルモード	0~26.112ms 0~16.32ms	11	ロングモード	0~835.584ms 0~522.24ms																																		
設定値	設定周期	延長される時間の範囲																																																			
		SCLK= 10.0MHz SCLK= 12.0MHz																																																			
00		延長しない																																																			
01	ショートモード	0~0.816ms 0~0.51ms																																																			
10	ミドルモード	0~26.112ms 0~16.32ms																																																			
11	ロングモード	0~835.584ms 0~522.24ms																																																			
5	セキュリティモード時間固定延長する時間の基準クロックを設定 <table border="1"><thead><tr><th>設定値</th><th>選択基準クロック</th></tr></thead><tbody><tr><td>0</td><td>$2^{22} \times T_{SCLK}$ を選択</td></tr><tr><td>1</td><td>$2^{24} \times T_{SCLK}$ を選択</td></tr></tbody></table>	設定値	選択基準クロック	0	$2^{22} \times T_{SCLK}$ を選択	1	$2^{24} \times T_{SCLK}$ を選択																																														
設定値	選択基準クロック																																																				
0	$2^{22} \times T_{SCLK}$ を選択																																																				
1	$2^{24} \times T_{SCLK}$ を選択																																																				
4-0	セキュリティモード時間固定で延長する時間を設定 固定延長時間 = (ビット5で選択された基準クロック) × (設定値) 固定延長をしない場合は00000Hを設定 <table border="1"><thead><tr><th>設定値</th><th>延長時間の一例</th></tr></thead><tbody><tr><th>設定値</th><th>ビット</th><th>設定内容</th><th colspan="2">固定延長時間</th></tr><tr><th></th><th>5</th><th></th><th>SCLK= 10.0MHz</th><th>SCLK= 12.0MHz</th></tr><tr><td>00001</td><td>0</td><td>$2^{22} \times T_{SCLK} \times 1$</td><td>約0. 42 s</td><td>約0. 35 s</td></tr><tr><td>00001</td><td>1</td><td>$2^{24} \times T_{SCLK} \times 1$</td><td>約1. 68 s</td><td>約1. 40 s</td></tr><tr><td>01000</td><td>0</td><td>$2^{22} \times T_{SCLK} \times 8$</td><td>約3. 36 s</td><td>約2. 80 s</td></tr><tr><td>01000</td><td>1</td><td>$2^{24} \times T_{SCLK} \times 8$</td><td>約13. 42 s</td><td>約11. 18 s</td></tr><tr><td>10000</td><td>0</td><td>$2^{22} \times T_{SCLK} \times 16$</td><td>約6. 71 s</td><td>約5. 59 s</td></tr><tr><td>10000</td><td>1</td><td>$2^{24} \times T_{SCLK} \times 16$</td><td>約26. 84 s</td><td>約22. 37 s</td></tr><tr><td>11111</td><td>0</td><td>$2^{22} \times T_{SCLK} \times 31$</td><td>約13. 00 s</td><td>約10. 84 s</td></tr><tr><td>11111</td><td>1</td><td>$2^{24} \times T_{SCLK} \times 31$</td><td>約52. 01 s</td><td>約43. 34 s</td></tr></tbody></table>	設定値	延長時間の一例	設定値	ビット	設定内容	固定延長時間			5		SCLK= 10.0MHz	SCLK= 12.0MHz	00001	0	$2^{22} \times T_{SCLK} \times 1$	約0. 42 s	約0. 35 s	00001	1	$2^{24} \times T_{SCLK} \times 1$	約1. 68 s	約1. 40 s	01000	0	$2^{22} \times T_{SCLK} \times 8$	約3. 36 s	約2. 80 s	01000	1	$2^{24} \times T_{SCLK} \times 8$	約13. 42 s	約11. 18 s	10000	0	$2^{22} \times T_{SCLK} \times 16$	約6. 71 s	約5. 59 s	10000	1	$2^{24} \times T_{SCLK} \times 16$	約26. 84 s	約22. 37 s	11111	0	$2^{22} \times T_{SCLK} \times 31$	約13. 00 s	約10. 84 s	11111	1	$2^{24} \times T_{SCLK} \times 31$	約52. 01 s	約43. 34 s
設定値	延長時間の一例																																																				
設定値	ビット	設定内容	固定延長時間																																																		
	5		SCLK= 10.0MHz	SCLK= 12.0MHz																																																	
00001	0	$2^{22} \times T_{SCLK} \times 1$	約0. 42 s	約0. 35 s																																																	
00001	1	$2^{24} \times T_{SCLK} \times 1$	約1. 68 s	約1. 40 s																																																	
01000	0	$2^{22} \times T_{SCLK} \times 8$	約3. 36 s	約2. 80 s																																																	
01000	1	$2^{24} \times T_{SCLK} \times 8$	約13. 42 s	約11. 18 s																																																	
10000	0	$2^{22} \times T_{SCLK} \times 16$	約6. 71 s	約5. 59 s																																																	
10000	1	$2^{24} \times T_{SCLK} \times 16$	約26. 84 s	約22. 37 s																																																	
11111	0	$2^{22} \times T_{SCLK} \times 31$	約13. 00 s	約10. 84 s																																																	
11111	1	$2^{24} \times T_{SCLK} \times 31$	約52. 01 s	約43. 34 s																																																	

【図19】

乱数クロック監視設定 (KRCs)

ビット番号	設定内容										
7-2	固定ビット(必ず全ビット0を設定)										
1-0	乱数を更新するためのクロックを、外部(RCK端子に入力された)クロックを選択した場合に、その入力クロックの異常を検知する周波数を設定。異常を検出した場合は、内部情報レジスタ(CIF)のビット3にセットされる。 <table border="1"><thead><tr><th>設定値</th><th>設定内容(異常検知周波数)</th></tr></thead><tbody><tr><td>00</td><td>$RCK < SCLK$</td></tr><tr><td>01</td><td>$RCK < SCLK / 2$</td></tr><tr><td>10</td><td>$RCK < SCLK / 2^2$</td></tr><tr><td>11</td><td>$RCK < SCLK / 2^3$</td></tr></tbody></table>	設定値	設定内容(異常検知周波数)	00	$RCK < SCLK$	01	$RCK < SCLK / 2$	10	$RCK < SCLK / 2^2$	11	$RCK < SCLK / 2^3$
設定値	設定内容(異常検知周波数)										
00	$RCK < SCLK$										
01	$RCK < SCLK / 2$										
10	$RCK < SCLK / 2^2$										
11	$RCK < SCLK / 2^3$										

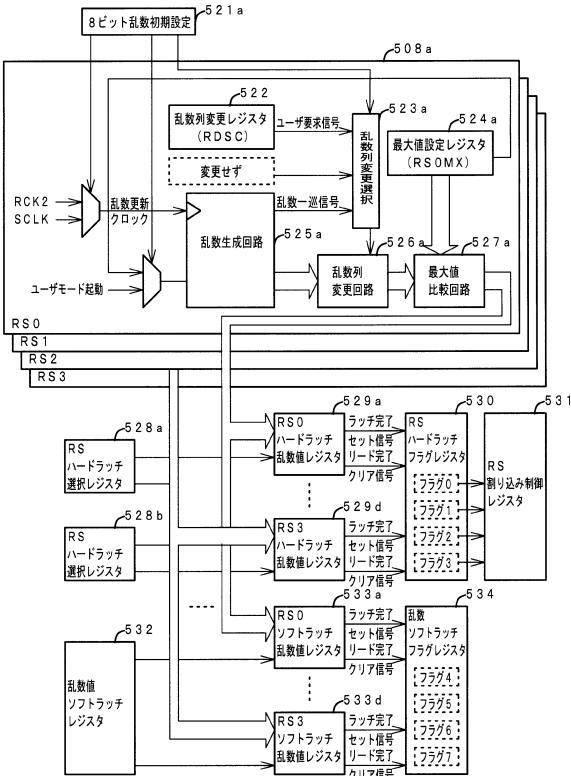
【図20】



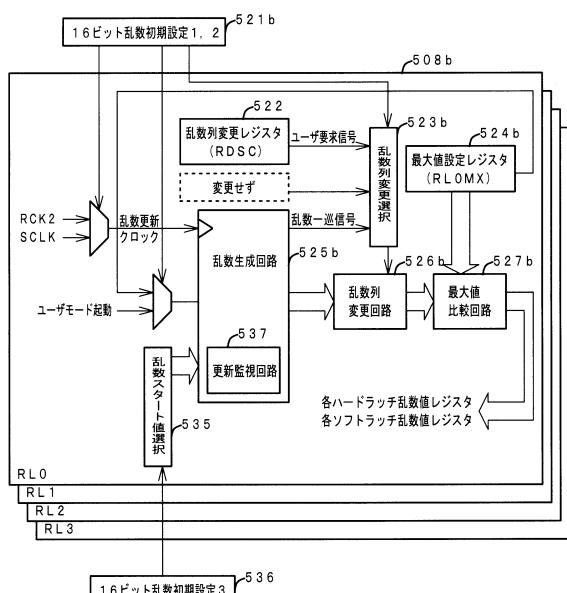
(B) 内部情報レジスタ (C I F)

ビット番号	ビット名	意味
7	RL3ER	16ビット乱数RL3の更新状態の異常を示すビット 0: 更新異常なし (初期値) 1: 更新異常あり
6	RL2ER	16ビット乱数RL2の更新状態の異常を示すビット 0: 更新異常なし (初期値) 1: 更新異常あり
5	RL1ER	16ビット乱数RL1の更新状態の異常を示すビット 0: 更新異常なし (初期値) 1: 更新異常あり
4	RL0ER	16ビット乱数RL0の更新状態の異常を示すビット 0: 更新異常なし (初期値) 1: 更新異常あり
3	RCER	乱数更新用の外部クロック入力の周波数異常を示すビット 0: 周波数異常なし (初期値) 1: 周波数異常あり
2	SRSF	直前に発生したリセット要因がシステムリセットであることを示すビット 0: システムリセット未発生 1: システムリセット発生 (初期値)
1	WDTF	直前に発生したリセット要因がWDTタイムアウト信号によるユーザリセットであることを示すビット 0: WDTタイムアウト信号によるユーザリセット未発生 (初期値) 1: WDTタイムアウト信号によるユーザリセット発生
0	IATF	直前に発生したリセット要因がIAT発生信号によるユーザリセットであることを示すビット 0: IAT発生信号によるユーザリセット未発生 (初期値) 1: IAT発生信号によるユーザリセット発生

【図21】



【図22】



【図23】

(A) ビット番号 7 6 5 4 3 2 1 0

RL0LS0	RL01RF	RL01LS2	RL01LS1	RL01LS0	RL00RF	RL00LS2	RL00LS1	RL00LS0
--------	--------	---------	---------	---------	--------	---------	---------	---------

(B) RL0ハードラッチ選択レジスタ0 (RL0LS0)

ビット番号	ビット名	意味
7	RL01RF	RL0ハードラッチ乱数値レジスタ1 (RL0HVI)に、外部端子入力により、16ビット乱数RL0の値を取り込む際の条件を設定するためのビット 0: 値を読み込まないと、次の値をラッチしない (初期値) 1: 値を読み込まなくても、次の値をラッチする
6-4	RL01LS0~RL01LS2	RL0ハードラッチ乱数値レジスタ1 (RL0HVI)に、どの外部端子入力により、16ビット乱数RL0の値を取り込むかを設定するためのビット 設定値 選択される外部端子 設定値 選択される外部端子 000 P10端子 (初期値) 100 P14端子 001 P11端子 101 P15/XINT端子 010 P12端子 110 無効 011 P13端子 111
3	RL00RF	RL0ハードラッチ乱数値レジスタ0 (RL0HVO)に、外部端子入力により、16ビット乱数RL0の値を取り込む際の条件を設定するためのビット 0: 値を読み込まないと、次の値をラッチしない (初期値) 1: 値を読み込まなくても、次の値をラッチする
2-0	RL00LS0~RL00LS2	RL0ハードラッチ乱数値レジスタ0 (RL0HVO)に、どの外部端子入力により、16ビット乱数RL0の値を取り込むかを設定するためのビット 設定値 選択される外部端子 設定値 選択される外部端子 000 P10端子 (初期値) 100 P14端子 001 P11端子 101 P15/XINT端子 010 P12端子 110 無効 011 P13端子 111

【図24】

(A) ビット番号	7	6	5	4	3	2	1	0
RL0LS1	RL03RF	RL03LS2	RL03LS1	RL03LS0	RL02RF	RL02LS2	RL02LS1	RL02LS0

(B) RLOハードラッチ選択レジスタ1 (RLOLS1)	ビット番号	ビット名	意味
7	RLO3RF	RLOハードラッチ乱数値レジスタ3 (RLOHV3)に、外部端子入力により、16ビット乱数RLOの値を取り込む際の条件を設定するためのビット 0: 値を読み込まないと、次の値をラッチしない (初期値) 1: 値を読み込まなくても、次の値をラッチする	
6-4	RL03LS0~RL03LS2	RLOハードラッチ乱数値レジスタ3 (RLOHV3)に、どの外部端子入力により、16ビット乱数RLOの値を取り込むかを設定するためのビット	
		設定値 選択される外部端子 設定値 選択される外部端子 000 PIO端子 (初期値) 100 P14端子 001 P11端子 101 P15/XINT端子 010 P12端子 110 無効 011 P13端子 111	
3	RL02RF	RLOハードラッチ乱数値レジスタ2 (RLOHV2)に、外部端子入力により、16ビット乱数RLOの値を取り込む際の条件を設定するためのビット 0: 値を読み込まないと、次の値をラッチしない (初期値) 1: 値を読み込まなくても、次の値をラッチする	
2-0	RL02LS0~RL02LS2	RLOハードラッチ乱数値レジスタ2 (RLOHV2)に、どの外部端子入力により、16ビット乱数RLOの値を取り込むかを設定するためのビット	
		設定値 選択される外部端子 設定値 選択される外部端子 000 PIO端子 (初期値) 100 P14端子 001 P11端子 101 P15/XINT端子 010 P12端子 110 無効 011 P13端子 111	

【図25】

(A) ビット番号	7	6	5	4	3	2	1	0
RLnLS	RLn1RF	RLn1LS2	RLn1LS1	RLn1LS0	RLnORF	RLnOLS2	RLnOLS1	RLnOLS0

(B) RLnハードラッチ選択レジスタ (RLnLS) (n=1~3)	ビット番号	ビット名	意味
7	RLn1RF	RLnハードラッチ乱数値レジスタ1 (RLnHV1)に、外部端子入力により、16ビット乱数RLnの値を取り込む際の条件を設定するためのビット 0: 値を読み込まないと、次の値をラッチしない (初期値) 1: 値を読み込まなくても、次の値をラッチする	
6-4	RLn1LS0~RLn1LS2	RLnハードラッチ乱数値レジスタ1 (RLnHV1)に、どの外部端子入力により、16ビット乱数RLnの値を取り込むかを設定するためのビット	
		設定値 選択される外部端子 設定値 選択される外部端子 000 PIO端子 (初期値) 100 P14端子 001 P11端子 101 P15/XINT端子 010 P12端子 110 無効 011 P13端子 111	
3	RLnORF	RLnハードラッチ乱数値レジスタ0 (RLnHV0)に、外部端子入力により、16ビット乱数RLnの値を取り込む際の条件を設定するためのビット 0: 値を読み込まないと、次の値をラッチしない (初期値) 1: 値を読み込まなくても、次の値をラッチする	
2-0	RLn0LS0~RLn0LS2	RLnハードラッチ乱数値レジスタ0 (RLnHV0)に、どの外部端子入力により、16ビット乱数RLnの値を取り込むかを設定するためのビット	
		設定値 選択される外部端子 設定値 選択される外部端子 000 PIO端子 (初期値) 100 P14端子 001 P11端子 101 P15/XINT端子 010 P12端子 110 無効 011 P13端子 111	

【図26】

(A) ビット番号	7	6	5	4	3	2	1	0
RSLS0	RS1RF	RS1LS2	RS1LS1	RS1LS0	RS0RF	RS0LS2	RS0LS1	RS0LS0

(B) RSハードラッチ選択レジスタ0 (RSLS0)	ビット番号	ビット名	意味
7	RS1RF	RS3ハードラッチ乱数値レジスタ (RS3HV)に、外部端子入力により、8ビット乱数RS1の値を取り込む際の条件を設定するためのビット 0: 値を読み込まないと、次の値をラッチしない (初期値) 1: 値を読み込まなくても、次の値をラッチする	
6-4	RS1LS0~RS1LS2	RS3ハードラッチ乱数値レジスタ (RS3HV)に、どの外部端子入力により、8ビット乱数RS1の値を取り込むかを設定するためのビット	
		設定値 選択される外部端子 設定値 選択される外部端子 000 PIO端子 (初期値) 100 P14端子 001 P11端子 101 P15/XINT端子 010 P12端子 110 無効 011 P13端子 111	
3	RS0RF	RS0ハードラッチ乱数値レジスタ (RS0HV)に、外部端子入力により、8ビット乱数RS0の値を取り込む際の条件を設定するためのビット 0: 値を読み込まないと、次の値をラッチしない (初期値) 1: 値を読み込まなくても、次の値をラッチする	
2-0	RS0LS0~RS0LS2	RS0ハードラッチ乱数値レジスタ (RS0HV)に、どの外部端子入力により、8ビット乱数RS0の値を取り込むかを設定するためのビット	
		設定値 選択される外部端子 設定値 選択される外部端子 000 PIO端子 (初期値) 100 P14端子 001 P11端子 101 P15/XINT端子 010 P12端子 110 無効 011 P13端子 111	

【図27】

(A) ビット番号	7	6	5	4	3	2	1	0
RSLS1	RS3RF	RS3LS2	RS3LS1	RS3LS0	RS2RF	RS2LS2	RS2LS1	RS2LS0

(B) RSハードラッチ選択レジスタ1 (RSLS1)	ビット番号	ビット名	意味
7	RS3RF	RS3ハードラッチ乱数値レジスタ (RS3HV)に、外部端子入力により、8ビット乱数RS3の値を取り込む際の条件を設定するためのビット 0: 値を読み込まないと、次の値をラッチしない (初期値) 1: 値を読み込まなくても、次の値をラッチする	
6-4	RS3LS0~RS3LS2	RS3ハードラッチ乱数値レジスタ (RS3HV)に、どの外部端子入力により、8ビット乱数RS3の値を取り込むかを設定するためのビット	
		設定値 選択される外部端子 設定値 選択される外部端子 000 PIO端子 (初期値) 100 P14端子 001 P11端子 101 P15/XINT端子 010 P12端子 110 無効 011 P13端子 111	
3	RS2RF	RS2ハードラッチ乱数値レジスタ (RS2HV)に、外部端子入力により、8ビット乱数RS2の値を取り込む際の条件を設定するためのビット 0: 値を読み込まないと、次の値をラッチしない (初期値) 1: 値を読み込まなくても、次の値をラッチする	
2-0	RS2LS0~RS2LS2	RS2ハードラッチ乱数値レジスタ (RS2HV)に、どの外部端子入力により、8ビット乱数RS2の値を取り込むかを設定するためのビット	
		設定値 選択される外部端子 設定値 選択される外部端子 000 PIO端子 (初期値) 100 P14端子 001 P11端子 101 P15/XINT端子 010 P12端子 110 無効 011 P13端子 111	

【図28】

(A) ビット番号	7	6	5	4	3	2	1	0
RLICO	0	0	RL11IE	RL10IE	RL03IE	RL02IE	RL01IE	RL00IE

(B) RL割り込み制御レジスタ0 (RLICO)

ビット番号	ビット名	意味
5	RL11IE	RL1ハードラッチ乱数値レジスタ1 (RL1HV1)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止（初期値） 1：割り込み許可
4	RL10IE	RL1ハードラッチ乱数値レジスタ0 (RL1HV0)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止（初期値） 1：割り込み許可
3	RL03IE	RL0ハードラッチ乱数値レジスタ3 (RL0HV3)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止（初期値） 1：割り込み許可
2	RL02IE	RL0ハードラッチ乱数値レジスタ2 (RL0HV2)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止（初期値） 1：割り込み許可
1	RL01IE	RL0ハードラッチ乱数値レジスタ1 (RL0HV1)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止（初期値） 1：割り込み許可
0	RL00IE	RL0ハードラッチ乱数値レジスタ0 (RL0HV0)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止（初期値） 1：割り込み許可

【図29】

(A) ビット番号	7	6	5	4	3	2	1	0
RLICI	0	0	RL31IE	RL30IE	0	0	RL21IE	RL20IE

(B) RL割り込み制御レジスタ1 (RLICI)

ビット番号	ビット名	意味
5	RL31IE	RL3ハードラッチ乱数値レジスタ1 (RL3HV1)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止（初期値） 1：割り込み許可
4	RL30IE	RL3ハードラッチ乱数値レジスタ0 (RL3HV0)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止（初期値） 1：割り込み許可
1	RL21IE	RL2ハードラッチ乱数値レジスタ1 (RL2HV1)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止（初期値） 1：割り込み許可
0	RL20IE	RL2ハードラッチ乱数値レジスタ0 (RL2HV0)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止（初期値） 1：割り込み許可

【図30】

(A) ビット番号	7	6	5	4	3	2	1	0
RSIC	FR3IE	FR2IE	FR1IE	FROIE	RS3IE	RS2IE	RS1IE	RS0IE

(B) RS割り込み制御レジスタ (RSIC)

ビット番号	ビット名	意味
7	FR3IE	FRC3ハードラッチレジスタ(FR3HV)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止（初期値） 1：割り込み許可
6	FR2IE	FRC2ハードラッチレジスタ(FR2HV)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止（初期値） 1：割り込み許可
5	FR1IE	FRC1ハードラッチレジスタ(FR1HV)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止（初期値） 1：割り込み許可
4	FROIE	FRC0ハードラッチレジスタ(FROHV)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止（初期値） 1：割り込み許可
3	RS3IE	RS3ハードラッチ乱数値レジスタ(RS3HV)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止（初期値） 1：割り込み許可
2	RS2IE	RS2ハードラッチ乱数値レジスタ(RS2HV)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止（初期値） 1：割り込み許可
1	RS1IE	RS1ハードラッチ乱数値レジスタ(RS1HV)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止（初期値） 1：割り込み許可
0	RS0IE	RS0ハードラッチ乱数値レジスタ(RS0HV)に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止（初期値） 1：割り込み許可

【図31】

(A) ビット番号	7	6	5	4	3	2	1	0
RLnMX(L)	RLnMX7	RLnMX6	RLnMX5	RLnMX4	RLnMX3	RLnMX2	RLnMX1	RLnMX0

RLnMX(H)	RLnMX15	RLnMX14	RLnMX13	RLnMX12	RLnMX11	RLnMX10	RLnMX9	RLnMX8
----------	---------	---------	---------	---------	---------	---------	--------	--------

(B) RLn最大値設定レジスタ (RLnMX) (n=0~3)

ビット番号	ビット名	意味
15~0	RLnMX15~RLnMX0	16ビット乱数RLnの最大値設定

【図32】

(A) ビット番号	7	6	5	4	3	2	1	0
RSnMX	RSnMX7	RSnMX6	RSnMX5	RSnMX4	RSnMX3	RSnMX2	RSnMX1	RSnMX0

(B) RSn最大値設定レジスタ (RSnMX) (n=0~3)

ビット番号	ビット名	意味
7~0	RSnMX7~RSnMX0	8ビット乱数RSnの最大値設定

【図33】

(A) ピット番号	7	6	5	4	3	2	1	0
RDSC	RS3SC	RS2SC	RS1SC	RS0SC	RL3SC	RL2SC	RL1SC	RL0SC

(B) ピット番号	意味
7 RS3SC	8ビット乱数RS3の乱数列変更要求ビット 0:乱数列を変更しない(初期値) 1:乱数列を変更する
6 RS2SC	8ビット乱数RS2の乱数列変更要求ビット 0:乱数列を変更しない(初期値) 1:乱数列を変更する
5 RS1SC	8ビット乱数RS1の乱数列変更要求ビット 0:乱数列を変更しない(初期値) 1:乱数列を変更する
4 RS0SC	8ビット乱数RS0の乱数列変更要求ビット 0:乱数列を変更しない(初期値) 1:乱数列を変更する
3 RL3SC	16ビット乱数RL3の乱数列変更要求ビット 0:乱数列を変更しない(初期値) 1:乱数列を変更する
2 RL2SC	16ビット乱数RL2の乱数列変更要求ビット 0:乱数列を変更しない(初期値) 1:乱数列を変更する
1 RL1SC	16ビット乱数RL1の乱数列変更要求ビット 0:乱数列を変更しない(初期値) 1:乱数列を変更する
0 RL0SC	16ビット乱数RL0の乱数列変更要求ビット 0:乱数列を変更しない(初期値) 1:乱数列を変更する

【図34】

(A) ピット番号	7	6	5	4	3	2	1	0
RDSL	RS3SL	RS2SL	RS1SL	RS0SL	RL3SL	RL2SL	RL1SL	RL0SL

(B) ピット番号	意味
7 RS3SL	8ビット乱数RS3の乱数値を、RS3ソフトラッチ乱数値レジスタ(RS3SV)に取り込むためのビット 0:乱数値を取り込まない(初期値) 1:乱数値取り込み
6 RS2SL	8ビット乱数RS2の乱数値を、RS2ソフトラッチ乱数値レジスタ(RS2SV)に取り込むためのビット 0:乱数値を取り込まない(初期値) 1:乱数値取り込み
5 RS1SL	8ビット乱数RS1の乱数値を、RS1ソフトラッチ乱数値レジスタ(RS1SV)に取り込むためのビット 0:乱数値を取り込まない(初期値) 1:乱数値取り込み
4 RS0SL	8ビット乱数RS0の乱数値を、RS0ソフトラッチ乱数値レジスタ(RS0SV)に取り込むためのビット 0:乱数値を取り込まない(初期値) 1:乱数値取り込み
3 RL3SL	16ビット乱数RL3の乱数値を、RL3ソフトラッチ乱数値レジスタ(RL3SV)に取り込むためのビット 0:乱数値を取り込まない(初期値) 1:乱数値取り込み
2 RL2SL	16ビット乱数RL2の乱数値を、RL2ソフトラッチ乱数値レジスタ(RL2SV)に取り込むためのビット 0:乱数値を取り込まない(初期値) 1:乱数値取り込み
1 RL1SL	16ビット乱数RL1の乱数値を、RL1ソフトラッチ乱数値レジスタ(RL1SV)に取り込むためのビット 0:乱数値を取り込まない(初期値) 1:乱数値取り込み
0 RL0SL	16ビット乱数RL0の乱数値を、RL0ソフトラッチ乱数値レジスタ(RL0SV)に取り込むためのビット 0:乱数値を取り込まない(初期値) 1:乱数値取り込み

【図35】

(A) ピット番号	7	6	5	4	3	2	1	0
RDSF	RS3SF	RS2SF	RS1SF	RS0SF	RL3SF	RL2SF	RL1SF	RL0SF

(B) ピット番号	意味
7 RS3SF	RS3ソフトラッチ乱数値レジスタ(RS3SV)に、乱数値が取り込まれたことを示すビット 0:乱数値取り込まれていない(初期値) 1:乱数値取り込み済み
6 RS2SF	RS2ソフトラッチ乱数値レジスタ(RS2SV)に、乱数値が取り込まれたことを示すビット 0:乱数値取り込まれていない(初期値) 1:乱数値取り込み済み
5 RS1SF	RS1ソフトラッチ乱数値レジスタ(RS1SV)に、乱数値が取り込まれたことを示すビット 0:乱数値取り込まれていない(初期値) 1:乱数値取り込み済み
4 RS0SF	RS0ソフトラッチ乱数値レジスタ(RS0SV)に、乱数値が取り込まれたことを示すビット 0:乱数値取り込まれていない(初期値) 1:乱数値取り込み済み
3 RL3SF	RL3ソフトラッチ乱数値レジスタ(RL3SV)に、乱数値が取り込まれたことを示すビット 0:乱数値取り込まれていない(初期値) 1:乱数値取り込み済み
2 RL2SF	RL2ソフトラッチ乱数値レジスタ(RL2SV)に、乱数値が取り込まれたことを示すビット 0:乱数値取り込まれていない(初期値) 1:乱数値取り込み済み
1 RL1SF	RL1ソフトラッチ乱数値レジスタ(RL1SV)に、乱数値が取り込まれたことを示すビット 0:乱数値取り込まれていない(初期値) 1:乱数値取り込み済み
0 RL0SF	RL0ソフトラッチ乱数値レジスタ(RL0SV)に、乱数値が取り込まれたことを示すビット 0:乱数値取り込まれていない(初期値) 1:乱数値取り込み済み

【図36】

(A) ピット番号	7	6	5	4	3	2	1	0
RLnSV(L)	RLnSV7	RLnSV6	RLnSV5	RLnSV4	RLnSV3	RLnSV2	RLnSV1	RLnSV0

RLnSV(H)	RLnSV15	RLnSV14	RLnSV13	RLnSV12	RLnSV11	RLnSV10	RLnSV9	RLnSV8
----------	---------	---------	---------	---------	---------	---------	--------	--------

(B) ピット番号	意味
15-0 RLnSV15-RLnSV0	乱数ソフトラッチレジスタ(RDSL)により取り込まれた16ビット乱数RLnの値 乱数値が取り込まれると、乱数ソフトラッチフラグレジスタ(RDSF)の当該ビットがセット(1)される

【図37】

(A) ピット番号	7	6	5	4	3	2	1	0
RSnSV	RSnSV7	RSnSV6	RSnSV5	RSnSV4	RSnSV3	RSnSV2	RSnSV1	RSnSV0

(B) ピット番号	意味
7-0 RSnSV7-RSnSV0	乱数ソフトラッチレジスタ(RDSL)により取り込まれた8ビット乱数RSnの値 乱数値が取り込まれると、乱数ソフトラッチフラグレジスタ(RDSF)の当該ビットがセット(1)される

【図38】

(A) ビット番号	7	6	5	4	3	2	1	0
RLHFO	0	0	RL11HF	RL10HF	RL03HF	RL02HF	RL01HF	RL00HF

(B) RLハードラッチフラグレジスタ0 (RLHFO)

ビット番号	ビット名	意味
5	RL11HF	RL1ハードラッチ乱数値レジスタ1に、乱数値が取り込まれたことを示すビット 0：乱数値取り込まれていない（初期値） 1：乱数値取り込み済み
4	RL10HF	RL1ハードラッチ乱数値レジスタ0に、乱数値が取り込まれたことを示すビット 0：乱数値取り込まれていない（初期値） 1：乱数値取り込み済み
3	RL03HF	RL0ハードラッチ乱数値レジスタ3に、乱数値が取り込まれたことを示すビット 0：乱数値取り込まれていない（初期値） 1：乱数値取り込み済み
2	RL02HF	RL0ハードラッチ乱数値レジスタ2に、乱数値が取り込まれたことを示すビット 0：乱数値取り込まれていない（初期値） 1：乱数値取り込み済み
1	RL01HF	RL0ハードラッチ乱数値レジスタ1に、乱数値が取り込まれたことを示すビット 0：乱数値取り込まれていない（初期値） 1：乱数値取り込み済み
0	RL00HF	RL0ハードラッチ乱数値レジスタ0に、乱数値が取り込まれたことを示すビット 0：乱数値取り込まれていない（初期値） 1：乱数値取り込み済み

【図39】

(A) ビット番号	7	6	5	4	3	2	1	0
RLHFI	0	0	RL31HF	RL30HF	0	0	RL21HF	RL20HF

(B) RLハードラッチフラグレジスタ1 (RLHFI)

ビット番号	ビット名	意味
5	RL31HF	RL3ハードラッチ乱数値レジスタ1に、乱数値が取り込まれたことを示すビット 0：乱数値取り込まれていない（初期値） 1：乱数値取り込み済み
4	RL30HF	RL3ハードラッチ乱数値レジスタ0に、乱数値が取り込まれたことを示すビット 0：乱数値取り込まれていない（初期値） 1：乱数値取り込み済み
1	RL21HF	RL2ハードラッチ乱数値レジスタ1に、乱数値が取り込まれたことを示すビット 0：乱数値取り込まれていない（初期値） 1：乱数値取り込み済み
0	RL20HF	RL2ハードラッチ乱数値レジスタ0に、乱数値が取り込まれたことを示すビット 0：乱数値取り込まれていない（初期値） 1：乱数値取り込み済み

【図40】

(A) ビット番号	7	6	5	4	3	2	1	0
RSHF	FR3HF	FR2HF	FR1HF	FROHF	RS3HF	RS2HF	RS1HF	RS0HF

(B) RSハードラッチフラグレジスタ (RSHF)

ビット番号	ビット名	意味
7	FR3HF	FRC3ハードラッチレジスタ(FR3HV)に、カウンタ値が取り込まれたことを示すビット 0：乱数値取り込まれていない（初期値） 1：乱数値取り込み済み
6	FR2HF	FRC2ハードラッチレジスタ(FR2HV)に、カウンタ値が取り込まれたことを示すビット 0：乱数値取り込まれていない（初期値） 1：乱数値取り込み済み
5	FR1HF	FRC1ハードラッチレジスタ(FR1HV)に、カウンタ値が取り込まれたことを示すビット 0：乱数値取り込まれていない（初期値） 1：乱数値取り込み済み
4	FROHF	FRC0ハードラッチレジスタ(FROHV)に、カウンタ値が取り込まれたことを示すビット 0：乱数値取り込まれていない（初期値） 1：乱数値取り込み済み
3	RS3HF	RS3ハードラッチレジスタ(RS3HV)に、カウンタ値が取り込まれたことを示すビット 0：乱数値取り込まれていない（初期値） 1：乱数値取り込み済み
2	RS2HF	RS2ハードラッチレジスタ(RS2HV)に、カウンタ値が取り込まれたことを示すビット 0：乱数値取り込まれていない（初期値） 1：乱数値取り込み済み
1	RS1HF	RS1ハードラッチレジスタ(RS1HV)に、カウンタ値が取り込まれたことを示すビット 0：乱数値取り込まれていない（初期値） 1：乱数値取り込み済み
0	RS0HF	RS0ハードラッチレジスタ(RS0HV)に、カウンタ値が取り込まれたことを示すビット 0：乱数値取り込まれていない（初期値） 1：乱数値取り込み済み

【図41】

(A) ビット番号	7	6	5	4	3	2	1	0
RL0mHV(L)	RL0mHV7	RL0mHV6	RL0mHV5	RL0mHV4	RL0mHV3	RL0mHV2	RL0mHV1	RL0mHV0
RL0mHV(H)	RL0mHV15	RL0mHV14	RL0mHV13	RL0mHV12	RL0mHV11	RL0mHV10	RL0mHV9	RL0mHV8

(B) RL0ハードラッチ乱数値レジスタm (RL0mHV) (m=0~3)

ビット番号	ビット名	意味
15~0	RL0mHV15~RL0mHV0	外部端子入力により取り込まれた16ビット乱数RL0の値 乱数値が取り込まれると、RL1ハードラッチフラグレジスタ0(RLHFO)の当該ビットがセット(1)される

【図42】

(A) ビット番号	7	6	5	4	3	2	1	0
RL1mHV(L)	RL1mHV7	RL1mHV6	RL1mHV5	RL1mHV4	RL1mHV3	RL1mHV2	RL1mHV1	RL1mHV0
RL1mHV(H)	RL1mHV15	RL1mHV14	RL1mHV13	RL1mHV12	RL1mHV11	RL1mHV10	RL1mHV9	RL1mHV8

(B) RL1ハードラッチ乱数値レジスタm (RL1mHV) (m=0~1)

ビット番号	ビット名	意味
15~0	RL1mHV15~RL1mHV0	外部端子入力により取り込まれた16ビット乱数RL1の値 乱数値が取り込まれると、RL1ハードラッチフラグレジスタ0(RLHFO)の当該ビットがセット(1)される

【図43】

(A) ビット番号 7 6 5 4 3 2 1 0

RL2mHV(L)	RL2mHV7	RL2mHV6	RL2mHV5	RL2mHV4	RL2mHV3	RL2mHV2	RL2mHV1	RL2mHV0
RL2mHV(H)	RL2mHV15	RL2mHV14	RL2mHV13	RL2mHV12	RL2mHV11	RL2mHV10	RL2mHV9	RL2mHV8

(B) RL2ハードラッチ乱数値レジスタm (RL2mHV) (m=0~1)

ビット番号	ビット名	意味
15~0	RL2mHV15~RL2mHV0	外部端子入力により取り込まれた16ビット乱数RL2の値 乱数値が取り込まれると、RL2ハードラッチフラグレジスタ1(RLHF1)の当該ビットがセット(1)される

【図45】

(A) ビット番号 7 6 5 4 3 2 1 0

RSnHV	RSnHV7	RSnHV6	RSnHV5	RSnHV4	RSnHV3	RSnHV2	RSnHV1	RSnHV0
-------	--------	--------	--------	--------	--------	--------	--------	--------

(B) RSnハードラッチ乱数値レジスタ (RSnHV) (n=0~3)

ビット番号	ビット名	意味
7~0	RSnHV7~RSnHV0	外部端子入力により取り込まれた8ビット乱数RSnの値 乱数値が取り込まれると、RSnハードラッチフラグレジスタ1(RSHF)の当該ビットがセット(1)される

【図44】

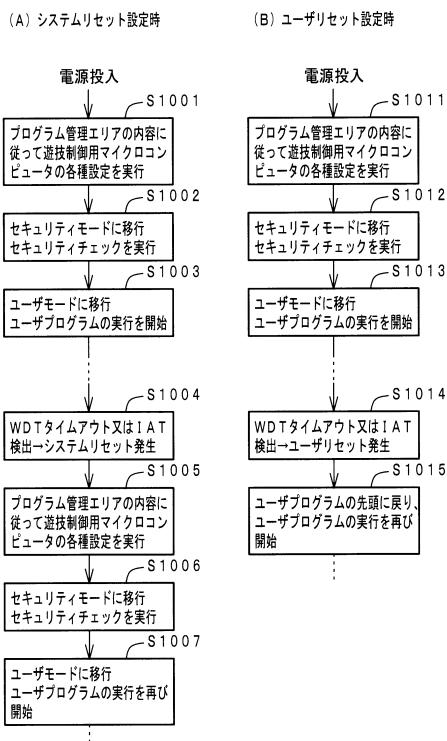
(A) ビット番号 7 6 5 4 3 2 1 0

RL3mHV(L)	RL3mHV7	RL3mHV6	RL3mHV5	RL3mHV4	RL3mHV3	RL3mHV2	RL3mHV1	RL3mHV0
RL3mHV(H)	RL3mHV15	RL3mHV14	RL3mHV13	RL3mHV12	RL3mHV11	RL3mHV10	RL3mHV9	RL3mHV8

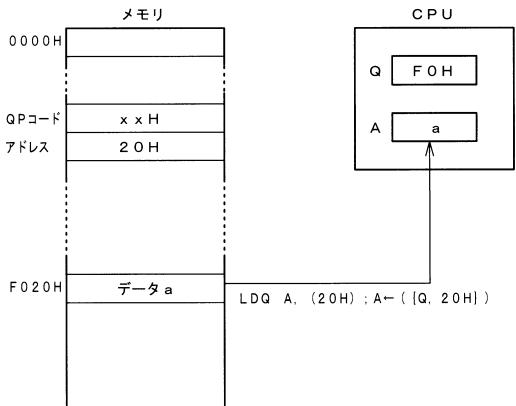
(B) RL3ハードラッチ乱数値レジスタm (RL3mHV) (m=0~1)

ビット番号	ビット名	意味
15~0	RL3mHV15~RL3mHV0	外部端子入力により取り込まれた16ビット乱数RL3の値 乱数値が取り込まれると、RL3ハードラッチフラグレジスタ1(RLHF1)の当該ビットがセット(1)される

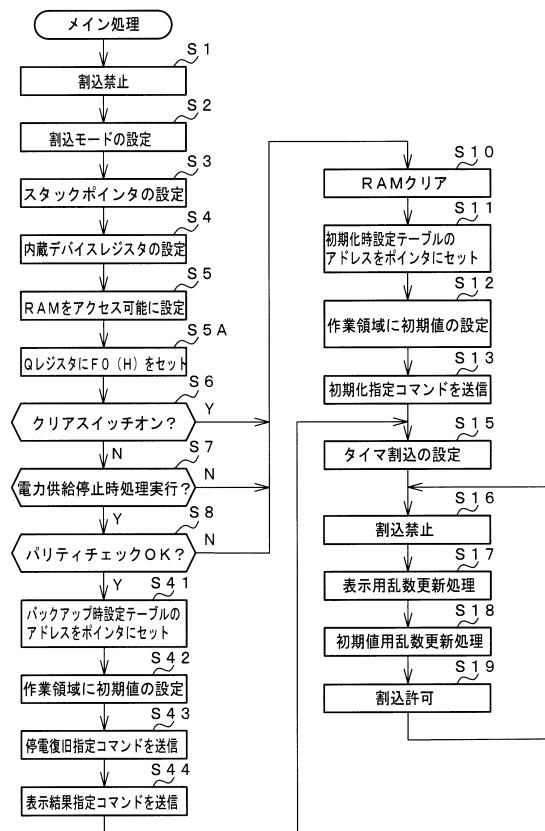
【図46】



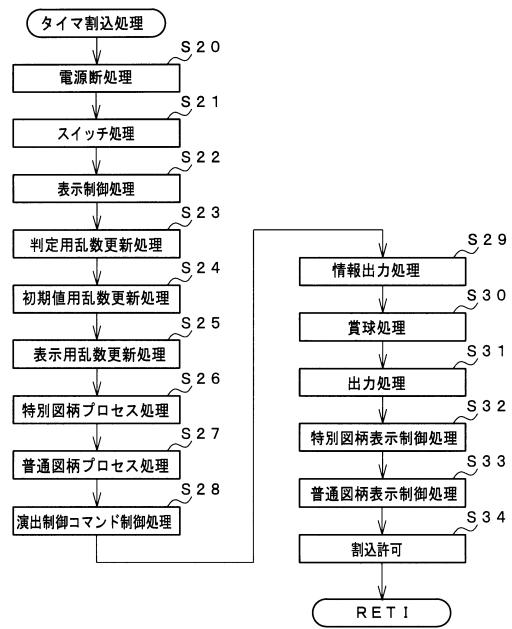
【図47】



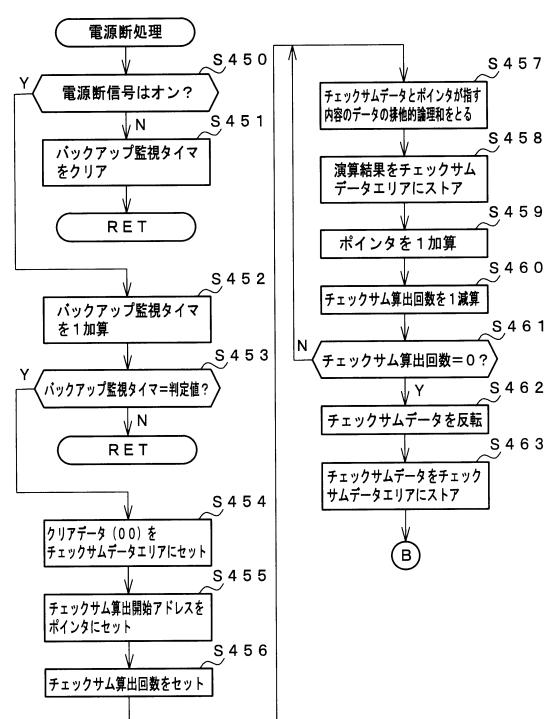
【図48】



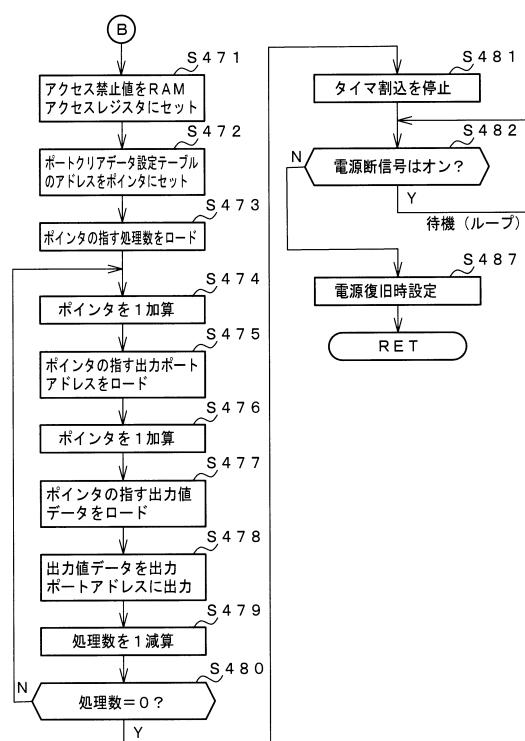
【図49】



【図50】



【図51】



【図 5 2】

乱数	範囲	用途	加算
ランダム1	0~39	大当たり種別判定用	0.002秒毎に1ずつ加算
ランダム2	1~251	変動パターン種別判定用	0.002秒毎および割り込み処理 余り時間に1ずつ加算
ランダム3	1~997	変動パターン判定用	0.002秒毎および割り込み処理 余り時間に1ずつ加算
ランダム4	3~13	普通図柄当たり判定用	0.002秒毎に1ずつ加算
ランダム5	3~13	ランダム4初期値決定用	0.002秒毎および割り込み処理 余り時間に1ずつ加算

【図 5 3】

大当たり判定テーブル	
大当たり判定値（ランダムR [0~65535] と比較される）	
通常時（非確変時）	確変時
1020~1079, 13320~13477 (確率: 1/300)	1020~1519, 13320~15004 (確率: 1/30)

(A)

小当たり判定テーブル（第1特別図柄用）	
小当たり判定値（ランダムR [0~65535] と比較される）	
54000~54217 (確率: 1/300)	

(B)

小当たり判定テーブル（第2特別図柄用）	
小当たり判定値（ランダムR [0~65535] と比較される）	
54000~54022 (確率: 1/3000)	

(C)

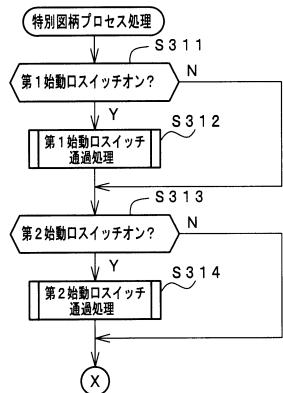
大当たり種別判定テーブル（第1特別図柄用）		
大当たり種別判定値（ランダム2-1と比較される）		
通常大当たり	確変大当たり	突然確変大当たり
0~9	10~29	30~39

(D)

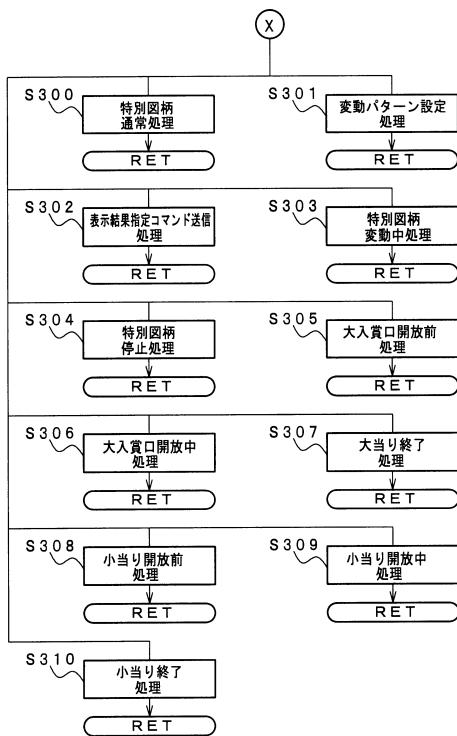
大当たり種別判定テーブル（第2特別図柄用）		
大当たり種別判定値（ランダム2-1と比較される）		
通常大当たり	確変大当たり	突然確変大当たり
0~9	10~36	37~39

(E)

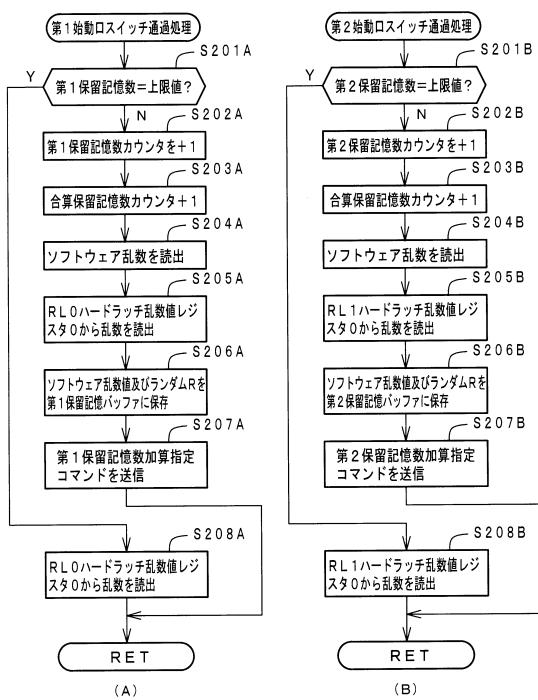
【図 5 4】



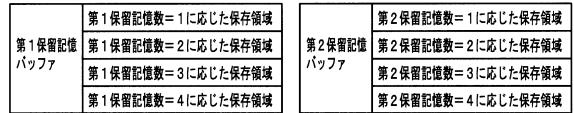
【図 5 5】



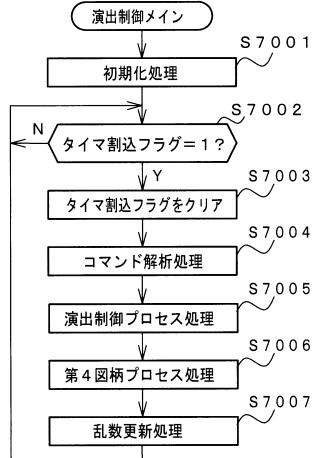
【図56】



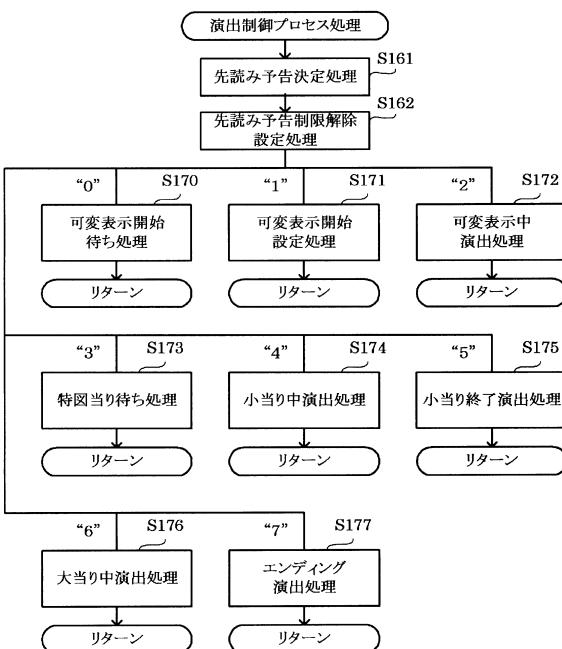
【図57】



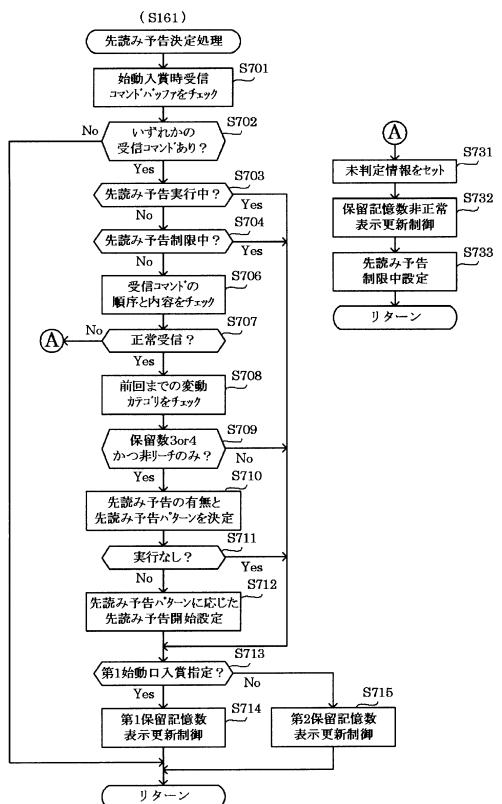
【図58】



【図59】



【図60】



【図 6 1】

S710における決定割合

実行の有無	先読み予告パターン	演出内容	変動カテゴリ			大当たり信頼度
			非リーチ	リーチ	突確・小当り	
実行なし	-	-	90%	80%	70%	10%
SYP1-1	チャンス目A停止	5%	10%	15%	10%	低
SYP1-2	チャンス目B停止	3%	8%	10%	15%	中
SYP2-1	背景変化	1%	1%	2%	25%	高
SYP3-1	チャンス目A停止→背景変化	1%	1%	3%	40%	最高

【図 6 2】

(A) チャンス目A

	左	中	右
CA1	1	1	2
CA2	2	2	3
CA3	3	3	4
CA4	4	4	5
CA5	5	5	6
CA6	6	6	7
CA7	7	7	8
CA8	8	8	1

(B) チャンス目B

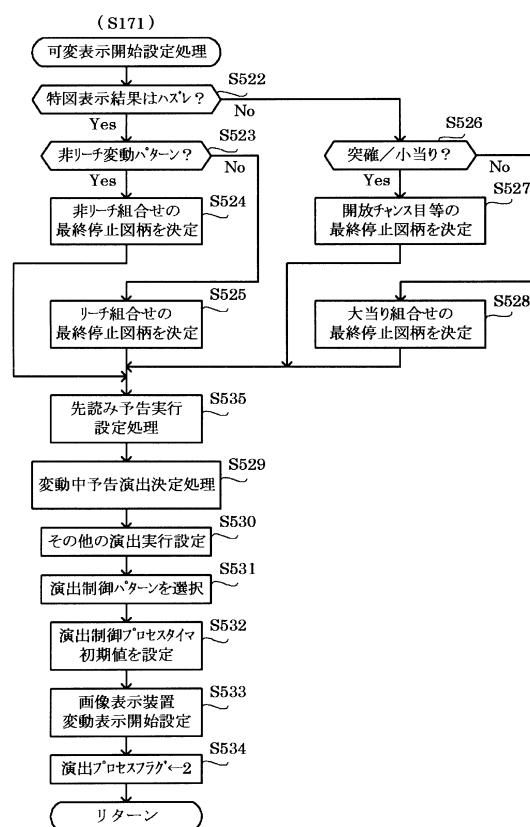
	左	中	右
CB1	1	2	3
CB2	2	3	4
CB3	3	4	5
CB4	4	5	6
CB5	5	6	7
CB6	6	7	8

【図 6 3】

先読み予告演出制御パターン一覧

先読み予告パターン	決定時の 保留数	先読み予告 演出制御パターン	演出内容			
			1変動目	2変動目	3変動目	4変動目
SYP1-1	3	SCP1-1	チャンス目A停止	チャンス目A停止	変動パターンに依存 (ターゲット)	-
	4	SCP1-2	チャンス目A停止	チャンス目A停止	チャンス目A停止	変動パターンに依存 (ターゲット)
SYP1-2	3	SCP2-1	チャンス目B停止	チャンス目B停止	変動パターンに依存 (ターゲット)	-
	4	SCP2-2	チャンス目B停止	チャンス目B停止	チャンス目B停止	変動パターンに依存 (ターゲット)
SYP2-1	3	SCP3-1	背景変化	特殊背景	特殊背景 (ターゲット)	-
	4	SCP3-2	背景変化	背景変化	特殊背景 (ターゲット)	特殊背景 (ターゲット)
SYP3-1	3	SCP4-1	チャンス目A停止	背景変化	背景変化	-
	4	SCP4-2	チャンス目A停止	背景変化	背景変化	特殊背景 (ターゲット)

【図 6 4】



【図 6 5】

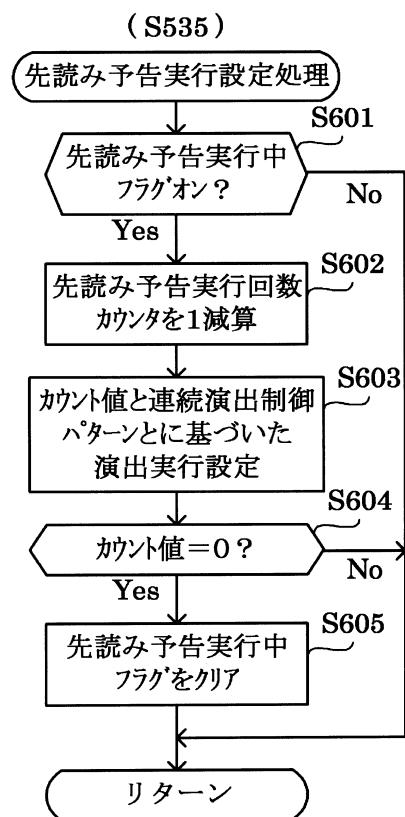
S529における決定割合

可変表示結果	予告実行 なし	変動中予告パターン		
		予告X	予告Y	予告Z
ハズレ(非リーチ)	90%	6%	3%	1%
ハズレ(リーチ)	60%	20%	15%	5%
大当り	10%	5%	35%	50%
小当り	30%	40%	20%	10%

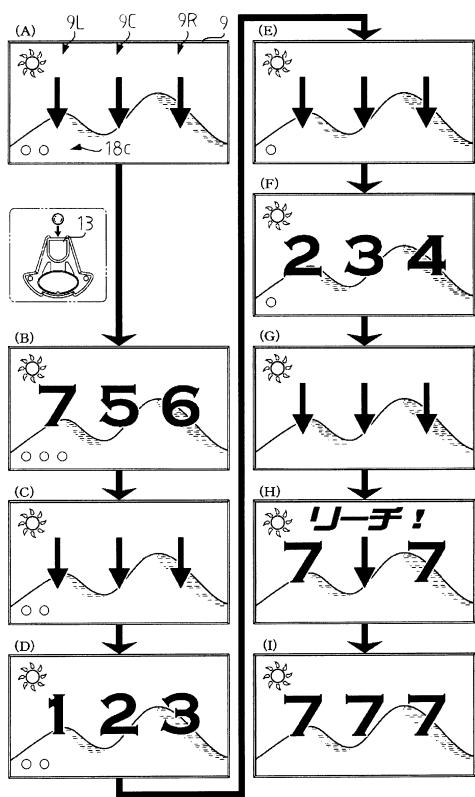
先読み予告パターンSYP3-1実行中(背景変化前)

可変表示結果	予告実行 なし	変動中予告パターン		
		予告X	予告Y	予告Z
ハズレ(非リーチ)	90%	0%	10%	0%
ハズレ(リーチ)	-	-	-	-
大当り	-	-	-	-
小当り	-	-	-	-

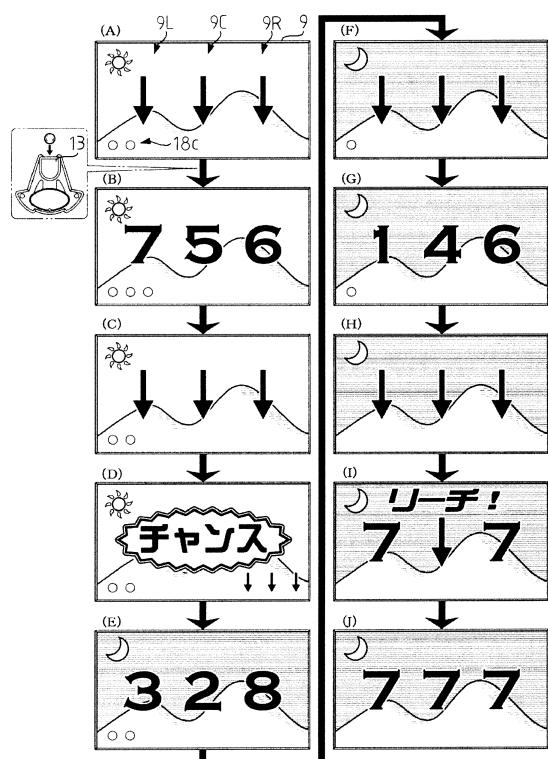
【図 6 6】



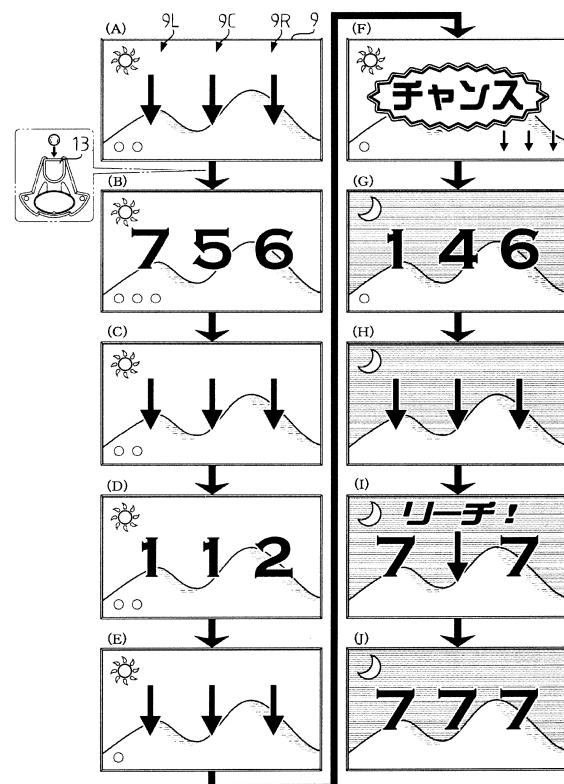
【図 6 7】



【図 6 8】



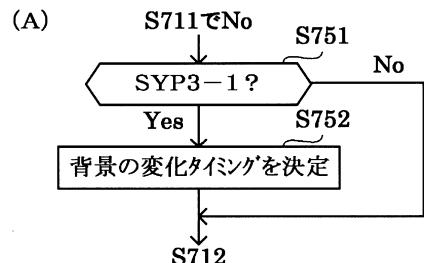
【図 6 9】



【図70】

演出内容			
1変動目	2変動目	3変動目	4変動目
チャンス目A停止	チャンス目B停止	背景変化	特殊背景 (ターゲット)

【図71】



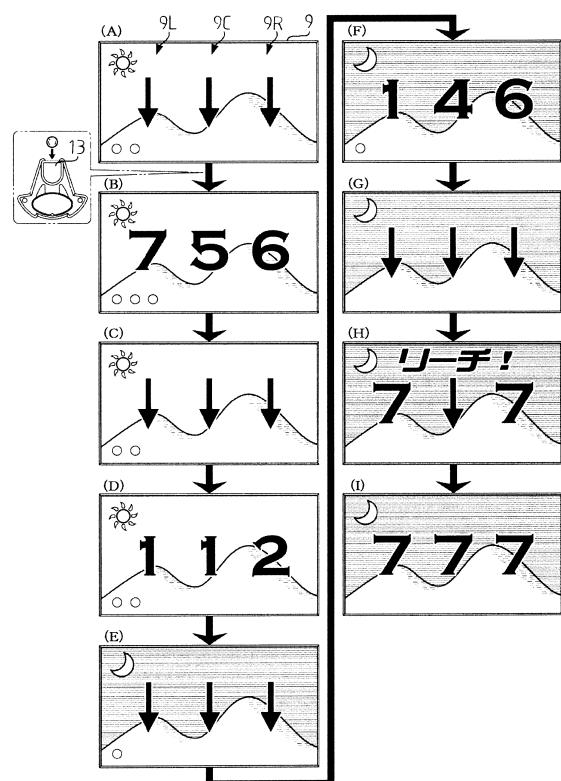
(B) S752における決定割合

変化タイミング	変動カテゴリー			
	非リーチ ハズレ	リーチ ハズレ	確実・ 小当り	大当り
変動開始時	45%	40%	30%	3%
変動終了時	55%	60%	70%	97%

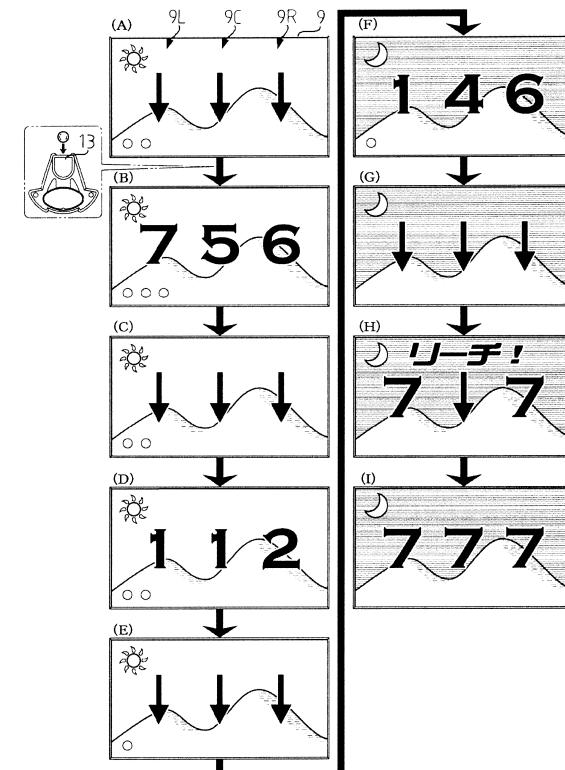
【図72】

先読み予告演出制御パターン	決定時の 保留数	先読み予告 演出制御パターン	演出内容			
			1変動目	2変動目	3変動目	4変動目
SYP3-1	3	SCP4-1-1	チャンス目A停止 (変動開始時)	背景変化	特殊背景 (ターゲット)	-
		SCP4-1-2	チャンス目A停止 (変動終了時)	背景変化	特殊背景 (ターゲット)	-
	4	SCP4-2-1	チャンス目A停止 (変動開始時)	背景変化	特殊背景 (ターゲット)	特殊背景 (ターゲット)
		SCP4-2-2	チャンス目A停止 (変動終了時)	背景変化	特殊背景 (ターゲット)	特殊背景 (ターゲット)

【図73】



【図74】



フロントページの続き

(56)参考文献 特開2004-187702(JP,A)
特開2012-183251(JP,A)
特開2012-192265(JP,A)
特開2011-024892(JP,A)

(58)調査した分野(Int.Cl., DB名)

A 63 F 7 / 02