

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3709668号  
(P3709668)

(45) 発行日 平成17年10月26日(2005.10.26)

(24) 登録日 平成17年8月19日(2005.8.19)

(51) Int. Cl.<sup>7</sup>

F I

HO 1 L 21/06

HO 1 L 27/06

F

HO 1 L 21/331

HO 1 L 29/72

Z

HO 1 L 21/337

HO 1 L 29/80

C

HO 1 L 21/8232

HO 1 L 29/73

請求項の数 8 (全 14 頁) 最終頁に続く

(21) 出願番号 特願平9-237110  
 (22) 出願日 平成9年9月2日(1997.9.2)  
 (65) 公開番号 特開平11-87240  
 (43) 公開日 平成11年3月30日(1999.3.30)  
 審査請求日 平成16年1月30日(2004.1.30)

(73) 特許権者 000002185  
 ソニー株式会社  
 東京都品川区北品川6丁目7番35号  
 (74) 代理人 100122884  
 弁理士 角田 芳末  
 (74) 代理人 100113516  
 弁理士 磯山 弘信  
 (74) 代理人 100080883  
 弁理士 松隈 秀盛  
 (72) 発明者 江尻 洋一  
 東京都品川区北品川6丁目7番35号 ソ  
 ニー株式会社内

審査官 河口 雅英

最終頁に続く

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【特許請求の範囲】

【請求項1】

共通の半導体基板に、バイポーラトランジスタと接合型電界効果トランジスタとを有し、上記バイポーラトランジスタのコレクタに上記接合型電界効果トランジスタのソースが接続されたカスコード接続による半導体装置であって、

上記接合型電界効果トランジスタのゲート領域に対して接触されるゲートコンタクト導電層と、ドレイン領域に対して接触されるドレインコンタクト導電層とが、同一導電材料もしくは互いに異なる導電材料によるそれぞれ異なる層として形成され、

上記ゲートコンタクト導電層のドレイン側の縁部の配置面が、上記ドレインコンタクト導電層の上記ゲート側の縁部の配置面より下方に位置して形成されたことを特徴とする半導体装置。

【請求項2】

上記バイポーラトランジスタのベースコンタクト導電層と、上記接合型電界効果トランジスタの上記ゲートコンタクト導電層とが、同層導電層によって形成されたことを特徴とする請求項1に記載の半導体装置。

【請求項3】

上記ゲートコンタクト導電層の上記ドレイン側の縁部の端縁と、上記ドレインコンタクト導電層の上記ゲート側の縁部の端縁との上記半導体基板面に沿う方向の距離が、他の分離された同一導電層のパターン化によって形成された導電層間の距離より小に選定されたことを特徴とする請求項1に記載の半導体装置。

10

20

## 【請求項 4】

上記バイポーラトランジスタのコレクタと、上記接合型電界効果トランジスタのソースとが共通の半導体領域によって形成されたことを特徴とする請求項 1 に記載の半導体装置。

## 【請求項 5】

上記バイポーラトランジスタのベースコンタクト導電層と、上記接合型電界効果トランジスタのゲートコンタクト導電層とが、同層導電層によって形成されたことを特徴とする請求項 1 に記載の半導体装置。

## 【請求項 6】

共通の半導体基板に、バイポーラトランジスタと接合型電界効果トランジスタとを有し、上記バイポーラトランジスタのコレクタに上記接合型電界効果トランジスタのソースが接続されたカスコード接続による半導体装置の製造方法であって、

上記接合型電界効果トランジスタにおけるゲートコンタクト導電層の形成工程と、

該ゲートコンタクト導電層上に層間絶縁層を形成する工程と、

その後接合型電界効果トランジスタのドレインコンタクト導電層を形成するドレインコンタクト導電層の形成工程と

を行って、  
上記ゲートコンタクト導電層の上記ドレイン側の縁部の配置面が上記ドレインコンタクト導電層のゲート側の縁部の配置面より下方に位置するように形成することを特徴とする半導体装置の製造方法。

## 【請求項 7】

上記バイポーラトランジスタのベースコンタクト導電層と、上記接合型電界効果トランジスタの上記ゲートコンタクト導電層とを、同層導電層によるパターン化によって同時に形成することを特徴とする請求項 6 に記載の半導体装置の製造方法。

## 【請求項 8】

上記接合型電界効果トランジスタのゲート領域の形成を、該ゲート領域にコンタクトされるゲートコンタクト導電層からの不純物拡散によって行うことを特徴とする請求項 6 に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、半導体装置、特にバイポーラトランジスタと接合型電界効果トランジスタとよりなる複合型バイポーラトランジスタ装置とその製造方法に関わる。

## 【0002】

## 【従来の技術】

図 8 に示すように、バイポーラトランジスタ TR に高耐圧の接合型電界効果トランジスタ J-FET をカスコード接続することにより、複合構造の高耐圧バイポーラトランジスタが構成されることは、例えば、特開昭 53-67368 号公報に開示されている。

## 【0003】

この構成によれば、バイポーラトランジスタ TR のコレクタ端子 C に高電圧が印加された場合、接合型電界効果トランジスタ J-FET のゲート接合から空乏層が広がり、ピンチオフが生じ、これによってバイポーラトランジスタ TR のコレクタ領域への高電圧の印加が遮断される。すなわち、バイポーラトランジスタ TR のコレクタ - エミッタ間電圧  $V_{ce}$  としては、接合型電界効果トランジスタ J-FET のピンチオフ電圧  $V_p$  以下の電圧のみが印加されることになり、結果的に低耐圧バイポーラトランジスタにおいて、高耐圧化をはかることができるようになされている。

## 【0004】

しかしながら、この構成による場合、バイポーラトランジスタ TR における最大取扱電流が接合型電界効果トランジスタ J-FET の飽和電流  $I_{dss}$  以下に制限されてしまう。このために、接合型電界効果トランジスタ J-FET の飽和電流  $I_{dss}$  を高めようとする

10

20

30

40

50

、そのゲート幅（チャンネル幅）を大きくする必要が生じ、接合型電界効果トランジスタ J - F E T の占有面積が大きくなるという不都合が生じる。

【 0 0 0 5 】

一方、少なくとも、接合型電界効果トランジスタの飽和電流  $I_{dss}$  以下の大電流が取り扱えるようにした複合型の高耐圧バイポーラトランジスタが、例えば特開昭 5 4 - 8 9 5 8 1 号公報で提案されている。

【 0 0 0 6 】

これは、例えば、図 9 に示すように、n p n 型バイポーラトランジスタ T R のコレクタと接合型電界効果トランジスタ J - F E T のソースを接続すると共に、バイポーラトランジスタ T R のベースと J - F E T のゲート G とを接続するものである。この場合においても、コレクタ端子 C に高電圧が掛かった場合に、接合型電界効果トランジスタ J - F E T をピンチオフして、バイポーラトランジスタ T R に J - F E T のピンチオフ電圧  $V_p$  以下の電圧のみが印加されるようにして、結果的に低耐圧バイポーラトランジスタにおいて、高耐圧化をはかるものであるが、この場合、バイポーラトランジスタ T R の飽和状態時に、J - F E T のゲートが順方向にバイアスされるようになされて、J - F E T の飽和電流  $I_{dss}$  以上の大電流を取り扱うことを可能としたものである。

【 0 0 0 7 】

これらの構成において、バイポーラトランジスタの T R において、低耐圧トランジスタで高耐圧化をはかるには、接合型電界効果トランジスタ J - F E T におけるピンチオフ電圧  $V_p$  の低減化が必要となる。また、これらの構成による場合、バイポーラトランジスタ T R のコレクタに、直列に接合型電界効果トランジスタ J - F E T のソース・ドレイン間抵抗が接続されることから、高速応答性、高周波数特性を得る上では、J - F E T のオン抵抗ができるだけ低く選定されることが要求される。

【 0 0 0 8 】

しかしながら、J - F E T におけるオン抵抗の低減化、J - F E T の飽和電流  $I_{dss}$  の向上をはかるには、チャンネル部の不純物濃度を高めることが必要になり、このようにチャンネル部の濃度を高めると、ピンチオフ電圧  $V_p$  が高められてしまうものであり、ピンチオフ電圧  $V_p$  の低減化と、オン抵抗の低減化および  $I_{dss}$  の向上は相容れないものである。また、ピンチオフ電圧  $V_p$  を高めることなく  $I_{dss}$  を高め、オン抵抗の低減化をはかるには、ゲート幅を大にすることが考えられるが、この場合には、J - F E T の占有面積が増大し、装置の高密度化、小面積化を阻害する。

【 0 0 0 9 】

【 発明が解決しようとする課題 】

本発明は、上述したような、バイポーラトランジスタに接合型電界効果トランジスタが接続された複合型バイポーラトランジスタ装置による半導体装置において、接合型電界効果トランジスタ J - F E T における大面積化を来すことなく、良好で安定したそのバイポーラトランジスタの特性を確保することができるようにした半導体装置とその製造方法を提供するものである。

【 0 0 1 0 】

【 課題を解決するための手段 】

本発明は、バイポーラトランジスタと接合型電界効果トランジスタとを有し、バイポーラトランジスタのコレクタと接合型電界効果トランジスタのソースとが接続されてなる半導体装置において、接合型電界効果トランジスタのゲート領域に対してオーミックコンタクトされるゲートコンタクト導電層と、ドレイン領域に対してコンタクトされるドレインコンタクト導電層とが、同一導電材料もしくは互いに異なる導電材料によるそれぞれ異なる層として形成された導電層よりなり、ゲートコンタクト導電層のドレイン側の縁部の配置面が、ドレインコンタクト導電層のゲート側の縁部の配置面より下方に位置して形成された構成とする。

【 0 0 1 1 】

また、本発明は、バイポーラトランジスタと接合型電界効果トランジスタとを有し、バ

10

20

30

40

50

バイポーラトランジスタのコレクタと接合型電界効果トランジスタのソースとが接続される半導体装置の製造方法において、接合型電界効果トランジスタにおけるゲートコンタクト導電層の形成工程と、ゲートコンタクト導電層上に層間絶縁層を形成する工程と、その後接合型電界効果トランジスタのドレインコンタクト導電層を形成するドレインコンタクト導電層の形成工程とを行って、ゲートコンタクト導電層のドレイン側の縁部の配置面が、ドレインコンタクト導電層のゲート側の縁部の配置面より下方に位置するように形成して目的とする半導体装置を得る。

【0012】

尚、本明細書におけるコンタクト導電層の縁部の配置面とは、コンタクト導電層が、多層構造による場合、例えば半導体層によるコンタクト導電層と金属層によるコンタクト導電層との積層構造等による場合、下層の導電層の縁部の配置面を指称するものとする。

10

【0013】

上述の本発明構成によれば、接合型電界効果トランジスタにおけるゲートコンタクト導電層のドレイン側の縁部の配置面と、ドレインコンタクト導電層のゲート側の縁部の配置面が異なる面とされたことから、両導電層の面積を必要十分に保持した状態で、充分近接してあるいは互いに重なるように配置することができること、またこれによりゲート部とドレイン電極コンタクト部とを充分近接して配置できることから、高密度化と共に、オン抵抗の低減化、 $I_{dss}$ の向上がはかれる。

また、ゲートコンタクト導電層のドレイン側の縁部の配置面を、ドレインコンタクト導電層のゲート側の縁部の配置面とは異なる面とし、かつその下方の配置面とすることから、このゲートコンタクト導電層を、ドレイン領域上に絶縁層を介して張り出すように延在させることができ、これによって、この張り出し部においていわばMIS-FET構造が構成されることから、これによる電界効果によって、ピンチオフ電圧 $V_p$ の低減化が図られる。したがって、このピンチオフ電圧 $V_p$ を低減化するために、チャネル部における不純物濃度を、特段に低めることを回避できることから、オン抵抗が高められるとか、 $I_{dss}$ が低下する不都合が回避され、ピンチオフ電圧 $V_p$ を低くでき、しかもオン抵抗の低減、 $I_{dss}$ の向上がはかれ、安定して優れた特性を有するバイポーラトランジスタを製造することができる。

20

【0014】

また、この半導体装置を製造するに、本発明方法によれば、工程数の増加を来すことがないことから生産性の低下、コスト高を来すことがないものである。

30

【0015】

【発明の実施の形態】

本発明装置および本発明製造方法の実施の形態を説明する。

本発明においては、共通の半導体基板に、図8または図9で説明したように、一導電型のバイポーラトランジスタTRのコレクタ、例えばnpn型のn型のコレクタと、一導電型の接合型電界効果トランジスタJ-FETのソース、例えばn型のソースとが接続された構成とする。そして、図8に示すように、バイポーラトランジスタTRのエミッタと接合型電界効果トランジスタJ-FETのゲートとが接続した構成とするか、図9に示すように、バイポーラトランジスタTRのベースと接合型電界効果トランジスタJ-FETのゲートとが接続した構成とする。

40

この構成において、そのJ-FETのゲート領域に対するゲートコンタクト導電層と、ドレイン領域に対するドレインコンタクト導電層とが、同一導電材料もしくは互いに異なる導電材料による異なる層として形成された導電層により構成する。

そして、ゲートコンタクト導電層のドレイン側の縁部が、ドレイン領域上に絶縁層を介して形成され、その配置面が、ドレインコンタクト導電層のゲート側の縁部の配置面より下方に位置する構成とする。

【0016】

ゲートコンタクト導電層のドレイン側の縁部は、上記接合型電界効果トランジスタのドレイン領域上に絶縁層を介して張り出すように延在させる。

50

## 【 0 0 1 7 】

また、ゲートコンタクト導電層とベースコンタクト導電層とは、同一導電層によるパターン化によって構成することができる。

## 【 0 0 1 8 】

そして、上述の構成において、ゲートコンタクト導電層の上記ドレイン側の縁部の端縁と、ドレインコンタクト導電層のゲート側の縁部の端縁との上記半導体基板面に沿う方向の距離は、他の分離された同一導電層のパターン化によって形成された導電層間の距離より小に選定された構成とすることができる。

## 【 0 0 1 9 】

また、本発明による半導体装置の製造方法は、上述した本発明装置を製造するに、その J - F E T のゲート領域に対するゲートコンタクト導電層をドレイン領域上に絶縁層を介して形成し、このゲートコンタクト導電層の形成の後に、ゲートコンタクト導電層上の層間絶縁層を形成し、その後ドレイン領域に対するコンタクト導電層の形成を行って、目的とする上述の本発明半導体装置を得る。

10

## 【 0 0 2 0 】

図 1 ~ 図 4 を参照して、本発明製造方法の一例によって本発明による半導体装置の一例を得る場合を説明する。この例では、同一半導体基板上に、n p n 型のバイポーラトランジスタ T R と、n チャネル接合型電界効果トランジスタ J - F E T とが少なくとも形成され、バイポーラトランジスタ T R の n 型のコレクタと、n チャネル接合型電界効果トランジスタ J - F E T の n 型のソースとが接続された構成による半導体装置を構成した場合であり、図示しないが、接合型電界効果トランジスタのゲートと、バイポーラトランジスタ T R のエミッタもしくはベースとが、電気的に接続された構成として、図 8 もしくは図 9 の回路構成を有する半導体装置を構成した場合である。

20

## 【 0 0 2 1 】

この例においては、図 1 A に示すように、例えば p 型の単結晶 S i 基体よりなる半導体基体 2 を用意し、その一主面 1 a 上に、半導体層 3、例えば n 型の抵抗率が  $0.3 \sim 5.0 \cdot \text{cm}$ 、厚さが  $0.5 \sim 2.5 \mu\text{m}$  程度の S i 半導体層をエピタキシャル成長して半導体基板 1 を構成する。

この半導体層 3 のエピタキシャル成長に先立って半導体基体 2 の主面 1 a に、最終的にトランジスタ T R を形成する部分に、イオン注入法、拡散法等によって n 型の不純物を高濃度を選択的に導入して高不純物濃度のコレクタ埋込み領域 4 を形成し、その後、半導体層 3 のエピタキシャル成長を行う。このとき、半導体層 3 のエピタキシャル成長に際しての加熱によって半導体基体 2 に導入された不純物が半導体層 3 に一部拡散して、コレクタ埋込み領域 4 が半導体基体 2 から半導体層 3 に差し渡って形成される。

30

## 【 0 0 2 2 】

図 1 B に示すように、各半導体素子の形成部、すなわちこの例では、バイポーラトランジスタ T R と接合型電界効果トランジスタ J - F E T の形成部間と、他の回路素子の形成部間に、周知の LOCOS (Local Oxidation of Silicon) によって素子分離絶縁層 5 を例えば格子状に形成する。

## 【 0 0 2 3 】

また、バイポーラトランジスタ T R の形成部に例えばコレクタ埋込み領域 2 に達する深さにコレクタ電極取り出し領域 6 を、接合型電界効果トランジスタ J - F E T の形成部の相対向する両外側部にそれぞれソース高濃度領域 7 とドレイン高濃度領域 8 とをそれぞれ n 型不純物を高濃度に導入して形成する。これら領域 6、7 および 8 の形成は、例えば P (りん) イオンを  $50 \sim 100 \text{keV}$  で  $1 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$  のドーズ量でイオン注入することによって形成できる。そして、半導体基板 1 の表面を、例えばフォトレジストの塗布およびエッチバックによって平坦化し、素子分離絶縁層 5 下に p 型のチャンネルストップ領域 C S を、イオン注入によって形成する。半導体基板 1 の表面には、例えば厚さ  $50 \sim 200 \text{nm}$  の S i O <sub>2</sub> を C V D (Chemical Vapor Deposition) 法等によって成膜して絶縁層 9 を形成する。

40

50

## 【 0 0 2 4 】

図 2 A に示すように、図 1 B で形成した絶縁層 9 に、例えばフォトリソグラフィによるパターンエッチングによって、バイポーラトランジスタ T R の形成部における最終的にベース領域を形成する部分上と、接合型電界効果トランジスタ J - F E T のゲート領域を形成する部分上とにそれぞれ不純物導入窓  $9 w_1$  および  $9 w_2$  を穿設する。

その後、先ず、不純物導入窓  $9 w_1$  および  $9 w_2$  を通じて半導体層 3 の表面に接して全面的に第 1 の多結晶半導体層 1 0 例えば S i 多結晶半導体層を  $80 \sim 250 \text{ nm}$  の厚さに C V D 法等によって形成する。この半導体層 1 0 は、その成膜に際して高濃度に p 型の不純物を含有する層として形成するか、あるいは半導体層の成膜の後に、例えばボロン  $B^+$  または  $B F_2^+$  をイオン注入して高濃度に p 型の不純物を含有する層とする。

10

## 【 0 0 2 5 】

その後、この多結晶半導体層 1 0 をフォトリソグラフィによるパターンエッチングして、それぞれ最終的に得るバイポーラトランジスタにおけるベースコンタクト導電層の輪郭形状に対応するパターンと、接合型電界効果トランジスタ J - F E T のゲートコンタクト導電層の輪郭形状に対応するパターンにパターン化する。そして、これら不純物が含有された第 1 の多結晶半導体層 1 0 を覆って全面的に例えば S i O<sub>2</sub> を C V D 法によって  $200 \sim 500 \text{ nm}$  程度の厚さに成膜した層間絶縁層 1 9 を全面的に形成する。このとき、必要に応じて、熱処理を行って多結晶半導体層 1 0 の S i の結晶粒の成長を促進してその低抵抗化と均一化をはかることができる。

## 【 0 0 2 6 】

図 2 B に示すように、層間絶縁層 1 9 および第 1 の多結晶半導体層 1 0 の、バイポーラトランジスタの真性ベース領域の形成部上に、不純物の導入窓 1 1 を、フォトリソグラフィによるパターンエッチング等によって形成し、この窓 1 1 を通じて、p 型の不純物を導入して真性ベース領域 1 2 を形成する。この不純物導入による真性ベース 1 2 の形成は、例えば  $B F_2^+$  を  $5 \text{ keV} \sim 200 \text{ keV}$  で  $5.0 \times 10^{11} \sim 5.0 \times 10^{14} / \text{cm}^2$  のドーズ量でイオン注入するか、または  $B^+$  を  $5 \text{ keV} \sim 100 \text{ keV}$  で  $5.0 \times 10^{11} \sim 5.0 \times 10^{14} / \text{cm}^2$  ドーズ量のイオン注入条件程度で行うことができる。

また、この不純物の導入は、気相拡散によって行うこともできる。

また、必要に応じて、S I C (Selective Implanted Collector) (図示せず) を形成するために、例えば n 型の不純物イオン例えば  $P^+$  を、 $50 \text{ keV} \sim 400 \text{ keV}$  で、 $5.0 \times 10^{11} / \text{cm}^2 \sim 1.0 \times 10^{13} / \text{cm}^2$  のドーズ量でイオン注入することによって形成することができる。

20

30

## 【 0 0 2 7 】

次に、図 3 に示すように、不純物導入窓 1 1 の内側面にサイドウォール 2 9 を形成する。このサイドウォール 2 9 の形成は、周知の方法、例えば C V D 法等によって S i O<sub>2</sub> を  $400 \text{ nm} \sim 1 \mu\text{m}$  程度の厚さに堆積し、R I E (反応性イオンエッチング) による垂直方向に高いエッチング性を示す異方性エッチングを全面的に行うことによって形成することができる。

そして、このサイドウォール 2 9 が形成された窓 1 1 内を含んで全面的に n 型不純物を含む例えば多結晶 S i による第 2 の多結晶半導体層 1 3 を形成する。この半導体層 1 3 は、その成膜に際して n 型不純物例えば A s、P (りん) を含有する半導体層とし成膜することもできるし、多結晶半導体層 1 3 の成膜の後に、これに n 型の不純物例えば A s、P (りん) 等をイオン注入することによって不純物含有の多結晶半導体層とすることもできる。

40

その後、例えばフォトリソグラフィによるパターンエッチングを行って第 2 の多結晶半導体層 1 3 をエミッタコンタクト導電層のパターンにパターン化する。次に、例えば全面的に C V D 法によって S i O<sub>2</sub> 膜 (図示せず) を  $100 \text{ nm} \sim 500 \text{ nm}$  の厚さに堆積し、 $700 \sim 1200$  程度の熱処理を 5 秒  $\sim$  2 時間行って、第 1 の多結晶半導体層 1 0 から、半導体層 3 にそれぞれ p 型の不純物の拡散を行って、バイポーラトランジスタ T R の形成部においては、先に形成した真性ベース領域 1 2 i の周囲に高い不純物濃度の p 型の

50

グラフトベース領域 1 2 g を形成して、これらによってベース領域 1 2 を形成すると共に、接合型電界効果トランジスタ J - F E T の形成部においては、ゲート領域 1 4 を形成する。また、これと同時に第 2 の多結晶半導体層 1 3 から n 型の不純物を拡散して、高不純物濃度のエミッタ領域 1 5 を形成する。

【 0 0 2 8 】

このようにして、コレクタ埋込み領域 4 上に例えば n 型の半導体層 3 の一部をコレクタ領域 1 6 とし、これの上に p 型のベース領域 1 2 が形成され、更にこれの上に n 型のエミッタ領域 1 5 が形成されたバイポーラトランジスタ T R が形成され、一方、ゲート領域 1 4 によるゲート接合  $J_1$  と、p 型の半導体基体 2 と n 型の半導体層 3 との p - n 接合  $J_2$  との間にチャンネル部 1 6 が形成され、このチャンネル部の両側をソース領域およびドレイン領域としてこれらにそれぞれソース高濃度領域 7 とドレイン高濃度領域 8 とが形成された接合型電界効果トランジスタ J - F E T が、同一半導体基板 1 上に構成される。

【 0 0 2 9 】

そして、図 4 に示すように、半導体基板上に形成された各絶縁層 9 , 1 9 等に対して、コレクタ電極取り出し領域 6 上、ソース高濃度領域 7 上、ドレイン高濃度領域 8 上、ゲートコンタクト導電層 1 7 G 上、更に上述した全面的に絶縁層の形成がなされた場合には、エミッタコンタクト導電層 1 7 E 上に、それぞれコンタクト窓を穿設し、これら窓内を含んで全面的にそれぞれの領域にオーミックにコンタクトする良導電性を有する導電層を形成する。この導電層は、例えばバリア金属層としての T i 層および T i O N 層を介して A l 等の金属導電層を、それぞれ蒸着、スパッタリング等によって全面的に被着した T i / T i O N / A l 構造とすることによって形成し得る。そして、この金属導電層に対してフォトリソグラフィによるパターンエッチングを行って、この例では、コレクタ電極取り出し領域 6 上とソース高濃度領域 7 上とに差し渡って両者を電氣的に接続するコンタクト導電層 1 8 C S を形成すると同時に、ドレイン高濃度領域 8 上にドレインコンタクト導電層 1 8 D を形成し、ゲートコンタクト導電層 1 7 G およびエミッタコンタクト導電層 1 7 E 上にそれぞれ良導電性のゲートおよびエミッタの各上層コンタクト導電層 1 8 G および 1 8 E を形成する。

【 0 0 3 0 】

このようにして、同一半導体基板 1 上に、バイポーラトランジスタ T R と接合型電界効果トランジスタ J - F E T とが形成され、バイポーラトランジスタ T R のベース領域 1 2 のグラフトベース領域 1 2 g 上と、接合型電界効果トランジスタ J - F E T のゲート領域 1 4 上とに同一の導電層、すなわち第 1 の多結晶半導体層 1 0 により構成されたベースコンタクト導電層 1 7 B とゲートコンタクト導電層 1 7 G が、それぞれ、いわばセルフアラインによってコンタクトされ、エミッタ領域 1 5 には、第 2 の多結晶半導体層 1 3 によるエミッタコンタクト導電層 1 7 E が、セルフアラインによってコンタクトされた構成の半導体装置が構成される。

【 0 0 3 1 】

そして、図示しないが、例えばエミッタの上層コンタクト導電層 1 8 E と、ゲートの上層コンタクト導電層 1 8 G とを連続したパターンに形成するなどの方法によって互いに電氣的に接続することによって図 8 で説明した回路構成による半導体装置とする。

あるいは、上述の構成において、図示しないが、例えば接合型電界効果トランジスタ J - F E T のゲート領域 1 4 と、バイポーラトランジスタ T R のベース領域 1 2 例えばグラフトベース領域 1 2 g とを同時に連続したパターンに形成することによって、図 9 で説明した回路構成を有する半導体装置とする。

すなわち、n チャンネル型の接合型電界効果トランジスタ J - F E T のゲートと、n p n 型のバイポーラトランジスタ T R のエミッタもしくはベースとが接続され、J - F E T のソースと T R のコレクタとが接続されてトランジスタが高耐圧化された半導体装置が構成される。

【 0 0 3 2 】

そして、本発明による半導体装置においては、そのゲートコンタクト導電層 1 7 G と、ド

10

20

30

40

50

レインコンタクト導電層 18D とをそれぞれ異なる工程で形成した導電層、すなわち互いに異なる層として形成したことにより、ゲートコンタクト導電層 17G のドレイン側の縁部 17G<sub>1</sub> の配置面と、ドレインコンタクト導電層 18D のゲート側の縁部 18D<sub>1</sub> の配置面とを、厚さ方向に異なる配置面とするものであり、このようにすることによって、ゲートコンタクト導電層 17G と、ドレインコンタクト導電層 18D とは、層間絶縁層 19 を介して積層ないしは近接させる。すなわち、これら縁部 17G<sub>1</sub> および 18D<sub>1</sub> の、基板 1 の板面方向の間隔は、他の同一導電層によって形成されるコンタクト導電層相互間の板面方向の距離より小に選定される。

#### 【0033】

また、この本発明による半導体装置においては、ゲートコンタクト導電層 17G と、ドレインコンタクト導電層 18D とを、異なる層に形成したことにより、ゲートコンタクト導電層 17G をドレインコンタクト導電層 18D のゲート側の縁部 18D<sub>1</sub> の配置面より下方に、つまりゲートコンタクト導電層 17G をゲート領域 14 からドレイン側に、絶縁層 9 を介して延在させ、此処に MIS (この例では MOS) 構造部を構成するものである。

#### 【0034】

この図 4 で示す本発明装置においては、上述したように、例えば図 8 もしくは図 9 で示す回路構成とされていることから、冒頭に述べたように、バイポーラトランジスタ TR の高耐圧が図られるとともに、接合型電界効果トランジスタ J-FET におけるゲートコンタクト導電層 17G のドレイン側の縁部 17G<sub>1</sub> の配置面と、ドレインコンタクト導電層 18D のゲート側の縁部 18D<sub>1</sub> の配置面が異なる面とされたことから、両導電層の面積を必要十分に保持した状態で、充分近接してあるいは互いに重なるように配置することができること、またこれによりゲート部とドレイン電極コンタクト部とを充分近接して配置できることから、高密度化と共に、オン抵抗の低減化、I<sub>dss</sub> の向上がはかられる。

#### 【0035】

また、ゲートコンタクト導電層 17G のドレイン側の縁部 17G<sub>1</sub> を、ドレイン側に張り出して MIS ないしは MOS 構造としたことにより、ゲートに逆バイアス印加時に形成される空乏層が、ゲート領域 14 の接合 J<sub>1</sub> と、MIS-FET ないしは MOS-FET 効果との両方の作用により形成されるので、J-FET のピンチオフ電圧 V<sub>p</sub> の、より低電圧化、およびリーク電流の低減を実現することができる。

#### 【0036】

また、上述したように、ゲートコンタクト導電層 17G のドレイン側の縁部 17G<sub>1</sub> とドレインコンタクト導電層 18D とが異なる層として形成したことにより、両者の縁部の板面方向の距離を、同一層で形成した場合のフォトリソグラフィおよびエッチングで制限される最小距離 (間隔) より近づけることができることから、いわばゲート電極およびドレイン電極としてのゲート上層コンタクト導電層 18G およびドレインコンタクト導電層 18D とを、上述した例におけるように、同一導電層の例えば Ti/TiON/Al 構造の金属層によって形成した場合にも、上述の MIS ないしは MOS 構造部を充分ドレイン側に張り出す (延在) させることができ、上述の MOS ないしは MIS-FET 効果を高めることができる。

#### 【0037】

そして、このように、ピンチオフ電圧 V<sub>p</sub> を低減化が図られるために、チャネル部における不純物濃度を、特段に低めることを回避できることから、オン抵抗が高められるとか、I<sub>dss</sub> が低下する不都合が回避され、ピンチオフ電圧 V<sub>p</sub> を低くでき、しかもオン抵抗の低減、I<sub>dss</sub> の向上がはかられ、安定して優れた特性を有するバイポーラトランジスタを製造することができる。

#### 【0038】

また、上述の本発明製造方法においては、第 1 および第 2 の多結晶半導体層 10 および 13 を用い、これらからの半導体基板への不純物導入によってグラフトベース領域およびエミッタ領域の形成を行い、かつこれら半導体層をこれらグラフトベース領域およびエミッタ領域からの電極取出しコンタクト導電層とすることによって、コンタクト導電層と各領

10

20

30

40

50

域とを自己整合（セルフアライメント）することができるようにした２層多結晶層型のバイポーラトランジスタの製造方法をとるものであるが、本発明によれば、通常のバイポーラ集積回路における、この種の２層多結晶層型のバイポーラトランジスタの製造方法に比して何ら工程数を増加することがなく、簡易な方法で、接合型電界効果トランジスタ J - F E T とバイポーラトランジスタ T R とが形成された半導体装置を構成することができる。

#### 【 0 0 3 9 】

尚、上述した例では、バイポーラトランジスタ T R のコレクタ電極取出し領域 6 と、接合型電界効果トランジスタ J - F E T のソース高濃度領域 7 とを、それぞれ形成した場合であるが、図 5 ~ 図 7 に例示するように、両領域 6 および 7 を共通の領域 6 7 として形成することができる。

10

図 5 ~ 図 7 において、図 1 ~ 図 4 と対応する部分には同一符号を付して、図 1 ~ 図 4 で説明した構造および製造方法の重複説明を省略するが、図 5 にその概略断面図を示す例では、図 4 におけるエミッタ上層コンタクト導電層 1 8 E と、ゲート上層コンタクト導電層 1 8 G とが連結されたパターンによる共通のコンタクト導電層 1 8 EG によって連結された構成とすることによって、図 8 で説明した回路構成を有する構成とした場合である。またこの場合、ベースコンタクト導電層 1 7 B の一部上の絶縁層 1 9 にコンタクト窓を穿設してこのコンタクト窓を通じてベース端子導出に供するベースの上層コンタクト導電層 1 8 B を形成した場合である。

そして、この場合、各コンタクト導電層 1 8 B、1 8 EG は、ドレインコンタクト導電層の形成と同時に、すなわち上述したように、例えば T i / T i O N / A l 構造の金属層から、パターンエッチングによって同時に形成することができる。

20

#### 【 0 0 4 0 】

また、図 6 に示す例においては、上述したと同様に、例えば例えば T i / T i O N / A l 構造によるドレインコンタクト導電層 1 8 D の形成と同時に、それぞれ第 1 の多結晶半導体層 1 0 によって構成されたベースコンタクト導電層 1 7 B とゲートコンタクト導電層 1 7 G とにオーミックコンタクトするコンタクト導電層 1 8 CG を、上述したと同様に例えばドレインコンタクト導電層 1 8 D の形成と同時に形成して、バイポーラトランジスタ T R のベースと接合型電界効果トランジスタ J - F E T のゲートとが接続された図 9 に示す回路構成による半導体装置を構成した場合である。

30

#### 【 0 0 4 1 】

また、図 7 に示す例では、図 1 ~ 図 4 で説明した第 1 の多結晶半導体層 1 0 によって構成するベースコンタクト導電層 1 7 B とゲートコンタクト導電層 1 7 G とを連続したパターンとして第 1 の多結晶半導体層 1 0 による共通のコンタクト導電層 1 7 BG として構成し、図 9 に示す回路構成による半導体装置を構成した場合である。

#### 【 0 0 4 2 】

そして、これら図 5 ~ 図 7 に示した各例の半導体装置およびその製造方法は、図 1 ~ 図 4 で説明したと同様に、図 8 あるいは図 9 の構成とされたことによってバイポーラトランジスタ T R の高耐圧化がはかれると同時に、前述したと同様の理由から、ピンチオフ電圧  $V_p$  を低減化が図られるために、チャネル部における不純物濃度を低めることなく、したがって、オン抵抗の向上、 $I_{dss}$  の向上をはることができ、安定して優れた特性を有するバイポーラトランジスタを、製造工程数を増加することがなく、簡易な方法で、接合型電界効果トランジスタ J - F E T とバイポーラトランジスタ T R とを有する半導体装置として構成することができる。

40

そして、これら図 5 ~ 図 7 に示す構造とするときは、バイポーラトランジスタ T R のコレクタと接合型電界効果トランジスタ J - F E T のソースとが、高濃度領域 6 7 によっていわば直結された構造とされたことから、コレクタ抵抗の低減、コレクタ飽和電圧の低下、および、より素子面積の縮小を実現できる。

また、高濃度領域 6 7 を有することなくバイポーラトランジスタ T R のコレクタと、接合型電界効果トランジスタ J - F E T のソースとが、高濃度埋込み領域 4 によって直結され

50

た構成として素子面積の縮小化をはかることができる。

【0043】

尚、本発明装置および製造方法は、上述した例に限られるものではなく、例えばバイポーラトランジスタTRとして、pnp型のトランジスタとし、接合型電界効果トランジスタとしてpチャンネルJ-FETとすとか、また、半導体素子を共通に形成した半導体装置等として構成することもできるなど、本発明は、上述した例に限られるものではなく、種々の変形変更を行うことができることはいうまでもない。

【0044】

【発明の効果】

上述したように、本発明装置、および本発明製造方法によれば、バイポーラトランジスタと接合型電界効果トランジスタとを有し、バイポーラトランジスタのコレクタと接合型電界効果トランジスタのソースとが接続されて高耐圧化がはかられた半導体装置において、接合型電界効果トランジスタにおけるゲートコンタクト導電層のドレイン側の縁部の配置面と、ドレインコンタクト導電層のゲート側の縁部の配置面が異なる面とされたことから、両導電層の面積を必要十分に保持した状態で、充分近接してあるいは互いに重なるように配置することができること、またこれによりゲート部とドレイン電極コンタクト部とを充分近接して配置できることから、高密度化と共に、オン抵抗の低減化、 $I_{dss}$ の向上がはかられる。

また、ゲートコンタクト導電層のドレイン側の縁部の配置面を、ドレインコンタクト導電層のゲート側の縁部の配置面とは異なるとし、かつその下方の配置面とすることから、このゲートコンタクト導電層を、ドレイン領域上に絶縁層を介して張り出すように延在させることができ、これによって、この張り出し部においていわばMIS-FET構造が構成されることから、これによる電界効果によって、ピンチオフ電圧 $V_p$ の低減化が図られる。したがって、このピンチオフ電圧 $V_p$ を低減化するために、チャンネル部における不純物濃度を、特段に低めること回避されることから、オン抵抗が高められるとか、 $I_{dss}$ が低下する不都合が回避され、ピンチオフ電圧 $V_p$ を低くでき、しかもオン抵抗の低減、 $I_{ds}$ の向上がはかられ、安定して優れた特性を有するバイポーラトランジスタを製造することができる。

【0045】

また、この半導体装置を製造するに、本発明方法によれば、工程数の増加を来すことがないことから生産性の低下、コスト高の招来を回避できる。

【0046】

したがって、本発明によれば、高性能、高密度、高集積、高信頼性の半導体装置、ひいては高性能、高密度、高集積、高信頼性の集積回路を実現可能とするものである。

【図面の簡単な説明】

【図1】AおよびBは、本発明製造方法に一例の各一工程における概略断面図である。

【図2】AおよびBは、本発明製造方法に一例の各一工程における概略断面図である。

【図3】本発明製造方法に一例の各一工程における概略断面図である。

【図4】本発明製造方法に一例の各一工程における概略断面図である。

【図5】本発明による半導体装置の他の一例の概略断面図である。

【図6】本発明による半導体装置の他の一例の概略断面図である。

【図7】本発明による半導体装置の他の一例の概略断面図である。

【図8】本発明による半導体装置の回路図である。

【図9】本発明による半導体装置の回路図である。

【符号の説明】

1 半導体基板、2 半導体基体、3 半導体層、4 コレクタ埋込み領域、5 素子分離絶縁層、6 コレクタ電極取り出し領域、7 ソース高濃度領域、8 ドレイン高濃度領域、9 絶縁層、10 第1の多結晶半導体層、11 不純物導入領域、12 ベース領域、12i 真性ベース領域、12g グラフトベース領域、13 第2の多結晶半導体層、14 ゲート領域、15 エミッタ領域、16 コレクタ領域、17 E エミッタ

10

20

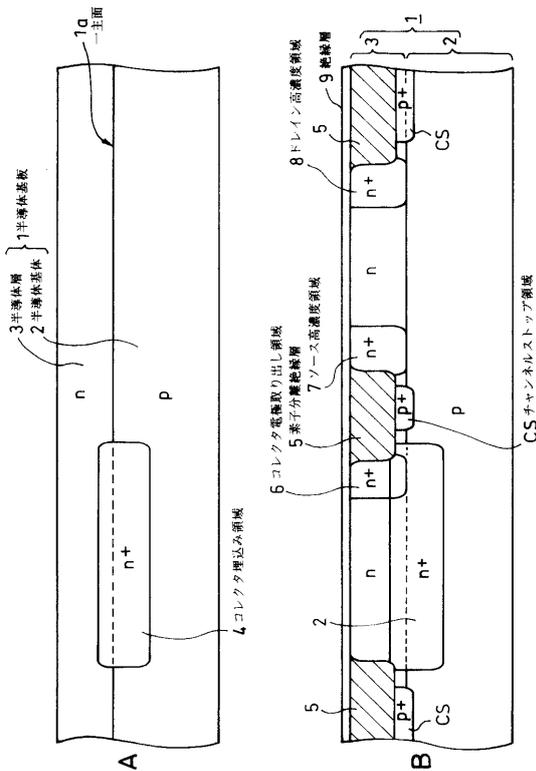
30

40

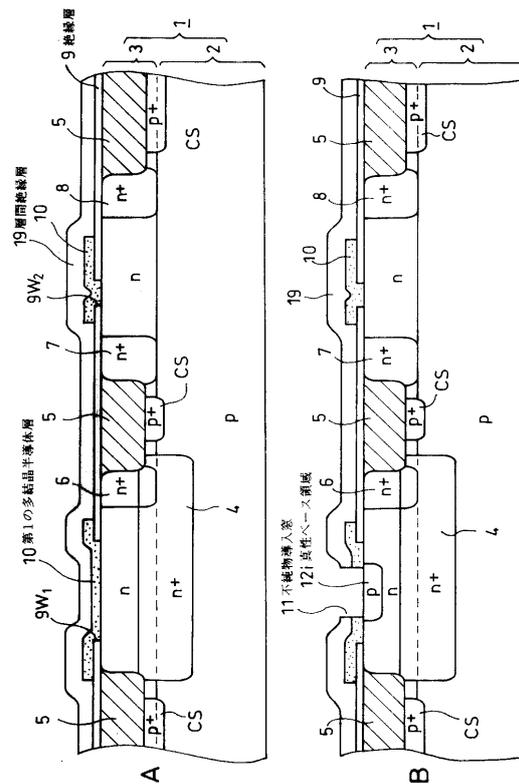
50

コンタクト導電層、17B ベースコンタクト導電層、17G ゲートコンタクト導電層、17G<sub>1</sub> 縁部、17BG, 17EG コンタクト導電層、18E エミッタ上層コンタクト導電層、18D ドレインコンタクト導電層、18D<sub>1</sub> 縁部、18CS, 18EG コンタクト導電層、18B ベース上層コンタクト導電層、67 高濃度領域、J<sub>1</sub>, J<sub>2</sub> ゲート接合、CS チャンネルストップ領域

【図1】

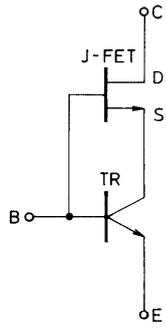


【図2】





【 図 9 】



---

フロントページの続き

(51)Int.Cl.<sup>7</sup>  
H 0 1 L 29/808

F I

(56)参考文献 特開平09-069581(JP,A)  
特開平02-017673(JP,A)  
特開平08-078435(JP,A)  
特開昭64-080062(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H01L 21/06  
H01L 29/73  
H01L 29/808  
H01L 21/331  
H01L 21/337  
H01L 21/8232