

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-19963

(P2010-19963A)

(43) 公開日 平成22年1月28日(2010.1.28)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
H01L 51/50 (2006.01)	H05B 33/14 A	5C080
G09G 3/20 (2006.01)	G09G 3/20 611H	
	G09G 3/20 621J	
	G09G 3/20 624B	
審査請求 未請求 請求項の数 16 O L (全 48 頁) 最終頁に続く		

(21) 出願番号	特願2008-178835 (P2008-178835)	(71) 出願人	000002185
(22) 出願日	平成20年7月9日 (2008.7.9)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100086298
			弁理士 船橋 國則
		(72) 発明者	山本 哲郎
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	内野 勝秀
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		Fターム(参考)	3K107 AA01 BB01 CC35 CC43 CC45
			EE04 HH02 HH04 HH05
			5C080 AA06 BB05 CC03 DD05 DD23
			DD28 FF11 FF12 JJ02 JJ03
			JJ04 JJ05 JJ06

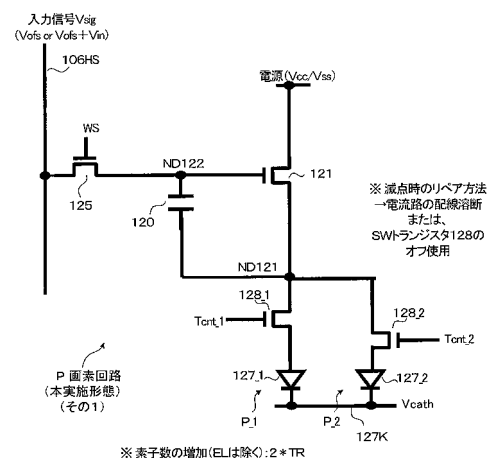
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】有機EL表示装置において、滅点を目立たなくする。

【解決手段】従来の1画素を複数の領域に分け、それぞれに有機EL素子127_kを設ける。有機EL素子127_kに対してオン/オフ制御可能なSWトランジスタ128_kを介在させて駆動トランジスタ121のソースと接続する。滅点の検査やリペアをせずに、発光期間において、SWトランジスタ128_kを時分割で駆動する。SWトランジスタ128_kのオン時に滅点となる有機EL素子127_kがあっても、発光に使用される分割画素が時分割で使用されるため、実体的には1画素が完全に滅点となることはない。画素アレイ部102全体では、滅点位置が固定されず変動し得るので、時間的かつ空間的に平均化され、滅点の視認性を一層低下させることができる。滅点数の多少に関わらずその効果が得られるので高歩留まりが期待でき、滅点の検査・リペアが不要であり、製造コストを低減できる。

【選択図】 図9



【特許請求の範囲】**【請求項 1】**

駆動電流を生成する駆動トランジスタ、映像信号線から供給される映像信号の信号振幅に応じた情報を保持する保持容量、前記駆動トランジスタの出力端側に配置された電気光学素子、および前記保持容量に前記信号振幅に応じた情報を書き込むサンプリングトランジスタを具備し、前記保持容量に保持された情報に基づく駆動電流を前記駆動トランジスタで生成して前記電気光学素子に流すことで当該電気光学素子が発光する画素回路が行列状に配置されている画素アレイ部を備え、

前記画素回路は、

1 画素が複数の画素に分割され、分割された分割画素ごとに前記電気光学素子を有し、全ての分割画素の前記電気光学素子に対して、それぞれ 1 つの前記駆動トランジスタおよび前記保持容量が共通に使用されるように構成されており、

オン/オフ制御が可能なスイッチ素子が、前記駆動トランジスタと各分割画素の前記電気光学素子の共通電位点との間の前記駆動電流の経路上に、前記分割画素を選択的に有効とすることができるように配置されている

ことを特徴とする表示装置。

【請求項 2】

前記スイッチ素子をオン/オフ制御するための制御信号を生成する制御信号生成部をさらに備えている

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

外部の滅点検査装置から供給される前記スイッチ素子をオン/オフ制御するための制御信号のインタフェースである端子部をさらに備えている

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記分割画素ごとに、前記駆動トランジスタと各分割画素の前記電気光学素子の共通電位点との間の前記駆動電流の経路上に、前記スイッチ素子が配置されており、

前記画素アレイ部の画素回路ごとに前記制御信号が独立に制御可能に構成されており、前記制御信号生成部は、前記電気光学素子が発光しない滅点である分割画素については、前記制御信号が前記スイッチ素子をオフさせるように設定し、前記電気光学素子が発光する正常である分割画素については、前記制御信号が前記スイッチ素子をオンさせるように設定する

ことを特徴とする請求項 2 に記載の表示装置。

【請求項 5】

前記制御信号が、行単位および/または列単位で、複数の画素回路に対して共通に使用されるように構成されており、

前記制御信号生成部は、

検査時には、前記分割画素ごとに対応する前記スイッチ素子を前記複数の画素回路についてオンさせて前記電気光学素子が発光しない滅点の数を計数し、

通常動作時には、前記複数の画素回路について、前記分割画素に対応する前記スイッチ素子を一斉にオンさせたときの滅点の数が、全ての前記分割画素に対応する前記スイッチ素子を一斉にオンさせたときの滅点の総数よりも少なくなる分割画素が選択されて使用されるように、前記制御信号を設定する

ことを特徴とする請求項 2 に記載の表示装置。

【請求項 6】

前記制御信号生成部は、通常動作時には、前記複数の画素回路について、滅点の数が最も少なくなる何れか一方の分割画素が一斉に選択されて使用されるように、前記制御信号を設定する

ことを特徴とする請求項 5 に記載の表示装置。

【請求項 7】

前記制御信号が、行単位および／または列単位で、複数の画素回路に対して共通に使用されるように構成されており、

前記制御信号生成部は、

検査時には、前記分割画素ごとに対応する前記スイッチ素子を前記複数の画素回路についてオンさせて前記電気光学素子が発光しない滅点の数を計数し、

通常動作時には、前記複数の画素回路について、前記滅点の数が規格内となる少なくとも１つの分割画素が一斉に選択されて使用されるように、前記制御信号を設定する

ことを特徴とする請求項２に記載の表示装置。

【請求項８】

前記制御信号生成部は、発光期間において、前記複数の分割画素を、所定の組合せで、時分割で制御する

ことを特徴とする請求項２に記載の表示装置。

【請求項９】

前記制御信号生成部は、前記時分割の制御のための、前記スイッチ素子のオン／オフの切替えを、前記駆動電流を流すための前記駆動トランジスタへの電源供給が停止している期間に行なう

ことを特徴とする請求項８に記載の表示装置。

【請求項１０】

前記制御信号生成部は、前記時分割の制御をフィールド単位で行なう

ことを特徴とする請求項８に記載の表示装置。

【請求項１１】

前記制御信号生成部は、前記時分割の制御を複数フィールド周期で行なう

ことを特徴とする請求項１０に記載の表示装置。

【請求項１２】

前記制御信号生成部は、前記時分割の制御を１フィールド内で行なう

ことを特徴とする請求項８に記載の表示装置。

【請求項１３】

前記駆動電流を一定に維持する駆動信号一定化回路をさらに備えている

ことを特徴とする請求項１に記載の表示装置。

【請求項１４】

前記サンプリングトランジスタを順次制御することで前記画素回路を走査して前記保持容量に映像信号の信号振幅に応じた情報を書き込むための書込走査パルスを前記サンプリングトランジスタに出力する書込走査部、前記書込走査部での前記走査に合わせて映像信号を前記映像信号線に供給する水平駆動部、駆動電流を前記電気光学素子に流すために使用される第１電位および前記第１電位とは異なる第２電位を切り替えて前記駆動トランジスタの電源供給端に供給する駆動走査部を具備する制御部を備え、

前記水平駆動部は、基準電位と信号電位で切り替わる映像信号を前記サンプリングトランジスタに供給するものであり、

前記駆動信号一定化回路は、前記書込走査部、前記水平駆動部、および前記駆動走査部の制御の元で、前記第１電位に対応する電圧が前記駆動トランジスタの前記電源供給端に供給されかつ映像信号における基準電位が前記サンプリングトランジスタに供給されている時間帯で前記サンプリングトランジスタを導通させることで前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持させる閾値補正機能を実現するように構成されたものである

ことを特徴とする請求項１３に記載の表示装置。

【請求項１５】

前記駆動信号一定化回路は、前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持させる閾値補正機能と、閾値補正動作の後に、前記サンプリングトランジスタを導通させることで前記保持容量に信号電位に応じた情報を書き込む際、前記駆動トランジスタの移動度に対する補正分を前記保持容量に書き込まれる信号に加える移動度補正

10

20

30

40

50

機能とを実現するように構成されたものである

ことを特徴とする請求項 13 に記載の表示装置。

【請求項 16】

前記駆動信号一定化回路は、前記保持容量が前記駆動トランジスタの制御入力端と前記駆動電流出力端の間に接続されることでブートストラップ機能を実現するように構成されたものである

ことを特徴とする請求項 13 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気光学素子（表示素子や発光素子とも称される）を具備する画素回路（画素とも称される）を有する表示装置に関する。より詳細には、駆動信号の大小によって輝度に変化する電流駆動型の電気光学素子を表示素子として有し、画素回路ごとに能動素子を有して当該能動素子によって画素単位で表示駆動が行なわれる表示装置に関する。

【背景技術】

【0002】

画素の表示素子として、印加される電圧や流れる電流によって輝度に変化する電気光学素子を用いた表示装置がある。たとえば、印加される電圧によって輝度に変化する電気光学素子としては液晶表示素子が代表例であり、流れる電流によって輝度に変化する電気光学素子としては、有機エレクトロルミネッセンス（Organic Electro Luminescence, 有機 E L, Organic Light Emitting Diode, OLED; 以下、有機 E L と記す）素子が代表例である。後者の有機 E L 素子を用いた有機 E L 表示装置は、画素の表示素子として、自発光素子である電気光学素子を用いたいわゆる自発光型の表示装置である。

【0003】

有機 E L 素子は下部電極と上部電極との間に有機正孔輸送層や有機発光層を積層させてなる有機薄膜（有機層）を設けてなり、有機薄膜に電界をかけると発光する現象を利用した電気光学素子であり、有機 E L 素子を流れる電流値を制御することで発色の階調を得ている。

【0004】

有機 E L 素子は比較的低い印加電圧（たとえば 10 V 以下）で駆動できるため低消費電力である。また有機 E L 素子は自ら光を発する自発光素子であるため、液晶表示装置では必要とされるバックライトなどの補助照明部材を必要とせず、軽量化および薄型化が容易である。さらに、有機 E L 素子の応答速度は非常に高速である（たとえば数 μ s 程度）ので、動画表示時の残像が発生しない。これらの利点があることから、電気光学素子として有機 E L 素子を用いた平面自発光型の表示装置の開発が近年盛んになっている。

【0005】

ところで、液晶表示素子を用いた液晶表示装置や有機 E L 素子を用いた有機 E L 表示装置を始めとする電気光学素子を用いた表示装置においては、その駆動方式として、単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が単純であるもの、大型でかつ高精細の表示装置の実現が難しいなどの問題がある。

【0006】

このため、近年、画素内部の発光素子に供給する画素信号を、同様に画素内部に設けた能動素子、たとえば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ（Thin Film Transistor; TFT）をスイッチングトランジスタとして使用して制御するアクティブマトリクス方式の開発が盛んに行なわれている。

【0007】

ここで、画素回路内の電気光学素子を発光させる際には、映像信号線を介して供給される入力画像信号をスイッチングトランジスタ（サンプリングトランジスタと称する）で駆動トランジスタのゲート端（制御入力端子）に設けられた保持容量（画素容量とも称する

10

20

30

40

50

）に取り込み、取り込んだ入力画像信号に応じた駆動信号を電気光学素子に供給する。

【0008】

電気光学素子として液晶表示素子を用いる液晶表示装置では、液晶表示素子が電圧駆動型の素子であることから、保持容量に取り込んだ入力画像信号に応じた電圧信号そのもので液晶表示素子を駆動する。これに対して、電気光学素子として有機EL素子などの電流駆動型の素子を用いる有機EL表示装置では、保持容量に取り込んだ入力画像信号に応じた駆動信号（電圧信号）を駆動トランジスタで電流信号に変換して、その駆動電流を有機EL素子などに供給する。

【0009】

有機EL素子を代表例とする電流駆動型の電気光学素子では、駆動電流値が異なると発光輝度も異なる。よって、安定した輝度で発光させるためには、安定した駆動電流を電気光学素子に供給することが肝要となる。たとえば、有機EL素子に駆動電流を供給する駆動方式としては、定電流駆動方式と定電圧駆動方式とに大別できる（周知の技術であるので、ここでは公知文献の提示はしない）。

【0010】

有機EL素子の電圧 - 電流特性は傾きの大きい特性を有するので、定電圧駆動を行なうと、僅かな電圧のばらつきや素子特性のばらつきが大きな電流のばらつきを生じ大きな輝度ばらつきをもたらす。よって、一般的には、駆動トランジスタを飽和領域で使用する定電流駆動が用いられる。もちろん、定電流駆動でも、電流変動があれば輝度ばらつきを招くが、小さな電流ばらつきであれば小さな輝度ばらつきしか生じない。

【0011】

逆に言えば、定電流駆動方式であっても、電気光学素子の発光輝度が不変であるためには、入力画像信号に応じて保持容量に書き込まれ保持される駆動信号が一定であることが重要となる。たとえば、有機EL素子の発光輝度が不変であるためには、入力画像信号に応じた駆動電流が一定であることが重要となる。

【0012】

ところが、プロセス変動により電気光学素子を駆動する能動素子（駆動トランジスタ）の閾値電圧や移動度がばらついてしまう。また、有機EL素子などの電気光学素子の特性が経時的に変動する。このような駆動用の能動素子の特性ばらつきや電気光学素子の特性変動があると、定電流駆動方式であっても、発光輝度に影響を与えてしまう。

【0013】

このため、表示装置の画面全体に亘って発光輝度を均一に制御するため、各画素回路内で上述した駆動用の能動素子や電気光学素子の特性変動に起因する輝度変動を補正するための仕組みが種々検討されている。

【0014】

【特許文献1】特開2006 - 215213号公報

【0015】

たとえば、特許文献1に記載の仕組みでは、有機EL素子用の画素回路として、駆動トランジスタの閾値電圧にばらつきや経時変化があった場合でも駆動電流を一定にするための閾値補正機能や、駆動トランジスタの移動度にばらつきや経時変化があった場合でも駆動電流を一定にするための移動度補正機能や、有機EL素子の電流 - 電圧特性に経時変化があった場合でも駆動電流を一定にするためのブートストラップ機能が提案されている。

【発明の開示】

【発明が解決しようとする課題】

【0016】

しかしながら、有機EL素子を始めとする電気光学素子は一般的に薄膜で形成されている素子であるため、たとえば、パネル製造時に埃（ダスト）などの異物が付着することで素子が損傷した場合、発光が正常になされない滅点（光らない点）となり、パネルに画素欠陥が生じてしまい歩留まり低下の原因となる。このような表示上の欠陥は、表示装置の良品率を高める上で阻害要因となっており、表示装置の低コスト化を阻む。また、使用時

10

20

30

40

50

に、何らかの原因で滅点となると、表示品質を損ねる。

【 0 0 1 7 】

本発明は、上記事情に鑑みてなされたもので、発光が正常になされない滅点を目立たなくすることのできる仕組みを提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 8 】

本発明に係る表示装置の一形態は、信号振幅に応じた表示を行なう電流駆動型の電気光学素子および当該電気光学素子を駆動する駆動トランジスタを含む画素回路を画素アレイ部に備える。

【 0 0 1 9 】

本発明に係る表示装置の一形態は、好ましくは、閾値補正や移動度補正あるいはブートストラップなど駆動電流を一定に維持する駆動信号一定化回路をさらに備えているものとするのがよい。

【 0 0 2 0 】

なお、2TR駆動構成における閾値補正に当たっては、制御部には、書込走査部での走査に合わせて各画素回路に、駆動電流を電気光学素子に流すために使用される第1電位と第1電位とは異なる第2電位とを切り替えて出力する駆動走査部を設け、また水平駆動部は、基準電位と信号電位で切り替わる映像信号をサンプリングトランジスタに供給するものとする。そして、駆動信号一定化回路は、書込走査部、水平駆動部、および駆動走査部の制御の元で、駆動トランジスタの電源供給端子に第1電位に対応する電圧が供給され、かつサンプリングトランジスタに映像信号における基準電位が供給されている時間帯でサンプリングトランジスタを導通させることで閾値補正動作を行なうように制御するのがよい。

【 0 0 2 1 】

ここで、駆動電流を一定に維持する駆動信号一定化回路を設けて、閾値補正機能や移動度補正機能あるいはブートストラップ機能などを働かせたとしても、電気光学素子が損傷した場合、発光が正常になされない滅点となり、パネル製造の歩留まり低下や表示品質の低下を招く。

【 0 0 2 2 】

そこで、本発明に係る表示装置の一形態における特徴的な事項として、1つの画素回路内には、駆動トランジスタからの駆動電流を分流した電流が供給される複数の電気光学素子を設ける。各電気光学素子を有する部分を分割画素と称する。

【 0 0 2 3 】

加えて、全ての分割画素の電気光学素子に対しては、それぞれ1つの駆動トランジスタおよび保持容量が共通に使用されるように構成するのが望ましいが、2つ以上の駆動トランジスタ及び保持容量が使用されるように構成されていてもよい。さらに、オン/オフ制御が可能なスイッチ素子を、駆動トランジスタと各分割画素の電気光学素子の共通電位点との間の駆動電流の経路上に、分割画素を選択的に有効とすることができるよう配置する。

【 0 0 2 4 】

「分割画素を選択的に有効とする」とは、複数の分割画素の任意の組合せにおいて、組別に独立して選択し得る構成である限りどのようにスイッチ素子を配置・接続しても構わない。最も好ましい態様は、分割した各分割画素（つまり電気光学素子）のそれぞれを1つずつ選択し得るよう構成するものがある。このためには、分割画素ごとに、駆動トランジスタと各分割画素の電気光学素子の共通電位点との間の駆動電流の経路上に、オン/オフ制御が可能なスイッチ素子を配置する。

【 0 0 2 5 】

次に、第1の観点からの滅点対策の動作手法として、まず、分割画素ごとに、駆動トランジスタと各分割画素の電気光学素子の共通電位点との間の駆動電流の経路上に、スイッチ素子が配置された構造を採用する。また、各スイッチ素子を独立にオン/オフ制御可能

10

20

30

40

50

とすべく、画素アレイ部の画素回路ごとに制御信号を独立に制御可能に構成する。

【0026】

そして、表示装置の製造時には、画素回路を動作させてスイッチ素子の選択動作により滅点素子の有無およびその場所を特定し、滅点素子に関してはスイッチ素子をオフさせることで、滅点素子を残りの正常な電気光学素子（正常素子と称する）から電氣的に分離する。この処理を、滅点素子をリペアすると称する。その後の通常動作時には、残りの正常素子にて表示を行なうべく、スイッチ素子をオンさせて使用する。

【0027】

つまり、1画素に、複数の分割画素（つまり電気光学素子）と、各分割画素を独立して発光させ得るスイッチ素子を分割画素ごとに駆動電流の経路上に設けることで、スイッチ素子のオン/オフの動作によって滅点素子を特定する。滅点素子を特定したら、スイッチ素子をオフさせることでその滅点素子をリペアして残りの正常素子にて表示を行なうことで、画素が完全に滅点化することを防ぐのである。

【0028】

また、第2の観点からの滅点対策の動作手法として、発光期間において、分割画素のそれぞれに設けたスイッチ素子の何れか一方の組のみを選択し全ての発光期間において固定的に使用して発光させる。何れの組を選択するかは判定基準は、この滅点対策の動作手法を適用しない場合よりも滅点数がより少なくなる組合せ（好ましくは最も少なくなる何れか1つ）、あるいは、滅点数が規格内となる組合せ（好ましくは1つの分割画素）とする。

【0029】

また、第3の観点からの滅点対策の動作手法として、発光期間において、複数の分割画素を、所定の組合せで（好ましくは分割画素別に）、時分割で制御する。

【発明の効果】

【0030】

本発明の一形態によれば、スイッチ素子のオン/オフ制御を利用することで、発光が正常になされない滅点を目立たなくすることができ、製造歩留まりを向上させることができる。

【0031】

たとえば、第1の観点からの滅点対策の動作手法を適用した場合、スイッチ素子をオフさせることで滅点素子を正常な残りの分割画素の電気光学素子と電氣的に切り離すことができ、他の正常な分割画素の電気光学素子で表示すれば、見かけ上、点欠陥として見えないという効果を享受でき、1画素が完全に滅点化することを防ぐことができる。

【0032】

また、第2の観点からの滅点対策の動作手法を適用した場合、滅点をリペアしなくても、この滅点対策の動作手法を適用しない場合よりも滅点数が少ない状態で使用できる。

【0033】

また、第3の観点からの滅点対策の動作手法を適用した場合、滅点の検査やリペアをしなくても、分割画素の滅点位置が時間的かつ空間的に平均化されるので、画素に滅点の分割画素が存在することの視認性を低下させることができる。

【0034】

また、1画素を複数の分割画素に分けるに当たり、全ての分割画素の電気光学素子に対して、それぞれ1つの駆動トランジスタおよび保持容量を共通に使用するので、画素回路内に増加する素子数が少ないため、高歩留まり化が実現できる。

【0035】

ここで、閾値補正機能およびそれに先立つ閾値補正準備機能（初期化機能）や移動度補正機能を実現するに当たって、駆動トランジスタの電源供給端を第1電位と第2電位との間で遷移させる、つまり電源電圧をスイッチングパルスとして使用することが有効に機能する。すなわち、閾値補正機能や移動度補正機能を組み込むため、各画素回路の駆動トランジスタに供給する電源電圧をスイッチングパルスとして使用すると、補正用のスイッチ

10

20

30

40

50

ングトランジスタやその制御入力端を制御する走査線が不要になる。

【 0 0 3 6 】

結果として、2 T R 駆動の構成をベースとして各トランジスタの駆動タイミングなどの変形を加えるだけでよく、画素回路の構成素子数と配線本数が大幅に削減でき、画素アレイ部を縮小することができ、表示装置の高精細化を達成し易くなる。画素回路の簡素化を図りつつ、減点によるパネルの歩留まり低下を防止することができる。素子数や配線数が少ないため高精細化に適しており、高精細の表示が求められる小型の表示装置を容易に実現できる。

【 発明を実施するための最良の形態 】

【 0 0 3 7 】

以下、図面を参照して本発明の実施形態について詳細に説明する。

【 0 0 3 8 】

< 表示装置の全体概要 >

図 1 および図 1 A は、本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。本実施形態では、たとえば画素の表示素子（電気光学素子、発光素子）として有機 E L 素子を、能動素子としてポリシリコン薄膜トランジスタ（T F T ; Thin Film Transistor）をそれぞれ用い、薄膜トランジスタを形成した半導体基板上に有機 E L 素子を形成してなるアクティブマトリクス型有機 E L ディスプレイ（以下「有機 E L 表示装置」と称する）に適用した場合を例に説明する。

【 0 0 3 9 】

なお、以下においては、画素の表示素子として有機 E L 素子を例に具体的に説明するが、これは一例であって、対象となる表示素子は有機 E L 素子に限らない。一般的に電流駆動で発光する表示素子の全てに、後述する全ての実施形態が同様に適用できる。

【 0 0 4 0 】

図 1 に示す第 1 構成例は、減点検査や本実施形態特有の駆動を行なうための制御信号を生成する走査回路を有機 E L 表示装置 1 のパネル内に搭載した構成であり、図 1 A に示す第 2 構成例は、減点検査や本実施形態特有の駆動を行なうための制御信号を生成する走査回路を有機 E L 表示装置 1 の外部に用意する、いわゆる治具対応の構成である。

【 0 0 4 1 】

図 1 および図 1 A に示すように、有機 E L 表示装置 1 は、複数の表示素子としての有機 E L 素子（図示せず）を持った画素回路（画素とも称される）P が表示アスペクト比である縦横比が X : Y（たとえば 9 : 1 6）の有効映像領域を構成するように配置された表示パネル部 1 0 0 と、この表示パネル部 1 0 0 を駆動制御する種々のパルス信号を発するパネル制御部の一例である駆動信号生成部 2 0 0 と、映像信号処理部 3 0 0 を備えている。駆動信号生成部 2 0 0 と映像信号処理部 3 0 0 とは、1 チップの I C（Integrated Circuit ; 半導体集積回路）に内蔵されている。

【 0 0 4 2 】

製品形態としては、図示のように、表示パネル部 1 0 0、駆動信号生成部 2 0 0、および映像信号処理部 3 0 0 の全てを備えたモジュール（複合部品）形態の有機 E L 表示装置 1 として提供されることに限らず、たとえば、表示パネル部 1 0 0 のみで有機 E L 表示装置 1 として提供することも可能である。また、このような有機 E L 表示装置 1 は、半導体メモリやミニディスク（M D）やカセットテープなどの記録媒体を利用した携帯型の音楽プレイヤーやその他の電子機器の表示部に利用される。

【 0 0 4 3 】

表示パネル部 1 0 0 は、基板 1 0 1 の上に、画素回路 P が n 行 × m 列のマトリクス状に配列された画素アレイ部 1 0 2 と、画素回路 P を垂直方向に走査する垂直駆動部 1 0 3 と、画素回路 P を水平方向に走査する水平駆動部（水平セクタあるいはデータ線駆動部とも称される）1 0 6 と、外部接続用の端子部（パッド部）1 0 8 などが集積形成されている。すなわち、垂直駆動部 1 0 3 や水平駆動部 1 0 6 などの周辺駆動回路が、画素アレイ部 1 0 2 と同一の基板 1 0 1 上に形成された構成となっている。

10

20

30

40

50

【 0 0 4 4 】

垂直駆動部 1 0 3 としては、たとえば、書込走査部（ライトスキャナ W S ; Write Scan） 1 0 4 や電源供給能力を有する電源スキャナとして機能する駆動走査部（ドライブスキャナ D S ; Drive Scan） 1 0 5 を有する。

【 0 0 4 5 】

垂直駆動部 1 0 3 と水平駆動部 1 0 6 とで、信号電位の保持容量への書込みや、閾値補正動作や、移動度補正動作や、ブートストラップ動作を制御する制御部 1 0 9 が構成される。

【 0 0 4 6 】

図示した垂直駆動部 1 0 3 および対応する走査線の構成は、画素回路 P が後述する本実施形態の 2 T R 構成の場合に適合させて示したものであるが、画素回路 P の構成によっては、その他の走査部が設けられることもある。

【 0 0 4 7 】

画素アレイ部 1 0 2 は、一例として、図示する左右方向の一方側もしくは両側から書込走査部 1 0 4 および駆動走査部 1 0 5 で駆動され、かつ図示する上下方向の一方側もしくは両側から水平駆動部 1 0 6 で駆動されるようになっている。

【 0 0 4 8 】

端子部 1 0 8 には、有機 E L 表示装置 1 の外部に配された駆動信号生成部 2 0 0 から、種々のパルス信号が供給されるようになっている。また同様に、映像信号処理部 3 0 0 から映像信号 Vsig が供給されるようになっている。カラー表示対応の場合には、色別（本例では R（赤）、G（緑）、B（青）の 3 原色）の映像信号 Vsig_R、G、B が供給される。

【 0 0 4 9 】

一例としては、垂直駆動用のパルス信号として、垂直方向の書込み開始パルスの一例であるシフトスタートパルス SPDS、SPWS や垂直走査クロック CKDS、CKWS など必要なパルス信号が供給される。また、水平駆動用のパルス信号として、水平方向の書込み開始パルスの一例である水平スタートパルス SPH や水平走査クロック CKH など必要なパルス信号が供給される。

【 0 0 5 0 】

端子部 1 0 8 の各端子は、配線 1 9 9 を介して、垂直駆動部 1 0 3 や水平駆動部 1 0 6 に接続されるようになっている。たとえば、端子部 1 0 8 に供給された各パルスは、必要に応じて図示を割愛したレベルシフタ部で電圧レベルを内部的に調整した後、バッファを介して垂直駆動部 1 0 3 の各部や水平駆動部 1 0 6 に供給される。

【 0 0 5 1 】

画素アレイ部 1 0 2 は、図示を割愛するが（詳細は後述する）、表示素子としての有機 E L 素子に対して画素トランジスタが設けられた画素回路 P が行列状に 2 次元配置され、この画素配列に対して行ごとに走査線が配線されるとともに、列ごとに信号線が配線された構成となっている。

【 0 0 5 2 】

たとえば、画素アレイ部 1 0 2 には、垂直走査側の各走査線（書込走査線 1 0 4 WS および電源供給線 1 0 5 DSL）と水平走査側の走査線である映像信号線（データ線） 1 0 6 HS が形成されている。垂直走査と水平走査の各走査線の交差部分には図示を割愛した有機 E L 素子とこれを駆動する薄膜トランジスタ（TFT ; Thin Film Transistor）が形成される。有機 E L 素子と薄膜トランジスタの組み合わせで画素回路 P を構成する。

【 0 0 5 3 】

具体的には、マトリクス状に配列された各画素回路 P に対しては、書込走査部 1 0 4 によって書込駆動パルス WS で駆動される n 行分の書込走査線 1 0 4 WS_1 ~ 1 0 4 WS_n および駆動走査部 1 0 5 によって電源駆動パルス DSL で駆動される n 行分の電源供給線 1 0 5 DSL_1 ~ 1 0 5 DSL_n が画素行ごとに配線される。

【 0 0 5 4 】

10

20

30

40

50

書込走査部 104 および駆動走査部 105 は、駆動信号生成部 200 から供給される垂直駆動系のパルス信号に基づき、書込走査線 104 WS および電源供給線 105 DSL を介して各画素回路 P を順次選択する。水平駆動部 106 は、駆動信号生成部 200 から供給される水平駆動系のパルス信号に基づき、選択された画素回路 P に対し映像信号線 106 HS を介して映像信号 Vsig の内の所定電位をサンプリングして保持容量に書き込ませる。

【0055】

本実施形態の有機 EL 表示装置 1 においては、線順次駆動や面順次駆動あるいはその他の方式での駆動が可能になっており、たとえば、垂直駆動部 103 の書込走査部 104 および駆動走査部 105 は行単位で画素アレイ部 102 を走査するとともに、これに同期して水平駆動部 106 が、画像信号を、1 水平ライン分を同時に、画素アレイ部 102 に書き込む。

10

【0056】

水平駆動部 106 は、全列の映像信号線 106 HS 上に設けられた図示を割愛したスイッチを一斉にオンさせるドライバ回路を備えて構成され、映像信号処理部 300 から入力される画素信号を、垂直駆動部 103 によって選択された行の 1 ライン分の全ての画素回路 P に同時に書き込むべく、全列の映像信号線 106 HS 上に設けられた図示を割愛したスイッチを一斉にオンさせる。

【0057】

垂直駆動部 103 の各部は、論理ゲートの組合せ（ラッチも含む）によって構成され、画素アレイ部 102 の各画素回路 P を行単位で選択する。なお、図 1 では、画素アレイ部 102 の一方側にのみ垂直駆動部 103 を配置する構成を示しているが、画素アレイ部 102 を挟んで左右両側に垂直駆動部 103 を配置する構成を採ることも可能である。

20

【0058】

同様に、図 1 では、画素アレイ部 102 の一方側にのみ水平駆動部 106 を配置する構成を示しているが、画素アレイ部 102 を挟んで上下両側に水平駆動部 106 を配置する構成を採ることも可能である。

【0059】

ここで、本実施形態の有機 EL 表示装置 1 は、詳細は後述するが、画素回路 P の構成として、有機 EL 素子がダストなどの欠陥によって滅点（発光しない画素）となってしまった場合の対応を採る。これに対応して、有機 EL 表示装置 1 としては、滅点検査や本実施形態特有の駆動を行なうための制御信号を生成するための機構を備える。

30

【0060】

たとえば、図 1 に示す第 1 構成例では、滅点検査や本実施形態特有の駆動を行なうための制御信号を生成する制御信号生成部 323 を表示パネル部 100 に搭載している。制御信号生成部 323 には、制御信号 Tcnt_k 用のシフトスタートパルス SPTS や走査クロック CKTS などの必要なパルス信号が供給される。制御信号生成部 323 は、シフトスタートパルス SPTS や走査クロック CKTS などに基づき、各画素回路 P へ供給する制御信号 Tcnt_k を生成する。

【0061】

一方、図 1 A に示す第 2 構成例では、各画素回路 P へ供給する制御信号 Tcnt_k を表示パネル部 100 の外部から受け取る端子部 324 を有する。そして、装置外に検査治具として、制御信号生成部 323 と同様の機能を持つ制御信号生成装置 325 を用意する構成にしている。

40

【0062】

制御信号生成部 323 を表示パネル部 100 に備える第 1 構成例では、製造ライン上には制御信号生成装置 325 が不要であり、滅点素子の特定作業を有機 EL 表示装置 1 単独で行なうことができる利点がある。たとえば、滅点素子の特定作業は、表示パネル部 100 上の全ての画素回路 P について行なう必要があるため時間が掛るが概ね一定している。一方、滅点箇所のリペア作業は滅点数次第であり、たとえば数個であれば、滅点素子の特定作業に比べて遙かに短時間で済む。

50

【 0 0 6 3 】

こういった点においては、製造時のクリティカルパスを減点箇所のリペア工程に限定するべく、制御信号生成装置 3 2 5 を多数備える製造設備にすることが考えられる。その延長線として、有機 E L 表示装置 1 そのものに制御信号生成装置 3 2 5 と同機能の制御信号生成部 3 2 3 を備えるようにすることが考えられる。

【 0 0 6 4 】

一方、制御信号生成部 3 2 3 を有機 E L 表示装置 1 ごとに備えるのは、パネルコストがアップしてしまう難点がある。その対応として、有機 E L 表示装置 1 には端子部 3 2 4 を設けておき、制御信号生成装置 3 2 5 を製造ライン上に多数用意することが考えられる。他方、制御信号生成部 3 2 3 を有機 E L 表示装置 1 ごとに備えると、制御信号 Tcnt_k を制御することで、本実施形態特有の駆動を行なうことができる。

10

【 0 0 6 5 】

制御信号生成部 3 2 3 や制御信号生成装置 3 2 5 にて生成された制御信号 Tcnt_k 用の各画素回路 P に対する配線は、たとえば同一行（もしくは同一列）の全ての画素回路 P に対して共通に制御信号 Tcnt_k を供給する行走査線（もしくは列走査線）にしてもよい。あるいは、各画素回路 P の検査対象の有機 E L 素子を個別に選択するべく、行走査線と列走査線の双方を用意してもよい。制御信号生成部 3 2 3 を有機 E L 表示装置 1 ごとに備え、制御信号 Tcnt_k を制御することで本実施形態特有の駆動を行なう際には、どのような走査線の配線形態を採っているか次第で、適用可能な駆動方式が異なる。

【 0 0 6 6 】

20

< 画素回路 >

図 2 は、図 1 に示した有機 E L 表示装置 1 を構成する本実施形態の画素回路 P に対する第 1 比較例を示す図である。なお、表示パネル部 1 0 0 の基板 1 0 1 上において画素回路 P の周辺部に設けられた垂直駆動部 1 0 3 と水平駆動部 1 0 6 も合わせて示している。図 3 は、本実施形態の画素回路 P に対する第 2 比較例を示す図である。なお、表示パネル部 1 0 0 の基板 1 0 1 上において画素回路 P の周辺部に設けられた垂直駆動部 1 0 3 と水平駆動部 1 0 6 も合わせて示している。図 4 は有機 E L 素子や駆動トランジスタの動作点を説明する図である。図 4 A は、有機 E L 素子や駆動トランジスタの特性ばらつきが駆動電流 I_{ds} に与える影響を説明する図である。

【 0 0 6 7 】

30

図 5 は、本実施形態の画素回路 P に対する第 3 比較例を示す図である。なお、表示パネル部 1 0 0 の基板 1 0 1 上において画素回路 P の周辺部に設けられた垂直駆動部 1 0 3 と水平駆動部 1 0 6 も合わせて示している。後述する本実施形態の画素回路 P における E L 駆動回路は、第 3 比較例の画素回路 P における少なくとも保持容量 1 2 0 と駆動トランジスタ 1 2 1 を具備した E L 駆動回路をベースとする。そういった意味では、第 3 比較例の画素回路 P は、事実上、本実施形態の画素回路 P の E L 駆動回路と同様の回路構造を持つと言っても過言ではない。

【 0 0 6 8 】

< 比較例の画素回路：第 1 例 >

図 2 に示すように、第 1 比較例の画素回路 P は、基本的に p チャネル型の薄膜電界効果トランジスタ (T F T) でドライブトランジスタが構成されている点に特徴を有する。また、ドライブトランジスタの他に走査用に 2 つのトランジスタを使用した 3 T r 駆動の構成を採っている。

40

【 0 0 6 9 】

具体的には、第 1 比較例の画素回路 P は、 p チャネル型の駆動トランジスタ 1 2 1 、アクティブ L の駆動パルスが供給される p チャネル型の発光制御トランジスタ 1 2 2 、アクティブ H の駆動パルスが供給される n チャネル型のサンプリングトランジスタ 1 2 5 、電流が流れることで発光する電気光学素子（発光素子）の一例である有機 E L 素子 1 2 7 、および保持容量（画素容量とも称される） 1 2 0 を有する。なお、最も単純な回路として、発光制御トランジスタ 1 2 2 を取り外した 2 T r 駆動の構成を採ることもできる。この

50

場合、有機EL表示装置1としては駆動走査部105を取り外した構成を採る。

【0070】

駆動トランジスタ121は、制御入力端子であるゲート端に供給される電位に応じた駆動電流を有機EL素子127に供給するようになっている。一般に、有機EL素子127は整流性があるためダイオードの記号で表わしている。なお、有機EL素子127には、寄生容量C_{el}が存在する。図では、寄生容量C_{el}を有機EL素子127と並列に示す。

【0071】

サンプリングトランジスタ125は、駆動トランジスタ121のゲート端（制御入力端子）側に設けられたスイッチングトランジスタであり、また、発光制御トランジスタ122もスイッチングトランジスタである。なお、一般的には、サンプリングトランジスタ125はアクティブLの駆動パルスが供給されるpチャネル型に置き換えることもできる。発光制御トランジスタ122はアクティブHの駆動パルスが供給されるnチャネル型に置き換えることもできる。

【0072】

画素回路Pは、垂直走査系統の走査線（書込走査線104WSおよび電源供給線105DS）と水平走査系統の走査線である映像信号線106HSの交差部に配されている。書込走査部104からの書込走査線104WSは、サンプリングトランジスタ125のゲート端に接続され、駆動走査部105からの駆動走査線105DSは発光制御トランジスタ122のゲート端に接続されている。

【0073】

サンプリングトランジスタ125は、ソース端を信号入力端として映像信号線106HSに接続され、ドレイン端を信号出力端として駆動トランジスタ121のゲート端に接続され、その接続点と第2電源電位V_{c2}（たとえば正電源電圧、第1電源電位V_{c1}と同じでもよい）との間に保持容量120が設けられている。括弧書きで示すように、サンプリングトランジスタ125は、ソース端とドレイン端とを逆転させ、ドレイン端を信号入力端として映像信号線106HSに接続し、ソース端を信号出力端として駆動トランジスタ121のゲート端に接続することもできる。

【0074】

駆動トランジスタ121、発光制御トランジスタ122、および有機EL素子127は、第1電源電位V_{c1}（たとえば正電源電圧）と基準電位の一例である接地電位GNDの間で、この順に直列に接続されている。具体的には、駆動トランジスタ121は、ソース端が第1電源電位V_{c1}に接続され、ドレイン端が発光制御トランジスタ122のソース端に接続されている。発光制御トランジスタ122のドレイン端が、有機EL素子127のアノード端に接続され、有機EL素子127のカソード端が、全画素共通の配線（カソード共通配線127K）に接続されている。カソード共通配線127Kのカソード電位V_{cath}は、たとえば接地電位GNDとされる。

【0075】

図2に示した3Tr駆動や図示を割愛した2Tr駆動の何れにおいても、有機EL素子127は電流発光素子のため、有機EL素子127に流れる電流量をコントロールすることで発色の諧調を得る。このため、駆動トランジスタ121のゲート端への印加電圧を変化させ、保持容量120に保持されるゲート・ソース間電圧V_{gs}を変化させることで、有機EL素子127に流れる電流値をコントロールする。この際には、映像信号線106HSから供給される映像信号V_{sig}の電位（映像信号線電位）を信号電位とする。なお、階調を示す信号振幅はV_{in}とする。

【0076】

具体的には、まず書込走査部104からアクティブHの書込駆動パルスWSを供給して書込走査線104WSを選択状態とし、水平駆動部106から映像信号線106HSに信号電位を印加すると、nチャネル型のサンプリングトランジスタ125が導通して、信号電位が駆動トランジスタ121のゲート端の電位となり、信号振幅V_{in}に対応する情報が保持容量120に書き込まれる。

10

20

30

40

50

【 0 0 7 7 】

続いて、書込駆動パルスWSをインアクティブ（本例ではLレベル）にして書込走査線104WSを非選択状態とすると、映像信号線106HSと駆動トランジスタ121とは電氣的に切り離されるが、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は保持容量120によって、原理的には、安定に保持される。

【 0 0 7 8 】

続いて、駆動走査部105からアクティブLの走査駆動パルスDSを供給して駆動走査線105DSを選択状態にすると、pチャネル型の発光制御トランジスタ122が導通し、第1電源電位 V_{c1} から接地電位GNDに向かって駆動電流が駆動トランジスタ121、発光制御トランジスタ122、および有機EL素子127を流れる。

10

【 0 0 7 9 】

次に、走査駆動パルスDSをインアクティブ（本例ではHレベル）にして駆動走査線105DSを非選択状態とすると、発光制御トランジスタ122がオフし、駆動電流は流れなくなる。発光制御トランジスタ122は、1フィールド期間に占める有機EL素子127の発光時間（デューティ）を制御するために挿入されたものであり、先にも述べたことから推測されるように、画素回路Pとしては、当該発光制御トランジスタ122を備えていることは必須ではない。

【 0 0 8 0 】

駆動トランジスタ121および有機EL素子127に流れる電流は、保持容量120に保持されている駆動トランジスタ121のゲート・ソース間電圧 V_{gs} に応じた値となり、有機EL素子127はその電流値に応じた輝度で発光し続ける。

20

【 0 0 8 1 】

このように、書込走査線104WSを選択して映像信号線106HSに与えられた映像信号 V_{sig} を画素回路Pの内部に伝える動作を、「書込み」あるいは「サンプリング」と呼ぶ。一度信号の書込みを行えば、次に書き換えられるまでの間、有機EL素子127は一定の輝度で発光を続ける。

【 0 0 8 2 】

第1比較例の画素回路Pでは、駆動トランジスタ121のゲート端に供給する印加電圧を信号振幅 V_{in} に応じて変化させることで、EL有機EL素子127に流れる電流値を制御している。このとき、pチャネル型の駆動トランジスタ121のソース端は第1電源電位 V_{c1} に接続されており、この駆動トランジスタ121は常に飽和領域で動作している。

30

【 0 0 8 3 】

< 比較例の画素回路：第2例 >

次に、本実施形態の画素回路Pの特徴を説明する上での比較例として、図3に示す第2比較例の画素回路Pについて説明する。第2比較例の画素回路Pを画素アレイ部102に備える有機EL表示装置1を第2比較例の有機EL表示装置1と称する。

【 0 0 8 4 】

第2比較例（後述する本実施形態も同様）の画素回路Pは、基本的にnチャネル型の薄膜電界効果トランジスタでドライフトランジスタが構成されている点に特徴を有する。pチャネル型ではなく、nチャネル型で各トランジスタを構成することができれば、トランジスタ作成において従来のアモルファスシリコン（a-Si）プロセスを用いることが可能になる。これにより、トランジスタ基板の低コスト化が可能となり、このような構成の画素回路Pの開発が期待される。

40

【 0 0 8 5 】

第2比較例の画素回路Pは、基本的にnチャネル型の薄膜電界効果トランジスタでドライフトランジスタが構成されている点で後述する本実施形態と同じであるが、有機EL素子127や駆動トランジスタ121の特性変動（ばらつきや経時変化）による駆動電流 I_{ds} に与える影響を防ぐための駆動信号一定化回路が設けられていない。

【 0 0 8 6 】

具体的には、第2比較例の画素回路Pは、第1比較例の画素回路Pにおけるpチャネル

50

型の駆動トランジスタ 121 を単純に n チャンネル型の駆動トランジスタ 121 に置き換え、そのソース端側に発光制御トランジスタ 122 や有機 EL 素子 127 を配置したものである。なお、発光制御トランジスタ 122 も n チャンネル型に置き換えている。もちろん、最も単純な回路として、発光制御トランジスタ 122 を取り外した 2Tr 駆動の構成を採ることもできる。

【0087】

第 2 比較例の画素回路 P では、発光制御トランジスタを設けるか否かに関わらず、有機 EL 素子 127 を駆動するときには、駆動トランジスタ 121 のドレイン端側が第 1 電源電位 V_{c1} に接続され、ソース端が有機 EL 素子 127 のアノード端側に接続されることで、全体としてソースフォロワ回路を形成するようになっている。

10

【0088】

<電気光学素子の $I_{el} - V_{el}$ 特性との関係>

一般的に、図 4 に示すように、駆動トランジスタ 121 はドレイン・ソース間電圧に関わらず駆動電流 I_{ds} が一定となる飽和領域で駆動される。よって、飽和領域で動作するトランジスタのドレイン端・ソース間に流れる電流を I_{ds} 、移動度を μ 、チャンネル幅（ゲート幅）を W 、チャンネル長（ゲート長）を L 、ゲート容量（単位面積当たりのゲート酸化膜容量）を C_{ox} 、トランジスタの閾値電圧を V_{th} とすると、駆動トランジスタ 121 は下記の式（1）に示した値を持つ定電流源となっている。なお、“ $\wedge$ ” はべき乗を示す。式（1）から明らかなように、飽和領域ではトランジスタのドレイン電流 I_{ds} はゲート・ソース間電圧 V_{gs} によって制御され定電流源として動作する。

20

【0089】

【数 1】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \cdots (1)$$

【0090】

ところが、一般的に有機 EL 素子を始めとする電流駆動型の発光素子の $I - V$ 特性は、図 4 A (1) に示すように時間が経過すると変化する。図 4 A (1) に示す有機 EL 素子で代表される電流駆動型の発光素子の電流 - 電圧（ $I_{el} - V_{el}$ ）特性において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。

30

【0091】

たとえば、発光素子の一例である有機 EL 素子 127 に発光電流 I_{el} が流れるとき、そのアノード・カソード間電圧 V_{el} は一意的に決定される。ところが、図 4 A (1) に示すように、発光期間中では、有機 EL 素子 127 のアノード端は駆動トランジスタ 121 のドレイン・ソース間電流 I_{ds} （＝駆動電流 I_{ds} ）で決定される発光電流 I_{el} が流れ、それによって有機 EL 素子 127 のアノード・カソード間電圧 V_{el} 分だけ上昇する。

【0092】

図 2 に示した第 1 比較例の画素回路 P は、この有機 EL 素子 127 のアノード・カソード間電圧 V_{el} 分の上昇の影響は駆動トランジスタ 121 のドレイン端側に現れるが、駆動トランジスタ 121 が飽和領域で動作する定電流駆動であるため、有機 EL 素子 127 には定電流 I_{ds} が流れ続け、有機 EL 素子 127 の $I_{el} - V_{el}$ 特性が変化してもその発光輝度が経時変化することはない。

40

【0093】

駆動トランジスタ 121 と発光制御トランジスタ 122 と保持容量 120 とサンプリングトランジスタ 125 とを備え、図 2 に示した接続態様とされた画素回路 P の構成にて、電気光学素子の一例である有機 EL 素子 127 の電流 - 電圧特性の変化を補正して駆動電流を一定に維持する駆動信号一定化回路が構成されるようになっているのである。

【0094】

つまり、画素回路 P を映像信号 V_{sig} で駆動するとき、p チャンネル型の駆動トランジスタ 121 のソース端は第 1 電源電位 V_{c1} に接続されており、常に飽和領域で動作するよう

50

に設計されているので、式(1)に示した値を持つ定電流源となる。

【0095】

また、第1比較例の画素回路Pにおいては、有機EL素子127の $I_{el} - V_{el}$ 特性の経時変化(図4A(1))とともに、駆動トランジスタ121のドレイン端の電圧が変化してゆくが、駆動トランジスタ121は、保持容量120のブートストラップ機能によってゲート・ソース間電圧 V_{gs} が原理的には一定に保持されるため、駆動トランジスタ121は定電流源として動作し、その結果、有機EL素子127には一定量の電流が流れ、有機EL素子127を一定の輝度で発光させることができ、発光輝度は変化しない。

【0096】

第2比較例の画素回路Pでも、駆動トランジスタ121のソース端の電位(ソース電位 V_s)は、駆動トランジスタ121と有機EL素子127との動作点で決まるし、駆動トランジスタ121は飽和領域で駆動されるので、動作点のソース電圧に対応したゲート・ソース間電圧 V_{gs} に関し、前述の式(1)に規定された電流値の駆動電流 I_{ds} を流す。

【0097】

ところが、第1比較例の画素回路Pのpチャネル型の駆動トランジスタ121をnチャネル型に変更した単純な回路(第2比較例の画素回路P)では、ソース端が有機EL素子127側に接続されてしまう。その結果、前述の図4A(1)に示したように経時変化する有機EL素子127の $I_{el} - V_{el}$ 特性により、同じ発光電流 I_{el} に対するアノード・カソード間電圧 V_{el} が V_{el1} から V_{el2} へと変化することで、駆動トランジスタ121の動作点が変わってしまい、同じゲート電位 V_g を印加しても駆動トランジスタ121のソース電位 V_s は変化してしまう。これにより、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は変化してしまう。特性式(1)から明らかなように、ゲート・ソース間電圧 V_{gs} が変動すると、たとえゲート電位 V_g が一定であっても駆動電流 I_{ds} が変動し、同時に有機EL素子127に流れる電流値(発光電流 I_{el})が変化し、発光輝度は変化してしまうことになる。

【0098】

このように第2比較例の画素回路Pでは、発光素子の一例である有機EL素子127の $I_{el} - V_{el}$ 特性の経時変動による有機EL素子127のアノード電位変動が、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} の変動となって現れ、ドレイン電流(駆動電流 I_{ds})の変動を引き起こす。この原因による駆動電流 I_{ds} の変動は画素回路Pごとの発光輝度のばらつきや経時変動となって現れ、画質の劣化が起きる。

【0099】

これに対して、詳細は後述するが、nチャネル型の駆動トランジスタ121を使用する場合においても、駆動トランジスタ121のソース端の電位 V_s の変動にゲート端の電位 V_g が連動するようにするブートストラップ機能を実現する回路構成および駆動タイミングとすることで、有機EL素子127の特性の経時変動による有機EL素子127のアノード電位変動(つまり駆動トランジスタ121のソース電位変動)があっても、その変動を相殺するようにゲート電位 V_g を変動させることができる。これにより、画面輝度の均一性(ユニフォーミティ)を確保できる。ブートストラップ機能により、有機EL素子を代表とする電流駆動型の発光素子の経時変動補正能力を向上させることができる。

【0100】

もちろん、このブートストラップ機能は、発光開始時点で、有機EL素子127に発光電流 I_{el} が流れ始め、それによってアノード・カソード間電圧 V_{el} が安定となるまで上昇していく過程で、そのアノード・カソード間電圧 V_{el} の変動に伴って駆動トランジスタ121のソース電位 V_s が変動する際にも機能する。

【0101】

< 駆動トランジスタの $V_{gs} - I_{ds}$ 特性との関係 >

また、第1および第2比較例では、駆動トランジスタ121の特性については特に問題視していなかったが、画素ごとに駆動トランジスタ121の特性が異なると、その影響が駆動トランジスタ121に流れる駆動電流 I_{ds} に影響を及ぼす。一例としては、式(1)

10

20

30

40

50

から分かるように、移動度 μ や閾値電圧 V_{th} が画素によってばらついた場合や経時的に変化した場合、ゲート・ソース間電圧 V_{gs} が同じであっても、駆動トランジスタ 121 に流れる駆動電流 I_{ds} にばらつきや経時変化が生じ、有機 EL 素子 127 の発光輝度も画素ごとに変化してしまうことになる。

【0102】

たとえば、駆動トランジスタ 121 の製造プロセスのばらつきにより、画素回路 P ごとに閾値電圧 V_{th} や移動度 μ などの特性変動がある。駆動トランジスタ 121 を飽和領域で駆動する場合においても、この特性変動により、駆動トランジスタ 121 に同一のゲート電位を与えても、画素回路 P ごとにドレイン電流（駆動電流 I_{ds} ）が変動し、発光輝度のばらつきになって現れる。

10

【0103】

前述のように、駆動トランジスタ 121 が飽和領域で動作しているときのドレイン電流 I_{ds} は、特性式（1）で表される。駆動トランジスタ 121 の閾値電圧ばらつきに着目した場合、特性式（1）から明らかなように、閾値電圧 V_{th} が変動すると、ゲート・ソース間電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が変動する。つまり、閾値電圧 V_{th} のばらつきに対して何ら対策を施さないと、閾値電圧が V_{th1} のとき V_{gs} に対応する駆動電流が I_{ds1} となるのに対して、閾値電圧が V_{th2} のときの同じゲート電圧 V_{gs} に対応する駆動電流 I_{ds2} は I_{ds1} と異なってしまう。

【0104】

また、駆動トランジスタ 121 の移動度ばらつきに着目した場合、特性式（1）から明らかなように、移動度 μ が変動すると、ゲート・ソース間電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が変動する。つまり、移動度 μ のばらつきに対して何ら対策を施さないと、移動度が μ_1 のときゲート・ソース間電圧 V_{gs} に対応する駆動電流が I_{ds1} となるのに対して、移動度が μ_2 のときの同じゲート・ソース間電圧 V_{gs} に対応する駆動電流 I_{ds2} は I_{ds1} と異なってしまう。

20

【0105】

このように、閾値電圧 V_{th} や移動度 μ の違いで $V_{gs} - I_{ds}$ 特性に大きな違いが出てしまうと、同じ信号振幅 V_{in} を与えても、駆動電流 I_{ds} すなわち発光輝度が異なってしまう、画面輝度の均一性が得られない。これに対して、閾値補正機能および移動度補正機能を実現する駆動タイミング（詳細は後述する）とすることで、それらの変動の影響を抑制でき、画面輝度の均一性を確保できる。

30

【0106】

本実施形態で採用する閾値補正動作および移動度補正動作では、書込みゲインが 1（理想値）であると仮定した場合、発光時のゲート・ソース間電圧 V_{gs} が “ $V_{in} + V_{th} - \Delta V$ ” で表されるようにすることで、ドレイン・ソース間電流 I_{ds} が、閾値電圧 V_{th} のばらつきや変動に依存しないようにするとともに、移動度 μ のばらつきや変動に依存しないようにする。結果として、閾値電圧 V_{th} や移動度 μ が製造プロセスや経時により変動しても、駆動電流 I_{ds} は変動せず、有機 EL 素子 127 の発光輝度も変動しない。移動度補正時には、大きな移動度 μ_1 に対しては移動度補正パラメータ ΔV_1 が大きくなるようにする一方、小さい移動度 μ_2 に対しては移動度補正パラメータ ΔV_2 も小さくなるように負帰還をかけることになる。こう言った意味で、移動度補正パラメータ ΔV を負帰還量 ΔV とも称する。

40

【0107】

< 比較例の画素回路：第 3 例 >

図 3 に示す第 2 比較例の画素回路 P における有機 EL 素子 127 の経時変化による駆動電流変動を防ぐ回路（ブートストラップ回路）を搭載し、また駆動トランジスタ 121 の特性変動（閾値電圧ばらつきや移動度ばらつき）による駆動電流変動を防ぐ駆動方式を採用したのが本実施形態の画素回路 P にてベースとする図 5 に示す第 3 比較例の画素回路 P である。第 3 比較例の画素回路 P を画素アレイ部 102 に備える有機 EL 表示装置 1 を第 3 比較例の有機 EL 表示装置 1 と称する。

50

【0108】

第3比較例の画素回路Pは、第2比較例の画素回路Pと同様に、 n チャネル型の駆動トランジスタ121を使用する。加えて、有機EL素子の経時変化による当該有機EL素子への駆動電流 I_{ds} の変動を抑制するための回路、すなわち電気光学素子の一例である有機EL素子の電流-電圧特性の変化を補正して駆動電流 I_{ds} を一定に維持する駆動信号一定化回路を備えた点に特徴を有する。さらに、有機EL素子の電流-電圧特性に経時変化があった場合でも駆動電流を一定にする機能を備えた点に特徴を有する。

【0109】

すなわち、駆動トランジスタ121の他に走査用に1つのスイッチングトランジスタ(サンプリングトランジスタ125)を使用する2TR駆動の構成を採るとともに、各スイッチングトランジスタを制御する電源駆動パルスDSLおよび書込駆動パルスWSのオン/オフタイミングの設定により、有機EL素子127の経時変化や駆動トランジスタ121の特性変動(たとえば閾値電圧や移動度などのばらつきや変動)による駆動電流 I_{ds} に与える影響を防ぐ点に特徴を有する。2TR駆動の構成であり、素子数や配線数が少ないため、高精細化が可能である。

【0110】

図3に示した第2比較例に対しての構成上の大きな違いは、保持容量120の接続態様を変形して、有機EL素子127の経時変化による駆動電流変動を防ぐ回路として、駆動信号一定化回路の一例であるブートストラップ回路を構成する点にある。駆動トランジスタ121の特性変動(たとえば閾値電圧や移動度などのばらつきや変動)による駆動電流 I_{ds} に与える影響を抑制する方法としては、各トランジスタ121, 125の駆動タイミングを工夫することで対処する。

【0111】

具体的には、第3比較例の画素回路Pは、保持容量120、 n チャネル型の駆動トランジスタ121、およびアクティブH(ハイ)の書込駆動パルスWSが供給される n チャネル型のサンプリングトランジスタ125、電流が流れることで発光する電気光学素子(発光素子)の一例である有機EL素子127を有する。

【0112】

駆動トランジスタ121のゲート端(ノードND122)とソース端との間に保持容量120が接続され、駆動トランジスタ121のソース端が直接に有機EL素子127のアノード端に接続されている。保持容量120は、ブートストラップ容量としても機能するようになっている。有機EL素子127のカソード端は、第1比較例や第2比較例と同様に、全画素共通のカソード共通配線127Kに接続され、カソード電位 V_{cath} (たとえば接地電位GND)が与えられる。

【0113】

駆動トランジスタ121のドレイン端は、電源スキャナとして機能する駆動走査部105からの電源供給線105DSLに接続されている。電源供給線105DSLは、この電源供給線105DSLそのものが、駆動トランジスタ121に対しての電源供給能力を備える点に特徴を有する。

【0114】

具体的には、駆動走査部105は、駆動トランジスタ121のドレイン端に対して、それぞれ電源電圧に相当する高電圧側の第1電位 V_{cc} と低電圧側の第2電位 V_{ss} とを切り替えて供給する電源電圧切替回路を具備している。

【0115】

第2電位 V_{ss} としては、映像信号線106HSにおける映像信号 V_{sig} のオフセット電位 V_{ofs} (基準電位 V_0 とも称する)より十分低い電位とする。具体的には、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} (ゲート電位 V_g とソース電位 V_s の差)が駆動トランジスタ121の閾値電圧 V_{th} より大きくなるように、電源供給線105DSLの低電位側の第2電位 V_{ss} を設定する。なお、オフセット電位 V_{ofs} は、閾値補正動作に先立つ初期化動作に利用するとともに映像信号線106HSを予めプリチャージにしておくために

10

20

30

40

50

も利用する。

【0116】

サンプリングトランジスタ125は、ゲート端が書込走査部104からの書込走査線104WSに接続され、ドレイン端が映像信号線106HSに接続され、ソース端が駆動トランジスタ121のゲート端（ノードND122）に接続されている。そのゲート端には、書込走査部104からアクティブHの書込駆動パルスWSが供給される。

【0117】

サンプリングトランジスタ125は、ソース端とドレイン端とを逆転させた接続態様とすることもできる。また、サンプリングトランジスタ125としては、ディプレッション型およびエンハンスメント型の何れをも使用できる。

10

【0118】

<画素回路の動作：第3比較例>

図6は、図5に示した第3比較例の画素回路Pに関する第3比較例（実質的に本実施形態と同様）の駆動タイミングの基本例を説明するタイミングチャートであり、線順次駆動の場合で示している。図6においては、時間軸を共通にして、書込走査線104WSの電位変化、電源供給線105DSLの電位変化、および映像信号線106HSの電位変化を表してある。また、これらの電位変化と並行に、1行分（図では1行目）について駆動トランジスタ121のゲート電位 V_g およびソース電位 V_s の変化も表してある。

【0119】

映像信号 V_{sig} を線順次駆動で画素回路Pに供給するようにしており、書込駆動パルスWS、電源駆動パルスDSLは、1行分を1組として、各信号のタイミング（特に位相関係）が行単位で独立に制御され、行が代わると1H（Hは水平走査期間）分シフトされる。

20

【0120】

以下では、説明や理解を容易にするため、特段の断りのない限り、書込みゲインが1（理想値）であると仮定して、保持容量120に信号振幅 V_{in} の情報を、書き込む、保持する、あるいはサンプリングするなどと簡潔に記して説明する。書込みゲインが1未満の場合、保持容量120には信号振幅 V_{in} の大きさそのものではなく、信号振幅 V_{in} の大きさに対応するゲイン倍された情報が保持されることになる。

【0121】

因みに、信号振幅 V_{in} に対応する保持容量120に書き込まれる情報の大きさの割合を、書込みゲイン G_{input} と称する。ここで、書込みゲイン G_{input} は、具体的には、電気回路的に保持容量120と並列に配置される寄生容量を含めた全容量 C_1 と、電気回路的に保持容量120と直列に配置される全容量 C_2 との容量直列回路において、信号振幅 V_{in} を容量直列回路に供給したときに容量 C_1 に配分される電荷量に関係する。式で表せば、 $g = C_1 / (C_1 + C_2)$ とすると、書込みゲイン $G_{input} = C_2 / (C_1 + C_2) = 1 - C_1 / (C_1 + C_2) = 1 - g$ となる。以下の説明において、“ g ”が登場する記載は書込みゲインを考慮したものである。

30

【0122】

また、説明や理解を容易にするため、特段の断りのない限り、ブートストラップゲインが1（理想値）であると仮定して簡潔に記して説明する。因みに、駆動トランジスタ121のゲート・ソース間に保持容量120が設けられている場合に、ソース電位 V_s の上昇に対するゲート電位 V_g の上昇率をブートストラップゲイン（ブートストラップ動作能力） G_{bst} と称する。ここで、ブートストラップゲイン G_{bst} は、具体的には、保持容量120の容量値 C_s 、駆動トランジスタ121のゲート・ソース間に形成される寄生容量 C_{121gs} の容量値 C_{gs} 、ゲート・ドレイン間に形成される寄生容量 C_{121gd} の容量値 C_{gd} 、およびサンプリングトランジスタ125のゲート・ソース間に形成される寄生容量 C_{125gs} の容量値 C_{ws} に関係する。式で表せば、ブートストラップゲイン $G_{bst} = (C_s + C_{gs}) / (C_s + C_{gs} + C_{gd} + C_{ws})$ となる。

40

【0123】

また、第3比較例の駆動タイミングでは、映像信号 V_{sig} が非有効期間であるオフセッ

50

ト電位 V_{ofs} にある期間を 1 水平期間の前半部とし、有効期間である信号電位 ($V_{ofs} + V_{in}$) にある期間を 1 水平期間の後半部とする。また、映像信号 V_{sig} の有効期間と非有効期間を合わせた 1 水平期間ごとに、閾値補正動作を複数回 (図では 3 回) に亘って繰り返すようにする。その各回の映像信号 V_{sig} の有効期間と非有効期間の切替タイミング (t_{13V} , t_{15V})、および書込駆動パルス WS のアクティブとインアクティブの切替タイミング (t_{13W} , t_{15W}) については、そのタイミングに、各回を “_” なしの参照子で示すことで区別する。

【0124】

第 3 比較例では、1 水平期間を処理サイクルとして、閾値補正動作を複数回に亘って繰り返すようにしているが、この繰り返し動作は必須ではなく、1 水平期間を処理サイクルとして、1 回のみの閾値補正動作を実行するようにしてもよい。

10

【0125】

1 水平期間が閾値補正動作の処理サイクルとなるのは、行ごとに、サンプリングトランジスタ 125 が信号振幅 V_{in} の情報を保持容量 120 にサンプリングする前に、閾値補正動作に先立って、電源供給線 105 DSL の電位を第 2 電位 V_{ss} にセットし、また駆動トランジスタ 121 のゲートをオフセット電位 V_{ofs} にセットし、さらにソース電位を第 2 電位 V_{ss} にセットする初期化動作を経た後、電源供給線 105 DSL の電位が第 1 電位 V_{cc} にある状態であつ映像信号線 106 HS がオフセット電位 V_{ofs} にある時間帯でサンプリングトランジスタ 125 を導通させて駆動トランジスタ 121 の閾値電圧 V_{th} に対応する電圧を保持容量 120 に保持させようとする閾値補正動作を行なうからである。

20

【0126】

必然的に、閾値補正期間は、1 水平期間よりも短くなってしまふ。したがって、保持容量 120 の容量 C_s や第 2 電位 V_{ss} の大きさ関係やその他の要因で、この短い 1 回分の閾値補正動作期間では、閾値電圧 V_{th} に対応する正確な電圧を保持容量 120 に保持仕切れないケースも起こり得る。第 3 比較例において、閾値補正動作を複数回実行するのは、この対処のためである。すなわち、信号振幅 V_{in} の情報の保持容量 120 へのサンプリング (信号書込み) に先行する複数の水平周期で、閾値補正動作を繰り返し実行することで、確実に駆動トランジスタ 121 の閾値電圧 V_{th} に相当する電圧を保持容量 120 に保持させるのである。

【0127】

30

まず、有機 EL 素子 127 の発光期間 B では、電源供給線 105 DSL が第 1 電位 V_{cc} であり、サンプリングトランジスタ 125 がオフした状態である。このとき、駆動トランジスタ 121 は飽和領域で動作するように設定されているため、有機 EL 素子 127 に流れる駆動電流 I_{ds} は駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} に応じて、式 (1) に示される値をとる。

【0128】

次に、非発光期間に入ると、先ず放電期間 C では、電源供給線 105 DSL を第 2 電位 V_{ss} に切り替える。このとき、第 2 電位 V_{ss} が有機 EL 素子 127 の閾値電圧 V_{thEL} とカソード電位 V_{cath} の和よりも小さいとき、つまり “ $V_{ss} < V_{thEL} + V_{cath}$ ” であれば、有機 EL 素子 127 は消光し、電源供給線 105 DSL が駆動トランジスタ 121 のソース側となる。このとき、有機 EL 素子 127 のアノードは第 2 電位 V_{ss} に充電される。

40

【0129】

さらに、初期化期間 D では、映像信号線 106 HS がオフセット電位 V_{ofs} となったときにサンプリングトランジスタ 125 をオンして駆動トランジスタ 121 のゲート電位をオフセット電位 V_{ofs} とする。このとき、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は “ $V_{ofs} - V_{ss}$ ” という値をとる。この “ $V_{ofs} - V_{ss}$ ” が駆動トランジスタ 121 の閾値電圧 V_{th} よりも大きくないと閾値補正動作を行なうことができないために、 “ $V_{ofs} - V_{ss} > V_{th}$ ” とする必要がある。

【0130】

この後、第 1 閾値補正期間 E に入ると、電源供給線 105 DSL を再び第 1 電位 V_{cc} に切

50

り替える。電源供給線 105 DSL（つまり駆動トランジスタ 121 への電源電圧）を第 1 電位 V_{cc} とすることで、有機 EL 素子 127 のアノードが駆動トランジスタ 121 のソースとなり駆動トランジスタ 121 から駆動電流 I_{ds} が流れる。有機 EL 素子 127 の等価回路はダイオードと容量で表されるため、有機 EL 素子 127 のカソード電位 V_{cath} に対するアノード電位を V_{el} としたとき、“ $V_{el} = V_{cath} + V_{thEL}$ ” である限り、換言すれば、有機 EL 素子 127 のリーク電流が駆動トランジスタ 121 に流れる電流よりもかなり小さい限り、駆動トランジスタ 121 の駆動電流 I_{ds} は保持容量 120 と有機 EL 素子 127 の寄生容量 C_{el} を充電するために使われる。このとき、有機 EL 素子 127 のアノード電位 V_{el} は時間とともに上昇してゆく。

【0131】

一定時間経過後、サンプリングトランジスタ 125 をオフする。このとき、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th} よりも大きいと（つまり閾値補正が完了していないと）、駆動トランジスタ 121 の駆動電流 I_{ds} は保持容量 120 を受電するように流れ続け、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は上昇してゆく。このとき、有機 EL 素子 127 には逆バイアスがかかっているため、有機 EL 素子 127 が発光することはない。

【0132】

さらに第 2 閾値補正期間 G に入ると、再び映像信号線 106 HS がオフセット電位 V_{ofs} となったときにサンプリングトランジスタ 125 をオンして駆動トランジスタ 121 のゲート電位をオフセット電位 V_{ofs} として、再度閾値補正動作を開始する。この動作を繰り返すことで、最終的に、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は閾値電圧 V_{th} という値をとる。このとき “ $V_{el} = V_{ofs} - V_{th} - V_{cath} + V_{thEL}$ ” となっている。

【0133】

閾値補正動作終了後（本例では第 3 閾値補正期間 I の後）、サンプリングトランジスタ 125 をオフして書込み & 移動度補正準備期間 J に入る。映像信号線 106 HS が信号電位（ $V_{ofs} + V_{in}$ ）となったときに、サンプリングトランジスタ 125 を再度オンしてサンプリング期間 & 移動度補正期間 K に入る。信号振幅 V_{in} は階調に応じた値である。サンプリングトランジスタ 125 のゲート電位はサンプリングトランジスタ 125 をオンしているために信号電位（ $V_{ofs} + V_{in}$ ）となるが、駆動トランジスタ 121 のドレイン端は第 1 電位 V_{cc} であり駆動電流 I_{ds} が流れるためソース電位 V_s は時間とともに上昇してゆく。図では、この上昇分を ΔV で示している。

【0134】

このとき、ソース電圧 V_s が有機 EL 素子 127 の閾値電圧 V_{thEL} とカソード電位 V_{cath} の和を越えなければ、換言すると、有機 EL 素子 127 のリーク電流が駆動トランジスタ 121 に流れる電流よりもかなり小さければ、駆動トランジスタ 121 の駆動電流 I_{ds} は保持容量 120 と有機 EL 素子 127 の寄生容量と C_{el} を充電するのに使用される。

【0135】

この時点では、駆動トランジスタ 121 の閾値補正動作は完了しているため、駆動トランジスタ 121 が流す電流は移動度 μ を反映したものとなる。具体的には、移動度 μ が大きいと、このときの電流量が大きく、ソースの上昇も早い。逆に移動度 μ が小さいと、電流量が小さく、ソースの上昇は遅くなる。これにより、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は移動度 μ を反映して小さくなり、一定時間経過後に完全に移動度 μ を補正するゲート・ソース間電圧 V_{gs} となる。

【0136】

この後には、発光期間 L に入り、サンプリングトランジスタ 125 をオフして書込みを終了し、有機 EL 素子 127 を発光させる。保持容量 120 によるブートストラップ効果により、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は一定であるので、駆動トランジスタ 121 は一定電流（駆動電流 I_{ds} ）を有機 EL 素子 127 に流し、有機 EL 素子 127 のアノード電位 V_{el} は有機 EL 素子 127 に駆動電流 I_{ds} という電流が流れる電圧 V_x まで上昇し、有機 EL 素子 127 は発光する。

10

20

30

40

50

【 0 1 3 7 】

第3比較例の画素回路Pにおいても、有機EL素子127は発光時間が長くなるとそのI-V特性は変化してしまう。そのため、ノードND121の電位（つまり駆動トランジスタ121のソース電位 V_s ）も変化する。しかしながら、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は保持容量120によるブートストラップ効果で一定値に保たれているので、有機EL素子127に流れる電流は変化しない。よって、有機EL素子127のI-V特性が劣化しても、有機EL素子127には一定電流（駆動電流 I_{ds} ）が常に流れ続け、有機EL素子127の輝度が変化することはない。

【 0 1 3 8 】

ここで、駆動電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、先のトランジスタ特性を表した式（1）の V_{gs} に“ $V_{in} - \Delta V + V_{th}$ ”を代入することで、式（2-1）のように表すことができる。因みに、書込みゲインを考慮したときには、式（1）の V_{gs} に“ $(1 - g)V_{in} - \Delta V + V_{th}$ ”を代入することで、式（2-2）のように表すことができる。式（2-1）や式（2-2）（纏めて式（2）と称する）において、 $k = (1/2)(W/L)C_{ox}$ である。

10

【 0 1 3 9 】

【 数 2 】

$$\left. \begin{aligned} I_{ds} &= k\mu (V_{gs} - V_{th})^2 = k\mu (V_{in} - \Delta V)^2 \cdots (2-1) \\ I_{ds} &= k\mu (V_{gs} - V_{th})^2 = k\mu ((1-g)V_{in} - \Delta V)^2 \cdots (2-2) \end{aligned} \right\} \cdots (2) \quad 20$$

【 0 1 4 0 】

この式（2）から、閾値電圧 V_{th} の項がキャンセルされており、有機EL素子127に供給される駆動電流 I_{ds} は駆動トランジスタ121の閾値電圧 V_{th} に依存しないことが分かる。基本的に駆動電流 I_{ds} は信号振幅 V_{in} （詳しくは信号振幅 V_{in} に対応して保持容量120に保持されるサンプリング電圧 $= V_{gs}$ ）によって決まる。換言すると、有機EL素子127は信号振幅 V_{in} に応じた輝度で発光することになる。

【 0 1 4 1 】

その際、保持容量120に保持される情報はソース電位 V_s の上昇分 ΔV で補正されている。上昇分 ΔV はちょうど式（2）の係数部に位置する移動度 μ の効果を打ち消すように働く。こう言った意味で、上昇分 ΔV は、移動度補正パラメータ ΔV や負帰還量 ΔV とも称する。

30

【 0 1 4 2 】

有機EL素子127に流れる駆動電流 I_{ds} は、駆動トランジスタ121の閾値電圧 V_{th} や移動度 μ の変動が相殺され、実質的に信号振幅 V_{in} のみに依存することになる。駆動電流 I_{ds} は閾値電圧 V_{th} や移動度 μ に依存しないので、閾値電圧 V_{th} や移動度 μ が製造プロセスによりばらついていたり経時変化があったりしても、ドレイン・ソース間の駆動電流 I_{ds} は変動せず、有機EL素子127の発光輝度も変動しない。

【 0 1 4 3 】

また、nチャネル型の駆動トランジスタ121を使用する場合においても、駆動トランジスタ121のソース端の電位 V_s の変動にゲート端の電位 V_g が連動するようにするブートストラップ機能を実現する回路構成および駆動タイミングとすることで、有機EL素子127の特性の経時変動による有機EL素子127のアノード電位変動（つまり駆動トランジスタ121のソース電位変動）があっても、その変動を相殺するようにゲート電位 V_g を変動させることができる。

40

【 0 1 4 4 】

これにより、有機EL素子127の特性の経時変化の影響を受けず、画面輝度の均一性を確保できる。駆動トランジスタ121のゲート・ソース間の保持容量120によるブートストラップ機能により、有機EL素子を代表とする電流駆動型の発光素子の経時変動補

50

正能力を向上させることができるのである。もちろん、ブートストラップ機能は、発光開始時点で、有機EL素子127に発光電流 I_{el} が流れ始め、それによってアノード・カソード間電圧 V_{el} が安定となるまで上昇していく過程で、そのアノード・カソード間電圧 V_{el} の変動に伴って駆動トランジスタ121のソース電位 V_s が変動する際にも機能する。

【0145】

このように、第3比較例の画素回路P（事実上、後述する本実施形態の画素回路Pも同様）およびそれを駆動する制御部109による駆動タイミングによれば、駆動トランジスタ121や有機EL素子127の特性変動（ばらつきや経時変動）があった場合でも、それらの変動分を補正することで、表示画面上にはその影響が現われず、輝度変化のない高品質な画像表示が可能になる。

【0146】

しかしながら、画素アレイ部102における各有機EL素子127に欠陥があると、その部分が発光しない点欠陥として視認され、表示品質を損ねることになり、問題となる難点がある。以下、この問題点とその改善手法について、具体的に説明する。

【0147】

<<画素欠陥と対策手法の比較例について>>

図7～図8Aは、画素アレイ部102の画素回路Pにおける点欠陥を説明する図である。ここで、図7は、滅点発生時の有機EL素子127の等価回路を説明する図である。図7Aは、半導体基板上における有機EL素子127の配置関係を説明する図である。詳しくは、図7Aは、一般的な有機EL表示装置における1画素分の層構造の概略を示した図であって、図7A(1)は1画素分の平面状の模式図（電極に着目した平面透視図）であり、図7A(2)は断面の模式図である。

【0148】

図8および図8Aは、滅点素子対策機能を備えた第4比較例の画素回路Pを説明する図である。ここで、図8(1)は、第4比較例（その1）の画素回路Pを示す図であり、図8(2)は、第4比較例（その1）の画素回路Pの半導体基板上における有機EL素子127の配置関係を説明する1画素分の平面図である。図8Aは、第4比較例の仕組みを一般化して示したものであり、1画素をN個の分割画素に分けた場合での第4比較例（その2）の画素回路Pを示す図である。

【0149】

図5に示した第3比較例の画素回路Pにおいて、有機EL素子127がダストなどの欠陥によって滅点（発光しない画素）となってしまった場合を考える。有機EL素子127のアノードとカソードが開放となって滅点（以下オープン滅点とも称する）となる場合には、有機EL素子127の等価回路は図示を割愛するが、正常な有機EL素子127と直列に超高抵抗値の抵抗素子が存在する状態と考えてよく、事実上、駆動トランジスタ121からの駆動電流 I_{ds} が有機EL素子127に流れず有機EL素子127の発光が無い状態と考えてよい。

【0150】

一方、有機EL素子127のアノードとカソードが短絡となって滅点（以下ショート滅点とも称する）となる場合には、有機EL素子127の等価回路は、図7に示すように、正常な有機EL素子127に並列に抵抗素子127Rが存在する状態と考えてよい。抵抗素子127Rは、低抵抗値と考えてよく、駆動トランジスタ121からの駆動電流 I_{ds} が有機EL素子127よりも抵抗素子127R側により多く流れることで有機EL素子127の発光が無い状態となると考えてよい。

【0151】

図7A(1)に示す1画素分の平面状の模式図のように、基板101上に下部電極（たとえばアノード電極）504が配置され、その下部電極504上に有機EL素子127の開口部（以下EL開口部と称する）127aが形成されている。下部電極504には接続孔（たとえばTF-T・アノードコンタクト）504aが設けられ、この接続孔504aを介して下部電極504下に配された駆動トランジスタ121の入出力端（本例ではソース

10

20

30

40

50

電極)に下部電極504が接続されるようになっている。

【0152】

下部電極504の周囲は絶縁膜パターンである開口規定絶縁膜505で覆われて、その上に図示しない上部電極508が画素アレイ部102のほぼ全面を覆うように設けられる。また、有機EL素子127を構成する下部電極504や図示しない有機層506および上部電極508が積層されている部分のみが発光有効領域127bとなるように広く露出したEL開口部127aとされている。

【0153】

図7A(2)には、断面の模式図が示されている。図7A(2)に示すように、基板101上の各画素回路Pに対応する位置に、図示を割愛するが、画素回路を構成する駆動トランジスタ121やサンプリングトランジスタ125などの薄膜トランジスタQや保持容量120(容量値Cs)などの回路素子が内部配線によって配置され、その層(第1配線層)の上部に層間絶縁膜(酸化膜)が設けられる。層間絶縁膜のさらに上部には、薄膜トランジスタQに接続されたソース電極線およびドレイン電極線が設けられる。また、各素子(薄膜トランジスタQ, 保持容量120)を構成する導電層、およびソース電極線およびドレイン電極線を構成する導電層(第2配線層)により、画素回路Pを構成する他の配線が形成される。第1配線層や第2配線層を纏めてTFT層L_TFTと称する。

【0154】

そして、ソース電極線およびドレイン電極線などの層(第2配線層)を覆う状態で、さらに上層の平坦化膜として機能する層間絶縁膜が絶縁平坦膜503として設けられ、この絶縁平坦膜503上に有機EL素子127が形成されている。有機EL素子127は、下層側から順に積層された下部電極(たとえばアノード電極)504、有機層506、および上部電極(たとえばカソード電極)508で構成されている。有機EL素子127は、下部電極504と上部電極508と間に誘電体である有機層506が挟まれた構造であるので、有機EL素子127は容量成分(寄生容量Cel)を持つことになる。

【0155】

有機層506は、詳細には、たとえば、低分子系の材料で多層構造を採用しており、下部電極504側から上部電極508側に向かって順に、たとえば、ホール注入層、ホール輸送層、発光層、電子輸送層(電子注入層を兼ねる)を持つ。そして、カラー表示対応の場合は、発光層の有機材料として、表示色に適合したものを使用する。

【0156】

下部電極504は、画素電極としてパターン形成されており、図7A(1)に示すように、層間絶縁膜に形成された接続孔504a(アノード金属と駆動トランジスタ121との接続コンタクト)を介して駆動トランジスタ121のソース電極に接続される。また、下部電極504と対向する上部電極508は全ての画素回路Pを覆うベタ膜として形成されている。図示を割愛するが、基板101において、トランジスタQや有機EL素子127が配置される側と反対側の面には、光リークや温度拡散のために遮光メタル層が設けられる。

【0157】

このような層構造を持つ有機EL表示装置1においては、有機EL素子127が配列形成された基板101と反対側から発光光L1を取り出すいわゆるトップエミッション方式として構成することが、有機EL素子101の開口率を確保する上で有効になる。また、このようなトップエミッション方式であれば、有機EL素子127の開口率が、画素回路Pを構成する薄膜トランジスタQのレイアウトには依存しない。このため、さらに複数の薄膜トランジスタQや保持容量120を用いた画素回路Pを各画素に対応させて配置することもできる。

【0158】

ここで、EL開口部127aは、1画素に1つであるため、有機EL素子127がダストなどにより減点となってしまうと、その画素は点欠陥となってしまう歩留まり低下の原因となる。その対策として、有機EL素子127そのものがダストなどにより減点となっ

10

20

30

40

50

てしまうことで、その画素が点欠陥となってしまう問題を緩和する仕組みを採ることが考えられる。その仕組みの基本としては、たとえば、従来の1画素を、複数の分割画素の領域に分け、分割画素ごとに有機EL素子127を設けることが考えられる。なお、カラー表示対応の場合には、色別の副画素ごとに複数の分割画素の領域に分ける。

【0159】

たとえば、図8に示す第4比較例(その1)の画素回路Pのように、従来の1画素を、分割画素P₁と分割画素P₂の2つの領域に分け、各分割画素P₁、P₂には、先ずそれぞれ1つの有機EL素子127を設ける。各有機EL素子127₁、127₂を駆動する2TR構成の駆動回路としては、たとえば前述の第3比較例の画素回路Pと同様に保持容量120と駆動トランジスタ121とを有する構成のものを、分割画素P₁、P₂の別に備える構成を採用することが考えられる。これにより、分割画素P₁の有機EL素子127₁と分割画素P₂の有機EL素子127₂とが、それぞれ個別の駆動回路で駆動される構成となる。

【0160】

2つの領域に分けた分割画素P₁、P₂において、各駆動トランジスタ121₁、121₂のゲートと保持容量120₁、120₂の接続点であるノードND122₁、ND122₂は、共通のサンプリングトランジスタ125と接続する。こうすることで、分割画素P₁、P₂は共通の映像信号Vsigで駆動されることになる。サンプリングトランジスタ125も分割画素P₁、P₂の別に設けることも考えられるが、第4比較例では素子数低減のため採用していない。

【0161】

平面構成としては、図8(2)に示すように、1画素内において、2つの領域に分けた分割画素P₁と分割画素P₂のそれぞれに対応する2つのEL開口部127a₁、127a₂を有する。

【0162】

駆動トランジスタ121の出力端(ソース)と有機EL素子127のカソード電位間に、有機EL素子127が接続されている表示装置において、1画素内に、有機EL素子127のEL開口部127a、有機EL素子127と駆動トランジスタ121を接続するコンタクトとしての接続孔504a、アノードメタルとしての下部電極504、駆動トランジスタ121、保持容量120が複数存在することを特徴とする画素回路Pとしてる。

【0163】

2つの有機EL素子127₁、127₂が滅点でなければ、双方のEL開口部127a₁、127a₂が発光部となるので、EL開口部127a₁、127a₂の総面積を、分割前のEL開口部127aの面積とほぼ等しくなるようにしておくことで、実質的には、表示装置の開口率を減少させない。

【0164】

第4比較例の構成とすることで、1画素内に、保持容量120、駆動トランジスタ121、有機EL素子127、発光部となるEL開口部127aを2つ持つ構成となる。左右の分割画素P₁、P₂は、有機EL素子127₁、127₂が回路上電氣的に接続されていないため、左右どちらの有機EL素子127₁、127₂が開放や短絡となっても、逆側の有機EL素子127₁、127₂に影響を及ぼすことはない。このため、たとえば左右どちらかの有機EL素子127₁、127₂が滅点となった場合でも、逆側の有機EL素子127₁、127₂は単独で発光する。

【0165】

第4比較例の仕組みでは、従来の1画素を、従来の1画素を複数の分割画素に分け、EL開口部127aに複数の発光部を備え、それらを個別に駆動するべく、有機EL素子127およびそのEL開口部127a(発光部)と、有機EL素子127のそれぞれを独立に駆動するための駆動トランジスタおよび画素容量を、それぞれ分割画素別に持たせるようにしている。分割画素の有機EL素子127のアノードを他の分割画素のアノードと電氣的に接続しないで済む。分割画素の何れかがオープン滅点やショート滅点となる場合で

あっても、全てが滅点になる可能性は低く、他の正常な分割画素の有機EL素子で表示すれば、見かけ上、点欠陥として視認され難いという効果を楽しむことができる。これにより、1画素が完全に滅点になるのを防ぐことができ、点欠陥による歩留まり低下を避けることができる。

【0166】

しかしながら、第4比較例の画素回路Pでは、1画素内に複数の有機EL素子127を設けて、各有機EL素子127を駆動するに当たり、分割画素ごとに、有機EL素子127と保持容量120と駆動トランジスタ121をそれぞれ設ける必要があり、分割数が増えるほど素子数が多くなり、1画素内にこれら全てを代入するのが難しくなるし、素子数が増える分TFT工程で製造不具合の可能性が大きくなり、低歩留まりの原因となってしまう。特に、容量素子である保持容量120はTFTに比べるとより多くの面積を必要とするので、分割画素ごとに保持容量120を設けなければならない第4比較例の構成は難点がある。

【0167】

そこで、本実施形態としては、第4比較例の画素回路Pとは異なる仕組みで、滅点素子対策を採ることのできる仕組みにする。その基本的な考え方は、従来の1画素を、k個の分割画素の領域に分け、各分割画素P₁, ..., P_kには、先ずそれぞれ少なくとも1つの有機EL素子127を設ける。各有機EL素子127₁, ..., 127_kを駆動する2TR構成の駆動回路としては、たとえば前述の第3比較例の画素回路Pと同様の構成を、各分割画素P₁, ..., 127_kに共通に1つ設ける構成を採用する。これにより、分割画素P₁, ..., P_kの有機EL素子127₁, ..., 127_kが、共通の駆動回路(具体的には駆動トランジスタ121)で駆動される構成となる。

【0168】

また、有機EL素子127₁, ..., 127_kがショート滅点となったときに、個別に開放状態にできるように、有機EL素子127₁, ..., 127_kの別に駆動電流I_{ds}の電流経路を遮断可能なスイッチ素子として機能するスイッチトランジスタ(以下SWトランジスタと記す)を設ける。以下具体的に説明する。

【0169】

<<滅点素子対策の画素回路：本実施形態>>

図9および図9Aは、滅点素子対策機能を備えた本実施形態の画素回路Pを示す図である。なお、図9は1画素を2つの分割画素に分けた本実施形態(その1)の画素回路Pを示す図であり、図9Aは、本実施形態の仕組みを一般化して示したものであり、図9A(1)は1画素をN個の分割画素に分けた本実施形態(その2)の画素回路Pを示し、図9A(2)はその滅点検査手法を示す。

【0170】

本実施形態の滅点素子対策は、従来の1画素をN分割する仕組みを採りつつ、その分割画素の有機EL素子に対して、スイッチ素子として機能するSWトランジスタ128を介して駆動電流I_{ds}を駆動トランジスタから有機EL素子に選択的に供給し得るように構成する点に特徴を有する。SWトランジスタ128の一利用形態としては、何れかの有機EL素子がショート滅点となっていたときにその滅点素子を特定し正常な画素回路Pから電気的に分離するために使用される。

【0171】

具体的には、比較例の画素回路Pは、図9および図9Aに示すように、従来の1画素を、分割画素P₁, ..., P_NのN個の領域に分け、各分割画素P₁, ..., P_Nには、それぞれ1つの有機EL素子127₁, ..., 127_Nを備える。各分割画素P₁, ..., P_Nには、共通に1つの保持容量120および駆動トランジスタ121を備える。これにより、各有機EL素子127₁, ..., 127_Nが、共通の駆動回路で駆動される構成となる。

【0172】

さらに、N個の領域に分けた分割画素P₁, ..., P_Nにおいて、各有機EL素子127

$_1, \dots, 127_N$ に関して、SWトランジスタ $128_1, \dots, 128_N$ をスイッチ素子として、駆動トランジスタ 121 のソース端と有機EL素子 $127_1, \dots, 127_N$ のカソード配線との間に（つまり各有機EL素子 127 の電流経路上に）、それぞれ独立に有する。「それぞれ独立に」とは、1つの有機EL素子 127_k に対して1つのSWトランジスタ 128_k が介在するようにすることを意味する。

【0173】

SWトランジスタ 128_k の配置位置は、回路図上は、駆動トランジスタ 121 のソース側および共通電位（カソード電位 V_{cath} ）側の何れもよいのであるが、実体面としては共通電位（カソード電位 V_{cath} ）側に配置することは困難であり、図示のように、駆動トランジスタ 121 のソース端と各有機EL素子 $127_1, \dots, 127_N$ のアノード端との間に、SWトランジスタ $128_1, \dots, 128_N$ を、それぞれ独立に設ける。実体面としての困難さを伴うが、各有機EL素子 $127_1, \dots, 127_N$ のカソード端とカソード共通配線 127_K との間に、SWトランジスタ $128_1, \dots, 128_N$ をそれぞれ独立に設けることを否定するものではない。

10

【0174】

各SWトランジスタ $128_1, \dots, 128_N$ のゲート端には、当該SWトランジスタ $128_1, \dots, 128_N$ をオン/オフ制御するための制御信号 $Tcnt_1, \dots, Tcnt_N$ を供給する。SWトランジスタ $128_1, \dots, 128_N$ は、制御信号 $Tcnt_1, \dots, Tcnt_N$ が、Lレベルのときオフし、Hレベルのときオンする。通常発光時、各SWトランジスタ $128_1, \dots, 128_N$ は常にオンした状態とする。

20

【0175】

ここで、他の画素回路Pとの関係においては、制御信号 $Tcnt_k$ 用の配線は、たとえば同一行（もしくは同一列）の全てのSWトランジスタ 128_k に対して共通に制御信号 $Tcnt_k$ を供給する行走査線（もしくは列走査線）にしてもよい。あるいは、画素アレイ部102の全画素回路Pについて共通にしてもよい。

【0176】

あるいは、画素別にSWトランジスタ 128_k を制御する仕組みを採ることもできる。このためには、たとえば、各画素回路PのSWトランジスタ 128_k を個別に制御するべく、たとえばSWトランジスタ 128_k のゲート側に走査トランジスタとしてたとえばPMOSTランジスタを設け、そのソース端側を列走査線にし、ゲート端を行走査線にしてもよい。そして i 行 j 列を対象とする場合、 j 列の列走査線にアクティブHのパルス $Tcnt_Hj$ を供給し、 i 行の行走査線にアクティブLのパルス $Tcnt_Vi$ を供給することで走査トランジスタ ij をオンさせ、列走査線のHレベルの情報を制御信号 $Tcnt_k$ としてSWトランジスタ 128_k に供給する。

30

【0177】

平面構成としては、図示を割愛するが、第4比較例と同様に、1画素内に、分割画素 $P_1, \dots, P_N$ に対応する N 個のEL開口部（特にサブ開口部とも称する）を有することになる。すなわち、1画素に N 個のサブ開口部（発光部）を持たせて全体として1画素の開口部として機能させる点では、第4比較例と相違ない。

【0178】

一方、本実施形態の画素回路Pでは、第4比較例とは異なり、保持容量 120 と駆動トランジスタ 121 を、全ての分割画素で共用するようにしており、1画素内に増加する素子数が少ないため、1画素内にこれら全てを代入するのが容易であり、素子数が少ない分TFTE工程で製造不具合の可能性が小さくなり、高歩留まり化が実現できる

40

たとえば、理解を容易にするべく分割画素用のEL（有機EL素子 127 ）を除いて比較すると、2分割とした図8に示す第4比較例（その1）と図9に示す本実施形態（その1）の比較では、第3比較例の画素回路Pに対しての素子数の増加は何れも2素子（図8では $1 \times C + 1 \times TR$ 、図9では $2 \times TR$ ）であり増加数が同じである。因みに、 C の前の数値は保持容量 120 の増加数、 TR の前の数値は駆動トランジスタ 121 の増加数である。

50

【 0 1 7 9 】

しかしながら、N分割と一般化した図8Aに示す第4比較例(その2)と図9Aに示す本実施形態(その2)の比較から分るように、第4比較例(その2)での増加数は $(N - 1) * C + (N - 1) * TR$ となるのに対して、本実施形態(その2)での増加数は $N * TR$ となり、素子数の増加は第4比較例(その2)よりも少ないのは明らかである。因みに、Cの前の数値は保持容量120の増加数、TRの前の数値は駆動トランジスタ121の増加数である。

【 0 1 8 0 】

このように、本実施形態の画素回路Pでは、1画素内に複数のサブ開口部を持ち、画素内における駆動トランジスタ121のソースと各分割画素の有機EL素子127の共通電位(本例ではカソード電位Vcath)間にそれぞれSWトランジスタ128を介在させる構成を採ることで、第1の手法として、SWトランジスタ128のオン/オフ制御により減点検査時に減点の選別を行なうことができ、高歩留まりが実現できる仕組みを採る。

【 0 1 8 1 】

また、分割画素別にSWトランジスタ128を設ける点を積極的に利用して、SWトランジスタ128のオン/オフ制御を減点のリペア処理に利用するだけでなく、第2の手法として、通常の駆動時において、SWトランジスタ128のオン/オフを切り替えることで、発光期間において発光に使用される分割画素(詳しくはその分割画素の有機EL素子127)を切り替える仕組みを採る。減点のリペアをしなくても、減点として視覚的に認識される度合いを低減する、つまり、減点の視認性を低下させることで、パネルの高歩留まりを実現するようにする。

【 0 1 8 2 】

1画素を複数の分割画素(画素回路P_k)に分ける際、第4比較例以外にも、たとえば、1つのEL素子を複数の駆動トランジスタで駆動する手法、1画素内に駆動トランジスタ+EL素子を複数用意する手法、1画素の画素回路および配線を全て複数化する手法(1画素内に画素回路を全て2つ有する手法を含む)などが考えられる。しかしながら、これらの手法は、第4比較例と同様に、1画素内に増加する素子数や配線数が多くなる難点がある。本実施形態の画素回路Pでは、素子数や配線数の増加を極力抑えつつ減点対策を採ることができる。以下、減点素子対策を採った本実施形態の画素回路Pを用いた各種の適用例について説明する。

【 0 1 8 3 】

< 減点素子対策の第1適用例 >

第1適用例は、製造時に、画素回路Pを動作させてSWトランジスタ128の選択動作により減点素子の有無およびその場所を特定し、ショート減点素子に関しては、SWトランジスタ128をオフして使用可能にすることにより、正常な画素回路Pから電氣的に分離することを特徴とする。その後の通常動作時には、残りの正常な有機EL素子にて表示を行なうべく、他のSWトランジスタ128をオンさせて使用する。

【 0 1 8 4 】

このため、先ず、減点対策機能をもつ本実施形態の画素回路Pにおいて、減点素子の有無およびその場所を特定する減点検査工程では、分割画素のそれぞれに設けたSWトランジスタ128をオン/オフ制御することで減点検査を行なう。なお、前提として、同一画素においては、全ての分割画素が同時に減点である事例は含まないものとする。

【 0 1 8 5 】

たとえば、図9A(2)に示すように、SWトランジスタ128₁, ..., 128_Nを1つオンで残りはオフの状態から、順次オンの数を増加させて検査する。もちろん、このようなオン/オフ制御は一例であり、たとえば、SWトランジスタ128₁, ..., 128_Nを1つずつオンさせて対応する有機EL素子127_kが減点であるか否かを判定してもよい。ただし前者の方が、全体としてのオン/オフ制御の回数が少なく済む利点がある。

【 0 1 8 6 】

減点対策機能を持つ本実施形態の画素回路Pの場合、有機EL素子127_kに対して駆

10

20

30

40

50

動電流（駆動電圧）の供給を独立に制御できるようにSWトランジスタ128_kを配置しているので、SWトランジスタ128_kをオンさせる順番は不問である。また、検査済みの有機EL素子127_kに介在するSWトランジスタ128_kについては、その後の他の素子の検査時には、オンしたままとしておいてもよいしオフさせてもよい。

【0187】

複数の有機EL素子127₁, ..., 127_Nの何れもが発光する正常画素であるときには、それぞれに駆動電流 I_{ds} が概ね均等に分流され、概ね同輝度で発光する。1画素全体としてみたときには、総合電流は本実施形態を適用しない場合と同様の駆動電流 I_{ds} が流れることになる。有機EL素子は電流発光型素子であるため、電流に比例して輝度が得られるので、1画素全体としてみたときには、本実施形態を適用しない場合と同等の輝度を得ることが可能となる。

10

【0188】

有機EL素子127_kがショート滅点素子であるときには、その有機EL素子127_kに対しての駆動電流 I_{ds} の電流路となる配線（たとえば駆動トランジスタ121と接続されるアノード側やカソード側の配線）に、レーザ光などのエネルギービームを照射することにより、その配線を溶断し、正常な画素回路Pから電氣的に分離することで滅点のリペアを行なう。あるいは、画素別にSWトランジスタ128_kを制御する仕組みを採っているときには、分割画素別にSWトランジスタ128を備えている点に着目して、ショート滅点素子である有機EL素子127_kのSWトランジスタ128_kに供給する制御信号 T_{cnt_k} をインアクティブLにしてSWトランジスタ128_kをオフさせ、有機EL素子127_kを正常な画素回路Pから電氣的に分離して使用する。これらにより、損傷のある有機EL素子127_kが、事実上、ショートの滅点状態からオープン滅点状態に変化する。

20

【0189】

これにより、複数の有機EL素子127₁, ..., 127_Nのうちの1つが異物などにより損傷してオープン滅点やショート滅点となった場合、同一画素内の有機EL素子の総合容量が減少してしまうため、駆動電流 I_{ds} は若干小さくなる。つまり、1画素全体としてみたときには、総合電流は有機EL素子が損傷していない場合と比較して若干少ない駆動電流 I_{ds} が流れることとなるが、輝度差は視認できない程度である。そのため、1つの有機EL素子が損傷し滅点となった場合においても、その滅点を分離して同一画素に存在する他の正常な有機EL素子だけで発光させるようにしても、その正常な有機EL素子に流れる総合電流がほぼ等しいため、1画素から得られる輝度は、滅点の存在に関わらず、同等の輝度を得ることが可能となる。

30

【0190】

従来の1画素を複数の領域に分割し、それぞれに有機EL素子を設けて、それらを共通の駆動トランジスタ121で駆動するようにすることで、分割画素の何れかがオープンの滅点となる場合であっても、他の正常な分割画素の有機EL素子で表示すれば、見かけ上、点欠陥として視認されないという効果を享受できる。

【0191】

分割画素の何れかがショート滅点となる場合であっても、SWトランジスタ128をオフさせることでオープン滅点に変化させて、他の正常な分割画素の有機EL素子で表示すれば、見かけ上、点欠陥として視認されないという効果を享受できる。これにより、1画素が完全に滅点になるのを防ぐことができ、点欠陥による歩留まり低下を避けることができる。電流駆動型の電気光学素子のショートによる滅点欠陥が存在しても、完全な滅点欠陥となることを防ぎ、これにより滅点による輝度の減少を削減することが可能となる。加えて、滅点を削減し高歩留まりを実現でき、良好な画質の表示装置を得ることができる。しかも、ショート滅点の削減により、ショート滅点によって消費していた電流を削減でき、低消費電力化が可能となる。

40

【0192】

第1適用例では、滅点のリペアをSWトランジスタ128_kを個別にオフ制御することで可能となるので、レーザ光源などの溶断装置が備えられていない製造現場以外でもリペ

50

ア作業が可能となる。実使用時に滅点が新たに生じたときにもリペアが可能である。一方、SWトランジスタ128_kを独立にオン/オフ制御するために行走査線と列走査線の双方が必要になる点と、リペア箇所のSWトランジスタ128_kを継続的にオフさせておくために、リペア箇所を記憶しておくメモリ装置を有機EL表示装置1(表示パネル部100)に搭載する必要がある。この点との比較においては、後述する第2～第7適用例では、滅点のリペアを必要とせず、リペア箇所を記憶しておくメモリが不要となる特徴的な効果がある。

【0193】

<滅点素子対策の第2適用例>

図10は、滅点素子対策機能を備えた本実施形態の画素回路Pにおける第2適用例を説明する図である。ここで、図10は、説明を簡単にするため、1画素を2つの分割画素に分けた図9に示す構成との対応で、第2適用例が適用される滅点箇所の一例を示している。図中に黒丸やハッチング付きの丸で示すのが滅点の画素であり、同一画素においては、全て(ここでは2つ)の分割画素が同時に滅点である事例は含まないものとする。つまり、同一画素内で滅点となる分割画素は1つであるものとする。

10

【0194】

第2適用例は、画素別にSWトランジスタ128_kを制御する仕組みを採っておらず、同一行(もしくは同一列)の全てのSWトランジスタ128_kに対して共通に制御信号Tcnt_kを供給する仕組みや、画素アレイ部102の全画素回路Pについて共通に制御信号Tcnt_kを供給する仕組みを採る場合に好適な事例である。

20

【0195】

画素別にSWトランジスタ128_kを制御する仕組みを採らない場合、同一の制御信号Tcnt_kで駆動される系統の全ての画素回路Pでは、制御信号Tcnt_kがアクティブHのとき、一斉に、全ての有機EL素子127_kが発光可能となる。このとき、ある画素回路Pの分割画素(P_NGとする)がショート滅点であれば、分割画素P_NG以外が正常であっても、その画素全体としては滅点となってしまう。

【0196】

これは、複数の有機EL素子127_1, ..., 127_Nのうちの1つ(127_NGとする)が異物などにより損傷しあるいは使用中に何らかの原因でアノードとカソードのショート(短絡)となっている滅点の場合には、駆動トランジスタ121からの駆動電流I_{ds}のほぼ全てがショートしている有機EL素子127_NGを流れてしまい、同一画素内にある他の有機EL素子には電流が殆ど流れ込まなくなるからである。アノードとカソードがショートするような有機EL素子の損傷の場合、1画素内に有機EL素子を複数作製しても、その画素から輝度を得ることは殆どできず、滅点となってしまうのである。

30

【0197】

一方、ある画素回路Pの制御信号Tcnt_kで駆動されるSWトランジスタ128_kに関わる分割画素P_NGがショート滅点であり、その分割画素P_NG以外(他の画素も含めて)が正常であるとき、制御信号Tcnt_kをインアクティブLとし、別の制御信号Tcnt_hをアクティブHとすると、制御信号Tcnt_hと同系統の全ての画素について、滅点状態が解消される。

40

【0198】

第2適用例(後述する第3適用例以降も同様)は、これらの点に着目してなされたもので、画素アレイ部102の各画素回路Pについて、発光期間において分割画素を選択的に使用する点に特徴がある。特に、後述する第4適用例以降との対比では、分割画素のそれぞれに設けたSWトランジスタ128_kの何れか一方の組のみを選択し全ての発光期間において固定的に使用して発光させる点に特徴がある。さらに、後述する第3適用例との対比では、SWトランジスタ128_kの何れかを選択し固定的に使用して発光させる点で共通するが、滅点数がより少なくなる組合せで(好ましくは最も少なくなる何れか1つで)固定的に使用する点に特徴がある。分割画素の何れかが滅点であっても、画素アレイ部102全体として見たときに、滅点の視認性を低下させるという点では後述する第3適用例

50

以降と共通する。

【0199】

第2適用例の基本的な考え方は、パネル完成後の検査工程で、何れか1つのSWトランジスタ128_kのみをオンにして簡易点灯検査を順次行ない、そのときの画素アレイ部102全体の減点数をカウントし、以降は、減点数が少ない方のみをオンして使用する。

【0200】

たとえば、全画素共通として、SWトランジスタ128₁をオンにし、SWトランジスタ128₂をオフにして、簡易点灯検査を行なう。そして、このときの画素アレイ部102全体の減点数をカウントする。たとえば、このときの減点状態が図10(1)に示すように、減点数=5で、画素アレイ部102の全体に減点が適当に散在しているものとする。

10

【0201】

次に、全画素共通として、SWトランジスタ128₁をオフにし、SWトランジスタ128₂をオンにして、簡易点灯検査を行なう。そして、このときの画素アレイ部102全体の減点数をカウントする。たとえば、このときの減点状態が図10(2)に示すように、減点数=1で、画素アレイ部102の中央部に減点が存在しているものとする。

【0202】

因みに、このような状況下で、SWトランジスタ128₁、128₂が設けられていない従前の状態と同じように両SWトランジスタ128₁、128₂をオンにすると、図10(3)に示すように、図10(1)と図10(2)を合成した状態となり、減点数=6で、画素アレイ部102の全体に減点が適当に散在することになる。

20

【0203】

本事例においては、図10(1)と図10(2)との対比から、SWトランジスタ128₂のみをオンにしている図10(2)の方が減点数が少ない。そこで、検査工程以降(典型的には通常使用時)は、減点数が少なくなるように、全画素共通で、SWトランジスタ128₁をオフ、SWトランジスタ128₂をオン、の状態を使用する。

【0204】

第2適用例の場合、後述する第4適用例以降とは異なり減点箇所が固定されるが、分割画素のそれぞれに設けているSWトランジスタ128_kの内、減点数が少なくなる何れか1つのみを選択して使用するので、画素アレイ部102全体として見たときには、SWトランジスタ128₁、128₂が設けられていない従前の状態よりも減点数が少なくなり、減点の視認性を低下させることができる。第1適用例とは異なり、減点箇所をリペアする必要もない。この点は、後述する第3適用例以降でも同様である。

30

【0205】

なお、ここで示した第2適用例の具体的な事例では1画素を2つの分割画素に分ける場合であるので、減点数がより少なくなるためのSWトランジスタ128_kの組合せとしては、最も少なくなる何れか一方となるが、3つ以上に分ける場合には、必ずしも、最も少なくなる何れか1つとする必要はない。たとえば、3分割の場合に、同一画素内で減点となる分割画素が1つである場合、任意の何れか2つの組合せでもよい。第2適用例を適用して何れか1つのSWトランジスタ128のみをオンさせたときの減点状態の合成が、第2適用例を適用しない従前の場合の減点状態となるので、任意の何れか2つの組合せのときには何れか1つについて使用しない状態になり、実使用時に観察される減点数を従前よりも確実に減らすことができるからである。

40

【0206】

<減点素子対策の第3適用例>

図10Aは、減点素子対策機能を備えた本実施形態の画素回路Pにおける第3適用例を説明する図である。ここで、図10Aは、説明を簡単にするため、1画素を2つの分割画素に分けた図9に示す構成との対応で、第3適用例が適用される減点箇所の一例を示している。図中に黒丸やハッチング付きの丸で示すのが減点の画素であり、同一画素内で減点となる分割画素は1つであるものとする。

50

【0207】

第3適用例は、第2適用例と同様に、分割画素のそれぞれに設けたSWトランジスタ128_kの何れか一方の組のみを選択し固定的に使用して発光させる点で共通するが、滅点数が規格内であれば、その滅点数の多少に関わらず、滅点数が規格内を満たす何れかを固定的に使用する点に特徴がある。分割画素の何れかが滅点であっても、画素アレイ部102全体として見たときに、滅点の視認性を低下させるという点では前述の第2適用例や後述する第4適用例以降と共通する。

【0208】

前述の通り、第3適用例の基本的な考え方は、パネル完成後の検査工程で、何れか1つのSWトランジスタ128_kのみをオンにして簡易点灯検査を順次行ない、そのときの画素アレイ部102全体の滅点数をカウントし、滅点数が規格内を満たす状態があれば、その滅点数の多少に関わらず、以降は、滅点数が規格内を満たす何れか1つのみをオンして使用する。

10

【0209】

たとえば、全画素共通として、SWトランジスタ128_1をオンにし、SWトランジスタ128_2をオフにして簡易点灯検査を行なうと、画素アレイ部102全体の滅点数状態が図10A(1)に示すように、滅点数=9で、画素アレイ部102の全体に滅点が適当に散在しているものとする。

【0210】

また、全画素共通として、SWトランジスタ128_1をオフにし、SWトランジスタ128_2をオンにして簡易点灯検査を行なうと、画素アレイ部102全体の滅点状態が図10A(2)に示すように、滅点数=8で、画素アレイ部102の全体に滅点が適当に散在しているものとする。

20

【0211】

因みに、このような状況下で、SWトランジスタ128_1, 128_2が設けられていない従前の状態と同じように両SWトランジスタ128_1, 128_2をオンにすると、図10A(3)に示すように、図10A(1)と図10A(2)を合成した状態となり、滅点数=17で、画素アレイ部102の全体に滅点が適当に散在することになる。

【0212】

ここで、本事例において、滅点数の許容される数(=規格)が“10”であるとする。このとき、たとえば、図10A(1)に示すようにSWトランジスタ128_1のみをオンにしたときには、“滅点数=9<規格値=10”であり、滅点数が規格内を満たすので、以降は、全画素共通で、SWトランジスタ128_1をオン、SWトランジスタ128_2をオフ、の状態を使用する。

30

【0213】

あるいは、SWトランジスタ128_2のみをオンにしたときには、“滅点数=8<規格値=10”であり、滅点数が規格内を満たすので、以降は、全画素共通で、SWトランジスタ128_1をオフ、SWトランジスタ128_2をオン、の状態で使用してもよい。

【0214】

第3適用例では、第2適用例とは異なり、必ずしも滅点数が最も少ない方を固定的に使用することができるとは限らないが、実使用時に観察される滅点数を従前よりも減らすことができる。また、検査工程で、SWトランジスタ128_kの何れか1つのみをオンさせて画素アレイ部102全体の滅点数をカウント(計数)しているときに、滅点数が規格内を満たす状態があれば、以降は滅点数が規格内を満たす何れか1つのみをオンして使用できる。滅点数が規格内を満たすものが見つかり、その他のSWトランジスタ128_hについての簡易点灯検査を割愛できる利点がある。

40

【0215】

<滅点素子対策の第4適用例>

図11および図11Aは、滅点素子対策機能を備えた本実施形態の画素回路Pにおける第4適用例を説明する図である。ここで、図11は、説明を簡単にするため、1画素を2

50

つの分割画素に分けた図 9 に示す構成との対応で、第 4 適用例が適用される滅点箇所の一例を示している。図中に黒丸やハッチング付きの丸で示すのが滅点の画素であり、同一画素内で滅点となる分割画素は 1 つであるものとする。図 1 1 A は、第 4 適用例のタイミングチャートであり、図 6 に示した第 3 比較例の駆動タイミングと同様に線順次駆動の場合である。ここでも、説明を簡単にするため、1 画素を 2 つの分割画素に分けた図 9 に示す構成との対応で示す。

【0216】

第 4 適用例は、画素アレイ部 102 の各画素回路 P について、発光期間において分割画素を切り替える、つまり、分割画素を時分割駆動して選択的に発光させる点に特徴がある。なお、線順次駆動であり、電源駆動パルス DSL および書込駆動パルス WS や図示していない映像信号 Vsig は、1 行分を 1 組として各信号のタイミング（特に位相関係）が規定され、行が代わると 1 H 分シフトされる。したがって、各行の SW トランジスタ 128_k を駆動する制御信号 Tcnt_k も、これらの信号に合わせて、行単位で独立に制御することが必要になる。

10

【0217】

第 4 適用例は、滅点数の多少に関わらず効果が得られる。たとえば、何れか 1 系統の SW トランジスタ 128_k のみをオンさせたときに、それぞれの滅点数が全て規格内となるケース（図 1 1（1）、（2））、一方では滅点数が規格内となるが他方では滅点数が規格外となるケース（図 1 1（3）、（4））、そして、それぞれの滅点数が全て規格外となるケース（図 1 1（5）、（6））、の何れでも効果が得られる。

20

【0218】

たとえば、それぞれの滅点数が全て規格内となるケースの例として、全画素共通として、SW トランジスタ 128_1 をオンにし、SW トランジスタ 128_2 をオフにして簡易点灯検査を行なうと、画素アレイ部 102 全体の滅点数状態が図 1 1（1）に示すように、滅点数 = 9（規格値 = 10 以下であり規格内）で、画素アレイ部 102 の全体に滅点が適当に散在しているものとする。また、全画素共通として、SW トランジスタ 128_1 をオフにし、SW トランジスタ 128_2 をオンにして簡易点灯検査を行なうと、画素アレイ部 102 全体の滅点状態が図 1 1（2）に示すように、滅点数 = 8（規格値 = 10 以下であり規格内）で、画素アレイ部 102 の中央部に滅点が存在しているものとする。

30

【0219】

また、一方では滅点数が規格内となるが他方では滅点数が規格外となるケースの例として、全画素共通として、SW トランジスタ 128_1 をオンにし、SW トランジスタ 128_2 をオフにして簡易点灯検査を行なうと、画素アレイ部 102 全体の滅点数状態が図 1 1（3）に示すように、滅点数 = 9（規格値 = 10 以下であり規格内）で、画素アレイ部 102 の全体に滅点が適当に散在しているものとする。また、全画素共通として、SW トランジスタ 128_1 をオフにし、SW トランジスタ 128_2 をオンにして簡易点灯検査を行なうと、画素アレイ部 102 全体の滅点状態が図 1 1（4）に示すように、滅点数 = 12（規格値 = 10 以上であり規格外）で、画素アレイ部 102 の全体に滅点が適当に散在しているものとする。

40

【0220】

また、それぞれの滅点数が全て規格外となるケースの例として、全画素共通として、SW トランジスタ 128_1 をオンにし、SW トランジスタ 128_2 をオフにして簡易点灯検査を行なうと、画素アレイ部 102 全体の滅点数状態が図 1 1（5）に示すように、滅点数 = 15（規格値 = 10 以上であり規格外）で、画素アレイ部 102 の全体に滅点が適当に散在しているものとする。また、全画素共通として、SW トランジスタ 128_1 をオフにし、SW トランジスタ 128_2 をオンにして簡易点灯検査を行なうと、画素アレイ部 102 全体の滅点状態が図 1 1（6）に示すように、滅点数 = 12（規格値 = 10 以上であり規格外）で、画素アレイ部 102 の全体に滅点が適当に散在しているものとする。

【0221】

第 4 適用例では、このような状況下において、発光期間に SW トランジスタ 128

50

P_k を時分割で駆動する。この際、SWトランジスタ128のオン/オフの切替えは、駆動電流 I_{ds} を流すための駆動トランジスタ121のドレイン端への電源供給（第1電位 V_{cc} の供給）が停止している期間に行なう。

【0222】

たとえば、図11Aに示すように、あるフィールドにおいて、SWトランジスタ128₁をオン、SWトランジスタ128₂をオフにする。SWトランジスタ128₁のみがオンの状態で第3比較例と同様の画素駆動を行なう。そして、電源駆動パルスDSLが第2電位 V_{ss} に切り替えられた有機EL素子127の消光時（つまり電源オフ時）においてSWトランジスタ128₁をオフに切り替え、SWトランジスタ128₂をオンに切り替える。

10

【0223】

ここで、有機EL素子127の消光時（つまり電源オフ時）においてSWトランジスタ128₁、128₂のオン/オフを切り替えるのは、有機EL素子127が消光する前の発光時（つまり電源オン時）にオン/オフ制御したのでは、仮に減点でない分割画素から減点の分割画素に切り替えられると、減点でない分割画素の発光期間が事実上短くなり好ましくないからである。また、後述する第7適用例での切替えと同じ理由も存在する。ただし、消光時にオン/オフ制御すれば、SWトランジスタ128₁とSWトランジスタ128₂のオン期間はオーバーラップしていてもよい。

【0224】

以下、同様に、次フィールドにおいて、SWトランジスタ128₁をオフ、SWトランジスタ128₂をオンの状態で第3比較例と同様の画素駆動を行なう。そして、フィールドが切り替えられる都度、このような動作を繰り返す。

20

【0225】

なお、図示しないが、SWトランジスタ128₁とSWトランジスタ128₂のオン/オフの切替え、すなわち発光に供される分割画素（その有機EL素子127）の切替えは、数（たとえば2～5）フィールド単位で行なってもよい。切替えの周期が短いほど、減点でない（つまり発光する）分割画素による視覚的な残像効果を楽しむことができるので、減点の視認性が低くなり好ましい。

【0226】

さらに、図示しないが、SWトランジスタ128₁とSWトランジスタ128₂のオン/オフの切替えを数（たとえば2～5）フィールド単位で行なう場合、各SWトランジスタ128_kのオンするフィールド数を同じにすることに限らず、異なるようにしてもよい。この場合の好適な適用は、減点数が少ない方のオンフィールド数の方が減点数が多い方のオンフィールド数よりも多くするのがよい。減点数が少ない方をより多く（長く）発光に使用することで、パネル全体としての減点の視認性をより低くするのである。

30

【0227】

第4適用例によれば、分割画素の何れかが減点であっても、線順次で時分割駆動させることで、1画素全体としては、減点期間と発光期間とが存在することになり、減点検査や減点のリペアを行なわなくても、その画素に減点の分割画素が存在することの視認性を低下させることができる。つまり、分割画素 P_k のそれぞれに設けたSWトランジスタ128_kを時分割で選択的に使用するので、仮にSWトランジスタ128₁のオン時に減点となる有機EL素子127があっても、あるいはSWトランジスタ128₂のオン時に減点となる有機EL素子127があっても、発光に使用される分割画素が時分割で使用される（本例では1フィールドごとに切り替えられる）ため、つまり、発光している有機EL素子127が発光期間によって異なるため、時間平均で減点を対策することができ、実体的には1画素が完全に減点となることはないと考えてよい。また、画素アレイ部102全体として見たときには、前述の第2適用例や第3適用例とは異なり減点位置が固定されることはなく、減点位置が変動し得るので、減点の視認性を一層低下させることができる。分割画素の減点位置が時間的かつ空間的に平均化されるからである。さらに、時分割駆動は、減点数の多少に関わらずその効果が得られるので、高歩留まりが期待できる。減点検査

40

50

や減点リペアが不要であり、製造コストを低減できる利点もある。

【0228】

なお、ここで示した第4適用例の具体的な事例では1画素を2つの分割画素に分ける場合であるので、時分割駆動時にオン状態とするSWトランジスタ128の組合せとしては、最も少なくなる何れか一方となるが、3つ以上に分ける場合には、必ずしも、最も少なくなる何れか1つとする必要はない。画素内の複数ある分割画素のうち、有機EL素子127の発光期間に発光し得る分割画素（詳しくはその分割画素の有機EL素子127）が少なくとも1つ存在すればよいのである。「発光し得る」と称したのは、減点の分割画素を考慮したものであり、減点の分割画素が皆無であれば、発光期間に発光している分割画素（その有機EL素子127）が少なくとも1つであることは言うまでもない。

10

【0229】

たとえば、3分割の場合に、同一画素内で減点となる分割画素が1つである場合、任意の何れか2つの組合せ数と残りの1つとを交互に切り替えるものでもよい。分割数が4になると、組合せ数と時分割の態様としては、3と1の交互切替えか、2と2の交互切替え、の何れかを採ることができ、分割数がさらに増えると、組合せの態様も一層増えることになる。

【0230】

あるいは、任意の何れか2つの組合せをフィールドごとに順次変更するものでもよい。この動作を適用すると、任意の何れか2つの組合せ数と残りの1つとを交互に切り替える場合よりも、減点位置が時間的かつ空間的に平均化される効果が高まる利点が見られる。この場合でも、分割数が4になると、組合せ数と時分割のためのフィールドごとの順次変更の態様としては、3での順次変更、2での順次変更、の何れかを採ることができ、分割数がさらに増えると、組合せ数の態様も一層増えることになる。

20

【0231】

<減点素子対策の第5適用例>

図12および図12Aは、減点素子対策機能を備えた本実施形態の画素回路Pにおける第5適用例を説明する図である。ここで、図12は、第5適用例を適用するための有機EL表示装置1の垂直走査系統に着目した回路構成を示すブロック図である。図12Aは、説明を簡単にするため、1画素を2つの分割画素に分けた図9に示す構成との対応で示した第5適用例のタイミングチャートである。なお、同一画素内で減点となる分割画素は1

30

【0232】

第5適用例は、第4適用例と同様に、画素アレイ部102の各画素回路Pについて、発光期間において分割画素を切り替える、つまり、分割画素を時分割駆動して選択的に発光させる点に特徴がある。第4適用例との相違は面順次駆動である点である。面順次駆動の場合、図示のように、電源駆動パルスDSLは全行に対して共通に使用されるが、書込駆動パルスWSや図示していない映像信号Vsigは、1行分を1組として各信号のタイミング（特に位相関係）が規定され、行が代わると一定時間分シフトされ、そのシフト量は1H以下である。

【0233】

したがって、各行のSWトランジスタ128_kを駆動する制御信号Tcnt_kは、電源駆動パルスDSLと同様に全行に対して共通に使用してよく、フィールド単位でのオン/オフ切替えが可能である。この対応のため、制御部109には、全行に対して制御信号Tcntを共通に供給する制御信号生成部323が設けられる。

40

【0234】

ここで、面順次駆動の場合、サンプリング期間&移動度補正期間Hは、図示のように、一定時間ずつシフトされていく。このため、そのままでは、各行の発光期間が異なり、視覚的には輝度差が感じられる。この対策として、各行の発光期間を同一とすべく、所定の発光期間（全行同一幅）が経過した後はオフセット電位Vofsをサンプリングすることで、この後には非発光状態とする。

50

【0235】

このような状況下において、図12Aに示すように、SWトランジスタ128_kを時分割で駆動する。たとえば、あるフィールドにおいて、垂直同期信号V_{sync}に同期して（たとえばアクティブHとなるタイミングとほぼ同じタイミングで）、電源駆動パルスDSLが第2電位V_{ss}に切り替えられた有機EL素子127の消光時（つまり電源オフ時）において、SWトランジスタ128₁をオン、SWトランジスタ128₂をオフにする。SWトランジスタ128₁のみがオンの状態で画素駆動を行なう。

【0236】

そして、次フィールドにおいても、垂直同期信号V_{sync}に同期して（たとえばアクティブHとなるタイミングとほぼ同じタイミングで）、電源駆動パルスDSLが第2電位V_{ss}に切り替えられた有機EL素子127の消光時（つまり電源オフ時）において、SWトランジスタ128₁をオフに切り替え、SWトランジスタ128₂をオンに切り替える。

10

【0237】

有機EL素子127の消光時（つまり電源オフ時）においてSWトランジスタ128₁、128₂のオン/オフを切り替える点や、SWトランジスタ128₁とSWトランジスタ128₂のオン期間がオーバーラップしていてもよい点は第4適用例と同様である。

【0238】

また、第4適用例での説明と同様に、SWトランジスタ128₁とSWトランジスタ128₂のオン/オフの切替え、すなわち発光に供される分割画素（その有機EL素子127）の切替えは、数（たとえば2～5）フィールド単位で行なってもよい。

20

【0239】

第5適用例によれば、分割画素の何れかが滅点であっても、面順次で時分割駆動させることで、1画素全体としては、滅点期間と発光期間とが存在することになり、その画素に滅点の分割画素が存在することの視認性を低下させることができ、パネルの高歩留まりが期待できる。面順次駆動である点では、線順次駆動の第4適用例とは異なるが、分割画素を時分割するという基本的な仕組みには相違がなく、第4適用例と同様の効果を楽しむことができる。

【0240】

また、ここで示した第5適用例の具体的な事例では1画素を2つの分割画素に分ける場合であるので、時分割駆動時にオン状態とするSWトランジスタ128の組合せとしては、最も少なくなる何れか一方となるが、3つ以上に分ける場合に関しては、第4適用例での説明と同様である。

30

【0241】

<滅点素子対策の第6適用例>

図13および図13Aは、滅点素子対策機能を備えた本実施形態の画素回路Pにおける第6適用例を説明する図である。ここで、図13は、第6適用例を適用するための有機EL表示装置1の垂直走査系統に着目した回路構成を示すブロック図である。図13Aは、第6適用例のタイミングチャートである。ここでも、説明を簡単にするため、1画素を2つの分割画素に分けた図9に示す構成との対応で示す。なお、同一画素内で滅点となる分割画素は1つであるものとする。

40

【0242】

第6適用例は、第4適用例や第5適用例と同様に、画素アレイ部102の各画素回路Pについて、発光期間において分割画素を切り替える、つまり、分割画素を時分割駆動して選択的に発光させる点に特徴がある。第4適用例や第5適用例との相違は、パネルでラインを複数に分割して、分割した各部分で（つまり複数の水平期間において）電源駆動パルスDSLを共通化する方式を採用している点である。分割した各部分に対しての電源供給線105DSLには、分割駆動走査部105BKが接続される。駆動走査部105を複数の分割駆動走査部105BKに分けるのである。

【0243】

このような駆動方式の場合、図示のように、電源駆動パルスDSLを複数行で共通化する

50

点においては面順次駆動の場合と同様の駆動方式が適用され、共通化している部分の各行については線順次駆動の場合と同様の駆動方式が適用される。つまり、面順次駆動の仕組みと線順次駆動の仕組みを組み合わせたような駆動方式となる。よって、電源駆動パルスDSLは分割した部分ごとに共通に使用されるが、書込駆動パルスWSや図示していない映像信号Vsigは、1行分を1組として各信号のタイミング（特に位相関係）が規定され、行が代わると1H分シフトされる。

【0244】

したがって、各行のSWトランジスタ128_kを駆動する制御信号Tcnt_kは、電源駆動パルスDSLと同様に分割した部分ごとに共通に使用してよく、また分割した部分ごとにフィールド単位でのオン/オフ切替えが可能である。この対応のため、制御部109には、分割した各部分に対しての制御信号Tcntを共通に供給する分割制御信号生成部323BKが設けられる。制御信号生成部323を複数の分割制御信号生成部323BKに分けるのである。

10

【0245】

なお、面順次駆動の場合と異なり、サンプリング期間&移動度補正期間Hは、図示のように、1H分ずつシフトされていく。このため、そのままでは、各行の発光期間が異なり、視覚的には輝度差が感じられる。この対策として、各行の発光期間を同一とするべく、所定の発光期間（全行同一幅）が経過した後はオフセット電位Vofsをサンプリングすることで、この後には非発光状態とする。

【0246】

このような状況下において、図13Aに示すように、SWトランジスタ128_kを時分割で駆動する。たとえば、第4適用例と同様に、あるフィールドにおいて、電源駆動パルスDSLが第2電位Vssに切り替えられた有機EL素子127の消光時（つまり電源オフ時）において、SWトランジスタ128_1をオン、SWトランジスタ128_2をオフにする。SWトランジスタ128_1のみがオンの状態で画素駆動を行なう。

20

【0247】

そして、次フィールドにおいても、電源駆動パルスDSLが第2電位Vssに切り替えられた有機EL素子127の消光時（つまり電源オフ時）において、SWトランジスタ128_1をオフに切り替え、SWトランジスタ128_2をオンに切り替える。

【0248】

有機EL素子127の消光時（つまり電源オフ時）においてSWトランジスタ128_1、128_2のオン/オフを切り替える点や、SWトランジスタ128_1とSWトランジスタ128_2のオン期間がオーバーラップしていてもよい点は第4適用例と同様である。

30

【0249】

また、第4適用例での説明と同様に、SWトランジスタ128_1とSWトランジスタ128_2のオン/オフの切替え、すなわち発光に供される分割画素（その有機EL素子127）の切替えは、数（たとえば2～5）フィールド単位で行なってもよい。

【0250】

第6適用例によれば、分割画素の何れかが滅点であっても、時分割駆動させることで、1画素全体としては、滅点期間と発光期間とが存在することになり、その画素に滅点の分割画素が存在することの視認性を低下させることができ、パネルの高歩留まりが期待できる。面順次駆動の仕組みと線順次駆動の仕組みを組み合わせたような駆動方式である点では、線順次駆動の第4適用例や面順次駆動の第5適用例とは異なるが、分割画素を時分割するという基本的な仕組みには相違がなく、第4適用例や第5適用例と同様の効果を楽しむことができる。

40

【0251】

また、ここで示した第6適用例の具体的な事例では1画素を2つの分割画素に分ける場合であるので、時分割駆動時にオン状態とするSWトランジスタ128の組合せとしては、最も少なくなる何れか一方となるが、3つ以上に分ける場合に関しては、第4適用例での説明と同様である。

50

【0252】

<減点素子対策の第7適用例>

図14は、減点素子対策機能を備えた本実施形態の画素回路Pにおける第7適用例を説明する図である。ここで、図14は、説明を簡単にするため、1画素を2つの分割画素に分けた図9に示す構成との対応で示した第7適用例のタイミングチャートである。

【0253】

第7適用例は、第4～第6適用例と同様に、画素アレイ部102の各画素回路Pについて、発光期間において分割画素を切り替える、つまり、分割画素を時分割駆動して選択的に発光させる点に特徴がある。第4～第6適用例との相違は、フィールド単位ではなく、フィールド内でSWトランジスタ128_kの切替えを行なう点にある。

10

【0254】

本適用例は一例として切替えは、第4～第6適用例と同様に、電源駆動パルスDSLが第2電位V_{ss}に切り替えられた有機EL素子127の消光時（つまり電源オフ時）において行なう。スイッチの切替えは必ずしも電源オフのときに行なう必要はない。

【0255】

このため、たとえば、先ず、SWトランジスタ128₁をオン、SWトランジスタ128₂をオフにしている状態で、あるフィールドにおいて発光期間に入る。これにより、分割画素P₁の有機EL素子127₁が発光する。そして、しばらくの間、有機EL素子127₁での発光を続けた後に、電源駆動パルスDSLを一端、第1電位V_{cc}から第2電位V_{ss}に切り替える。これにより、有機EL素子127₁での発光が停止する。SWトランジスタ128₁がオン時の有機EL素子127₁の発光期間L₁は、概ね、書込駆動パルスWSがLになってから電源駆動パルスDSLが第2電位V_{ss}になるまでの期間である。

20

【0256】

そして、電源駆動パルスDSLが第2電位V_{ss}の期間に、SWトランジスタ128₁をオフ、SWトランジスタ128₂をオンに切り替える。この後、電源駆動パルスDSLを、第2電位V_{ss}から第1電位V_{cc}に戻す。これにより、分割画素P₂の有機EL素子127₂が発光する。SWトランジスタ128₂がオン時の有機EL素子127₂の発光期間L₂は、概ね、電源駆動パルスDSLを第2電位V_{ss}から第1電位V_{cc}に戻した後、電源駆動パルスDSLが第2電位V_{ss}になるまでの期間である。

【0257】

この後、第4適用例と同様に、電源駆動パルスDSLが第2電位V_{ss}に切り替えられた有機EL素子127の消光時（つまり電源オフ時）において、SWトランジスタ128₁をオンに切り替え、SWトランジスタ128₂をオフに切り替える。以下、同様に、次フィールドにおいても、フィールド内で、SWトランジスタ128₁をオンでSWトランジスタ128₂をオフ、この後、SWトランジスタ128₁をオフでSWトランジスタ128₂をオンとする、SWトランジスタ128_kの切替えを伴う画素駆動を行なう。そして、フィールドが切り替えられる都度、このような動作を繰り返す。なお、SWトランジスタ128₁とSWトランジスタ128₂のオン期間がオーバーラップしていてもよい点は第4適用例と同様である。

30

【0258】

第7適用例によれば、分割画素の何れかが減点であっても、フィールド内で時分割駆動させることで、1画素全体としては、減点期間と発光期間とが存在することになり、その画素に減点の分割画素が存在することの視認性を低下させることができ、パネルの高歩留まりが期待できる。発光している分割画素P_kの有機EL素子127_kは1フィールド内で異なるので、完全に減点とはならず、パネルの高歩留まりが実現できるのである。フィールド内で時分割駆動する点では、線順次駆動の第4適用例や面順次駆動の第5適用例や面順次駆動の仕組みと線順次駆動の仕組みを組み合わせたような駆動方式である第6適用例とは異なるが、分割画素を時分割するという基本的な仕組みには相違がなく、第4～第6適用例と同様の効果を楽しむことができる。

40

【0259】

50

特に、第7適用例では、フィールド単位ではなくフィールド内で時分割駆動するので、切替えの周期がフィールド単位よりも確実に短くなり、滅点でない（つまり発光する）分割画素による視覚的な残像効果を確実に享受できるので、滅点の視認性が確実に低くなる利点がある。

【0260】

たとえば、SWトランジスタ128₁がオン時の有機EL素子127₁の発光期間L₁とSWトランジスタ128₂がオン時の有機EL素子127₂の発光期間L₂は、概ね、電源駆動パルスDSLが一端第2電位V_{ss}に切り替える期間のタイミング設定で決まるので、両発光期間L₁、L₂を同じにすることに限らず、容易に異なるようにできる。この場合の好適な適用は、滅点数が少ない方のオン期間の方が滅点数が多い方のオン期間よりも長くするのがよい。滅点数が少ない方をより長く発光に使用することで、パネル全体としての滅点の視認性をより低くするのである。

10

【0261】

また、ここで示した第7適用例の具体的な事例では1画素を2つの分割画素に分ける場合であるので、時分割駆動時にオン状態とするSWトランジスタ128の組合せとしては、最も少なくなる何れか一方となるが、3つ以上に分ける場合に関しては、第4適用例の説明と同様である。

【0262】

また、図14では、線順次駆動を適用した図11に示した第4適用例に対する変形例で示しているが、第7適用例の仕組みは、第5適用例や第6適用例にも、同様に適用することができる。因みに、第6適用例では、線順次駆動と同様の切替えタイミングとなるので、第7適用例の適用は何ら問題はない。これに対して、第5適用例では、面順次駆動であり、全行を一括して切替えているので、第7適用例の適用に当たっては、線順次駆動と同様に、各行のSWトランジスタ128_kを駆動する制御信号Tcnt_kを、書込駆動パルスWSに合わせて、行単位で独立に制御するように変更すればよい。

20

【0263】

以上、本発明について実施形態を用いて説明したが、本発明の技術的範囲は前記実施形態に記載の範囲には限定されない。発明の要旨を逸脱しない範囲で前記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本発明の技術的範囲に含まれる。

30

【0264】

また、前記の実施形態は、クレーム（請求項）にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組合せの全てが発明の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜の組合せにより種々の発明を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この幾つかの構成要件が削除された構成が発明として抽出され得る。

【0265】

<画素回路の変形例>

画素回路の側面では、駆動電流を一定に維持する駆動信号一定化回路の一例であるブートストラップ回路や閾値&移動度補正回路の構成例として、駆動トランジスタ121としてnチャネル型を用いた2TR構成としつつ駆動タイミングを工夫する例を示したが、これは有機EL素子127を駆動するための駆動信号を一定に維持する駆動信号一定化回路および駆動タイミングの一例に過ぎず、有機EL素子127の経時変化やnチャネル型の駆動トランジスタ121の特性変動（たとえば閾値電圧や移動度などのばらつきや変動）による駆動電流I_{ds}に与える影響を防ぐための駆動信号一定化回路としては、その他の様々な回路を適用することができる。

40

【0266】

たとえば、回路理論上は「双対の理」が成立するので、画素回路Pに対しては、この観点からの変形を加えることができる。この場合、図示を割愛するが、先ず、図9や図9A

50

に示した 2 T R 構成の画素回路 P が n チャネル型の駆動トランジスタ 1 2 1 を用いて構成しているのに対し、p チャネル型の駆動トランジスタを用いて画素回路 P を構成する。これに合わせて、映像信号 V_{sig} のオフセット電位 V_{ofs} に対する信号振幅 V_{in} の極性や電源電圧の大小関係を逆転させるなど、双対の理に従った変更を加える。

【0267】

たとえば「双対の理」に従った変形態様の画素回路 P では、p チャネル型の駆動トランジスタ（以下 p 型駆動トランジスタ 1 2 1 p と称する）のゲート端とソース端と間に保持容量 1 2 0 を接続し、p 型駆動トランジスタ 1 2 1 p のソース端側を有機 E L 素子 1 2 7 のカソード側とし、この間に分割画素用のスイッチ素子を配置する。有機 E L 素子 1 2 7 のアノード端は基準電位としてのアノード電位 V_{anode} にする。このアノード電位 V_{anode} は、基準電位を供給する全画素共通の基準電源（高電位側）に接続する。 10

【0268】

p 型駆動トランジスタ 1 2 1 p は、そのドレイン端が低電圧側の電源電位 V_{ss} に接続され、有機 E L 素子 1 2 7 を発光させる駆動電流 I_{ds} を流す。本構成では低電圧側の電源電位 V_{ss} が第 1 電位となり、対応する第 2 電位は高電圧側の電源電位 V_{cc} とする。映像信号線 1 0 6 HS と書込走査線 1 0 4 WS との交差部には p チャネル型のサンプリングトランジスタ（以下 p 型サンプリングトランジスタ 1 2 5 p と称する）を配する。p 型サンプリングトランジスタ 1 2 5 p は、ゲート端を書込走査部 1 0 4 からの書込走査線 1 0 4 WS に接続し、ドレイン端（もしくはソース端）を映像信号線 1 0 6 HS に接続し、ソース端（もしくはドレイン端）を p 型駆動トランジスタ 1 2 1 p のゲート端と保持容量 1 2 0 の一方の端子との接続点に接続する。p 型サンプリングトランジスタ 1 2 5 p のゲート端には書込走査部 1 0 4 からアクティブ L の書込駆動パルス WS を供給する。 20

【0269】

このような双対の理を適用してトランジスタを p 型にした変形例の有機 E L 表示装置においても、前述の n 型にした有機 E L 表示装置と同様に、閾値補正動作、移動度補正動作、およびブートストラップ動作を実行することができる。

【0270】

なお、ここで説明した変形例は、図 9 や図 9 A に示した 2 T R 構成に対して「双対の理」に従った変更を加えたものであるが、回路変更の手法はこれに限定されるものではない。たとえば、図 2 に示した第 1 比較例や図 3 に示した第 2 比較例の画素回路 P において、図 9 や図 9 A に示した本実施形態の画素回路 P のように、1 画素を複数の分割画素に分け、それぞれに少なくとも 1 つの有機 E L 素子 1 2 7 を設け、各分割画素の有機 E L 素子 1 2 7 を、共通の保持容量 1 2 0 および駆動トランジスタ 1 2 1 で駆動する仕組みを採ってもよい。 30

【0271】

また、図示しないが、サンプリングトランジスタ（スイッチングトランジスタの一例）および駆動トランジスタ以外に、駆動電流を一定に維持する制御を行なうための他のスイッチングトランジスタが設けられた、2 T R 構成以外であってもよい。ただし、高精細の表示が求められる小型の表示装置を実現する点では、2 T R 構成にて駆動信号一定化機能を実現するのが最適である。 40

【0272】

ここで、各種の変形例においても、従来の 1 画素を複数の領域（分割画素）に分け、それぞれが有機 E L 素子を有するようになるとともに、各分割画素の各有機 E L 素子を共通の保持容量 1 2 0 および駆動トランジスタ 1 2 1 で駆動する仕組みを採り、かつ駆動トランジスタ 1 2 1 のソースと各分割画素の有機 E L 素子 1 2 7 の共通電位間にそれぞれ S W トランジスタ 1 2 8 を介在させる構成を採ることができる。

【0273】

第 1 適用例のように、分割画素の何れかがショート滅点となる場合であっても、S W トランジスタ 1 2 8 をオフさせることで滅点箇所を電氣的に切り離し、他の分割画素で発光させることで、その分割画素の滅点箇所を目立たなくして、点欠陥による歩留まり低下を 50

避けることができる。

【 0 2 7 4 】

あるいは、第 2 や第 3 適用例のように、全ての発光期間において、各分割画素の S W トランジスタ 1 2 8 の何れかを選択的に使用することで、滅点箇所をリペアしなくても、実使用時に観察される滅点数を従前よりも減らすことができる。

【 0 2 7 5 】

あるいは、第 4 ~ 第 7 適用例のように、発光期間において、各分割画素の S W トランジスタ 1 2 8 を時分割駆動することで、滅点箇所をリペアしなくても、分割画素の滅点位置が時間的かつ空間的に平均化され、滅点の視認性を低下させることができる。

【図面の簡単な説明】

10

【 0 2 7 6 】

【図 1】本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図（第 1 構成例）である。

【図 1 A】本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図（第 2 構成例）である。

【図 2】本実施形態の画素回路に対する第 1 比較例を示す図である。

【図 3】本実施形態の画素回路に対する第 2 比較例を示す図である。

【図 4】有機 E L 素子や駆動トランジスタの動作点を説明する図である。

【図 4 A】有機 E L 素子や駆動トランジスタの特性ばらつきが駆動電流に与える影響を説明する図である。

20

【図 5】本実施形態の画素回路に対する第 3 比較例を示す図である。

【図 6】図 5 に示した本実施形態の画素回路に関する本実施形態の駆動タイミングの基本例を説明するタイミングチャートである。

【図 7】画素回路における点欠陥を説明する図であって、滅点発生時の有機 E L 素子等価回路を説明する図である。

【図 7 A】半導体基板上における有機 E L 素子の配置関係を説明する図である。

【図 8】本実施形態の画素回路に対する滅点素子対策機能を備えた第 4 比較例（その 1）を説明する図である。

【図 8 A】本実施形態の画素回路に対する滅点素子対策機能を備えた第 4 比較例（その 2）を説明する図である。

30

【図 9】本実施形態の画素回路（その 1）を説明する図である。

【図 9 A】本実施形態の画素回路（その 2）を説明する図である。

【図 1 0】本実施形態の画素回路における第 2 適用例を説明する図である。

【図 1 0 A】本実施形態の画素回路における第 3 適用例を説明する図である。

【図 1 1】本実施形態の画素回路における第 4 適用例が適用される滅点箇所の一例を示す図である。

【図 1 1 A】第 4 適用例のタイミングチャートである。

【図 1 2】本実施形態の画素回路における第 5 適用例を適用するための有機 E L 表示装置の垂直走査系統に着目した回路構成を示すブロック図である。

【図 1 2 A】第 5 適用例のタイミングチャートである。

40

【図 1 3】本実施形態の画素回路における第 6 適用例を適用するための有機 E L 表示装置の垂直走査系統に着目した回路構成を示すブロック図である。

【図 1 3 A】第 6 適用例のタイミングチャートである。

【図 1 4】本実施形態の画素回路における第 7 適用例のタイミングチャートである。

【符号の説明】

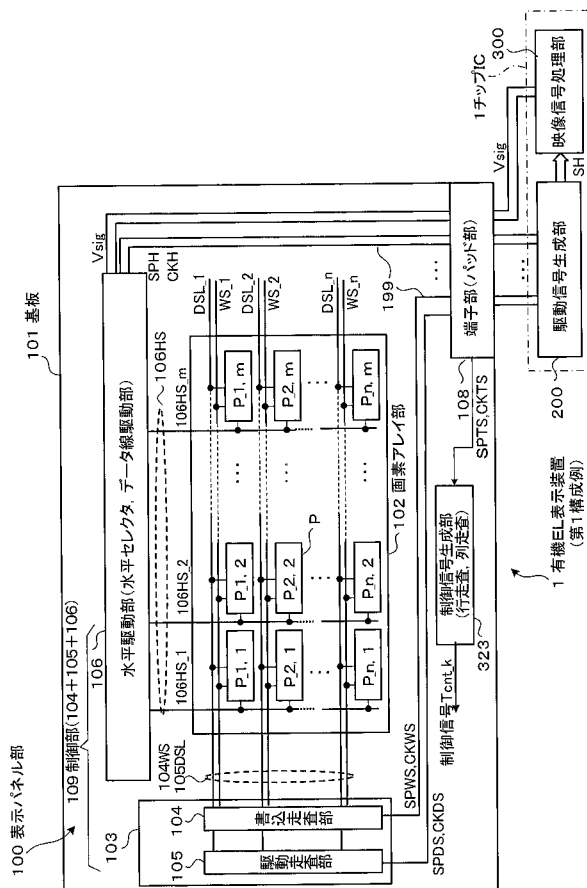
【 0 2 7 7 】

1 ... 有機 E L 表示装置、 1 0 0 ... 表示パネル部、 1 0 1 ... 基板、 1 0 2 ... 画素アレイ部、 1 0 3 ... 垂直駆動部、 1 0 4 ... 書込走査部、 1 0 5 ... 駆動走査部、 1 0 6 ... 水平駆動部、 1 0 9 ... 制御部、 1 2 0 ... 保持容量、 1 2 1 ... 駆動トランジスタ、 1 2 2 ... 発光制御トランジスタ、 1 2 5 ... サンプリングトランジスタ、 1 2 7 ... 有機 E L 素子（電気光学素子

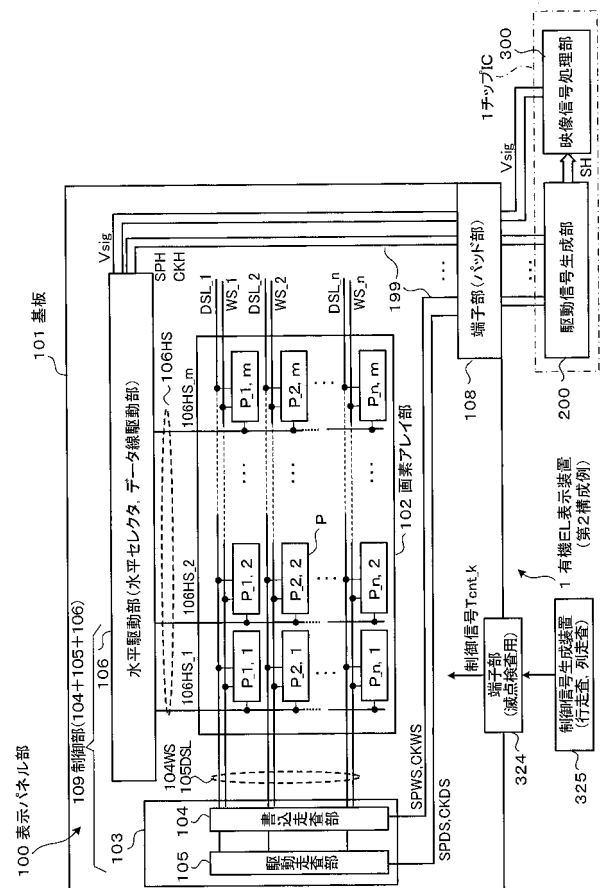
50

の一例)、128...SWトランジスタ(スイッチ素子の一例)、200...駆動信号生成部、300...映像信号処理部、323...制御信号生成部、324...端子部、325...制御信号生成装置、Cel...有機EL素子の寄生容量、P...画素回路

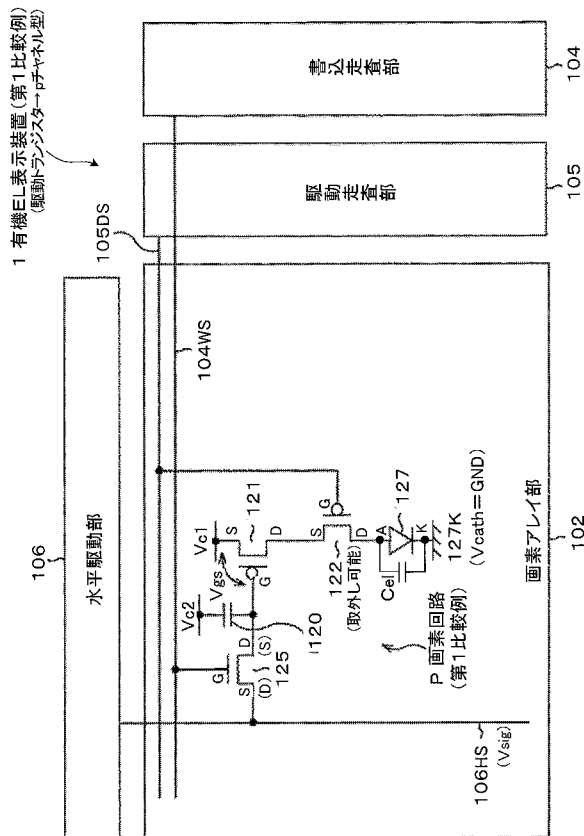
【 図 1 】



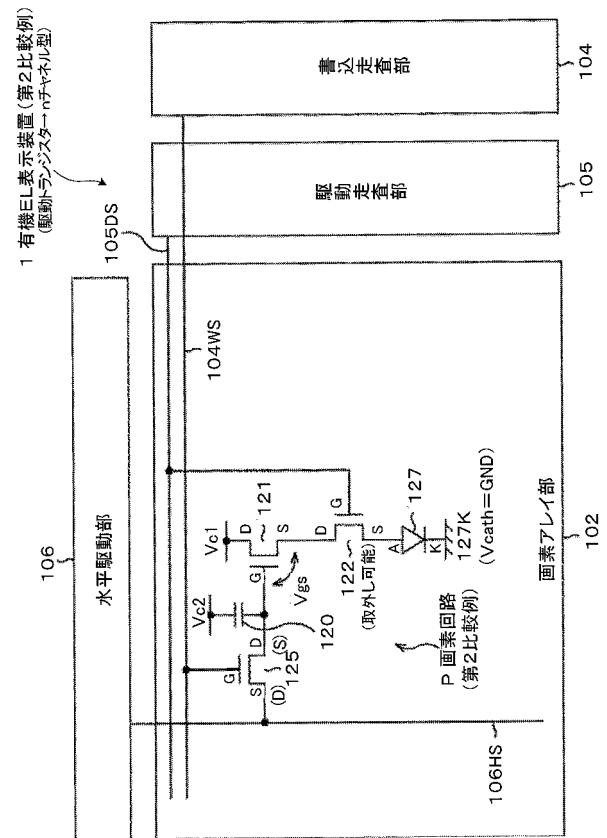
【 図 1 A 】



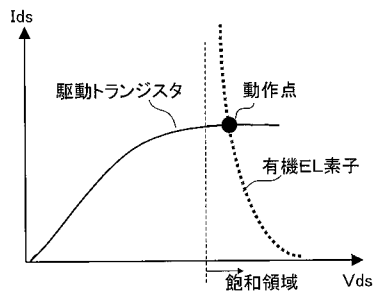
【 図 2 】



【 図 3 】

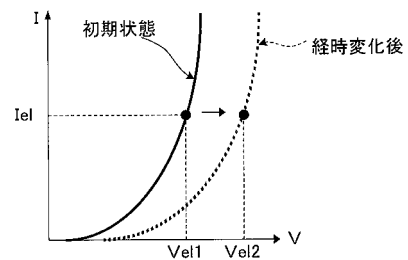


【 図 4 】

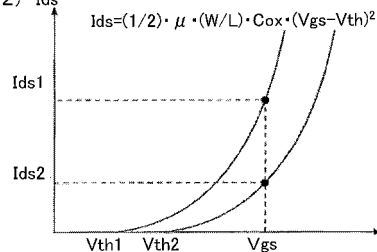


【 図 4 A 】

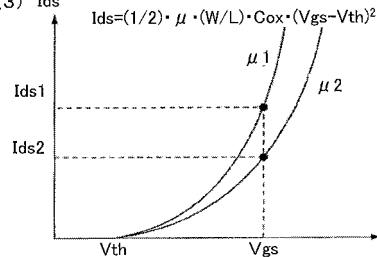
(1) <有機EL素子のV-I特性の経時変化>



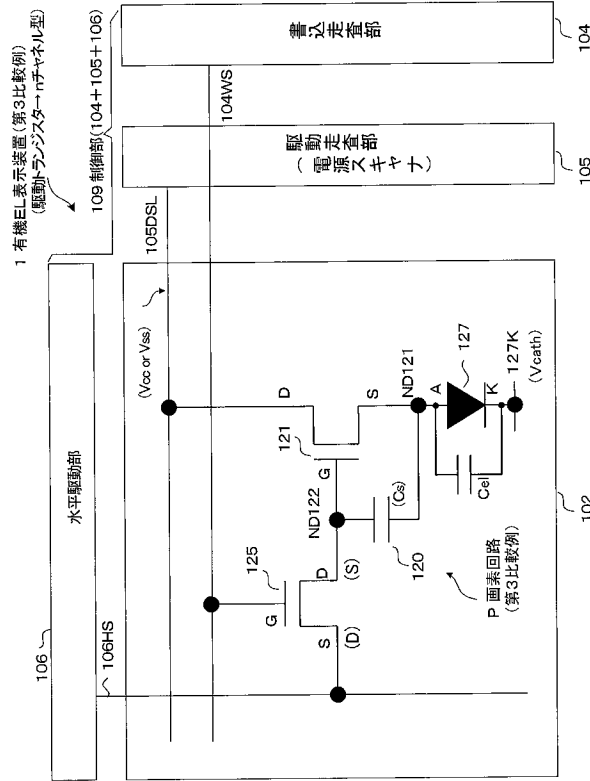
(2) I_{ds}



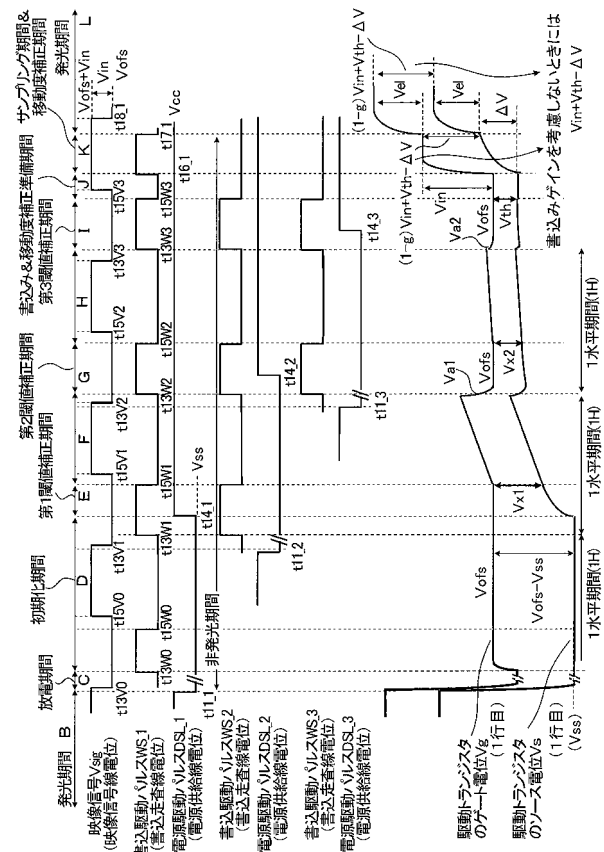
(3) I_{ds} $I_{ds} = (1/2) \cdot \mu \cdot (W/L) \cdot C_{ox} \cdot (V_{gs} - V_{th})^2$



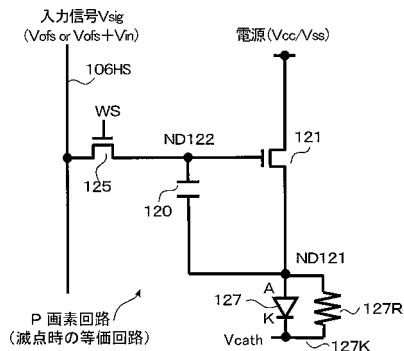
【 図 5 】



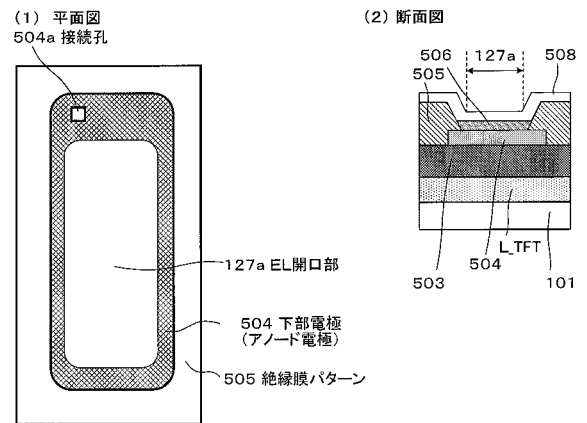
【 図 6 】



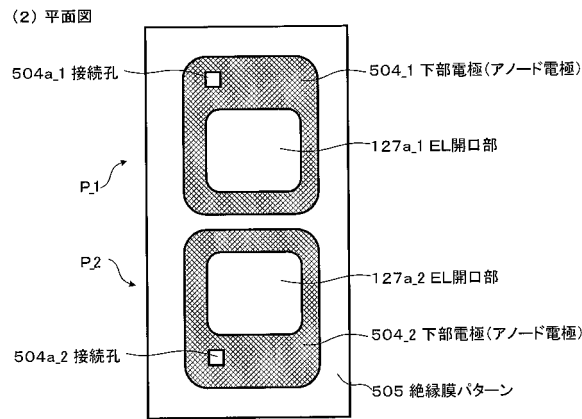
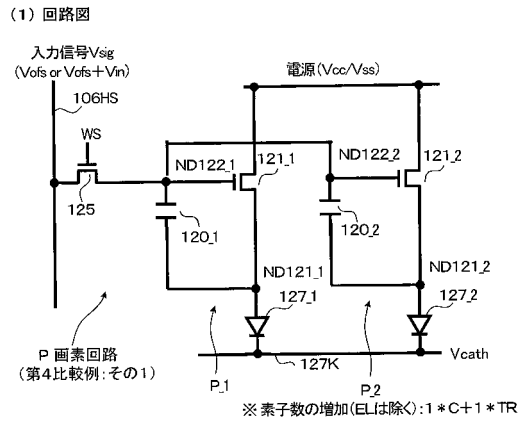
【 図 7 】



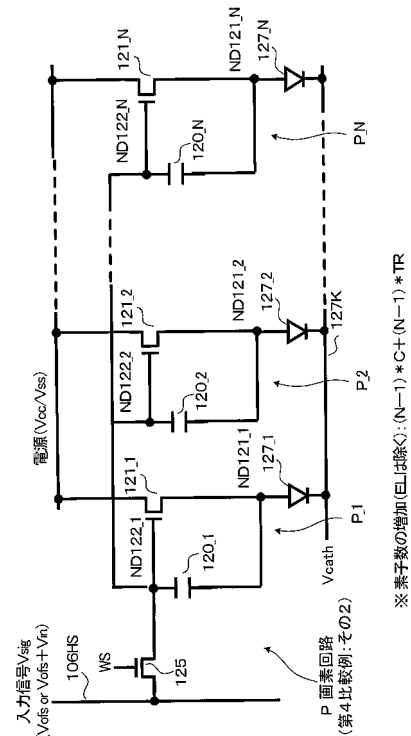
【 図 7 A 】



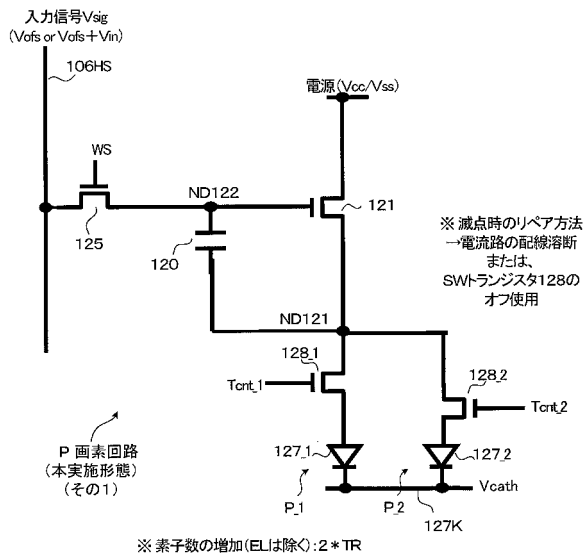
【図 8】



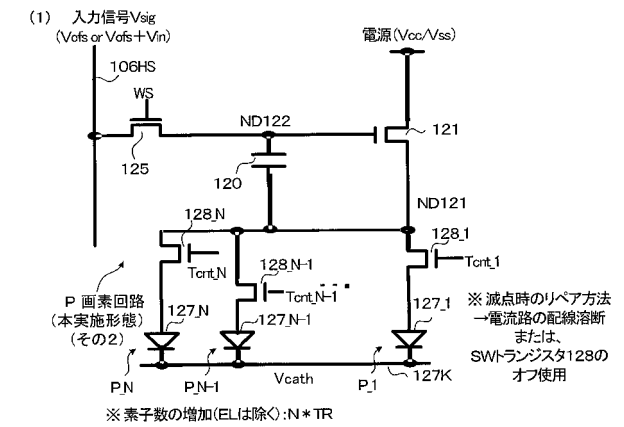
【図 8 A】



【図 9】



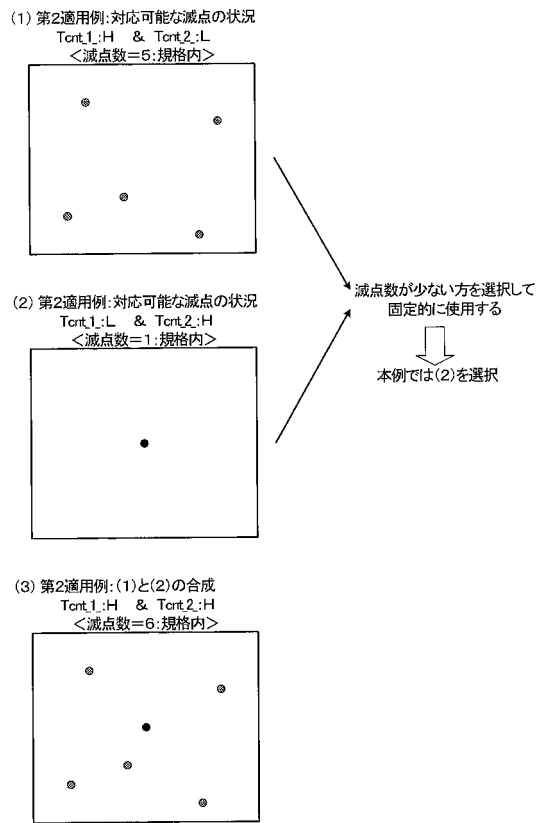
【図 9 A】



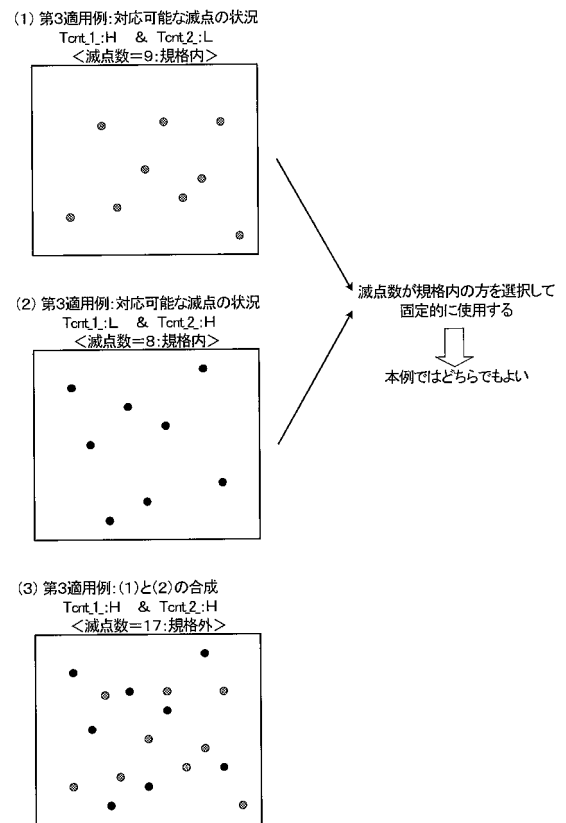
(2) 減点検査

128k	127N	127N-1	...	127,2	127,1
TontN:H	発光→正常	不問		不問	不問
他は全て	非発光→減点	不問		不問	不問
さらに	減点特定済み	発光→正常			
TontN-1:H	正常	...		...	...
128N-1:オン	不問(正常)	非発光→減点			
...				...	...
Tontk:H	減点特定済み	発光→正常			
全てオン	正常	...		...	...
	不問(正常)	非発光→減点			

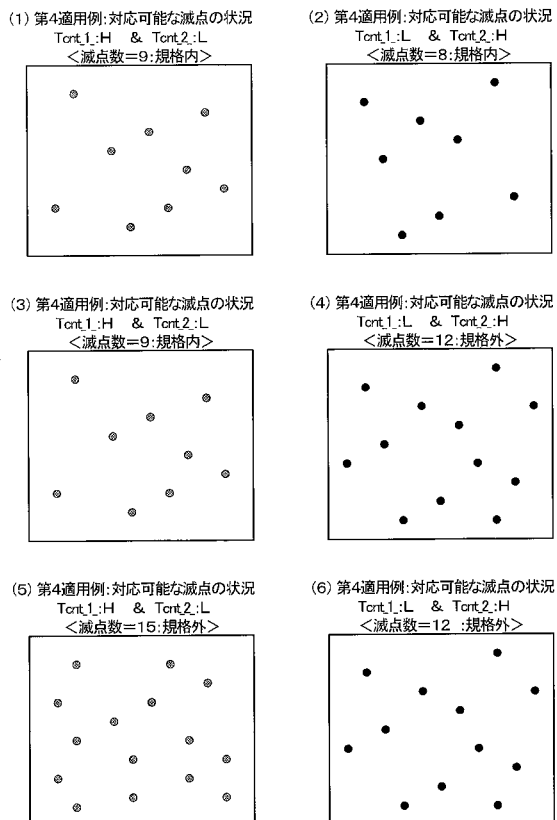
【図 10】



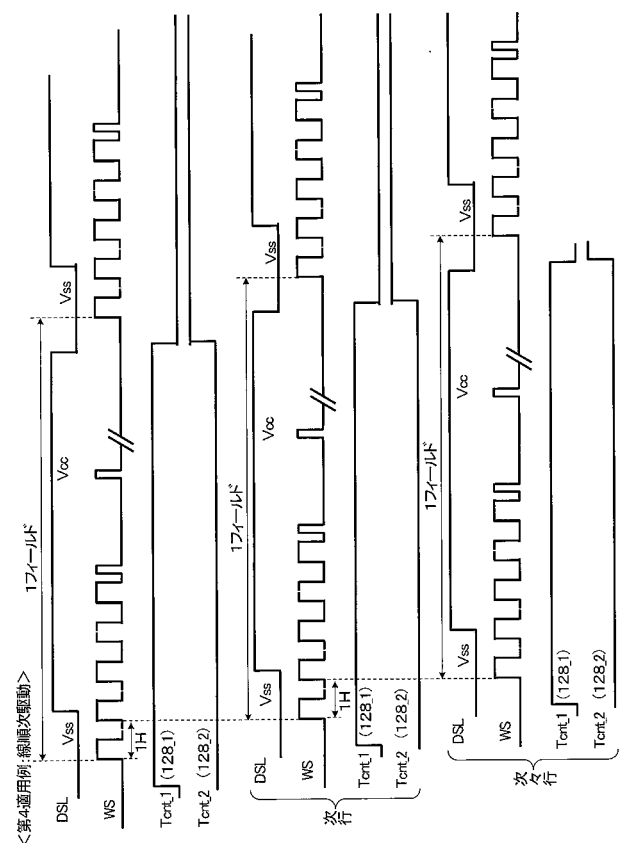
【図 10 A】



【図 11】

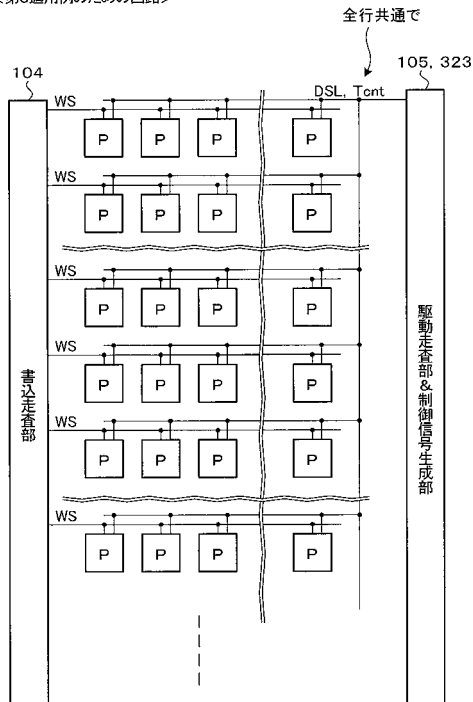


【図 11 A】



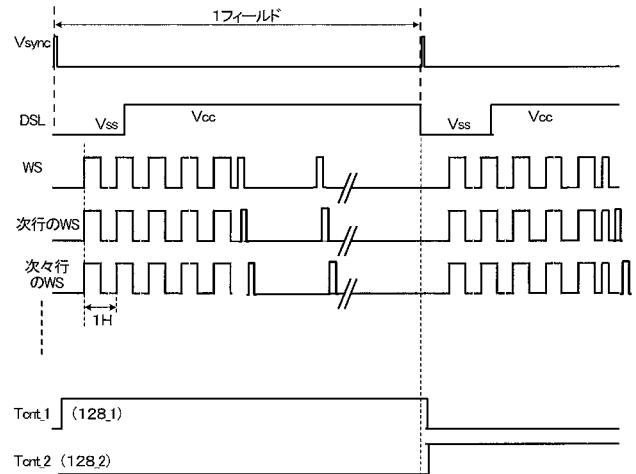
【図 1 2】

<第5適用例のための回路>



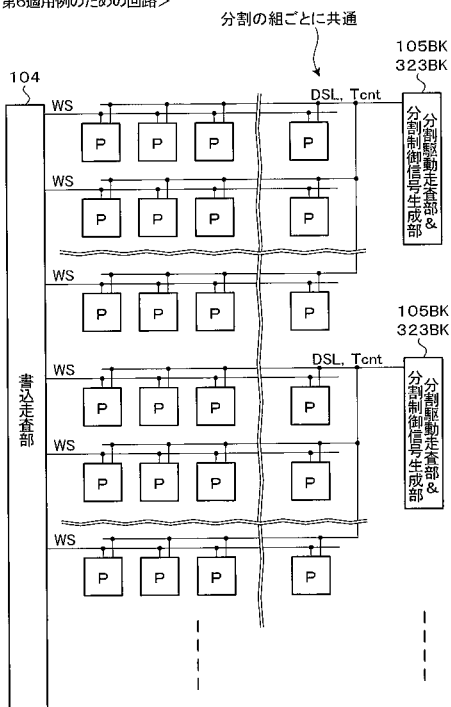
【図 1 2 A】

<第5適用例:面順次駆動>



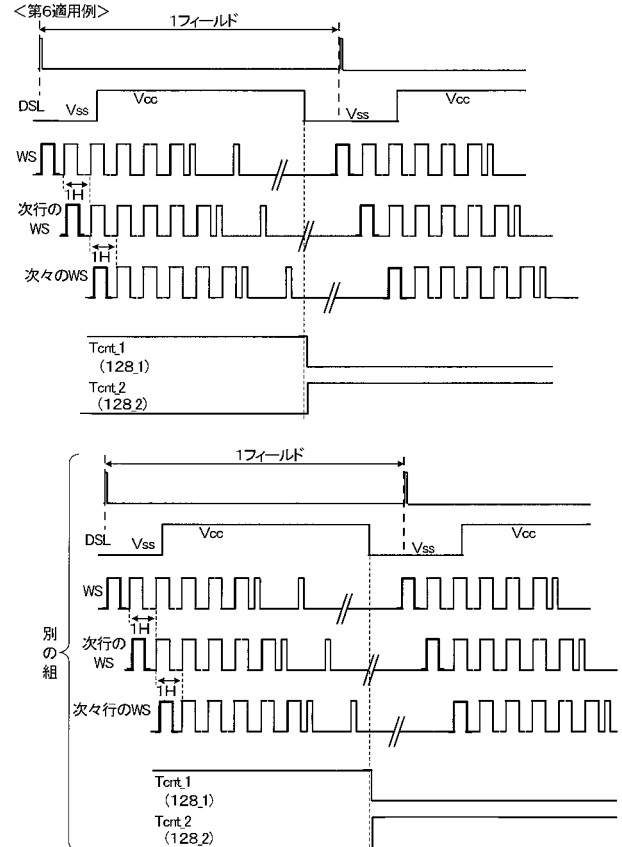
【図 1 3】

<第6適用例のための回路>



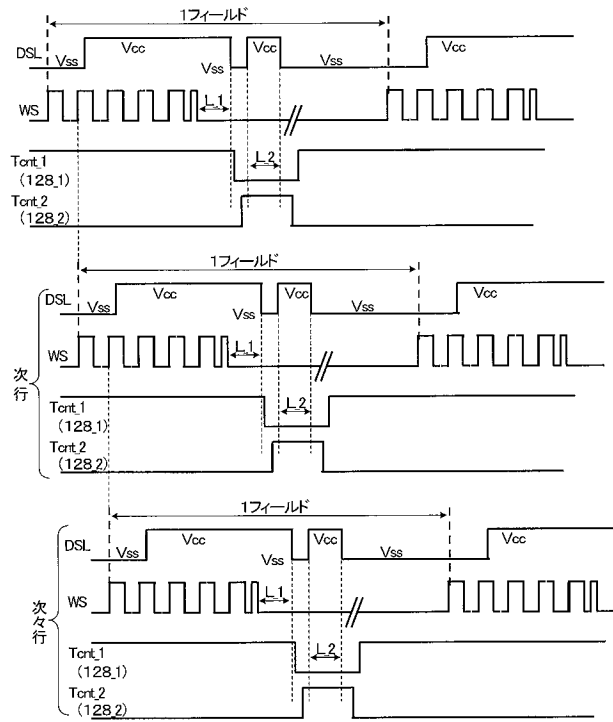
【図 1 3 A】

<第6適用例>



【図 14】

<第7適用例:線順次駆動>



フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 7 0 A
G 0 9 G	3/20	6 7 0 B
G 0 9 G	3/20	6 8 0 H