

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5624715号  
(P5624715)

(45) 発行日 平成26年11月12日(2014.11.12)

(24) 登録日 平成26年10月3日(2014.10.3)

(51) Int.Cl. F I  
**G 1 1 C 11/401 (2006.01)** G 1 1 C 11/34 3 7 1 K  
**G 1 1 C 11/4096 (2006.01)** G 1 1 C 11/34 3 5 4 H

請求項の数 16 (全 15 頁)

(21) 出願番号	特願2008-279745 (P2008-279745)	(73) 特許権者	513192281
(22) 出願日	平成20年10月30日(2008.10.30)		ピーエスフォー ルクスコ エスエイアー ルエル
(65) 公開番号	特開2010-108549 (P2010-108549A)		PS4 Luxco S. a. r. l.
(43) 公開日	平成22年5月13日(2010.5.13)		ルクセンブルク大公国エルー2121、ルク センブルク、ヴァル デ ボン マラデ ス208
審査請求日	平成23年8月8日(2011.8.8)	(74) 代理人	100101454 弁理士 山田 卓二
		(72) 発明者	岡廣 哲明 東京都中央区八重洲二丁目2番1号 エル ピーダメモリ株式会社内
		(72) 発明者	野田 浩正 東京都中央区八重洲二丁目2番1号 エル ピーダメモリ株式会社内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

複数のメモリセルマットと、  
 前記複数のメモリセルマットの各々に隣接して配置される複数のサブワードドライバ領域及び複数のセンスアンプ領域と、  
 前記複数のサブワードドライバ領域の各々と前記複数のセンスアンプ領域の各々との交点領域である複数の交点領域と、  
 前記複数の交点領域のうち、第1の交点領域に配置されたサブアンプと、  
 前記複数の交点領域のうち、前記第1の交点領域と異なる第2の交点領域に配置され、前記サブワードドライバ領域の延在方向から供給されるサブアンプタイミング信号に基づき前記サブアンプの起動信号を前記サブアンプに供給する起動信号供給回路と  
 を有することを特徴とする半導体記憶装置。

【請求項2】

前記起動信号供給回路が、前記サブワードドライバ領域の延在方向から供給されるサブアンプタイミング信号と、該サブワードドライバ領域の延在方向の直交方向から供給されて前記サブワードドライバ領域の延在方向の直交方向に並んだ複数の前記メモリセルマットからなるメモリセルマット列を選択するメモリセルマットアドレスとに基づき前記サブアンプの起動信号を発生し、前記複数の第1の交点領域に対して供給することを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】

前記サブアンプに接続されたローカル入出力線と前記メモリセルマト内のメモリセルに接続されているビット線との間を接続する列選択回路の起動信号が、前記サブワードドライバ領域の延在方向から供給される

ことを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 4】

前記第 1 の交点領域に複数の前記サブアンプが配置されている

ことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 5】

1 つの前記起動信号供給回路から複数の前記サブアンプに対して共通で前記サブアンプの起動信号が供給される

ことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 6】

共通で前記サブアンプの起動信号が供給される複数の前記サブアンプが、前記サブワードドライバ領域の延在方向の直交方向に並んだ複数の前記センスアンプ領域からなる複数のセンスアンプ列のなかの同一のセンスアンプ列に配置されている

ことを特徴とする請求項 5 に記載の半導体記憶装置。

【請求項 7】

複数のメモリセルマトと、

前記複数のメモリセルマトの各々に隣接して配置され、各々サブワードドライバ回路を有する複数のサブワードドライバ領域と、

前記複数のメモリセルマトの各々に隣接して配置され、各々センスアンプ回路を有する複数のセンスアンプ領域と、

複数の前記センスアンプ領域からなるセンスアンプ列のうち、複数の前記メモリセルマトからなるメモリセルマト列の 1 つを選択するメモリセルマトアドレスによる前記メモリセルマト列の選択動作に応じて同時に活性化される複数の前記センスアンプ回路が配置された前記センスアンプ領域を含む前記センスアンプ列に配置された複数のサブアンプと、

前記サブアンプの起動信号を前記複数のサブアンプの少なくとも一部に共通に供給する複数の起動信号供給回路とを備え、

前記サブアンプと前記起動信号供給回路とが、前記複数のサブワードドライバ領域の各々と前記複数のセンスアンプ領域の各々との交点領域である複数の交点領域のうちの異なる交点領域に配置されている

ことを特徴とする半導体記憶装置。

【請求項 8】

前記サブワードドライバ領域と前記センスアンプ領域の交点領域に複数のサブアンプが配置されている

ことを特徴とする請求項 7 に記載の半導体記憶装置。

【請求項 9】

同一の前記センスアンプ列に配置された全てのサブアンプが略同一のタイミングによって起動される

ことを特徴とする請求項 7 に記載の半導体記憶装置。

【請求項 10】

前記同時に起動されるサブアンプが配置されたセンスアンプ列が、前記メモリセルマトアドレスによって選択されたメモリセルマト列に隣接するセンスアンプ列である

ことを特徴とする請求項 9 に記載の半導体記憶装置。

【請求項 11】

前記サブアンプに接続されたローカル入出力線と前記メモリセルマト内のメモリセルに接続されているビット線との間を接続する列選択回路の起動信号の切り替えタイミングが、前記サブアンプの起動タイミングと略同一である

ことを特徴とする請求項 7 に記載の半導体記憶装置。

10

20

30

40

50

## 【請求項 1 2】

前記センスアンプ列が、前記サブワードドライバ領域の延在方向の直交方向に並んだ複数の前記センスアンプ領域からなり、

前記メモリセルマット列が、前記サブワードドライバ領域の延在方向の直交方向に並んだ複数の前記メモリセルマットからなる

ことを特徴とする請求項 7 に記載の半導体記憶装置。

## 【請求項 1 3】

複数のメモリセルマットと、

前記複数のメモリセルマットに各々対応して設けられた複数のサブアンプと、

前記サブアンプの起動信号を前記複数のサブアンプに供給する起動信号供給回路とを備え、

前記複数のメモリセルマットのうち活性化されたメモリセルマットに対応して設けられた前記サブアンプのみを活性化するように、前記起動信号供給回路が前記サブアンプの起動信号を前記複数のサブアンプに供給し、

前記複数のメモリセルマットと前記複数のメモリセルマットの各々に隣接して配置される複数のサブワードドライバ領域とが一行に並んだものである複数のメモリセルマット列に隣接して複数のセンスアンプ領域を並べたものであるセンスアンプ列に、前記サブアンプと前記起動信号供給回路とが配置され、

前記センスアンプ列内の前記センスアンプ領域外で前記サブワードドライバ領域と並んだ領域である交点領域のうち、異なる交点領域に、前記サブアンプと前記起動信号供給回路とが配置されている

ことを特徴とする半導体記憶装置。

## 【請求項 1 4】

前記サブアンプの起動信号によって活性化されるサブアンプが、前記複数のメモリセルマットと前記複数のメモリセルマットの各々に隣接して配置される複数のサブワードドライバ領域とが一行に並んだものである複数のメモリセルマット列のうちの 1 つに対応するものである

ことを特徴とする請求項 1 3 に記載の半導体記憶装置。

## 【請求項 1 5】

前記メモリセルマット列を選択するメモリセルマットアドレスによって活性化されたメモリセルマット列に隣接するサブアンプのみが活性化する

ことを特徴とする請求項 1 4 に記載の半導体記憶装置。

## 【請求項 1 6】

複数の前記起動信号供給回路を備え、

前記各サブアンプに対して該複数の起動信号供給回路のうちのいずれか 1 つから前記サブアンプの起動信号が供給される

ことを特徴とする請求項 1 3 に記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、センスアンプの信号を増幅するサブアンプを備えた半導体記憶装置に関する。

## 【背景技術】

## 【0002】

センスアンプの信号を増幅するサブアンプを備えた半導体記憶装置がある。従来のサブアンプを備えた半導体記憶装置には、列選択信号とのタイミング合わせを容易にするため、サブアンプ回路の制御信号をカラムデコーダ（列デコーダ）側から入力するようにしたものがあ（特許文献 1 参照）。この特許文献 1 には、サブアンプ回路の制御信号（DREADT）をカラムデコーダ領域（3）側から入力することで、サブアンプ回路の制御信号（DREADT）と列選択信号（YS）とのタイミングを合わせやすくすることが記載されている。

10

20

30

40

50

【特許文献1】特開平11-214652号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

上記従来技術では、サブアンプ回路(9)において、サブワードドライバ領域(7)から入力されるマツト選択信号(BLEQ)との論理をとる構成となっている(特許文献1の図3、段落0021等参照)。しかし、全てのサブアンプ回路(9)において、サブアンプ制御信号(DREADT)とマツト選択信号(BLEQ)との論理をとる必要があり、サブアンプ回路(9)あるいはその周辺回路とからなる領域の面積が増加するという問題があった。

【課題を解決するための手段】

【0004】

本発明は、複数のメモリセルマツトと、前記複数のメモリセルマツトの各々に隣接して配置される複数のサブワードドライバ領域及び複数のセンスアンプ領域と、前記複数のサブワードドライバ領域の各々と前記複数のセンスアンプ領域の各々の交点領域である複数の交点領域と、前記複数の交点領域のうち、第1の交点領域に配置されたサブアンプと、前記複数の交点領域のうち、前記第1の交点領域と異なる第2の交点領域に配置され、前記サブワードドライバ領域の延在方向から供給されるサブアンプタイミング信号に基づき前記サブアンプの起動信号を前記サブアンプに供給する起動信号供給回路とを有することを特徴とする。

【0005】

また、他の発明は、複数のメモリセルマツトと、前記複数のメモリセルマツトの各々に隣接して配置され、各々サブワードドライバ回路を有する複数のサブワードドライバ領域と、前記複数のメモリセルマツトの各々に隣接して配置され、各々センスアンプ回路を有する複数のセンスアンプ領域と、前記サブワードドライバ領域の延在方向の直交方向に並んだ複数の前記センスアンプ領域からなるセンスアンプ列のうち、前記サブワードドライバ領域の延在方向の直交方向に並んだ複数の前記メモリセルマツトからなるメモリセルマツト列の1つを選択するメモリセルマツトアドレスによる前記メモリセルマツト列の選択動作に応じて同時に活性化される複数の前記センスアンプ回路が配置された前記センスアンプ領域を含む前記センスアンプ列に配置された複数のサブアンプと、前記サブアンプの起動信号を前記複数のサブアンプの少なくとも一部に共通に供給する複数の起動信号供給回路とを備えることを特徴とする。

【0006】

また、さらに他の発明は、複数のメモリセルマツトと、前記複数のメモリセルマツトに各々対応して設けられた複数のサブアンプと、前記サブアンプの起動信号を前記複数のサブアンプに供給する起動信号供給回路とを備え、前記複数のメモリセルマツトのうち活性化されたメモリセルマツトに対応して設けられた前記サブアンプのみを活性化するように、前記起動信号供給回路が前記サブアンプの起動信号を前記複数のサブアンプに供給することを特徴とする。

【発明の効果】

【0007】

本発明による半導体記憶装置においては、サブワードドライバ領域とセンスアンプ領域との交点領域を、サブアンプが配置された第1の交点領域と、それと異なる交点領域でありサブアンプを起動する起動信号を発生する起動信号供給回路が配置された第2の交点領域とに分けている。そして、起動信号供給回路から出力されるサブアンプの起動信号を複数の第1の交点領域すなわちサブアンプが配置されている複数の交点領域に共通に供給して、サブアンプが制御できるようにした。このことにより、上述の従来技術のようにサブアンプが配置された全ての交点領域でサブアンプの起動信号を生成する必要がなくなり、サブアンプにおける面積の増加を抑制することができる。

【0008】

また、他の発明による半導体記憶装置においては、メモリセルマツト列の1つを選択す

10

20

30

40

50

るメモリセルマットアドレスによるメモリセルマット列の選択動作に応じて同時に活性化される複数のセンスアンプ回路が配置されたセンスアンプ領域を含むセンスアンプ列に配置された複数のサブアンプの少なくとも一部に共通にサブアンプの起動信号を供給するようにした。このことにより、上述の従来技術のようにサブアンプが配置された全ての交点領域でサブアンプの起動信号を生成する必要がなくなり、サブアンプにおける面積の増加を抑制することができる。

【0009】

また、さらに他の発明は、サブアンプの起動信号を複数のサブアンプに供給する起動信号供給回路を設け、複数のメモリセルマットのうち活性化されたメモリセルマットに対応して設けられたサブアンプのみを活性化するようにサブアンプの起動信号を供給するようにした。このことにより、上述の従来技術のようにサブアンプが配置された全ての交点領域でサブアンプの起動信号を生成する必要がなくなり、サブアンプにおける面積の増加を抑制することができる。

【発明を実施するための最良の形態】

【0010】

以下、図面を参照して本発明の実施の形態について説明する。図1は、本発明による半導体記憶装置100におけるカラム系(列系)の信号パスを示す概略図である。この例において半導体記憶装置100は、周辺回路領域PERI、行デコーダ領域XDEC、行デコーダ領域XDECの延在方向と直交する方向に延在する列デコーダ領域YDEC、複数のメモリセルマットからなるメモリアレイ領域1等から構成されている。そして、この半導体記憶装置100において、列デコーダ領域YDECに対しては、外部から入力されたアドレスADD、コマンドCMDに基づいて周辺回路領域PERIで生成されたYSタイミング信号(列選択回路起動タイミング信号)が供給される。このYSタイミング信号は、ローカルIO線(ローカル入出力線)等の共通IO線(共通入出力線)とビット線(あるいはデータ線)との間に設けられているYSW(列選択回路)をオン/オフ制御するための信号である。さらに、外部から入力されたアドレスADD、コマンドCMDに基づいて周辺回路領域PERIで生成されたサブアンプタイミング信号が、YSタイミング信号と並行するようにして、列デコーダ領域YDECに対して供給される。

【0011】

次に、図2を参照して、図1のメモリアレイ領域1の構成をより詳細に説明する。なお、各図において、同一の構成には同一の参照符号を用いている。図2に示すメモリアレイ領域1には、複数のサブアンプ2が設けられている。このサブアンプ1個に対して、各1対のローカルIO線LIOとメインIO線(メイン入出力線)MIOが対応して設けられている。このサブアンプ2に対しては、起動信号供給回路としてのゲート回路(図2ではアンドゲート)3で生成されたサブアンプ起動タイミング信号がサブアンプ起動タイミング信号線4を用いて供給される。サブアンプ起動タイミング信号は、サブアンプ2を起動させるか否かを制御する信号である。このサブアンプ2とゲート回路3は、メモリアレイ領域1内に複数設けられている。図2に示す例では、8個のサブアンプ2へ供給されるサブアンプ起動タイミング信号が、2個のゲート回路3で生成されるようになっている。また、ゲート回路3は、MATアドレス(メモリセルマットアドレス)とサブアンプタイミング信号の論理積をとることで、サブアンプ起動タイミング信号を生成する。ここで用いられるサブアンプ起動タイミング信号線4は、行デコーダ領域XDECの延在方向(図の左右方向)と直交する方向(図の上下方向)に敷設されている。

【0012】

図2のMATアドレスは、外部から入力されたロウアドレスを行デコーダ領域XDEC内の行デコーダでデコードすることで生成される。MATアドレスは、所定のメモリセルマット列を選択する信号である。すなわち、MATアドレスは、図3に示すサブワードドライバ領域SWDの延在方向の直交方向から供給される信号であって、かつサブワードドライバ領域SWDの延在方向の直交方向に並んだ複数のメモリセルマットMATからなるメモリセルマット列の1つを選択する信号であり、行デコーダ領域XDEC側からMATアドレス線5を用いて、メ

10

20

30

40

50

モリアレイ領域 1 に供給される。また、上記MATアドレスに基づく所定のメモリセルマツト列の選択動作に応じて、選択されたメモリセルマツト列に対応する所定のセンスアンプ領域に配置されている複数のセンスアンプ回路が活性化される。ここで、メモリセルマツト列とは、メモリセルマツトMATが図 3 に示すように図の上下方向に複数の並んだもの（詳しくは複数のメモリセルマツトMATと、複数のメモリセルマツトMATの各々に隣接して配置される複数のサブワードドライバ領域SWDとが交互に一行に、サブワードドライバ領域SWDの延在方向の直交方向に並んだもの）である。このMATアドレス線 5 は、行デコーダ領域XDECの延在方向（図の左右方向）と直交する方向（図の上下方向）に敷設されている。

【 0 0 1 3 】

また、図 2 のサブアンプタイミング信号は、サブアンプ 2 を起動させる際に活性化される信号であり、YSタイミング信号（列選択回路起動タイミング信号）と共に列デコーダ領域YDEC側からモリアレイ領域 1 に対して供給される。このサブアンプタイミング信号を列デコーダ領域YDEC側から供給するのは、YSW（列選択回路；図示略）とサブアンプ 2 間のスキューを改善するためである。この例において、図 1 の周辺回路領域PERIで生成されたサブアンプタイミング信号は、ドライバ回路 6 を介してサブアンプタイミング信号線 7 上に入力される。このサブアンプタイミング信号線 7 は、列デコーダ領域YDECの延在方向（図の上下方向）に敷設されている。また、図 1 の周辺回路領域PERIで生成されたYSタイミング信号は、ドライバ回路 8 を介してYSタイミング信号線 9 上に入力される。このYSタイミング信号線 9 も、列デコーダ領域YDECの延在方向（図の上下方向）に敷設されている。さらに、YSタイミング信号線 9 上のYSタイミング信号は、ドライバ回路 10 を介してYS 20  
タイミング信号線 11 上を伝送される。また、サブアンプタイミング信号線 7 上のサブアンプタイミング信号は、ドライバ回路 12 を介してサブアンプタイミング信号線 13 上を伝送される。このYSタイミング信号線 11 とサブアンプタイミング信号線 13 は、行デコーダ領域XDECの延在方向（図の左右方向）に敷設されている。

【 0 0 1 4 】

なお、図 2 の例では、2 個のゲート回路 3 を設け、各ゲート回路 3 で 4 個のサブアンプ 2 をそれぞれ起動制御することとしているが、ゲート回路 3 の個数に制限はない。ゲート回路 3 の個数が多いほど、スキュー改善には有利である。

【 0 0 1 5 】

次に、図 3 を参照して、図 2 の鎖線で囲んだ A 部の詳細について説明する。ただし、図 30  
3 の例では、各ゲート回路 3 から、少なくとも 8 個のサブアンプ 2 に対してサブアンプ起動タイミング信号がそれぞれ供給されることとしている。また、図 3 では、複数のサブアンプ 2 に接続されるローカルIO線LIOとメインIO線MIOの一部をローカルIO線LIO0~7とメインIO線MIO4~7として示している。

【 0 0 1 6 】

図 3 に示すモリアレイ領域 1 では、複数のメモリセルマツトMATにそれぞれ隣接して、サブワードドライバ領域SWDとセンスアンプ領域SAとが配置されている。このサブワードドライバ領域SWDは、その延在方向が図 2 の行デコーダ領域XDECの延在方向に一致するように配置されている。したがって、行デコーダ領域XDECの延在方向に配置されているサブアンプタイミング信号線 13 は、サブワードドライバ領域SWDの延在方向（図の左右方向）に敷設されていることになる。このサブワードドライバ領域SWDの領域内には図示されないサブワードドライバ回路が設けられている。また、センスアンプ領域SAには図示されないセンスアンプ回路が配置されている。サブワードドライバ領域SWDとセンスアンプ領域SAとの交点領域には、起動信号供給回路であるゲート回路 3 を配置した交点領域（SWC\_A）とサブアンプ 2 を 1 又は複数配置した交点領域（SWC\_B）の 2 種類がある。ゲート回路 3 は、MATアドレスとサブアンプタイミング信号との論理をとることで、所定のメモリセルマツトMATに対応するサブアンプ起動タイミング信号を活性化させる。

【 0 0 1 7 】

なお、図 3 では、1 つの交点領域SWC\_Bに各々 2 つのサブアンプ 2（図中斜線で網掛けして表示）を配置した例を示したが、本願はこれに限定されるものではない。交点領域SW 40  
40

C\_Bに配置されるサブアンプ2の個数は、交点領域の面積、メインIO線MIOの配置等に応じて変更可能である。なお、メモリセルマット列に隣接して、複数のセンスアンプ領域SAをサブワードドライバ領域SWDの延在方向の直交方向に並べたものを、センスアンプ列とする。このセンスアンプ列には、センスアンプ領域SAと交点領域(SWC\_A又はSWC\_B)が交互に含まれることになる。

#### 【0018】

次に、図4の回路図を参照して、図3に示す各交点領域SWC\_A及びSWC\_Bの具体的構成例について説明する。なお、図4に示す例では、図3のサブアンプタイミング信号線13上のサブアンプタイミング信号が、それぞれデータの書き込み時及びデータの読み出し時に、活性化電位を示すハイレベル(「H」レベル)となるサブアンプWRITE(ライト)タイミング信号DLIOWR及びサブアンプREAD(リード)タイミング信号DLIORD、並びにプリチャージ時に活性化電位を示すローレベル(「L」レベル)となるLIOプリチャージ信号DLIOPREの3本の信号から構成されていることとしている。また、図3のサブアンプ起動タイミング信号線4上のサブアンプ起動タイミング信号が、それぞれデータの書き込み時及びデータの読み出し時に活性化電位を示すハイレベル(「H」レベル)となるアレイ内サブアンプWRITE起動タイミング信号ALIOWR及びアレイ内サブアンプREAD起動タイミング信号ALIORD並びにプリチャージ時に活性化電位を示すローレベル(「Lレベル」)となるアレイ内LIOプリチャージ信号ALIOPREの3本の信号から構成されていることとしている。

#### 【0019】

図4に示す半導体記憶装置は、各々対応するビット線と対応するサブワード線とに接続された複数のメモリセルをメモリセルマット中に有している。そして、サブワードドライバ領域SWDに配置されたサブワードドライバ回路によって対応するサブワード線を活性化することで、所定のメモリセルが選択される。選択されたメモリセルは、保持していたデータを、対応するビット線に供給する。対応するビット線に供給されたデータは、センスアンプ領域SAに配置されたセンスアンプ回路によって増幅され、列選択回路YSWを介して、対応するローカルIO線LIOに供給される。対応するローカルIO線LIOに供給されたデータは、サブアンプ2によって増幅され、対応するメインIO線MIOに供給される。

図4に示す例では、交点領域SWC\_Bに、2つのサブアンプ2が左右並べて配置されている。各々のサブアンプ2は、カレントミラータイプの差動アンプ2a(上部)とイコライズ回路2b(下部)とから成る。差動アンプ2aは、複数のnチャンネルMOS(金属酸化膜半導体)トランジスタから構成されていて、それぞれ交点領域SWC\_A内の起動信号供給回路(ゲート回路3)から供給される信号であって、上述したデータの書き込み時(ライト時)に活性化電位を示すハイ(「H」)レベルとなるALIOWR信号、データの読み出し時(リード時)に活性化電位を示すハイ(「H」)レベルとなるALIORD信号によって制御されるようになっている。また、イコライズ回路2bは、複数のpチャンネルMOSトランジスタから構成されていて、交点領域SWC\_A内の起動信号供給回路(ゲート回路3)から供給される信号であって、上述したプリチャージ時に活性化電位を示すロー(「L」)レベルとなるALIOPRE信号によって制御されるようになっている。

#### 【0020】

また、各サブアンプ2における差動アンプ2a側(上側)はメインIO線MIO(MIOB1、MIT1等)に接続され、イコライズ回路2b側(下側)はローカルIO線LIO(LIOB1、LIOT1等)に接続されている。なお、メインIO線MIOB0~3はメインIO線MIOB0~3と相補の関係を有する信号線であり、ローカルIO線LIOB0~3はローカルIO線LIOT0~3と相補の関係を有する信号線である。また、ローカルIO線LIOB0~3及びLIOT0~3は、YSタイミング信号(列選択回路起動タイミング信号YS)がゲート端子に入力されるnチャンネルMOSトランジスタを介して、相補のビット線/BL0~3及びBL0~3に接続されるようになっている。このYSタイミング信号がゲート端子に入力される複数のnチャンネルMOSトランジスタによって、ローカルIO線LIOとビット線BL・/BLとの間に設けられているYSW(列選択回路)が構成されている。ここで、ビット線BL・/BLは、メモリセルマットMAT内のメモリセルに接続されている信号線である。

10

20

30

40

50

## 【 0 0 2 1 】

一方、交点領域SWC\_Aには、起動信号供給回路（ゲート回路3）が設けられている。この場合、交点領域SWC\_Aには、2個のアンド回路3 aと1個のナンド回路3 b（ただし信号DLIPREは負論理入力）からなるゲート回路3が設けられている。また、交点領域SWC\_Aには、図3のMATアドレス線5上のMATアドレスに対応するMATアドレス信号（ロウ系信号）MATSTと、図3のサブアンプタイミング信号線13上のサブアンプタイミング信号に対応する上述したサブアンプWRITEタイミング信号DLIOWR、サブアンプREADタイミング信号DLIORD及びLIOプリチャージ信号DLIOPREとが入力される。ここで、MATアドレス信号（ロウ系信号）MATSTは、当該MATアドレスが選択されている場合に活性化電位を示すハイレベル（「H」レベル）となる信号である。

10

## 【 0 0 2 2 】

そして、信号MATSTと信号DLIOWRの論理積（アンド）をとったものが信号ALIOWRとして生成され（信号MATST = 「H」かつ信号DLIOWR = 「H」で信号ALIOWR = 「H」）、信号MATSTと信号DLIORDの論理積（アンド）をとったものが信号ALIORDとして生成される（信号MATST = 「H」かつ信号DLIORD = 「H」で信号ALIORD = 「H」）。また、MATST信号とLIOプリチャージ信号DLIOPREについては、MATST信号が「H」レベルでLIOプリチャージ信号DLIOPREが「L」レベルの場合に信号ALIOPREが「L」レベルとなるようにして生成される（信号MATST = 「H」かつ信号DLIOPRE = 「L」で信号ALIOPRE = 「L」；MATST信号と、DLIOPRE信号の反転信号との論理積を反転した信号が出力される）。

20

## 【 0 0 2 3 】

図5及び図6は、図4に示す回路の動作を示す波形図である。図5はデータ読み出し時（リード時）の波形、図6はデータ書き込み時（ライト時）の波形である。図5及び図6において、VPERIは周辺回路電圧、VBLPはビット線イコライズ電圧、VSSは接地電位である。

## 【 0 0 2 4 】

まず、図5を参照して、リード（READ）時の動作について説明する。図5に示す例では、ローカルIO線LIOが初期状態で不図示のプリチャージ回路によってVBLPにプリチャージされていることとしている。まず時刻t1において、外部から入力されるACTコマンド（アクティベートコマンド）に応じて、MATST信号が活性化し、その電位がVSSからVPERIに遷移する。このMATST信号の遷移に応じてLIO T/B（ローカルIO線LIO T及びLIO B）の電位が、VBLPからVPERIに遷移する。次に、時刻t2において、外部から入力されるREADコマンド（リードコマンド）に応じた図4に示したDLIOPRE信号の遷移と活性化したMATST信号とに応じてALIOPRE信号が、VSSからVPERIに遷移する。また、LIO T/Bのイコライズが解除される。ただし、この時点ではLIO T/Bの波形に変化は生じない

30

## 【 0 0 2 5 】

次に、時刻t3で、外部から入力されるREADコマンドに応じて、YS信号が活性化し、さらに、外部から入力されるREADコマンド（に応じたDLIORD信号）に応じて、ALIORD信号が活性化する。このYS信号の活性化に応じて、ビット線の電位に応じてLIO TとLIO Bとの間に電位差が生じる。また、ALIORD信号の活性化に応じて、サブアンプ2が活性化され、LIO T/Bに接続されたMIO T/Bの電位が変化する。

40

## 【 0 0 2 6 】

次に、時刻t3から所定時間経過後の時刻t4でYS信号とALIORD信号とが非活性化する。さらに所定時間が経過した時刻t5でALIOPRE信号がVPERIからVSSに遷移する。このALIORD信号の非活性化によって、サブアンプ2が停止する。さらに、MIO T/B（メインIO線MIO T及びMIO B）のイコライズ回路（不図示）が動作することで、MIO T/Bの電位が変化する。また、YS信号の非活性化とALIOPRE信号の遷移に応じて、LIO T/Bの電位がVPERIにイコライズされる。

## 【 0 0 2 7 】

そして、時刻t6で、外部から入力されるPREコマンド（プリチャージコマンド）に応じてMATST信号がVPERIからVSSに遷移すると、LIO T/Bが不図示のプリチャージ回路によって

50



、VBLPにプリチャージされる。

【 0 0 2 8 】

次に、図 6 を参照して、ライト (WRITE) 時の動作について説明する。図 6 に示す例では、ローカルIO線L10が初期状態で不図示のプリチャージ回路によってVBLPにプリチャージされていることとしている。まず時刻t1において、外部から入力されるACTコマンド (アクティベートコマンド) に応じて、MATST信号が活性化し、その電位がVSSからVPERIに遷移する。このMATST信号の遷移に応じてL10 T/Bの電位が、VBLPからVPERIに遷移する。次に、時刻t2において、外部から入力されるWRITEコマンド (ライトコマンド) に応じた図 4 に示したDLIOPRE信号の遷移と活性化したMATST信号とに応じてALIOPRE信号が、VSSからVPERIに遷移する。また、L10 T/Bのイコライズが解除される。ただし、この時点ではL10の波形に変化は生じない

10

【 0 0 2 9 】

次に、時刻t3で、外部から入力されるWRITEコマンドに応じて、YS信号が活性化し、さらに、外部から入力されるWRITEコマンド (に応じたDLIOWR信号) に応じて、ALIOWR信号が活性化する。このALIOWR信号の活性化に応じて、サブアンプ 2 が活性化され、書き込もうとするデータの値に応じてM10 T/B上に印加されている電位差に応じてL10TとL10Bとの間に電位差が生じる。

【 0 0 3 0 】

次に、時刻t3から所定時間経過後の時刻t4でYS信号とALIOWR信号とが非活性化する。さらに所定時間が経過した時刻t5でALIOPRE信号がVPERIからVSSに遷移する。このALIOWR信号の非活性化と、ALIOPRE信号の遷移とに応じて、サブアンプ 2 が停止するとともに、L10 T/Bの電位がVPERIにイコライズされる。

20

【 0 0 3 1 】

そして、時刻t6で、外部から入力されるPREコマンド (プリチャージコマンド) に応じてMATST信号がVPERIからVSSに遷移すると、L10 T/Bが不図示のプリチャージ回路によって、VBLPにプリチャージされる。

【 0 0 3 2 】

図 5 及び図 6 に示す各信号のうち、アレイ内サブアンプREAD起動タイミング信号ALIOR、アレイ内サブアンプWRITE起動タイミング信号ALIOWR及びアレイ内L10プリチャージ信号ALIOPREは、図 3 のサブアンプ起動タイミング信号線 4 上のサブアンプ起動タイミング信号に対応するものである。また、このサブアンプ起動タイミング信号は、図 3 のサブアンプ起動タイミング信号線 1 3 上のサブアンプ起動タイミング信号と、MATアドレス線 5 上のMATアドレスに対応するMATアドレス信号MATSTとに基づいて、サブアンプ 2 が配置されている交点領域SWC\_Bと同一のセンスアンプ列内の他の交点領域SWC\_Aに配置されているゲート回路 3 で生成される。ここで、サブアンプ起動タイミング信号線 1 3 上のサブアンプ起動タイミング信号は、YS信号 (=YSタイミング信号) と共に列デコーダ領域YDECの方向から供給される信号である。したがって、本実施の形態では、YS信号 (=YSタイミング信号) と、アレイ内サブアンプREAD起動タイミング信号ALIOR又はアレイ内サブアンプWRITE起動タイミング信号ALIOWRとの信号切り替わり時におけるスキューが、サブアンプ起動タイミング信号とYS信号 (=YSタイミング信号) とが異なる方向から供給される場合に比べ、改善されていることとなる。

30

40

【 0 0 3 3 】

図 5 及び図 6 に示すように、本実施の形態では、YS信号の切り替えタイミング、すなわち、サブアンプ 2 に接続されたローカルIO線L10とメモリセルマトリクスMAT内のメモリセルに接続されたビット線BLとの間を接続するYSW (列選択回路) の起動信号 (YS信号) の切り替えタイミング (時刻t3) が、サブアンプ 2 の起動タイミングとなるアレイ内サブアンプREAD起動タイミング信号ALIOR及びアレイ内サブアンプWRITE起動タイミング信号ALIOWRの活性化タイミングと略同一となっている。よって、これらの信号間の動作タイミングにおける時間的なマージンを従来に比べ小さくすることができる。

【 0 0 3 4 】

50

ここで本実施の形態が特徴とする構成、変形例などを以下にまとめる。ゲート回路3（起動信号供給回路）が、サブワードドライバ領域SWDの延在方向から供給されるサブアンプタイミング信号と、サブワードドライバ領域SWDの延在方向の直交方向から供給される信号であって、サブワードドライバ領域SWDの延在方向の直交方向に並んだ複数のメモリセルマットMATからなるメモリセルマット列を選択するMATアドレス（メモリセルマットアドレス）とに基づきサブアンプ2の起動タイミング信号（サブアンプの起動信号）を発生し、複数の交点領域SWC\_B（第1の交点領域）に対して供給するものである。

【0035】

また、サブアンプ2に接続されたローカル入出力線LIOとメモリセルマットMAT内の図示していないメモリセルに接続されているビット線BITとの間を接続するYSW（列選択回路）の起動信号（YSタイミング信号）が、サブワードドライバ領域SWDの延在方向から供給されるようになっている。

10

【0036】

また、交点領域SWC\_B（第1の交点領域）に複数のサブアンプ2が配置されている。

【0037】

また、1つのゲート回路3（起動信号供給回路）から複数のサブアンプ2に対して共通でサブアンプ起動タイミング信号（サブアンプの起動信号）が供給される。

【0038】

また、共通でサブアンプ起動タイミング信号（サブアンプの起動信号）が供給される複数のサブアンプ2が、サブワードドライバ領域SWDの延在方向の直交方向に並んだ複数のセンスアンプ領域SAからなる複数のセンスアンプ列のなかの同一のセンスアンプ列に配置されている。

20

【0039】

また、サブアンプ2とゲート回路3（起動信号供給回路）とが、複数のサブワードドライバ領域SWDの各々と複数のセンスアンプ領域SAの各々との交点領域である複数の交点領域のうち異なる交点領域（SWC\_B又はSWC\_A）に配置されている。

【0040】

また、サブワードドライバ領域SWDとセンスアンプ領域SAの交点領域に複数のサブアンプ2が配置されている。

【0041】

また、同一のセンスアンプ列に配置された全てのサブアンプ2が略同一のタイミングによって起動されるようにすることができる。また、その際、同時に起動されるサブアンプ2が配置されたセンスアンプ列が、MATアドレス（メモリセルマットアドレス）によって選択されたメモリセルマット列に隣接するセンスアンプ列となるようにすることができる。

30

【0042】

また、サブアンプ2に接続されたローカル入出力線LIOとメモリセルマットMAT内の図示していないメモリセルに接続されているビット線BITとの間を接続するYSW（列選択回路）の起動信号（YSタイミング信号）の切り替えタイミングが、サブアンプ2の起動タイミングと略同一であるようになっている。

40

【0043】

また、サブアンプ起動タイミング信号（サブアンプの起動信号）によって活性化されるサブアンプ2が、複数のメモリセルマットMATと複数のメモリセルマットMATの各々に隣接して配置される複数のサブワードドライバ領域SWDとが一行に並んだものである複数のメモリセルマット列のうちの一つに対応するものである。

【0044】

また、メモリセルマット列を選択するMATアドレス（メモリセルマットアドレス）によって活性化されたメモリセルマット列に隣接するサブアンプ2のみが活性化する。

【0045】

また、複数のゲート回路3（起動信号供給回路）を備え、各サブアンプ2に対して複数

50

のゲート回路3のうちのいずれか1つからサブアンプ起動タイミング信号（サブアンプの起動信号）が供給されるようになっている。

【0046】

また、複数のメモリセルマットMATと、複数のメモリセルマットMATの各々に隣接して配置される複数のサブワードドライバ領域SWDとが一行に並んだものである複数のメモリセルマット列に隣接して複数のセンスアンプ領域SAを並べたものであるセンスアンプ列に、サブアンプ2とゲート回路3（起動信号供給回路）とが配置されている。また、そのセンスアンプ列内のセンスアンプ領域SA外でサブワードドライバ領域SWDと並んだ領域である交点領域のうち、異なる交点領域（SWC\_B又はSWC\_A）に、サブアンプ2とゲート回路3（起動信号供給回路）とが配置されている。

10

【0047】

以上のように、本発明の半導体記憶装置は、複数のメモリセルマット（メモリセルマットMAT）と、複数のメモリセルマットの各々に隣接して配置される複数のサブワードドライバ領域（サブワードドライバ領域SWD）及び複数のセンスアンプ領域（センスアンプ領域SA）と、複数のサブワードドライバ領域の各々と複数のセンスアンプ領域の各々の交点領域である複数の交点領域（交点領域SWC\_A又はSWC\_B）と、複数の交点領域のうち、第1の交点領域（交点領域SWC\_B）に配置されたサブアンプ（サブアンプ2）と、複数の交点領域のうち、第1の交点領域と異なる第2の交点領域（交点領域SWC\_A）に配置され、サブワードドライバ領域の延在方向から供給されるサブアンプタイミング信号に基づきサブアンプの起動信号（サブアンプ起動タイミング信号）をサブアンプに供給する起動信号供給回路（ゲート回路3）とを有する。これによれば、起動信号供給回路から出力されるサブアンプ2の起動信号（サブアンプ起動タイミング信号）を複数の第1の交点領域（交点領域SWC\_B）すなわちサブアンプ2が配置されている複数の交点領域に共通に供給することで、サブアンプ2が制御できるようになった。このことにより、上述従来技術のようにサブアンプ2が配置された全ての交点領域でサブアンプ2の起動信号を生成する必要がなくなり、サブアンプ2を配置する交点領域における面積の増加を抑制することができる。

20

【0048】

また、本発明の半導体記憶装置は、他の態様として、複数のメモリセルマット（メモリセルマットMAT）と、複数のメモリセルマットの各々に隣接して配置され、各々サブワードドライバ回路を有する複数のサブワードドライバ領域（サブワードドライバ領域SWD）と、複数のメモリセルマットの各々に隣接して配置され、各々センスアンプ回路を有する複数のセンスアンプ領域（センスアンプ領域SA）と、複数のセンスアンプ領域からなるセンスアンプ列のうち、複数のメモリセルマットからなるメモリセルマット列の1つを選択するメモリセルマットアドレスによるメモリセルマット列の選択動作に応じて同時に活性化される複数のセンスアンプ回路が配置されたセンスアンプ領域を含むセンスアンプ列に配置された複数のサブアンプ（サブアンプ2）と、サブアンプの起動信号をそのセンスアンプ列に配置された複数のサブアンプの少なくとも一部に共通に供給する複数の起動信号供給回路（ゲート回路3）とを備えるものとしてとらえることもできる。ここで、センスアンプ列はサブワードドライバ領域の延在方向の直交方向に並んだ複数のセンスアンプ領域からなり、メモリセルマット列はサブワードドライバ領域の延在方向の直交方向に並んだ複数のメモリセルマットからなるものとしてとることができる。

30

40

【0049】

また、本発明の半導体記憶装置は、さらに他の態様として、複数のメモリセルマット（メモリセルマットMAT）と、複数のメモリセルマットに各々対応して設けられた複数のサブアンプ（サブアンプ2）と、サブアンプの起動信号を複数のサブアンプに供給する起動信号供給回路（ゲート回路3）とを備え、複数のメモリセルマットのうち活性化されたメモリセルマットに対応して設けられたサブアンプのみを活性化するように、起動信号供給回路がサブアンプの起動信号を複数のサブアンプに供給するものとしてとらえることもできる。

50

## 【 0 0 5 0 】

また、上述したように、ゲート回路（ゲート回路3）は、サブワードドライバ領域（サブワードドライバ領域SWD）の延在方向から供給されるサブアンブタイミング信号とサブワードドライバ領域（サブワードドライバ領域SWD）の延在方向の直交方向から供給されてメモリセルマットMAT内の所定のメモリセルマット列を選択するメモリセルマットアドレス（MATアドレス）とに基づきサブアンブ（サブアンブ2）の起動信号（サブアンブ起動タイミング信号）を発生し、複数の第1の交点領域（交点領域SWC\_B）に対して供給する。

## 【 0 0 5 1 】

起動信号（サブアンブ起動タイミング信号）は、サブワードドライバ領域（サブワードドライバ領域SWD）の延在方向と直交する方向から複数の第1の交点領域（交点領域SWC\_B）に対して供給されるようになっている。

## 【 0 0 5 2 】

以上のように、本発明による半導体記憶装置の上記実施の形態においては、サブワードドライバ領域SWDとセンスアンブ領域SAとの交点領域を、サブアンブ2が配置された交点領域SWC\_Bと、交点領域SWC\_Bと異なる交点領域でありサブアンブ起動タイミング信号とMATアドレス信号との論理をとる起動信号供給回路としてのゲート回路3が配置された交点領域SWC\_Aとに分けている。そして、起動信号供給回路としてのゲート回路3から出力されるサブアンブ起動タイミング信号を複数のサブアンブ2に共通に供給することで、サブアンブ2を制御する構成としている。このことにより、従来技術のように全てのサブアンブ2にてサブアンブ起動タイミング信号とMATアドレス信号との論理をとる必要がなくなり、サブアンブ2の面積の増加を抑制することができる。

## 【 0 0 5 3 】

なお、本発明は、上記の各実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で変更可能である。本発明の各交点領域やその他の領域における、構成要素には、類似の機能を有する素子を適用することができ、構成数や接続形態についても特に限定されるものではない。

## 【 図面の簡単な説明 】

## 【 0 0 5 4 】

【図1】本発明による半導体記憶装置の一実施の形態におけるカラム系信号パスを説明するための概略平面図である。

【図2】図1の半導体記憶装置におけるメモリアレイ領域1内のカラム系信号パスをより詳細に説明するための平面模式図である。

【図3】図2の鎖線で囲まれたA部に対応するメモリアレイ領域1内のカラム系信号パスを説明するための平面模式図である。

【図4】図3に示す各交点領域SWC\_A及びSWC\_Bの具体的構成例について説明するための回路図である。

【図5】図4に示す構成のデータ読み出し時の動作波形図である。

【図6】図4に示す構成のデータ書き込み時の動作波形図である。

## 【 符号の説明 】

## 【 0 0 5 5 】

- 1 メモリアレイ領域
- 2 サブアンブ
- 3 ゲート回路（起動信号供給回路）
- 4 サブアンブ起動タイミング信号線
- 5 MATアドレス線

1 3 サブアンブタイミング信号線

XDEC 行デコーダ領域

YDEC 列デコーダ領域

YS YSタイミング信号（列選択回路起動タイミング信号）

10

20

30

40

50

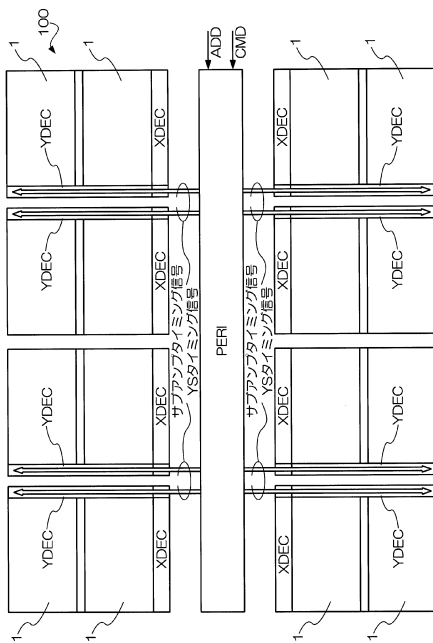
SA センスアンプ領域

SWC\_A 交点領域 (第2の交点領域; ゲート回路3; 起動信号供給回路)

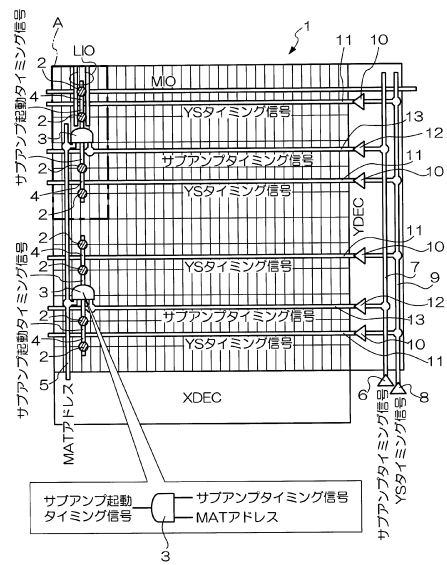
SWC\_B 交点領域 (第1の交点領域; サブアンプ2)

SWD サブワードドライバ領域

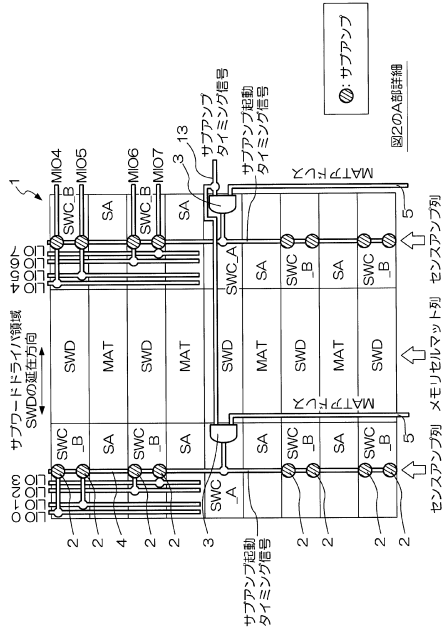
【図1】



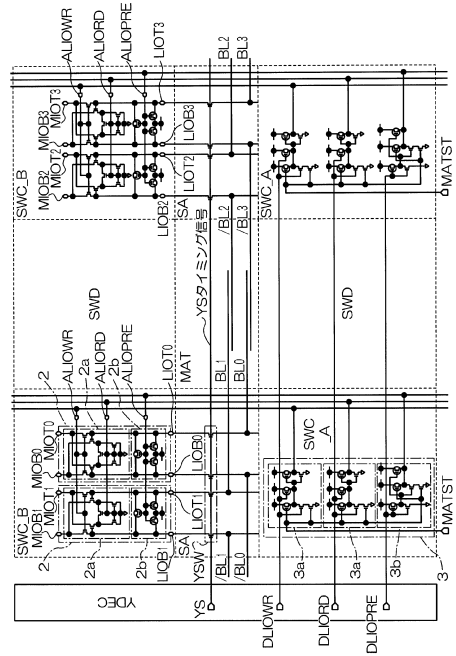
【図2】



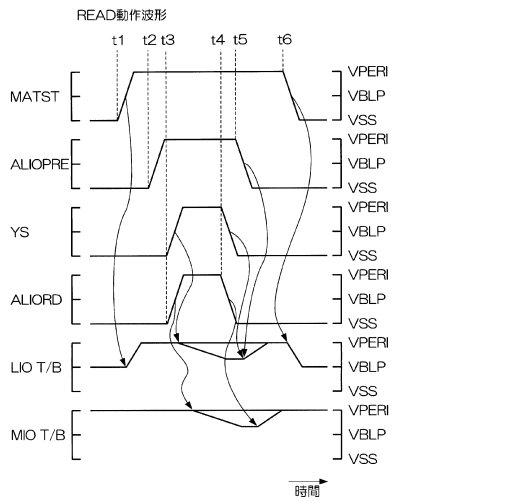
【図3】



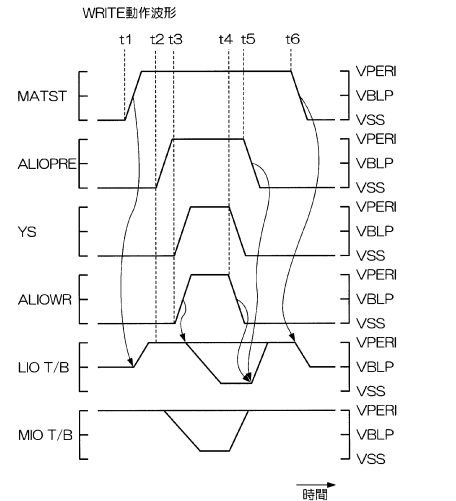
【図4】



【図5】



【図6】



---

フロントページの続き

(72)発明者 鈴木 淳

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

審査官 菅原 浩二

(56)参考文献 特開平11-214652(JP,A)  
特開2000-100172(JP,A)  
特開2004-234704(JP,A)  
特開2000-132965(JP,A)  
特開平11-340438(JP,A)  
特開2001-067876(JP,A)  
特開2006-172577(JP,A)  
特開2000-173269(JP,A)  
特開2000-011639(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/401

G11C 11/4096