(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월03일
(11) 등록번호 10-0790977
(24) 등록일자 2007년12월26일

(51) Int. Cl.
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
H03K 19/0175 (2006.01) *H03F 3/45* (2006.01)
(21) 출원번호 10-2006-0003962
(22) 출원일자 2006년01월13일
심사청구일자 2006년01월31일
(65) 공개번호 10-2007-0075565
(43) 공개일자 2007년07월24일
(56) 선행기술조사문헌
KR1020040090704A
KR1020050077049A
전체 청구항 수 : 총 23 항

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
장동열
경기 수원시 영통구 영통동 신나무실풍림아파트 605동 1704호
이수철
서울 강남구 도곡1동 895-8 역삼한신아파트 1동 603호
(74) 대리인
리앤목특허법인

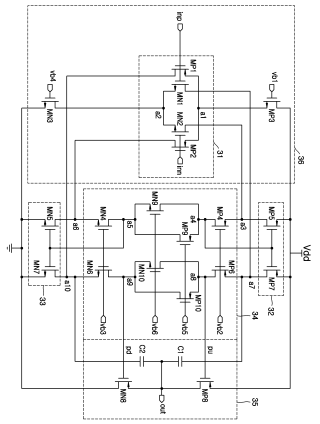
심사관 : 이병우

(54) 출력편차가 개선된 출력버퍼 및 이를 구비한평판표시장치용 소오스 드라이버

(57) 요 약

출력편차가 개선된 출력 버퍼 및 이를 구비한 평판표시장치용 소오스 드라이버를 개시한다. 출력 버퍼는 제1입력신호가 제공되는 제1입력단자; 제2입력신호가 제공되는 제2입력단자; 상기 제2입력신호에 의거하여 제1입력신호를 출력신호를 발생하는 출력단자; 제1전원이 제공되는 제1전원단자; 제2전원이 제공되는 제2전원단자; 및 상기 제1입력신호와 제2입력신호를 차동증폭하여 상기 출력신호를 상기 제1전원으로 풀업 또는 상기 제2전원으로 풀다운시켜 주며, 서로 다른 구동능력을 갖는 다수의 트랜지스터를 구비하는 증폭부를 구비한다.

대표도 - 도4



특허청구의 범위

청구항 1

제1입력신호가 제공되는 제1입력단자;

제2입력신호가 제공되는 제2입력단자;

상기 제2입력신호에 의거하여 제1입력신호를 출력신호로 발생하는 출력단자;

제1전원이 제공되는 제1전원단자;

제2전원이 제공되는 제2전원단자; 및

상기 제1입력신호와 제2입력신호를 차동증폭하여 상기 출력신호를 상기 제1전원으로 풀업 또는 상기 제2전원으로 풀다운시켜 주며, 서로 다른 구동능력을 갖는 다수의 트랜지스터를 구비하는 증폭부를 포함하는 출력버퍼.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 다수의 트랜지스터중 일부는 박막의 게이트 절연막을 구비하는 저전압 트랜지스터를 포함하고, 나머지는 후막의 게이트 절연막을 구비하는 고전압 트랜지스터를 포함하는 것을 특징으로 하는 출력버퍼.

청구항 4

제1항에 있어서, 상기 증폭부에 제공되는 전원전압이 12V 라고 가정할 때, 상기 다수의 트랜지스터중 저전압 구동능력을 갖는 트랜지스터의 동작영역은 2V 이하인 것을 특징으로 하는 출력버퍼.

청구항 5

제1항에 있어서, 상기 다수의 트랜지스터는 반도체 기판상에 형성된 MOS 트랜지스터 또는 평판표시패널용 기판상에 형성된 박막 트랜지스터를 포함하는 것을 특징으로 하는 출력버퍼.

청구항 6

제1항에 있어서, 제1전원은 전원전압이고, 상기 제2전원은 접지전압인 것을 특징으로 하는 출력버퍼.

청구항 7

제1항에 있어서, 상기 증폭부는

제1차동입력신호와 상기 출력신호를 제2차동입력신호로 입력하는 신호 입력부;

상기 증폭부의 증폭 등급을 선택하는 증폭선택부;

상기 제1전원단자와 상기 신호입력부사이에 연결되는 제1전류미러;

상기 제2전원단자와 상기 신호입력부사이에 연결되는 제2전류미러;

상기 신호입력부 및 상기 증폭선택부의 동작에 따라 상기 출력신호를 발생하는 출력부를 구비하는 것을 특징으로 하는 출력버퍼.

청구항 8

제7항에 있어서, 상기 신호입력부, 상기 증폭선택부, 상기 제1 및 제2전류미러 및 상기 출력부는 각각 다수의 트랜지스터로 구성되며,

상기 제1 및 제2전류미러를 구성하는 트랜지스터는 박막의 게이트 절연막을 구비하는 저전압 트랜지스터를 포함하고, 상기 신호입력부, 상기 증폭선택부 및 상기 출력부를 구성하는 트랜지스터는 후막의 게이트 절연막을 구비하는 고전압 트랜지스터를 포함하는 것을 특징으로 하는 출력버퍼.

청구항 9

다수의 표시셀들이 배열되어 있는 표시패널에 계조표시용 데이터 신호를 발생하는 평판표시장치의 소오스 드라이버에 있어서,

외부로부터 제공되는 디지털의 데이터신호를 저장하는 저장부;

상기 저장부로부터 디지털의 데이터신호를 입력하여 아날로그의 계조표시용 데이터신호로 변환하는 디지털 아날로그 변환부; 및

상기 계조표시용 데이터신호를 상기 표시패널로 제공하는 출력버퍼부를 포함하며,

상기 출력버퍼부는 다수의 출력버퍼를 구비하되,

각 출력버퍼는 제1입력신호가 제공되는 제1입력단자;

제2입력신호가 제공되는 제2입력단자;

상기 제2입력신호에 의거하여 제1입력신호를 출력신호로 발생하는 출력단자;

제1전원이 제공되는 제1전원단자;

제2전원이 제공되는 제2전원단자; 및

상기 제1입력신호와 제2입력신호를 차동증폭하여 상기 출력신호를 상기 제1전원으로 풀업 또는 상기 제2전원으로 풀다운시켜 주며, 서로 다른 구동능력을 갖는 다수의 트랜지스터를 구비하는 증폭부를 포함하는 평판표시장치용 소오스 드라이버.

청구항 10

제9항에 있어서, 상기 다수의 트랜지스터중 일부는 박막의 게이트 절연막을 구비한 저전압 트랜지스터를 포함하고, 나머지는 후막의 게이트 절연막을 구비한 고전압 트랜지스터를 포함하는 것을 특징으로 하는 평판표시장치용 소오스 드라이버.

청구항 11

제10항에 있어서, 상기 출력버퍼부에 제공되는 전원전압이 12V 라고 가정할 때, 상기 다수의 트랜지스터중 저전압 트랜지스터의 동작영역은 2V 이하인 것을 특징으로 하는 평판표시장치용 소오스 드라이버.

청구항 12

제9항에 있어서, 상기 증폭부는

제1차동입력신호와 상기 계조표시용 데이타신호를 제2차동입력신호로 입력하는 신호 입력부;

상기 증폭부의 증폭 등급을 선택하는 증폭선택부;

상기 제1전원단자와 상기 신호입력부사이에 연결되는 제1전류미러;

상기 제2전원단자와 상기 신호입력부사이에 연결되는 제2전류미러;

상기 신호입력부 및 상기 증폭선택부의 동작에 따라 상기 출력신호를 발생하는 출력부를 구비하는 것을 특징으로 하는 평판표시장치용 소오스 드라이버.

청구항 13

제12항에 있어서, 상기 신호입력부, 상기 증폭선택부, 상기 제1 및 제2전류미러 및 상기 출력부는 각각 다수의 트랜지스터로 구성되며,

상기 제1 및 제2전류미러를 구성하는 트랜지스터는 박막의 게이트 절연막을 구비하는 저전압 트랜지스터를 포함하고, 상기 신호입력부, 상기 증폭선택부 및 상기 출력부를 구성하는 트랜지스터는 후막의 게이트 절연막을 구비하는 고전압 트랜지스터를 포함하는 것을 특징으로 하는 평판표시장치용 소오스 드라이버.

청구항 14

제9항에 있어서, 상기 표시패널은 액정패널인 것을 특징으로 하는 평판표시장치용 소오스 드라이버.

청구항 15

제9항에 있어서, 상기 다수의 트랜지스터는 반도체 기판상에 형성된 MOS 트랜지스터 또는 평판표시패널용 기판상에 형성된 박막 트랜지스터를 포함하는 것을 특징으로 하는 평판표시장치용 소오스 드라이버.

청구항 16

제9항에 있어서, 상기 평판표시장치는 SOG 타입인 것을 특징으로 하는 평판표시장치용 소오스 드라이버.

청구항 17

다수의 게이트 라인, 다수의 소오스 라인 및 상기 다수의 게이트 라인 및 다수의 소오스 라인에 연결된 다수의 표시셀들이 배열되어 있는 표시패널;

상기 표시패널의 상기 다수의 게이트라인으로 게이트 구동신호를 발생하는 게이트 드라이버;

디지털의 입력 데이터신호에 따라서 상기 표시패널에 배열된 표시셀들을 구동하기 위한 아날로그 계조전압신호를 출력하는 소오스 드라이버; 및

상기 게이트 드라이버 및 소오스 드라이버를 제어하며, 상기 소오스 드라이버에 상기 입력 데이타신호를 제공하는 제어부를 포함하며,

상기 소오스 드라이버는

상기 디지털의 입력 데이터신호를 아날로그의 데이터신호로 변환하여 상기 아날로그의 계조전압신호를 발생하는 디지털 아날로그 변환부; 및

상기 디지털 아날로그 변환부에서 발생된 상기 계조전압신호를 상기 다수의 소오스 라인을 통해 상기 표시패널로 제공하는, 다수의 출력버퍼를 구비한 출력버퍼부를 구비하며,

각 출력버퍼는 제1입력신호가 제공되는 제1입력단자;

제2입력신호가 제공되는 제2입력단자;

상기 제2입력신호에 의거하여 제1입력신호를 출력신호로 발생하는 출력단자;

제1전원이 제공되는 제1전원단자;

제2전원이 제공되는 제2전원단자; 및

상기 제1입력신호와 제2입력신호를 차동증폭하여 상기 출력신호를 상기 제1전원으로 풀업 또는 상기 제2전원으로 풀다운시켜 주며, 서로 다른 구동능력을 갖는 다수의 트랜지스터를 구비하는 증폭부를 포함하는 것을 특징으로 하는 평판표시장치.

청구항 18

제17항에 있어서, 상기 다수의 트랜지스터중 일부는 저전압 구동능력을 갖는 트랜지스터를 포함하고, 나머지는 고전압 구동능력을 갖는 트랜지스터를 포함하는 것을 특징으로 하는 평판표시장치.

청구항 19

제17항에 있어서, 상기 증폭부에 제공되는 전원전압이 12V 라고 가정할 때, 상기 다수의 트랜지스터중 저전압 구동능력을 갖는 트랜지스터의 동작영역은 2V 이하인 것을 특징으로 하는 평판표시장치.

청구항 20

제17항에 있어서, 상기 표시패널은 액정패널인 것을 특징으로 하는 평판표시장치.

청구항 21

제17항에 있어서, 상기 다수의 트랜지스터는 반도체 기판상에 형성된 MOS 트랜지스터 또는 평판표시패널용 기판

상에 형성된 박막 트랜지스터를 포함하는 것을 특징으로 하는 평판표시장치.

청구항 22

제17항에 있어서, 상기 평판표시장치는 SOG 타입인 것을 특징으로 하는 평판표시장치.

청구항 23

제17항에 있어서, 상기 증폭부는

제1차동입력신호와 상기 계조전압신호를 제2차동입력신호로 입력하는 신호 입력부;

상기 증폭부의 증폭 등급을 선택하는 증폭선택부;

상기 제1전원단자와 상기 신호입력부사이에 연결되는 제1전류미러;

상기 제2전원단자와 상기 신호입력부사이에 연결되는 제2전류미러;

상기 신호입력부 및 상기 증폭선택부의 동작에 따라 상기 출력신호를 발생하는 출력부를 구비하는 것을 특징으로 하는 평판표시장치.

청구항 24

제23항에 있어서, 상기 신호입력부, 상기 증폭선택부, 상기 제1 및 제2전류미러 및 상기 출력부는 각각 다수의 트랜지스터로 구성되며,

상기 제1 및 제2전류미러를 구성하는 트랜지스터는 박막의 게이트 절연막을 구비하는 저전압 트랜지스터를 포함하고, 상기 신호입력부, 상기 증폭선택부 및 상기 출력부를 구성하는 트랜지스터는 후막의 게이트 절연막을 구비하는 고전압 트랜지스터를 포함하는 것을 특징으로 하는 평판표시장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<11> 본 발명은 평판표시장치용 소오스 드라이버에 관한 것으로서, 출력편차가 개선된 출력버퍼 및 이를 구비한 평판표시장치용 소오스 드라이버에 관한 것이다.

<12> 일반적인 액정표시장치(LCD)는 두 기판사이에 개재된 액정층을 포함하고, 상기 액정층에 인가되는 전압의 세기를 조절하여 상기 액정층을 통과하는 빛의 투과율을 조절하므로써 원하는 화상을 표시하게 된다. 이러한 액정표시장치는 액정층을 스위칭하기 위한 스위칭소자로서 박막 트랜지스터를 이용한 박막 트랜지스터 액정표시장치(TFT-LCD)가 주로 사용되고 있다. TFT-LCD 중 폴리실리콘 TFT-LCD는 유리기판상에 MOS 트랜지스터로 이루어지는 회로를 내장할 수 있다는 것이 가장 큰 장점이다. 현재에는 LTPS(low temperature polycrystalline silicon) 공정을 이용하여 드라이버 를 유리기판상에 집적하는 가능하고, 나아가 제어부를 포함하는 시스템 전체를 유리기판상에 집적하는 SOG(system on glass)가 가능하게 되었다.

<13> TFT-LCD는 액정패널에 배열된 액정셀을 구동하기 위한 소오스 드라이버를 구비한다. 소오스 드라이버는 계조표현을 위한 전압신호를 액정패널로 제공하기 위하여 다수의 출력버퍼를 구비하며, 각 출력버퍼는 트랜지스터로 구성된 연산증폭기로 구성된다. 연산증폭기를 트랜지스터로 구성하는 경우, 동일한 입력 데이터에 대응하여 출력되는 출력전압간에는 큰 편차가 발생한다. 이러한 차이를 오프셋전압이라 하며, 오프셋전압은 트랜지스터의 특성 차에 따라 심하게 변동된다. 소오스 드라이버로 동일한 데이터 전압이 인가되더라도, 출력버퍼로부터 발생되는 출력신호에 편차가 발생되어 액정패널에 동일한 계조전압이 제공되지 않게 된다. 그러므로, 동일한 입력데이타에 대하여 소오스 드라이버로부터 액정패널로 서로 다른 계조데이타가 제공되고, 이로 인하여 오동작 또는 신호왜곡을 초래하여 액정패널의 화질 저하를 초래하게 된다.

<14> 이와 같이, 소오스 드라이버의 출력버퍼에서 발생되는 출력신호의 편차는 트랜지스터의 문턱전압의 편차에 기인한다. 트랜지스터의 문턱전압은 상기 트랜지스터를 온 또는 오프시키기 위한 전압으로서, 게이트전극과 채널영

역사이에 존재하는 게이트 절연막의 두께, 채널영역의 도핑농도 등의 함수로 표현된다. 상기 게이트 절연막의 두께 또는 채널영역의 도핑농도는 공정 편차에 의해 변화되어진다. 따라서, 종래에는 출력버퍼를 구성하는 트랜지스터를 모두 동일하게 형성하였기 때문에, 즉, 출력버퍼를 구성하는 모든 트랜지스터의 게이트 절연막을 모두 동일한 두께를 갖도록 형성하였기 때문에, 문턱전압의 변화에 의한 출력신호의 편차가 초래되었다.

<15> 이를 해결하기 위하여 출력버퍼에 오프셋 보상회로 등을 추가하는 방법이 제안되었다. 그러나, 오프셋 보상회로의 추가는 면적의 증가를 초래하게 된다.

발명이 이루고자 하는 기술적 과제

<16> 따라서, 본 발명이 이루고자 하는 기술적 과제는 출력버퍼를 서로 다른 구동능력을 갖는 트랜지스터로 구성하여, 출력버퍼에서 발생되는 출력신호의 편차를 개선한 출력버퍼를 제공하는 것이다.

<17> 또한, 본 발명의 기술적 과제는 출력편차가 개선된 출력버퍼회로를 구비한 평판표시장치용 소오스 드라이버를 제공하는 것이다.

발명의 구성 및 작용

<18> 상기한 본 발명의 기술적 과제를 달성하기 위하여, 본 발명의 실시예에 따른 출력버퍼는 제1입력신호가 제공되는 제1입력단자; 제2입력신호가 제공되는 제2입력단자; 상기 제2입력신호에 의거하여 제1입력신호를 출력신호를 발생하는 출력단자; 제1전원이 제공되는 제1전원단자; 제2전원이 제공되는 제2전원단자; 및 상기 제1입력신호와 제2입력신호를 차동증폭하여 상기 출력신호를 상기 제1전원으로 풀업 또는 상기 제2전원으로 풀다운시켜 주며, 서로 다른 구동능력을 갖는 다수의 트랜지스터를 구비하는 증폭부를 구비한다.

<19> 상기 증폭부는 서로 다른 구동능력을 갖는 다수의 트랜지스터로 구성된다. 상기 다수의 트랜지스터중 일부는 박막의 게이트 절연막을 구비하는 저전압 트랜지스터를 포함하고, 나머지는 후막의 게이트 절연막을 구비하는 고전압 트랜지스터를 포함한다. 상기 증폭부에 제공되는 전원전압이 12V 라고 가정할 때, 상기 다수의 트랜지스터중 저전압 구동능력을 갖는 트랜지스터의 동작영역은 2V 이하이다. 상기 다수의 트랜지스터는 MOS 트랜지스터 또는 박막 트랜지스터를 포함한다. 제1전원은 전원전압이고, 상기 제2전원은 접지전압이다.

<20> 상기 증폭부는 상기 제1차동입력신호와 상기 출력신호를 제2차동입력신호로 입력하는 신호 입력부; 상기 증폭부의 증폭 등급을 선택하는 증폭선택부; 상기 제1전원단자와 상기 신호입력부사이에 연결되는 제1전류미러; 상기 제2전원단자와 상기 신호입력부사이에 연결되는 제2전류미러; 상기 신호입력부 및 상기 증폭선택부의 동작에 따라 상기 출력신호를 발생하는 출력부를 구비한다.

<21> 상기 신호입력부, 상기 증폭선택부, 상기 제1 및 제2전류미러 및 상기 출력부는 각각 다수의 트랜지스터로 구성되며, 상기 제1 및 제2전류미러를 구성하는 트랜지스터는 박막의 게이트 절연막을 구비하는 저전압 트랜지스터를 포함하고, 상기 신호입력부, 상기 증폭선택부 및 상기 출력부를 구성하는 트랜지스터는 후막의 게이트 절연막을 구비하는 고전압 트랜지스터를 포함한다.

<22> 또한, 본 발명의 다른 견지에 따르면, 다수의 표시셀들이 배열되어 있는 표시패널에 계조표시용 데이터 신호를 발생하는 평판표시장치의 소오스 드라이버를 제공한다. 상기 소오스 드라이버는 외부로부터 제공되는 디지털의 데이터신호를 저장하는 저장부; 상기 저장부로부터 디지털의 데이터신호를 입력하여 아날로그의 계조표시용 데이터신호로 변환하는 디지털 아날로그 변환부; 및 상기 계조표시용 데이터신호를 상기 표시패널로 제공하는 출력버퍼부를 포함한다. 상기 출력버퍼부는 다수의 출력버퍼를 구비하되, 각 출력버퍼는 서로 다른 구동능력을 갖는 다수의 트랜지스터로 구성된다.

<23> 또한, 본 발명의 다른 견지에 따르면, 평판표시장치는 다수의 게이트 라인, 다수의 소오스 라인 및 상기 다수의 게이트 라인 및 다수의 소오스 라인에 연결되어 배열된 다수의 표시셀들을 구비하는 표시패널; 상기 표시패널의 상기 다수의 게이트라인으로 게이트 구동신호를 발생하는 게이트 드라이버; 디지털의 입력 데이터신호에 따라서 상기 표시패널에 배열된 표시셀들을 구동하기 위한 아날로그 계조전압신호를 출력하는 소오스 드라이버; 및 상기 게이트 드라이버 및 소오스 드라이버를 제어하며, 상기 소오스 드라이버에 상기 입력 데이타신호를 제공하는 제어부를 포함한다.

<24> 상기 소오스 드라이버회로는 상기 디지털의 입력 데이터신호를 아날로그의 데이터신호로 변환하여 상기 아날로그의 계조전압신호를 발생하는 디지털 아날로그 변환부; 및 상기 디지털 아날로그 변환부에서 발생된 상기 계조입력전압을 상기 다수의 소오스 라인을 통해 상기 액장패널로 제공하는, 다수의 출력버퍼를 구비한 출력버퍼부

를 구비한다. 각 출력버퍼는 다수의 트랜지스터로 구성되되, 상기 다수의 트랜지스터는 서로 다른 구동능력을 갖는 트랜지스터로 구성된다.

<25> 이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다.

<26> 도 1은 본 발명의 TFT-LCD 의 구성도를 도시한 것이다. 도 1을 참조하면, TFT-LCD 는 셀어레이가 배열되는 액정패널(10), 게이트 드라이버(20) 및 소오스 드라이버(30)와 제어부(40)를 구비한다. 상기 액정패널(10)은 각각 게이트 구동전압(Vg1 - Vgm)이 제공되는 다수의 게이트 라인(12-1 ~ 12-m), 상기 다수의 게이트 라인(12-1 ~ 12-m)과 교차하도록 배열되고 각각 계조전압신호(D1 - Dn)가 제공되는 다수의 소오스 라인(13-1 ~ 13-n), 상기 다수의 게이트 라인(12-1 ~ 12-m) 및 상기 다수의 데이터 라인(13-1 ~ 13-n)에 각각 연결되는 다수의 액정셀(11)을 구비한다.

<27> 상기 각 액정셀(11)은 상기 각 게이트 라인(12-1 ~ 12-m)에 게이트가 연결되고 드레인에 소오스 라인(13-1 ~ 13-n)이 연결되는 스위칭소자인 박막 트랜지스터(ST)와, 상기 박막 트랜지스터(ST)의 소오스에 일단이 연결되고 타단에 공통전압(Vc)이 제공되는 액정 캐패시터(C_{LC})를 구비한다. 도면상에는 도시되지 않았으나, 각 액정셀(11)은 상기 액정 캐패시터(C_{LC})와 병렬연결되는 스토리지 캐패시터(Cst)를 더 구비할 수도 있다.

<28> 상기 게이트 드라이버(20)는 상기 액정패널(10)에 배열된 상기 액정셀(11)의 박막 트랜지스터(ST)의 게이트를 온 또는 오프시켜 주는 게이트 구동신호(Vg1 - Vgm)를 각각의 게이트 라인(12-1 ~ 12-m)으로 발생한다. 상기 소오스 드라이버(30)는 입력데이타신호에 따른 계조전압신호(D1 - Dn)를 각각의 소오스 라인(13-1 ~ 13-n)으로 제공한다. 상기 제어부(40)는 외부로부터 제공되는 제어신호를 입력하여 상기 게이트 드라이버(20) 및 소오스 드라이버(30)를 제어하기 위한 제어신호(도면상에는 도시되지 않음)를 발생한다.

<29> 상기 게이트 드라이버(20)와 상기 소오스 드라이버(30)는 액정패널(10)의 외부에 배치되거나 또는 COG(chip on glass) 타입의 경우 액정패널(10)상에 배치될 수도 있다. 또한, 상기 게이트 드라이버(20) 및 소오스 드라이버(30)는 상기 액정패널(10)의 셀어레이를 유리기판상에 제작시 함께 제작될 수도 있다. 상기 제어부(40)는 액정패널(10)의 외부에 배치되거나 또는 SOG(system on galss)타입의 경우 상기 액정패널(10)상에 배치될 수도 있다.

<30> 도 2는 본 발명의 실시예에 따른 소오스 드라이버(30)의 개략적인 블록도를 도시한 것이다. 도 2를 참조하면, 소오스 드라이버(30)는 시프트 레지스터부(310), 제1래치부(320), 제3래치부(330), 디지털 아날로그 변환부(340) 및 출력버퍼부(350)를 구비한다. 상기 시프트 레지스터부(310)는 상기 제어부(40)로부터 제공되는 데이터 클럭신호(HCLK)와 수평동기 스타트신호(STH)를 입력하여 상기 수평동기 스타트신호(STH)를 차례로 시프트시켜 상기 제1래치부(320)로 출력한다.

<31> 상기 제1래치부(320)는 상기 시프트 레지스터부(310)로부터 제공되는 출력신호에 응답하여 상기 제어부(40)로부터 제공되는 소정비트, 예를 들어 8비트의 R, G, B 데이터 신호를 순차적으로 입력하여 저장한다. 상기 제어부(40)에서 제공되는 R, G, B 데이터 신호는 일정 계조값(gray value)을 갖는 디지털 신호이다. 상기 제1래치부(320)에 상기 다수의 소오스라인(13-1 ~ 13-n)으로 전송될 R, G, B 데이터 신호가 모두 저장되면, 상기 제1래치부(320)에 저장된 R, G, B 데이터 신호는 동시에 상기 제2래치부(330)로 전송되어진다.

<32> 상기 제2래치부(330)에 저장된 R, G, B 데이터 신호는 출력 인에이블신호(OE)에 따라서 디지털 아날로그 변환부(340)로 제공된다. 디지털 아날로그 변환부(340)는 계조전압 발생부(도면상에는 도시되지 않음)로 발생되는 계조전압(V+ - V-)중 상기 제2래치부(330)로부터 제공되는 R, G, B 데이터 신호에 대응하는 계조전압신호를 선택하여 출력한다. 따라서, 디지털 아날로그 변환부(340)는 상기 제2래치부(330)로부터 제공되는 디지털신호의 R, G, B 데이터 신호를 입력하고, 상기 R, G, B 데이터 신호에 상응하는 아날로그신호의 계조전압신호로 변환한다. 상기 디지털 아날로그 변환부(340)는 도면상에는 도시되지 않았으나, 다수의 디지털 아날로그 변환기, 예를 들어 n 개의 디지털 아날로그 변환기를 구비하고, 다수의 디지털 아날로그 변환기는 각각 아날로그 계조전압신호(DAC0 - DACn)를 상기 출력버퍼부(350)로 제공한다.

<33> 도면상에는 도시되지 않았으나, 소오스 드라이버(30)는 상기 제2래치부(330)와 상기 디지털 아날로그 변환부

(340)사이에 배열되는 레벨 시프터부를 더 구비할 수도 있다. 상기 레벨 시프터부는 상기 제어부(40)로부터 제공되어 상기 제2래치부(30)에 저장된 R,G, B 데이터 신호를 액정패널(10)을 구동하는 데 적합한 고전압 레벨의 R, G, B 데이터 신호로 변환시켜 준다.

<34> 상기 출력버퍼부(350)는 상기 디지털-아날로그 변환부(340)의 출력을 상기 소오스 라인(13-1 ~ 13-n)을 통해 액정패널(10)로 제공한다. 상기 출력버퍼부(350)는 도 3을 참조하면, 상기 디지털 아날로그 변환부(340)의 다수의 디지털 아날로그 변환기로부터 계조전압신호(DAC0 - DACn)를 각각 상기 액정패널(10)의 다수의 소오스라인(13-1 ~ 13-n)으로 각각 제공하기 위한 다수의 출력버퍼, 예를 들어 n 개의 출력버퍼(351 - 35n)를 구비한다.

<35> 각 출력 버퍼(351 - 35n)는 비반전 입력단자(+)에 상기 디지털 아날로그 변환부(340)의 각 디지털 아날로그 변환기로부터 제공되는 계조전압신호(DAC0 - DACn)가 제공되고, 반전 입력단자(-)에 출력신호(CH1 - CHn)가 피이드백되는 차동증폭기로 구성된다. 상기 각 출력버퍼(351 - 35n)는 상기 각 계조전압신호(DAC0 - DACn)를 증폭하여 출력신호(CH1 - CHn)를 상기 소오스 라인(13 - 1 ~ 13-n)을 통해 액정패널(10)로 제공한다.

<36> 도 4는 출력버퍼(351 - 35n)의 상세도를 도시한 것으로서, 모스 트랜지스터로 구현한 예를 도시한 것이다. 각 출력버퍼(351 - 35n)는 동일한 구성을 갖는다. 도 4를 참조하면, 각 출력버퍼(351 - 35n)는 차동증폭부, 증폭선택부(34), 출력부(35) 및 인에이블부(36)를 구비한다. 상기 차동증폭부는 신호입력부(31), 제1전류미터(32) 및 제3전류미러(33)를 구비한다. 상기 신호 입력부(31)는 상기 디지털 아날로그 변환부(340)의 각 디지털 아날로그 변환기로부터 제공되는 계조전압신호(DAC0 - DACn)를 제1차동 입력단자를 통해 제1차동 입력신호(inp)로 입력하고, 상기 출력단자(out)를 통해 출력되는 출력신호(CH1 - CHn)를 제2차동 입력단자를 통해 제2차동 입력신호(inn)로 입력한다. 상기 제1차동 입력신호(inp)를 입력하는 제1차동 입력단자는 도 3의 비반전 입력단자(+)에 대응하고, 상기 제2차동 입력신호(inn)를 입력하는 제2차동 입력단자는 도 3의 반전입력단자(-)에 대응한다.

<37> 상기 신호 입력부(31)는 제1차동 입력신호(inp)와 제2차동 입력신호(inn)를 각각 입력하는 제1 및 제2NMOS 트랜지스터(MN1, MN2) 및 제1 및 제2PMOS 트랜지스터(MP1, MP2)를 구비한다. 상기 제1 및 제2NMOS 트랜지스터(MN1, MN2)은 게이트에 제1 및 제2차동 입력신호(inp, inn)가 각각 인가되고 소오스가 제2노드(a2)에 공통 연결되며 드레인이 제7노드(a7) 및 제3노드(a3)에 각각 연결된다. 상기 제1 및 제2PMOS 트랜지스터(MP1, MP2)는 게이트에 상기 제1 및 제2차동 입력신호(inp, inn)가 제공되고, 소오스에 상기 제1노드(a1)가 연결되고, 드레인에 각각 제10노드(a10) 및 제6노드(a6)에 연결된다.

<38> 제1전류미러(32)는 제5 및 제7PMOS 트랜지스터(MP5, MP7)를 구비한다. 상기 제5 및 7MOS 트랜지스터(MP5, MP7)는 게이트가 제4노드(a4)에 공통연결되며, 소오스에 제1전원단자가 연결되며 드레인이 상기 제3노드(a3) 및 제7노드(a7)에 각각 연결된다. 상기 제1전원단자에는 전원전압(Vdd)이 제공된다.

<39> 제2전류미러(33)는 제5 및 제7NMOS 트랜지스터(MN5, MN7)를 구비한다. 상기 제5 및 7MOS 트랜지스터(MP5, MP7)는 게이트가 제5노드(a5)에 공통연결되며, 소오스에 제2전원단자가 연결되며 드레인이 상기 제6노드(a6) 및 제10노드(a10)에 각각 연결된다. 상기 제2전원단자에는 접지전압(Vss)이 제공된다.

<40> 증폭선택부(34)는 상기 출력버퍼(351 - 35n)가 상기 디지털 아날로그 변환부(340)로부터 계조전압신호(DCA0 - DCAn)을 증폭할 때, 증폭 등급(class)를 선택하기 위한 것이다. 예를 들어 상기 증폭 선택부(34)는 외부로부터 제공되는 제5 및 제6바이어스전압(vc1, vc2)에 의해 A급, B급 또는 AB 급중 하나를 선택하여 상기 각 출력버퍼(351 - 35n)가 선택된 등급으로 증폭동작을 하도록 한다. 상기 증폭선택부(34)는 제4, 제6, 제9 및 제10PMOS 트랜지스터(MP4, MP6, MP9, MP10) 및 제4, 제6, 제9 및 제10NMOS 트랜지스터(MN4, MN6, MN9, MN10)를 구비한다.

<41> 상기 제4 및 제6PMOS 트랜지스터(MP4, MP6)는 게이트에 제2바이어스전압(vb2)이 인가되고, 소오스가 상기 제3노드(a3) 및 제7노드(a7)에 각각 연결되며, 드레인이 제4노드(a4) 및 제8노드(a8)에 각각 연결된다. 상기 제4 및 제6NMOS 트랜지스터(MN4, MN6)는 게이트에 제3바이어스전압(vb3)이 제공되며, 소오스가 상기 제6노드(a6) 및 제10노드(a10)에 각각 연결되며, 드레인이 제5노드(a5) 및 제9노드(a9)에 각각 연결된다. 상기 제9 및 제10PMOS 트랜지스터(MP9, MP10)는 게이트에 제5바이어스전압(vb5)이 인가되고, 소오스가 상기 제4노드(a4) 및 제8노드(a8)에 각각 연결되며, 드레인이 상기 제5노드(a5) 및 제9노드(a9)에 각각 연결된다. 상기 제9 및 제10NMOS 트랜지스터(MN9, MN10)는 게이트에 제6바이어스전압(vb6)이 인가되고, 드레인이 상기 제4노드(a4) 및 제8노드(a8)에 각각 연결되며, 소오스가 상기 제5노드(a5) 및 제9노드(a9)에 각각 연결된다.

<42> 상기 출력부(35)는 제8PMOS 트랜지스터(MP8) 및 제8NMOS 트랜지스터(MN8)와 제1 및 제2캐패시터(C1, C2)를 구비한다. 상기 8PMOS 트랜지스터(MP8) 및 제8NMOS 트랜지스터(MN8)는 게이트가 각각 제8노드(a8)과 제9노드(a9)에 연결되고, 소오스가 각각 제1전원단자(vdd) 및 제2전원단자(vss)에 각각 연결되며, 드레인이 출력단자(out)에

공통연결된다. 상기 제8PMOS 트랜지스터(MP8)와 제8NMOS 트랜지스터(MN8)의 게이트에는 각각 제8노드(a8) 및 제9노드(a9)를 통해 풀업신호(pu) 및 풀다운신호(pd)가 제공된다. 상기 제1 및 제2캐패시터(C1, C2)는 일단이 각각 제7노드(a7)와 제10노드(a10)에 각각 연결되며, 타단이 상기 출력단자(out)에 공통연결된다.

<43> 상기 인에이블부(36)는 상기 증폭부를 구성하는 신호입력부(31)를 인에이블시켜 주기 위한 제3PMOS 트랜지스터(MP3)와 제3NMOS 트랜지스터(MN3)를 구비한다. 상기 제3PMOS 트랜지스터(MP3)와 제3NMOS 트랜지스터(MN3)는 게이트에 제1바이어스 전압(vb1)과 제4바이어스 전압(vb4)가 각각 인가되며, 소오스는 각각 제1전원단자(Vdd)와 제2전원단자(Vss)에 각각 연결되며 드레인이 각각 제1노드(a1)와 제2노드(a2)에 연결된다. 상기 제1 내지 제6바이어스 전압(vb1 - vb4)는 외부로부터 제공되는 일정 전압이다.

<44> 상기 각 출력버퍼(351 - 35n)는 제1차동 입력신호(inp)와 제2차동입력신호(inn)를 입력하고, 상기 제1바이어스 전압(vb1) 및 상기 제4바이어스 전압(vb4)에 의해 상기 제3PMOS 트랜지스터(MP3) 및 제3NMOS 트랜지스터(MN3)를 인에이블시킨다. 상기 증폭부는 제1차동 입력신호(inp)와 제2차동 입력신호(inn)를 차동증폭하여 상기 제7노드(a7) 및 제10노드(10)로 제공한다. 상기 증폭선택부(34)는 제5 및 제6바이어스 전압(vb5, b6)이 인가되는 제10PMOS 트랜지스터(MO10) 및 제10NMOS 트랜지스터(MN10)에 의해 상기 증폭부의 증폭 등급을 결정하여 풀업신호(pu) 및 풀다운신호(pd)를 상기 출력부(35)로 제공한다. 상기 출력부(35)는 상기 풀업신호(pu) 및 풀다운신호(pd)에 의해 상기 제8PMOS 트랜지스터(MP8) 및 제8NMOS 트랜지스터(MN8)가 구동되어 출력신호(out)를 발생한다.

<45> 도면상에는 도시되지 않았으나, 상기 소오스 드라이버(30)는 액정패널(10)을 인버젼 구동방식, 예를 들어 도트 인버젼 구동방식을 이용하여 구동하는 경우, 상기 디지털 아날로그 변환부(340)는 계조전압신호(DAC0 - DACn)로 포지티브 계조전압신호와 네가티브 계조전압신호를 상기 출력버퍼부(350)로 제공하게 된다. 따라서, 상기 소오스 드라이버(30)는 극성반전 제어부를 더 구비하여, 극성반전 제어부가 상기 디지털 아날로그 변환부(340)로부터 제공되는 포지티브 계조전압신호와 네가티브 계조전압신호중 하나가 상기 각 출력버퍼(351 - 35n)로 제공되도록 제어할 수 있다.

<46> 상기 각 출력버퍼(351 - 35n)의 출력신호(out)에서 발생되는 출력편차는 각 출력버퍼(351 - 35n)를 구성하는 MOS 트랜지스터의 문턱전압(Vth)의 불균일에 기인하는데, 상기 문턱전압(Vth)의 편차를 수식으로 표현하면 식(1)과 같다.

<47>
$$\delta(\Delta Vth)=\frac{Avt}{\sqrt{W\times L}}=\frac{q\times\sqrt{Nt}}{Cox\times\sqrt{W\times L}} \quad \cdots\cdots (1)$$

<48> 식 (1)에서, Nt 는 채널영역의 도핑농도를 나타내고, Cox 는 게이트 절연막의 캐패시턴스를 나타내며, W 및 L은 각각 MOS 트랜지스터의 폭 및 길이를 나타낸다. q 는 전하량이다.

<49> 상기 식 (1)로부터, MOS 트랜지스터들의 폭과 길이가 같고, 채널영역의 도핑농도가 동일하다면, 문턱전압(Vth)의 편차(δ)는 게이트 절연막의 두께에 의해 변화됨을 알 수 있다. 따라서, 게이트 절연막의 두께가 크면 클수록 문턱전압(Vth)의 편차(δ)가 증가됨을 알 수 있다.

<50> 상기 출력버퍼(351 - 35n)를 구성하는 모스 트랜지스터의 각 노드의 전압을 (표 1)에 나타내었다. (표 1)은 전원전압(vdd)이 12V 인 경우 각 입력전압(Vin) 즉, 제1차동 입력신호(inp)의 전압레벨에 따른 각 노드의 전압을 나타낸 것이다. 각 출력버퍼(351 - 35n)의 출력신호(out)의 출력편차에 크게 영향을 미치는 것은 상기 출력버퍼를 구성하는 다수의 트랜지스터(MP1 - MP10, MN1 - MN10)중 낮은 동작전압을 갖는 트랜지스터이다. 예를 들어 전원전압(Vdd)이 12V 인 경우, 출력편차(δ)에 크게 영향을 미치는 트랜지스터는 2V 이하의 동작영역을 갖는 트랜지스터이다. 입력전압(Vin)에 무관하게 2V 이하의 동작전압을 유지하는 노드는 a3, a6, a7, a10가 된다. 즉, 제3노드(a3) 및 제7노드(7)에 연결되는 제1전류미러부(32)의 PMOS 트랜지스터(MP5, MP7)와 제6노드(a6) 및 제10노드(a10)에 연결되는 제2전류미러(33)의 NMOS 트랜지스터(MN5, MN7)은 12V의 전원전압 또는 0V의 접지전압(Vss) 대비 2V 이하의 동작전압을 갖는다.

<51> 출력버퍼(351 - 35n)의 출력신호(out)의 출력편차(δ)를 감소시켜 주기 위해서는, 상기 노드(a3, a6, a7, a10)에 연결된 제5 및 제7PMOS 트랜지스터(MP5, MP7) 및 제5 및 제7NMOS 트랜지스터(MN5, MN7)는 게이트 절연막의 두께를 나머지 트랜지스터에 비하여 얇게 형성하는 것이 바람직하다. 따라서, 도 5에 도시된 바와 같이, 각 출력버퍼를 구성하는 MOS 트랜지스터중 낮은 동작전압을 갖는 상기 제5 및 제7PMOS 트랜지스터(MP5, MP7) 및 제4 및 제5NMOS 트랜지스터(MN5, MN7)는 박막의 게이트 절연막을 갖는 저전압 트랜지스터(50a)로 구성하고, 나머지

트랜지스터는 후막의 게이트 절연막을 갖는 고전압 트랜지스터(50b)로 구성한다.

<52> (표 1)

<53>

입력전압 노드	0.2V	4V	11.8V	8V
a1	3.95	6.91	12.00	9.93
a2	0	1.95	7.63	4.80
a3	10.98	10.95	10.95	10.95
a4	10.59	10.54	10.53	10.54
a5	1.53	1.46	1.36	1.46
a6	0.45	0.47	0.47	0.47
a7	11.11	11.06	11.04	11.06
a8	11.05	11.00	10.97	10.99
a9	1.11	1.12	1.03	1.08
a10	0.45	0.47	0.47	0.47

<54> 도 5를 참조하면, 저전압 트랜지스터(50a)는 기판(51)상에 형성된 박막의 게이트 절연막(53a), 게이트전극(55a) 및 소오스/드레인 영역(57a)를 구비한다. 한편, 고전압 트랜지스터(50b)는 상기 기판(51)상에 형성된 후막의 게이트 절연막(53b), 게이트 전극(55b) 및 소오스/드레인 전극(57b)를 구비한다. 상기 저전압 트랜지스터(50a)의 게이트 절연막(53a)의 두께는 상기 고전압 트랜지스터(50b)의 게이트 절연막(53b)의 두께보다 작다. 상기 각 출력버퍼(351 - 35n)를 구성하는 MOS 트랜지스터의 구조는 도 5에 한정되지 않고 다양한 구조를 가질 수 있다.

<55> 상기 소오스 드라이버(30)가 상기 액정패널(10)의 셀 어레이와 함께 집적되는 경우, 상기 기판(51)은 유리기판, 플라스틱기판 또는 금속기판 등과 같이 평판표시패널의 제조에 사용되는 기판을 포함하며, 저전압 트랜지스터(50a) 및 고전압 트랜지스터(50b)는 예를 들어 저온폴리실리콘공정을 이용한 N형 또는 P형 박막 트랜지스터로 구현한다. 한편, 상기 소오스 드라이버(30)가 상기 액정패널(10)의 셀어레이와는 별도로 제작되는 경우에는, 상기 기판(51)은 실리콘 기판 등과 같은 반도체 집적회로의 제조에 사용되는 반도체 기판을 포함하며, 상기 저전압 트랜지스터(50a) 및 고전압 트랜지스터(50b)는 통상적인 MOS 트랜지스터로 구현한다.

<56> 본 발명의 실시예에서, 각 출력버퍼(351 - 35n)를 구성하는 MOS 트랜지스터중 저전압 MOS 트랜지스터로 구현되는 동작영역의 범위는 12V 의 전원전압에서 2V 이하로 한정되는 것이 아니라, 다양한 값을 가질 수 있다.

발명의 효과

<57> 이상에서 자세히 설명한 바와 같이, 평판표시장치용 소오스 드라이버회로에 사용되는 출력버퍼회로에서 출력편차에 크게 영향을 미치는 트랜지스터를 게이트 절연막의 두께가 작은 저전압 트랜지스터로 구성하고, 나머지 트랜지스터는 게이트 절연막의 두께가 큰 고전압 트랜지스터로 구성한다. 이로써, 출력버퍼의 면적증가없이 MOS 트랜지스터의 문턱전압의 변화에 따른 출력버퍼의 출력편차를 개선할 수 있다. 또한, 본 발명의 서로 다른 구동능력을 갖는 트랜지스터로 구성되는 출력버퍼회로는 다양한 평판표시장치의 드라이버회로에 적용가능하다.

<58> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

도면의 간단한 설명

<1> 도 1은 본 발명의 박막 트랜지스터 액정표시장치(TFT-LCD)의 구성도이다.

<2> 도 2는 본 발명의 박막 트랜지스터 액정표시장치용 소오스 드라이버의 개략적인 구성도이다.

<3> 도 3은 본 발명의 박막 트랜지스터 액정표시장치용 소오스 드라이버의 출력버퍼부의 구성도이다.

<4> 도 4는 본 발명의 박막 트랜지스터 액정표시장치용 소오스 드라이버의 출력버퍼의 일 예를 도시한 것이다.

<5> 도 5는 도 4의 출력버퍼를구성하는 트랜지스터의 단면도이다.

<6> * 도면의 주요 부분에 대한 부호의 설명 *

<7> 10 : 액정패널 20 : 게이트 드라이버

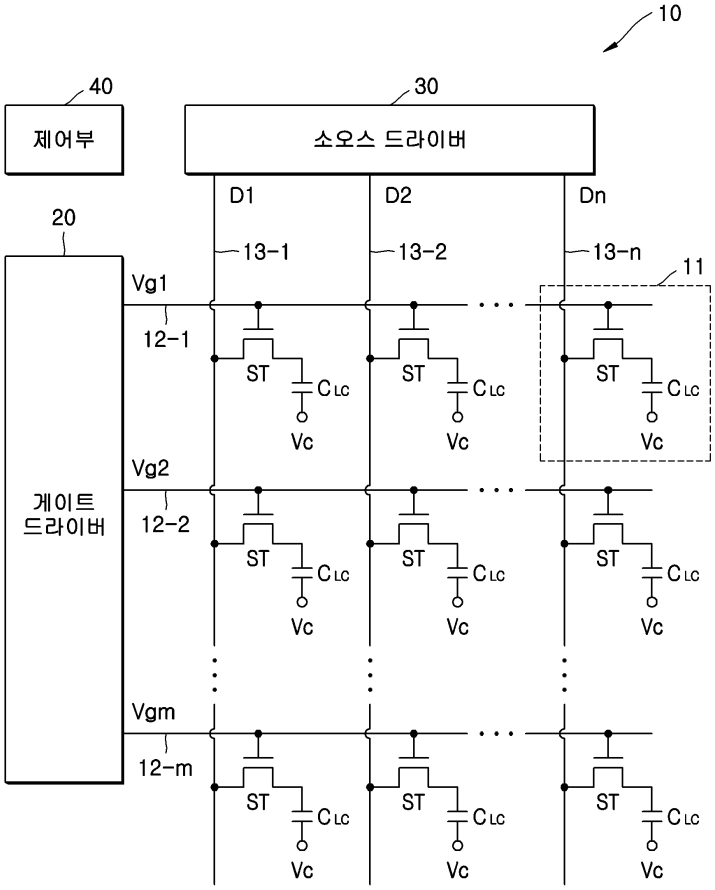
<8> 30 : 소오스 드라이버 40 : 제어부

<9> 310 : 시프트 레지스터부 320, 330 : 래치부

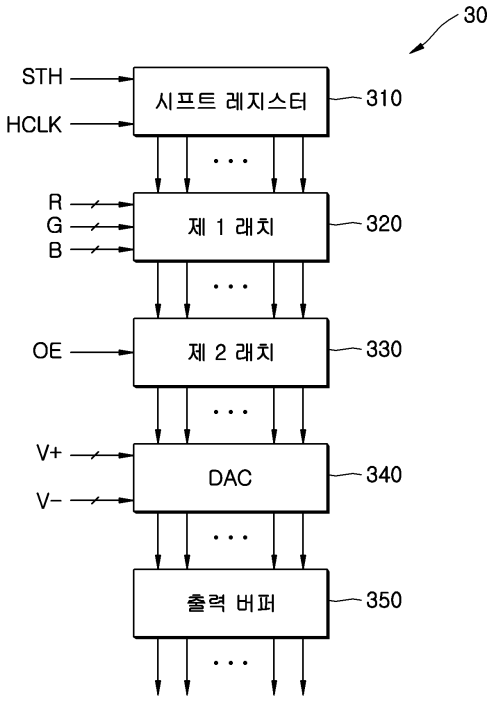
<10> 340 : 디지털-아날로그 변환부 350 : 출력버퍼부

도면

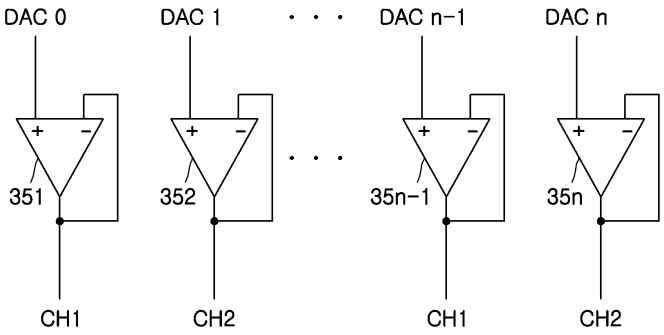
도면1



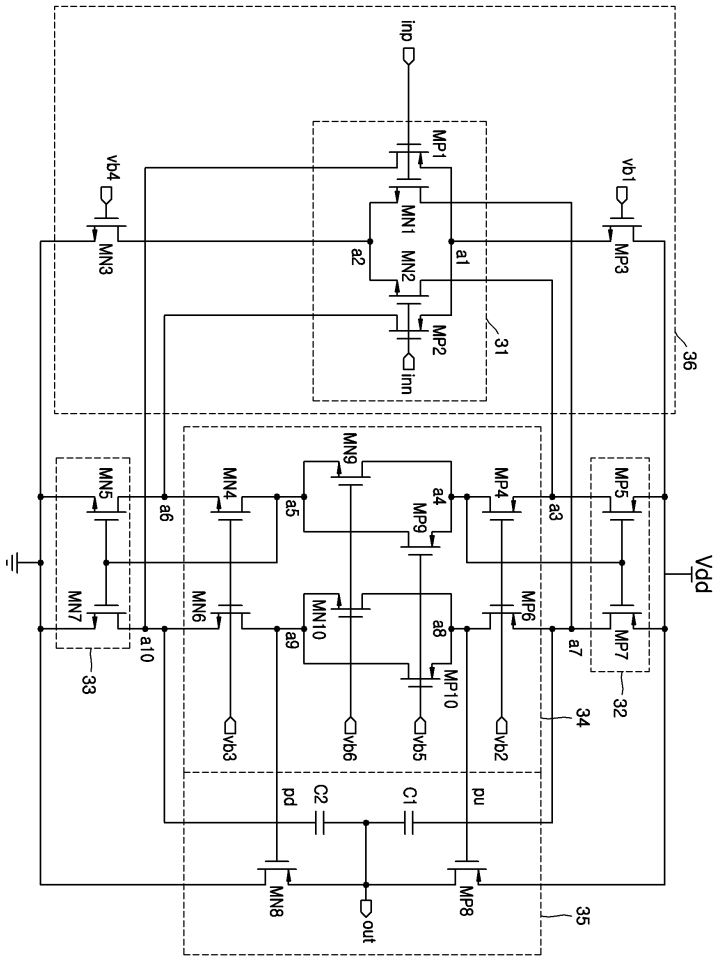
도면2


30
STH
HCLK
시프트 레지스터
310
R
G
B
제 1 래치
320
OE
제 2 래치
330
V+
V-
DAC
340
출력 버퍼
350

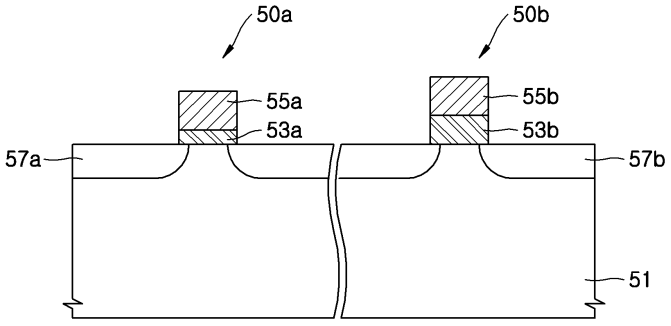
도면3


DAC 0
DAC 1
DAC n-1
DAC n
351
352
35n-1
35n
CH1
CH2
CH1
CH2

도면4


inp
MP1
MN1
MN2
MP2
inn
vb4
MN3
vb1
MP3
a1
a2
31
36
MN9
MN4
MN5
MP4
MP5
a4
a5
a6
a3
MP9
Vdd
MN7
MN6
MN10
MP6
MP7
a8
a9
a10
a7
MP10
33
32
34
vb3
vb6
vb5
vb2
pd
C2
C1
pu
MN8
MP8
out
35

도면5


50a
50b
55a
53a
55b
53b
57a
57b
51