

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-269635

(P2005-269635A)

(43) 公開日 平成17年9月29日(2005.9.29)

(51) Int. Cl.⁷

H03L 7/08
G06F 1/08
G06F 1/10
H03K 19/173

F I

H03L 7/08 H
H03K 19/173 101
G06F 1/04 320Z
G06F 1/04 330Z

テーマコード (参考)

5B079
5J042
5J106

審査請求 未請求 請求項の数 30 O L 外国語出願 (全 58 頁)

(21) 出願番号 特願2005-64686 (P2005-64686)
(22) 出願日 平成17年3月8日(2005.3.8)
(31) 優先権主張番号 10/797836
(32) 優先日 平成16年3月9日(2004.3.9)
(33) 優先権主張国 米国 (US)

(71) 出願人 597154922
アルテラ コーポレーション
Altera Corporation
アメリカ合衆国 95134 カリフォル
ニア州 サン ホセ イノベーション ド
ライヴ 101
(74) 代理人 100064012
弁理士 浜田 治雄
(72) 発明者 グレゴリー ダブリュー スター
アメリカ合衆国、カリフォルニア 951
25、サン ノゼ、スラッシャー レーン
2681

最終頁に続く

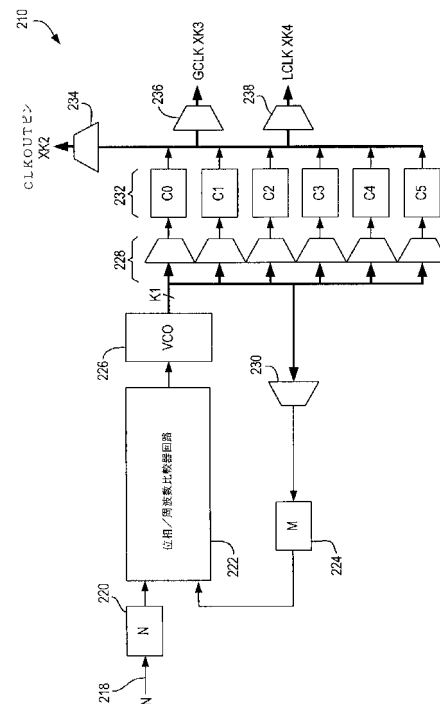
(54) 【発明の名称】 プログラム可能な論理用の高い構成能力を有するPLLアーキテクチャ

(57) 【要約】 (修正有)

【課題】複数のクロックを生成し、プログラムで選択して出力することにより柔軟度の高いクロック分配回路を提供する。

【解決手段】基準信号を入力し、PLL (位相同期ループ) 回路で周波数、位相の異なる複数の出力クロックを生成し、前記出力クロックをプログラムによりマルチプレクサ228で任意に選択し多重化して外部クロックとする。

【選択図】図2



【特許請求の範囲】

【請求項 1】

基準信号から派生した複数のクロック信号を同時に生成する方法であって、前記方法は、
前記基準信号を受信することと、
それぞれが周波数および異なる位相をもつ複数の信号を生成することと、
各前記生成された信号の前記周波数を、周波数の約数のプログラム可能な選択にしたがって同時に分周し、それぞれが周波数および位相を有する出力信号を生成することと、
前記出力信号をプログラム可能な選択にしたがって多重化して、各クロック信号がオフチップクロック信号、オンチップクロック信号またはその両方として使用可能となること
と、
を含む方法。

【請求項 2】

請求項 1 に記載の方法であって、各前記出力信号の前記周波数が、前記出力信号の一つまたは複数の周波数と異なっているか、または同一である方法。

【請求項 3】

請求項 1 に記載の方法であって、前記多重化が、オフチップクロック信号として使用するために、前記出力信号のうち一つを出力ピンにプログラム可能に接続することを含む方法。

【請求項 4】

請求項 1 に記載の方法であって、前記多重化は、オンチップ・グローバル・クロック信号として使用するために、前記出力信号のうち一つをグローバル・クロック・ネットワークにプログラム可能に接続することを含み、前記グローバル・クロック・ネットワークは、前記生成および前記分周が実施される集積回路チップと同一のチップ上にある方法。

【請求項 5】

請求項 1 に記載の方法であって、前記多重化が、オンチップ・ローカル・クロック信号として使用するために、前記出力信号のうち一つをクロックネットワークにプログラム可能に接続することを含み、前記クロックネットワークは集積回路チップ上の回路の一部とのみ接続され、前記集積回路チップは前記生成および前記分周が実施される集積回路チップと同一である方法。

【請求項 6】

請求項 1 に記載の方法であって、
複数の入力信号を受信することと、
前記複数の入力信号を有効化信号と同期させることと、
前記複数の入力信号のうち一つを前記基準信号として選択することと
をさらに含む方法。

【請求項 7】

請求項 5 に記載の方法であって、前記受信は、
前記生成および前記分周が実行される集積回路上に前記複数の入力信号を生成させることと、
前記複数の入力信号のうち別の一つを、別の集積回路チップから入力ピンを介して受信することと
を含む方法。

【請求項 8】

複数のクロック信号を同時に生成する方法であって、前記方法は
基準信号を受信する第 1 の分周器に、第 1 の約数をプログラミングすることと、
前記第 1 の分周器によって処理された信号を略同時に受信する複数の分周器のそれぞれに、複数の約数をプログラミングすることと、
少なくとも一つのマルチプレクサを、前記複数の分周器から受信する複数の出力信号のうち一つを、集積回路出力ピン、グローバル・クロック・ネットワークまたはローカル・

10

20

30

40

50

クロック・ネットワークのうち任意の一つに接続するよう、プログラミングすることを含む方法。

【請求項 9】

請求項 8 に記載の方法であって、複数の約数を前記プログラミングした後、

前記複数の分周器のうち一つの出力を、前記複数の分周器のうち別の一つへと供給するよう、プログラミングすることをさらに含む方法。

【請求項 10】

請求項 9 に記載の方法であって、出力を前記プログラミングすることを少なくとも 1 回繰り返すことを含む方法。

【請求項 11】

入力クロック信号を複数の出力クロック信号に変換する方法であって、前記方法は、入力周波数を有する前記入力クロック信号を、第 1 の周波数を有する第 1 の信号を生成するよう修正することと、

前記第 1 の信号を、それぞれが位相と前記第 1 の周波数とを有する複数の第 2 の周波数を生成するよう位相シフトし、前記第 2 の信号のそれぞれは前記第 2 の信号の他の位相とは異なる位相を有することと、

前記第 2 の信号を、位相および出力周波数を有する出力信号を生成するよう、略同時に修正し、前記出力信号のそれぞれは個別に選択可能な出力周波数を有することと、

前記出力信号のうち任意の一つを、集積回路チップ出力ピンに、選択可能に接続することと、

前記出力信号のうち任意の一つをグローバル・クロック・ネットワークに、選択可能に接続し、前記グローバル・クロック・ネットワークは、クロック信号を集積回路チップ上のすべてのクロック可能な回路に供給することと、

前記出力信号のうち任意の一つを少なくとも一つのローカル・クロック・ネットワークに選択可能に接続し、前記ローカル・クロック・ネットワークは、クロック信号を集積回路チップ上のクロック可能な回路の一部のみに供給することを含む方法。

【請求項 12】

複数のクロック信号を基準信号に基づいて生成する方法であって、前記方法は、

前記基準信号の受信に応答して、第 1 の複数のクロック信号を生成し、前記複数のクロック信号のそれぞれは異なる位相を有することと、

それぞれが位相および選択可能な周波数を有する第 2 の複数のクロック信号を同時に生成することと、

前記第 2 の複数のクロック信号を、同一の複数のクロッキングアプリケーションに対して利用可能にする方法。

【請求項 13】

請求項 12 に記載の方法であって、前記クロッキングアプリケーションが、オフチップクロッキング、オンチップ・グローバル・クロッキング、オンチップ・ローカル・クロッキング、周波数合成、ゼロ遅延バッファリングを含む方法。

【請求項 14】

プログラム可能な位相および周波数を有する複数のクロック信号を出力するよう動作するプログラム可能な論理デバイス上の回路であって、

入力信号を受信するよう動作する第 1 の分周器回路と、

前記分周器の出力を受信するよう接続され、第 2 の入力を受信する位相 / 周波数比較器回路と、

前記位相 / 周波数比較器回路の出力を受信するよう接続され、それぞれが異なる位相を有する複数の信号を出力するよう動作する電圧制御発振器 (VCO) と、

前記複数の VCO 出力信号を受信するよう接続され、分周信号を前記位相 / 周波数比較器の前記第 2 の入力に出力するよう動作するフィードバック分周器回路と、

前記複数の VCI 出力信号を受信するよう接続され、前記複数の VCO 出力信号から選

10

20

30

40

50

択された複数の信号を出力するよう動作する第 1 の多重化回路と、

それぞれが前記第 1 の多重化回路からの前記出力信号の一つを受信するよう前記多重化回路に接続され、分周信号を出力するよう動作する複数の分周器回路と、

前記複数の分周器からの前記分周信号のそれぞれを受信するよう接続される第 2 の多重化回路であって、前記第 2 の多重化回路は、前記第 2 の多重化回路に接続された複数の信号線のうち任意の一つに、受信した各分周信号をプログラム可能に出力するよう動作する第 2 の多重化回路と

を含む回路。

【請求項 15】

請求項 14 に記載の回路であって、前記複数の信号線がクロック出力ピン、グローバル・クロック・ネットワーク、および少なくとも一つのローカル・クロック・ネットワークに接続される回路。 10

【請求項 16】

請求項 14 に記載の回路であって、複数の入力信号を受信するよう接続され、前記信号のうち一つを前記第 1 の分周器回路にプログラム可能に出力するよう動作する第 3 のマルチプレクサ回路をさらに含む回路。

【請求項 17】

請求項 16 に記載の回路であって、前記第 3 の多重化回路は、有効化信号を受信するよう接続され、前記複数の入力信号のうち二つを選択可能な同期化回路を含み、前記同期回路は前記有効化信号によってクロックされる二つのラッチを含み、各ラッチは、前記選択可能な二つの信号のそれぞれを受信するよう接続され、同期信号を出力するよう動作する回路。 20

【請求項 18】

請求項 17 に記載の回路であって、前記二つのラッチから前記二つの同期信号を受信するよう接続され、前記二つの同期信号のうち一つが受信されない場合は前記二つの同期信号のうち他方を自動的に出力するよう動作するスイッチオーバー回路をさらに含む回路。

【請求項 19】

請求項 14 に記載の回路であって、前記フィードバック分周器回路が、マルチプレクサとプログラム可能な分周器回路とを含み、前記マルチプレクサは前記複数の VCO 出力信号を受信するよう接続され前記 VCO 出力信号のうち一つを前記分周器回路に出力するよう動作可能であり、前記分周器回路は前記分周信号を前記位相 / 周波数比較器の前記第 2 の入力に出力するよう動作する回路。 30

【請求項 20】

前記回路が低電圧差動伝送 (LVDS) 位相同期ループ回路である請求項 14 に記載の回路。

【請求項 21】

前記回路が汎用位相同期ループ回路である請求項 14 に記載の回路。

【請求項 22】

請求項 14 に記載の回路を含む、集積回路。

【請求項 23】

請求項 14 に記載の回路を含む、プログラム可能な論理デバイス。 40

【請求項 24】

プリント基板であって、該プリント基板上に請求項 14 に記載の回路を実装するプリント基板。

【請求項 25】

請求項 24 に記載のプリント基板であって、該プリント基板上にメモリを実装するプリント基板。

【請求項 26】

請求項 24 に記載のプリント基板であって、該プリント基板上に処理回路を実装するプリント基板。 50

【請求項 27】

プロセッサと、
前記プロセッサに接続されたメモリと、
前記プロセッサおよび前記メモリのうち少なくとも一つに接続された請求項 14 に記載の回路とを含むシステム。

【請求項 28】

プロセッサと、
メモリと、
請求項 13 に記載の回路を含むプログラム可能な論理デバイスと、
入力/出力回路と、
前記プロセッサと、前記メモリと、前記プログラム可能な論理デバイスと、前記入力/出力回路とを接続するシステムバスとを含むデジタル処理システム。

【請求項 29】

位相同期ループ回路であって、
受信した信号を位相シフトして複数の位相シフト信号を生成する手段であって、各位相シフト手段は周波数を有し、異なる量だけシフトされる手段と、
前記位相シフト信号の少なくとも略複数の周波数を修正する手段と、
前記周波数修正信号のそれぞれを、いくつかのクロッキングネットワークのうち任意の一つに選択的に加える手段とを含む位相同期ループ回路。

【請求項 30】

請求項 29 に記載の位相同期ループ回路であって、前記クロッキングネットワークが、オフチップネットワークとオンチップネットワークとを含み、前記チップは請求項 29 に記載の位相同期ループ回路を含む、位相同期ループ回路。

【発明の詳細な説明】

【背景技術】

【0001】

本発明は、プログラム可能な論理集積回路デバイスに関し、より具体的には、プログラム可能な論理デバイスのための構成能力を有する PLL (位相同期ループ) 回路に関する。

【0002】

プログラム可能な論理集積回路デバイスは周知であり、多くの場合、多数のプログラム可能な論理ブロック、メモリブロックおよびプログラム可能相互接続リソースを備えている。論理ブロックは、ユーザの所望する様々な論理機能を実行するために、ユーザによってプログラム可能である。メモリブロックは、データを保存しその後出力するためにユーザによって使用してもよい。相互接続リソースは、プログラム可能な論理デバイスの入力と論理ブロックおよびメモリブロックの入力との間の接続、論理ブロックおよびメモリブロックの出力とデバイスの出力との間の接続、および論理ブロックおよびメモリブロックの出力と入力との間の接続からなる、広範な範囲の接続のうちいずれか一つを行うために、ユーザによってプログラム可能である。

【0003】

プログラム可能な論理デバイス上に PLL 回路を提供することは周知である。PLL 回路は、一定の周波数および入力基準信号との位相関係を維持するよう絶えず調整される出力信号を生成する。(こうして PLL 回路は、周波数および位相関係上に「固定される」。) PLL 回路は、プログラム可能な論理デバイス上のクロック信号伝播遅延に反作用し、あるクロック信号周波数(例: 入力クロック信号周波数)を別の異なるクロック信号周波数へと(例: デバイスから出力されるよう)変換し、さらにより一般的には一つまたは複数の外部クロック信号、内部グローバルクロック信号または内部ローカル/リージョナ

ルクロック信号を供給するよう使用してもよい。

【0004】

しかし、既知のPLL回路の構成は、典型的には限定されている。例えば、既知のPLL回路から生成される出力信号の周波数域は、プログラム可能な論理デバイスが使用可能な多くのアプリケーションにとって狭すぎることもある。さらに、PLL出力の数および構成能力は大きく限定される可能性もある。例えば、既知のPLL回路は、オフチップ・クロッキング・アプリケーション用のI/Oピンへの接続のために利用可能な出力が十分でないかもしれない。さらに、既知のPLL回路は、オンチップ・グローバル・クロッキング・ネットワークまたはローカル・クロッキング・ネットワーク用に利用可能な十分な出力を有していないかもしれない。このように、プログラム可能な論理デバイス上の既知のPLL回路の構成能力は、デバイス上で実行可能な設計の数、さらには、プログラム可能な論理デバイスが違った方法で利用されうるアプリケーション数を制限するかもしれない。

10

【0005】

上記に鑑みて、プログラム可能な論理デバイスが利用可能な設計およびアプリケーションの数を増加させるために、高い構成能力を有するPLL回路を提供できることが望ましい。

【発明の概要】

【0006】

本発明によると、プログラム可能な論理デバイスは高い構成能力を有する位相同期ループ(PLL)回路を備えている。本発明のPLL回路は複数の信号を出力し、各信号は、外部(例:オフチップ)クロックとして使用される一つまたは複数のI/Oピン、一つまたは複数の内部(例:オンチップ)グローバル・クロック・ネットワーク、一つまたは複数のローカル/リージョナル・クロック・ネットワークおよびそれらの組合せのいずれかまたはすべてにプログラム可能に接続されている。PLL回路は、各出力信号が所望に応じ異なる位相を持つことができるよう、入力基準信号に対して位相シフトを行う。さらに、各出力信号の周波数は個別にプログラム可能である。本発明の他の実施例では、PLL出力は選択可能なステージ数でプログラム可能に転送可能であり、何桁かの幅のある出力信号周波数範囲を提供する。本発明の別の実施例では、PLL回路は(例:オフチップおよび/またはオンチップソースから)複数の入力信号を受信可能であり、その複数の信号の中から基準信号をプログラム可能に選択可能である。

20

30

【0007】

このようなクロック信号出力の供給方法も、本発明によって提供されている。

【0008】

有利には、本発明のPLL回路および方法は、例えば、周波数シンセサイザおよびゼロ遅延バッファ等広範な設計を実施するために使用可能である。

【0009】

本発明の前述の利点およびその他利点は、以下の詳細な説明を添付図面と合わせて考慮すれば明らかである。図面全体を通して類似の参照文字は類似の部品を示している。

【発明の詳細な説明】

40

【0010】

図1は、本発明による例示的なプログラム可能な論理集積回路(PLD)100を示す。PLD100は、回路外部からデバイスへの一つまたは複数のクロック信号を受信する一つまたは複数の入力ピン102を有する。PLD100は、外部回路からデータおよび/または制御信号を受信する複数の入力/出力(I/O)ピン104も備えている。(本明細書では便宜上、クロック信号以外のすべてのデータおよび制御信号を単にデータ信号と呼ぶ。)ピン104からのデータ信号をI/Oレジスタ106に加えて、一時的に保存し、これらレジスタから出力してもよい。ピン102に加えらるる入力クロック信号をI/Oレジスタ106に加えて、これらレジスタの動作(特にタイミング)を制御してもよい。レジスタ106から出力されるデータ信号は、PLD100のプログラム可能な論理

50

108に加えられる。(レジスタ106を使用する代わりに、ピン104からのデータを論理108により直接的に、すなわち、最初にレジスタ106に入力せずに加えることができる。)またプログラム可能な論理108は、ピン102からの入力クロック信号を受信してもよく、一般には、受信したクロック信号の周波数に基づいて決定した速度で、ピン104および/またはレジスタ106からの入力データに対して少なくともいくつかの動作を実行する。言い換えれば、ピン104に加えられたデータの一部またはすべては、ピン102から受信したクロック信号と同期してもよく、プログラム可能な論理108は前記クロック信号に同期して前記データを部分的に処理してもよい。

【0011】

ピン102に加えられる複数の入力クロック信号を、本発明の位相同期ループ(PLL)回路110に加えてもよい。PLL回路110はプログラム可能な論理108からの内部クロック信号を受信してもよく、前記クロック信号は、PLD100上で生成されたものであっても、および/またはクロックピン102の一つから受信する別のクロック信号から派生したものであってもよい。PLL回路110は、入力クロック信号のうち一つを入力基準信号として使用するために、プログラム可能に選択し、前記入力基準信号と所望の周波数関係を有する複数の修正済クロック出力信号を供給する。例えば、PLL回路110によって生成された修正済クロック出力信号の周波数は、入力基準信号の周波数よりも高くてもおよび/または低くてもよい。PLL回路110によって生成された修正済クロック信号は、有利には、クロック信号出力ピン112、プログラム可能な論理108、I/Oレジスタ114のいずれかまたはすべてに対し、プログラム可能に加えられてもよい。

【0012】

プログラム可能な論理108は、PLL回路110によって生成された一つまたは複数の修正済クロック信号によって決定された一つまたは複数の速度で、少なくともいくつかのデータ処理を行うよう構成されている。例えばプログラム可能な論理108は、PLL回路110によって生成された修正済クロック信号と同期してデータ処理を行ってもよい。プログラム可能な論理108からの出力データは、I/Oレジスタ114を経由してI/Oピン116に加えられてもよい。I/Oレジスタ114は、別の修正済クロック信号速度でピン116へと送られる前記データ信号を登録することもある。さらに、さらに、PLD100は、修正済クロック信号周波数でピン116を経由してデータを出力してもよい。前記クロック信号周波数は、出力クロックピン112の加えられる修正済クロック信号のうちいずれかと、同じであってもなくてもよく、および/または同期していてもよい。

【0013】

なお、本発明の他の実施例(例えば、図10および付随する以下の説明を参照)では、ピン102、112は、クロックまたはデータI/Oピンとして動的に使用してもよい。

【0014】

図1は様々な回路要素間の固定された相互接続を示しているようであるが、PLD100等のプログラム可能な論理デバイス上では、一般的にはプログラマビリティが高く、したがって提供される相互接続リソースにおいて信号経路の自由度が得られることに留意すべきである。この相互接続リソースのプログラマビリティは当業では周知であり、図が不必要に複雑になることを避けるため図示していない。このため、図1(またはそれに続く任意の図)に示す相互接続はPLD100のすべての用途において見られるとは限らず、および/または図1(または他の図)に示されていない他の相互接続がPLD100のいくつかの用途において見られる可能性もある。また当業者であれば、図1に示す回路要素および相互接続リソースが、PLD100上加えられるより広範な回路要素および相互接続リソースの一部にすぎない可能性もあることを理解するであろう。本発明が適用されるプログラム可能な論理装置の事例は、Cliffらによる米国特許第5,689,195号、Cliffらによる米国特許第5,909,126号、Jeffersonらによる米国特許第6,215,326号等に見られ、これらすべての文献の全体が、この参照

により本発明に含まれる。

【0015】

図2は、本発明によるPLL回路の実施例を示す。PLL回路210は、入力218を介して入力基準信号を受信する（PLL回路110とは異なり、この実施例では一つの入力信号のみが受信される）。この入力信号はプレスケール分周器220へと加えられる。分周器220は、入力基準信号の周波数を因子Nで分周する。因子Nは好適には、例えばPLD100のプログラム可能な機能制御要素中に保存された、PLD100のプログラム可能なパラメータである。分周器220の出力は、位相/周波数比較器（PFD）回路222の出力の一つに対し、駆動クロック信号として加えられる。従来技術とも言えるPFD回路222も、帰還周波数分周器424の出力信号も受信する。PFD回路222は、該PFD回路に加えられる二つの信号における位相/周波数の差を示す出力信号を生成する。（PFD回路222のより詳細、完全な記載は、図3および以下の記載に示す。）PFD回路222の出力信号は、制御信号として電圧制御発振器（VCO）226に加えられる。VCO226はk1出力信号（k1は整数）を生成し、各k1出力信号は、好適には増加する $360^\circ/k1$ の倍数によって位相シフトされる。ある実施例では、例えば、VCO226は6つの信号を出力してもよく（すなわち $k1=6$ ）、この場合、各出力信号は好適には、 60° の間隔（ 60° 、 120° 、 180° 、 240° 、 300° 、 360° ）で入力基準信号に対して位相シフトされる。別の実施例では、例えば、8つの信号が出力されてもよい。（その結果 45° の位相シフト増分となる。）VCO226の出力信号は、マルチプレクサ回路228およびフィードバックマルチプレクサ230へと加えられる。

【0016】

マルチプレクサ230はVCO226出力信号の一つを帰還周波数分周器224へと供給する。分周器224に供給された特定のVCO226出力信号は、ユーザによってプログラムされた設計によって固定可能である。あるいは、VCO226出力信号は、設計ないしユーザによるプログラムによって決定された制御論理によって、VCO226出力信号の中で回転ないし交替してもよい。分周器224は分周器に加えられる信号の周波数を因子Mで割り、PFD回路222への上記第2（帰還）入力を生成する。因子Mは好適には、例えばPLD100のプログラム可能な機能制御要素に保存された、PLD100のプログラム可能なパラメータである。

【0017】

マルチプレクサ回路228はすべてのk1 VCO226出力信号を受信し、これら信号の中からスケール処理後周波数分周器回路232へと供給する信号をプログラム可能に選択する。分周器回路232は、好適には、複数のカウンタ/周波数分周器回路を備え、図2の実施例ではその数は6回路である。なお、個々のカウンタまたは周波数分周器回路の数は、VCO出力信号の数と同じである必要はない。マルチプレクサ回路228は、好適にはユーザによってプログラム可能である。しかし、マルチプレクサ回路は交互に固定され、分周器回路の数がVCO出力信号と同じであると仮定すると、例えば各VCO出力信号を周波数分周器回路の一つにそれぞれ出力してもよい。各分周器回路は、該回路に加えられる信号の周波数を、対応する因子 $C_0 - C_{n-1}$ で分周する（ $n-1$ は整数であり、図2では5個である）。各因子 $C_0 - C_{n-1}$ は好適には、例えばPLD100の一つまたは複数のプログラム可能な機能制御要素に保存された、独立してプログラム可能なパラメータである。このように、各因子 $C_0 - C_{n-1}$ は、異なっている、同じでも、またはその組合せでもよい。

【0018】

スケール処理後周波数分周器回路232から得られる出力信号は、マルチプレクサ234、236、238へと加えられる。各マルチプレクサ234、236、238は、動的にプログラム可能に制御され、その入力のうち任意の一つを、出力のうち任意の一つに出力する。マルチプレクサ234は、k2までの選択された信号をクロックI/Oピンと組み合わせる（CLKOUT、例：図1のピン112）。定数k2は整数であり、一般には

k 1 以下である。例えば、k 1 が 8 ならば、k 2 が 6 であってよい。マルチプレクサ 2 3 6 は、選択した k 3 までの信号をグローバルクロック (G C L K) ネットワークと組み合わせる。定数 k 3 も整数であり、一般には k 1 以下である。こうして、例えば、k 1 が 8 ならば、k 3 が 4 であってよい。最後に、マルチプレクサ 2 3 8 は、選択した k 4 までの信号をローカルクロック (L C L K) ネットワークと組み合わせる。定数 k 4 も同様に整数であり、一般には k 1 以下である。例えば、k 1 が 8 ならば、k 4 も 8 であってよい。さらに、この 8 は、同一のクロッキングを持つよう設計された二つのローカルな領域で使用されるために、同一の 4 つの信号から成る二つのグループであってよい。

【 0 0 1 9 】

図 2 a は、本発明による各マルチプレクサ 2 3 4、2 3 6、2 3 8 のために使用可能な、動的構成可能なマルチプレクサの実施例を示している。マルチプレクサ 2 3 5 は、ユーザによって動的に選択可能な入力のグループ 2 3 7 を含んでいる。有利には、マルチプレクサ 2 3 5 によって、P L L 出力、クロックピンまたはコア信号のうち任意の一つを、例えばグローバル (g c l k) またはローカル (k c l k) クロックネットワーク上で、選択可能に駆動することができる。信号 G R _ G C L K M U X C T R L および C R _ G C L K M U X S E L は、マルチプレクサ 2 3 5 を動的再構成可能に、あるいは固定的に (すなわち動的再構成不可能に) 構成して使用されるプログラミングビットである。有効化回路 2 3 9 の実施例を図 1 1 に示し、以下記述する。

【 0 0 2 0 】

有利には、P L L 回路 2 1 0 は高い構成能力を提供する。例えば、マルチプレクサ回路 2 2 8 および分周器回路 2 3 2 を適切にプログラミングすることによって、回路 2 3 2 によって生成される 6 つの修正済クロック信号は、異なる位相と異なる周波数、異なる位相と同一の周波数、同一の位相と異なる周波数、またはそれらの組合せを持つことが可能である。さらに、6 つの修正済クロック信号のそれぞれは、必要に応じてプログラム可能に経路設定可能である。どの信号も、特定の回路、I / O ピン、用途へと限定されたり、区画されたりしない。

【 0 0 2 1 】

図 3 は位相 / 周波数比較器 (P F D) 回路 2 2 2 の実施例を示す。P F D 回路 3 2 2 は一般には、入力および帰還クロック信号を受信する位相 / 周波数比較器回路 3 2 3 を備えている。比較器回路 3 2 3 は、入力クロック信号の位相が帰還クロック信号よりも進んでいるか遅れているかに応じて、「上向き」または「下向き」の出力信号パルスを生成する。「上向き」または「下向き」の信号パルスの幅は、一般的には比較器回路 3 2 3 によって、入力クロック信号と帰還クロック信号との間の位相差に比例するよう制御される。前記「上向き」または「下向き」の信号は、チャージポンプ回路 3 2 5 へと供給され、チャージポンプ回路 3 2 5 は、これら信号の伝達関数を P L D 1 0 0 の電力供給電圧と設地電圧との間のレベルにある出力信号電圧で供給する。「上向き」および「下向き」信号は、内部電流源を切り替えて電荷を送り、各クロックサイクルにおいてチャージポンプ出力信号電圧を上向きまたは下向きに動かす。チャージポンプ回路 3 2 5 の出力信号は、ローパスフィルター回路 3 2 7 へと加えられ、ローパスフィルター回路 3 2 7 は、関連ある V C O (例 : V C O 2 2 6) に制御信号として適用される信号を平滑化する。要するに、入力クロック信号の位相が帰還クロック信号の位相よりも先に進んでいる場合、比較器回路 3 2 3 によって「上向き」信号が生成される。この結果、帰還クロック信号の周波数が増加する。反対に、入力クロック信号の位相が帰還クロック信号の位相よりも遅れている場合、比較器回路 3 2 3 は「下向き」信号を生成し、この結果、帰還クロック信号の周波数が減少する。

【 0 0 2 2 】

図 4 は、本発明による P L L 回路の別の実施例を示す。P L L 回路 4 1 0 は、プレスケール分周器 4 2 0、位相 / 周波数比較器 (P F D) 回路 4 2 2、電圧制御発振器 (V C O) 4 2 6、マルチプレクサ回路 4 2 8、フィードバックマルチプレクサ 4 3 0、スケール処理後周波数分周器回路 4 3 2 およびマルチプレクサ 4 3 4、4 3 6、4 3 8 を備える。

これら要素は、PLL回路210の対応要素に対応して、同じでないとしても、同様に動作する。なお図4に示す、VCO426(8出力)、マルチプレクサ回路428(6出力)、マルチプレクサ回路434(6出力)、マルチプレクサ436(4出力)、マルチプレクサ438(8出力)は単に例示的なものであって、これら要素は出力の数が多いより多くまたは少なくなるよう、構成したり、あるいは他の要素に置き換えることも可能である。

【0023】

PLL回路410は、有利には、入力信号選択および同期化能力を高める。PLL回路410は、マルチプレクサ440、442、448、同期化回路446、スイッチオーバー回路450およびANDゲート452を備える。マルチプレクサ440、442はともに、多数のクロック入力ピン(この実施例では4個であるが、クロックピンからの他の数量の入力ピンを使用してもよい)から複数の入力信号を受信する。このクロック入力ピンは、好適にはPLL回路410に近接した位置にあり、当該回路に対する照合基準として入手可能である。これらのクロック入力ピンのいずれも、I/O遅延補完およびクロックネットワーク遅延補完として使用してもよい。例えば、これらのピンは、低レイテンシDRAM等のメモリインタフェースとして使用してもよい。

10

【0024】

マルチプレクサ440、442はともに、コア入力クロック信号を受信する。コア入力クロック信号は、チップ上のクロックピンから発生する内部クロック信号であってもよく、あるいはチップ上の別のPLLから生成してもよい。有利には、この入力はもし選択されれば、PLL基準クロック信号を、別のチップ上の別のPLLから例えばPLLカスケードを経て発生させることが可能である。したがって、単一の基準クロックは、別々の(一般に別々のI/Oクロックピンを必要とする)クロックに個々のPLLを駆動させるのではなく、むしろ複数のPLLを駆動するために使用することができる。この特徴は、複数のPCIインタフェース、複数のメモリインタフェース、および共通の基準クロックを使用する複数の通信路を必要とする既知のソース同期プロトコルを順守するインタフェースに、特に有益である。

20

【0025】

図5は、本発明によるPLDの実施例を示し、この実施例では、コアクロック信号がソース同期プロトコルを順守する複数のPLL回路を駆動するために使用される。PLD500は、コア・クロック・ネットワーク554およびPLL回路510a-hを備え、両回路は好適にはLVDS PLL回路である。低電圧差動伝送(LVDS)は、非常に低い電圧および差動伝送を採用する伝送プロトコルであり、並列に伝わる信号対の通信を伴っている。それぞれの信号は、通常は他の信号の論理補数である。すなわち、ある信号が高い電圧(例えば論理1)にあると、もう一つの信号は低い電圧(例えば論理0)にあり、逆の場合も同様である。LVDS PLL回路510a-dは、通信モード(TX)で動作するが、一方LVDS PLL回路510e-hは受信モード(RX)で動作する。(なお本発明では、PLL回路510a-hは両側または片側モードで動作可能である。)RX PLL回路510e-hは、クロックピン502から外部クロック信号を受信し、オンチップ、オフチップ、または両方において使用可能な修正済クロック信号を生成する。TX PLL回路510a-dはそれぞれ、ノード556においてクロック・ネットワーク554に入ることが可能なコアクロック信号を受信する。このコアクロック信号は有利にはLVDS PLL回路510a-dの基準信号としての役割を果たすことができ、この回路は引き続きオンチップ、オフチップ、またはその両方を使用可能な修正済クロック信号を生成する。

30

40

【0026】

図5aはさらに、受信モードで動作するPLL回路を例示的に示している。PLL回路510jは、クロックピン502から外部クロックを受信する。この外部クロックは、I/Oピン504で受信中のデータと特別な位相関係にあることに特徴を持つ。PLL回路510jはいくつかのクロックを生成する。そのうち一つは、I/Oピンに最も近接したレジスタ506用に出力558で使用する高速クロックである。出力560での第2の

50

クロックの速度はより低い。この速度は、デシリアライゼーション因数によって分周された高速クロック周波数と等しい。共通のデシリアライゼーション因数は8であり、したがって、出力558でのクロック周波数の1/8であるクロック周波数が得られる。この第2のクロックは、第2の組のレジスタへと送られる。出力562における第3のクロックは一般に、第2のクロックと同じ周波数を持ち、プログラム可能な論理508中のレジスタへと送られる。各データ経路に対し複数のレジスタが使用され、レジスタの数は好適にはデシリアライゼーション因数と等しい。PLL回路510jは、有利には、出力558、560、562において、外部クロックに対する位相関係およびクロック周波数を確立し、維持している。なお受信モードでは、PLL回路510jは、データとともに送信される基準クロックのみを使用している。こうして、このようなインタフェースは周波数関係の異なる位相を持つことができるので、各PLL回路はインタフェースごとに使用される。

10

【0027】

図5bはさらに、送信モードで動作するPLL回路を例示している。送信モードでは、ソース同期経路は両方のデータ(I/Oピン516で)およびTXクロック(クロックピン512で)を送る。したがって、この基準クロック・TXデータとクロックとの間には位相関係が要求されていないので、PLL回路510kは任意のピンからまたは内部生成コアクロックからの基準クロックを受信する。複数の経路が必要な場合、図5に示すように、有利には、単一のコアクロックを使用して、複数のTX PLL回路を駆動することができる。

20

【0028】

図4に戻り、マルチプレクサ440、442は、好適にはユーザによって、同期回路446に供給する二つの信号を複数の入力信号から選択するよう、プログラム可能である。同期回路446は、PLL回路410の始動が同期的に発生することを保証する。回路446は特に、PLL回路410に対し誤ったタイミングを引き起こしうる、基準クロック信号上の問題を防ぐことを目的としている。

【0029】

図6は、本発明による同期回路の実施例を示す。同期回路646は、ラッチ647、649およびANDゲート651、653を備えている。ラッチ647は、マルチプレクサ440によって選択された入力信号を入力655において受信し、一方、ラッチ649はマルチプレクサ442によって選択された入力信号を入力657において受信する。PLLのスタート信号は、立ち下がりエッジ上の基準クロックを有効にし、クロックの次の立ち上がりエッジの前に十分な時間が与えられることを保証する。対応する波長を図6aに示す。

30

【0030】

追加的なレジスタを挿入して、基準クロックの有効化を遅延させることによって、二つの出力信号CLKIN0およびCLKIN1がトグルリングを開始する前に、PLL回路の一部を有効化することができる。この代替実施例は図6bに例示されており、この実施例ではPLLスタート信号を使用して、最初にカウンタ/周波数分周器を有効化し、その後VCOを有効化する、段階的な始動シーケンスを生成する。

40

【0031】

図4に戻り、二つの同期回路出力はマルチプレクサ448およびスイッチオーバー回路450へと供給される。マルチプレクサ448はユーザによってプログラム可能であり、したがって、ユーザによって選択された二つの信号のうち、入力基準信号として機能する一つを出力する。この選択された入力基準信号はANDゲート452に供給され、ANDゲート452はスイッチオーバー回路450からの入力信号も受信する。通常の動作モードでは、スイッチオーバー回路450によって、選択した基準信号をANDゲートを経てプレスケール周波数分周器420へと伝播させることが可能である。スイッチオーバー回路450は、同期回路446から受信した二つの出力信号を監視する。選択されたクロック信号が何らかの理由によって移動を中止した場合、スイッチオーバー回路450は自動

50

的に、同期回路 446 からの他の出力信号を入力基準信号として使用する。この特徴は、クロック冗長または二重クロックドメインのアプリケーションのために、使用可能である。さらに、スイッチオーバー回路 450 は、好適にはユーザ制御信号に基づいて手動で制御可能である。これによって、ユーザは、例えば、異なる周波数の二つの入力基準信号間で切り替え可能である。

【0032】

PLL 回路 410 はさらに、帰還能力を高め、帰還周波数分周器 424、スペクトル拡散カウンタ 458、マルチプレクサ 460 を備えている。マルチプレクサ 460 はプログラム可能であり、マルチプレクサ 430 からの出力信号および外部帰還信号を受信する。マルチプレクサ 460 を外部帰還信号を出力するようプログラムすることにより、外部クロック信号を入力基準クロック信号と揃えることができる。これによって、ユーザは有利には、クロック遅延およびデバイス/チップ間のスキューを取り除くことができる。周波数分周器 420、424 に接続されたスペクトル拡散カウンタ 458 は、狭い範囲でクロック周波数を変調することによって上記を達成する。

10

【0033】

PLL 回路 210、410 はともに、有利には、電源投入時およびユーザモード（すなわち、動的に）の両方で完全にプログラム可能であり、このため高い柔軟度を提供する。前述のように、周波数分周器回路 232、432 のカウンタ/周波数分周器回路それぞれは、グローバル・クロック・ネットワーク、ローカル・クロック・ネットワーク、外部クロックバッファ等いくつかの異なる出力ソースに接続可能である。分周器回路の出力上に柔軟度の高い多重化領域を提供することによって、ユーザは有利にはシステムを非常に柔軟度の高い態様で構成することができる。こうして PLL 回路 210、410 は、複数の内部クロック基準を生成するとともに、オフチップ基準クロックを供給するよう使用可能である。その他の利点として、（PLL 回路 410 内の）複数の入力基準信号のうち任意のいずれかに、および任意のグローバルまたはローカルクロックに、動的に切り替え可能であることが含まれる。ユーザを、本発明による PLL 回路を動的に構成できるようにしたため、PLL 全体を再プログラムする必要はなくなり、このため有利には、システム費用全体が低減される。

20

【0034】

図 7 は、本発明の PLL 回路とともに使用可能なクロック・マルチプレクサ・パターンの例を示している。パターン 700 は、例えば、PLL 回路 210 または 410 のいずれかである、二つの汎用 PLL 回路 710 を備えている。各縦線は単一のマルチプレクサとして考えることができ、それぞれの円は、マルチプレクサに接続可能な信号を表している。CLKPIN# は、標準クロックピンを代表しているが、一方、nCLKPIN# は入力クロックが差分信号でない場合に利用可能な追加のクロックピンを表している。GCKDRV#1（グローバル・クロック・ドライバ）信号および LCKDRV#1（ローカル・クロック・ドライバ）信号は、一般ロジックが、クロックネットワークへと送出する方法を提供し、この方法では、まず I/O ピンを経由して駆動送出した後別の I/O ピンを経由してクロックネットワークへと戻る必要がない。このマルチプレクサ接続は、ファンアウトの高い信号のために使用することもできる。

30

40

【0035】

図 8 は、本発明による PLL 回路とともに使用可能な外部クロック出力のための、マルチプレクサパターンを示している。パターン 800 は、出力ピン 812 および汎用 PLL 回路 810 を備えている。汎用 PLL 回路 810 は、例えば PLL 回路 210 または 410 のいずれかであってもよい。PLL 回路 810 からの任意の出力信号は、任意の出力ピン 812 へと送出することができる。extclken#（外部クロック有効）信号は、有利には、ユーザはクロックピンを同期的に動的に有効および無効にすることができる。これは、システム電源遮断能力を実行し、電力消費量を低減するために使用可能である。なお、差分送信目的として、偶数の出力（すなわち、ECK0、ECK2、...）は隣接する奇数の出力（すなわち、ECK1、ECK3、...）とともに使用可能である。

50

【0036】

図9は、マルチプレクサ回路228/428および周波数分周器回路232/432の代替的な構成を示している。カスケードPLL出力段階900によって、有利には、本発明のPLL回路は、信号周波数を桁違いの程度までプログラム可能に分周することができる。最初から $n-1$ 番目の(n は周波数分周器の全数)任意の周波数分周器932からの出力は、マルチプレクサ回路928の適切なマルチプレクサによってプログラム可能に選択され、次の周波数分周器932の入力となる。こうして、例えば、周波数分周器C0の出力はオンチップ・ローカル・クロック、および周波数分周器C1の入力として使用することができる。さらに、このプログラム可能なカスケードは周波数分周器C0の出力から始める必要はなく、また n 番目の周波数分周器(この実施例では分周器C5)まで続ける必要もない。例えば、分周器C2の出力は分周器C3へとカスケード可能であり、分周器C3の出力は分周器C4へとカスケードされる。一方、分周器C0、C1、C5は独立して使用可能である。なお、各周波数分周器へのVCO/テストclkの入力は、複数のVCO出力信号を表している。

10

【0037】

図10は、本発明による高機能クロックバッファ回路の実施例を示す。有利には、クロックバッファ回路1000は、汎用のI/O機能ならびにI/Oクロック関数、および入力・出力能力を支援する。バッファ回路1000は、マルチプレクサ1062、1064、バッファ/ドライバ1066、1068、1070、1072、1074、および差動バッファ1076を備える。バッファ回路1000は、I/Oクロックピン1078に接続され、ピン1078がPLL回路によって駆動される(その結果、前記ピンがクロックピンとなる)よう、あるいはI/Oインタフェースによって駆動される(その結果、前記ピンが汎用I/Oピンとなる)よう構成することができる。バッファ回路1000はさらに、ピン1078のうち一本がPLL外部フィードバックピンとして使用可能となるよう(その結果、遅延補完バッファとなる)構成可能である。バッファ回路1000が双方向性に(入力と出力の両方が可能となるよう)構成される場合、PLL回路はゼロ遅延バッファとして構成可能である。この構成では補完されているバッファだけを使用するので、遅延セルを使用する既知の方法を使用することが好適である。

20

【0038】

好適には、本発明のPLDと関連付けられたすべてのクロックソース(グローバルクロック、ローカルクロック、外部クロック)は、同期的に有効化および無効化することができる。このことによって、ユーザは電源管理のための設計の様々な部分に関して、動的に電源を入切することができる。図11は、本発明による同期PLL有効化回路を示す。有効化回路1100は、ラッチ1182、ANDゲート1184、クロックドライバ1186を備える。信号ENOUTは、クロックの有効化および無効化を動的制御するために使用されるユーザ制御されるコア信号である。信号ENOUTCTRLは、ユーザが無効化機能を使用しない場合、クロックを常に有効にするプログラミングビットである。NPSTはアクティブローのレジスタプリセットであり、入力時の低電圧信号(例えばロジカル0信号)によって出力を増加させることを意味する。

30

【0039】

なお、マルチプレクサはすべての図にわたって示されているが、マルチプレクサを他の種類のPLC(プログラム可能な論理コネクタ)に置き換えて使用してもよい。例えば、PLCはいくつかの入力のうちの任意の一つの入力を出力へと接続するための一つのまたは複数のスイッチ等、比較的単純なプログラム可能なコネクタであってもよい。また、その代わりに、各PLCは(例えば、入力のうちいくつかを論理的に組み合わせることによって)論理を実行するとともに接続を行う能力を持つ、幾分複雑な要素であってもよい。後者の場合、例えば、各PLCは、AND、NAND、OR、NOR等の関数を実行する積項論理であってもよい。PLCの実行に適したコンポーネントの例として、EPROM、EEPROM、パストランジスタ、トランスマッションゲート、アンチヒューズ、レーザヒューズ、メタルオブショナルリンク等がある。

40

50

【 0 0 4 0 】

なお、本発明の P L L 回路を備えた P L D は一つの技術に限定されることはなく、有利には様々な技術において実施される。

【 0 0 4 1 】

上述のように、本発明の P L C (例：マルチプレクサ) および分周器回路はプログラム可能であり、そのプログラム可能なパラメータは様々な種類のプログラム可能な、機能制御要素 (F C E) に保存されてもよい。(もっとも、ある実装(例：ヒューズとメタルのオプショナルリンク)では、別々の F C E デバイスは要求されていない) F C E はいくつかの異なる方法のうち任意の一つの方法で実装することができる。例えば、F C E は S R A M、D R A M、先入れ先出し (F I F O) メモリ、E P R O M、E E P R O M、機能制
10 御レジスタ(例：W a n l s t r o m らの米国特許第 3 , 4 7 3 , 1 6 0 号)、強誘電体メモリ、ヒューズ、アンチヒューズ等がある。本発明の P L C および分周器回路を制御する F C E は、好適には、図 1 のプログラム可能な論理 1 0 8 のプログラム化と同時におよび同一の方法でプログラムされる。

【 0 0 4 2 】

本発明の回路には多くのアプリケーションが可能であるが、一つの例示的な用途を図 1 2 に示す。データ処理システム 1 2 0 0 は、プログラム可能な論理デバイス 1 0 0 を備える。前記デバイスは、本発明による P L L 回路を含む集積回路であり、あるいは集積回路チップであってもよい。P L D 1 0 0 は、フィールドプログラム、マスクプログラム、またはその他任意の方法でプログラム可能である。P L D 1 0 0 は、一度限りでプログラム
20 可能であってもよく、あるいは再プログラム可能であってもよい。システム 1 2 0 0 は、以下のコンポーネントプロセッサ 1 2 0 3、メモリ 1 2 0 5、I / O 回路 1 2 0 7 および周辺装置 1 2 0 9 のうち一つまたは複数を備えていてもよい。これらコンポーネントは、システムバス 1 2 1 1 によって互いに接続され、エンドユーザシステム 1 2 1 5 中に備えられる回路基板 1 2 1 3 上に密集している。図 1 2 に示す様々なコンポーネント間の、および / または外部回路との通信は、所望の任意の程度で任意の種類のものを用いてもよい。

【 0 0 4 3 】

システム 1 2 0 0 は、コンピュータネットワーキング、データネットワーキング、実装、ビデオ処理、デジタル信号処理、またはその他任意のアプリケーション等、広範なアプ
30 リケーションに使用可能である。これらのアプリケーションでは、プログラムまたは再プログラム可能な論理利用による望ましい利点がある。P L D 1 0 0 は、様々な異なる論理機能を実行するために使用することができる。例えば、P L D 1 0 0 は、プロセッサ 1 2 0 3 と協働して動作するプロセッサまたはコントローラとして構成可能である。また P L D 1 0 0 は、システム 1 2 0 0 中の共有リソースへのアクセスを調停するアービターとして使用することも可能である。また別の例では、P L D 1 0 0 は、プロセッサ 1 2 0 3 と他のシステム 1 2 0 0 中コンポーネントの一つとのインタフェースとしても構成可能である。なお、システム 1 2 0 0 は単に典型的なものであり、いかなる態様によっても、本発明の真の範囲と精神を限定するよう解釈すべきではない。

【 0 0 4 4 】

このように、プログラム可能な用途のために、外部または内部クロックとして、プログラム可能な位相および周波数を持つ複数の信号を出力する高い構成能力を有する P L L 回路が提供されることがわかった。当業者であれば、本発明が、限定でなく例示を目的に提示された記載の実施例以外によっても実施可能であり、さらに本発明が特許請求の範囲によってのみ限定されることを、理解するであろう。

【 図面の簡単な説明 】

【 0 0 4 5 】

【 図 1 】 本発明によるプログラム可能な論理集積回路デバイスの代表部を示す、例示的な実施例の簡略化したブロック図である。

【 図 2 】 本発明による P L L 回路の第 1 の実施例の簡略化したブロック図である。

10

20

30

40

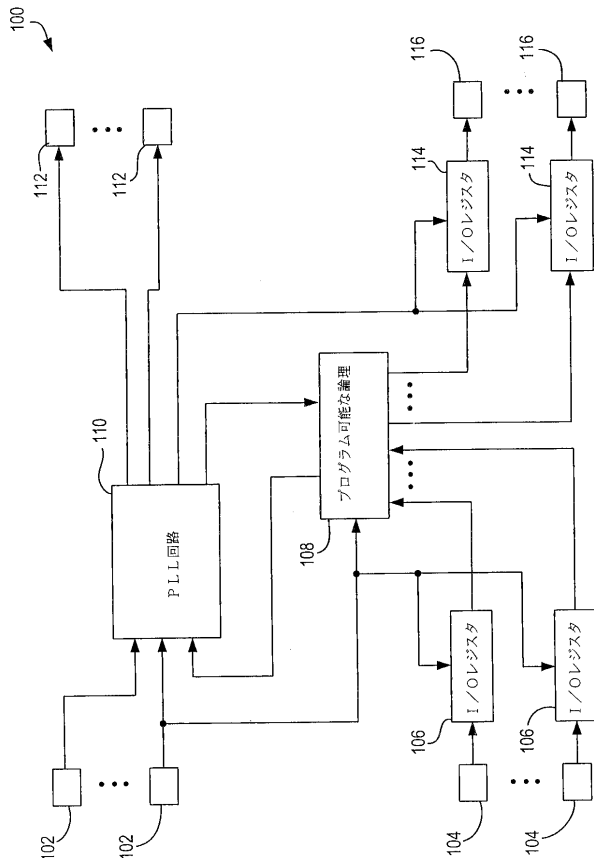
50

- 【図 2 a】本発明による動的構成可能なマルチプレクサの簡略化したブロック図である。
- 【図 3】図 2 の PLL 回路の代表的な部分をより詳細に示す、別の簡略化したブロック図である。
- 【図 4】本発明による PLL 回路の別の実施例の、簡略化したブロック図である。
- 【図 5】本発明の送信および受信モードにおいて構成された PLL を用いるプログラム可能な論理集積回路デバイスを示す、簡略化したブロック図である。
- 【図 5 a】本発明の送信および受信モードにおいて構成された PLL を用いるプログラム可能な論理集積回路デバイスを示す、簡略化したブロック図である。
- 【図 5 b】本発明の送信および受信モードにおいて構成された PLL を用いるプログラム可能な論理集積回路デバイスを示す、簡略化したブロック図である。
- 【図 6】本発明による PLL 回路の同期回路の、簡略化したブロック図である。
- 【図 6 a】図 6 から信号のタイミング図である。
- 【図 6 b】図 6 に示す本発明による、同期回路の代替部の簡略化したブロック図である。
- 【図 7】本発明によるクロック多重化パターンの簡略化したブロック図である。
- 【図 8】本発明による外部クロック多重化パターンの簡略化したブロック図である。
- 【図 9】本発明による PLL 回路のカスケード部の簡略化したブロック図である。
- 【図 10】本発明による構成可能なクロックバッファ回路の簡略化したブロック図である。
- 【図 11】本発明による PLL 有効化回路の簡略化したブロック図である。
- 【図 12】本発明を用いた例示的なシステムの簡略化したブロック図である。

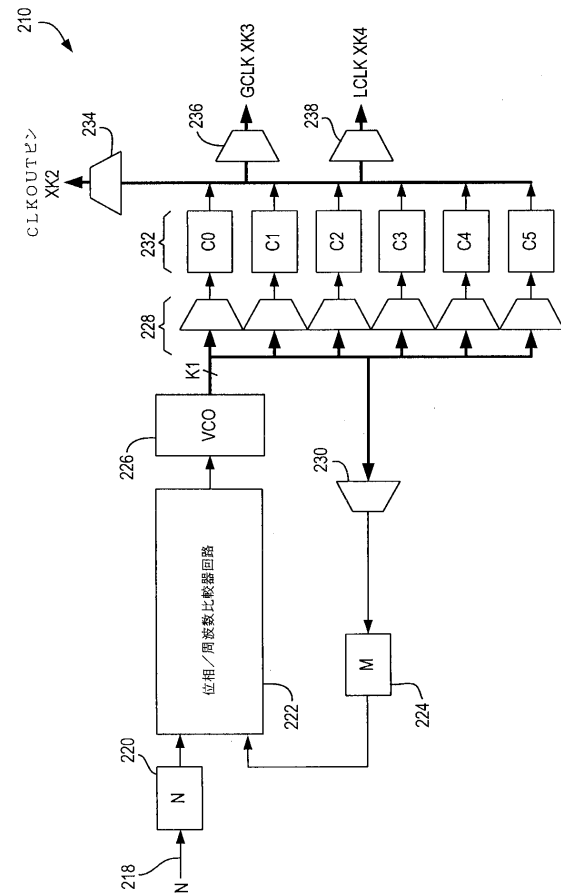
10

20

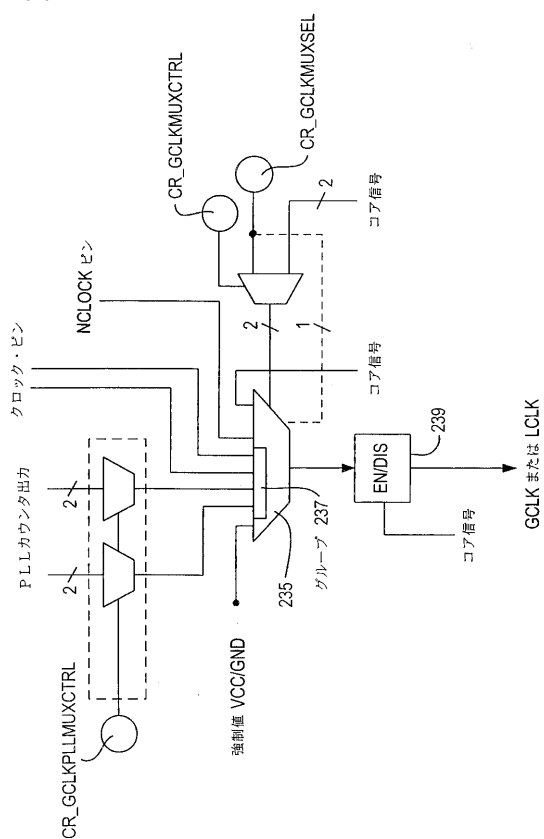
【図 1】



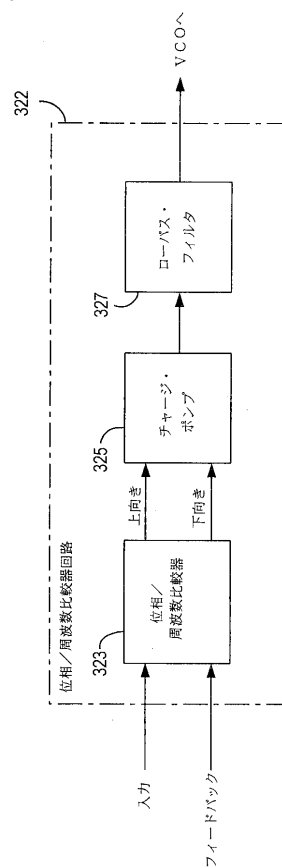
【図 2】



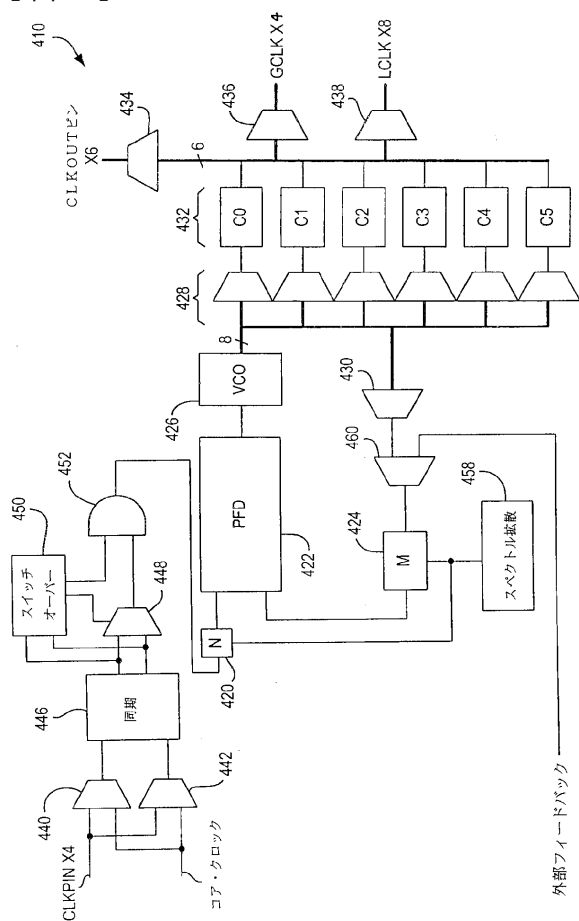
【 図 2 a 】



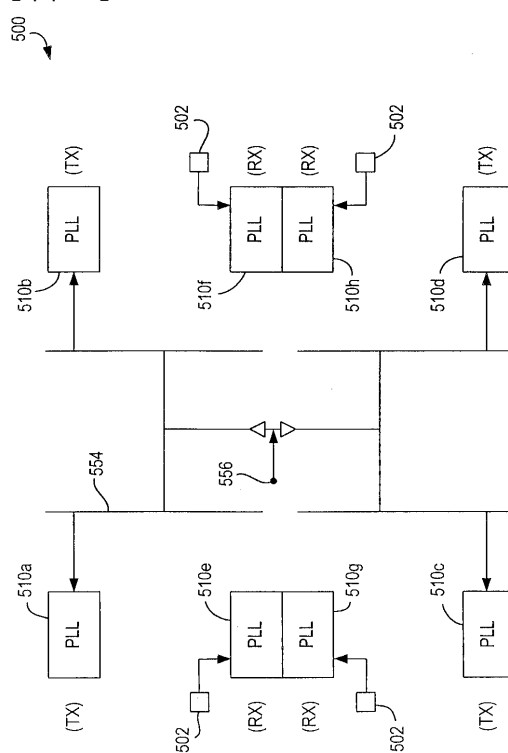
【 図 3 】



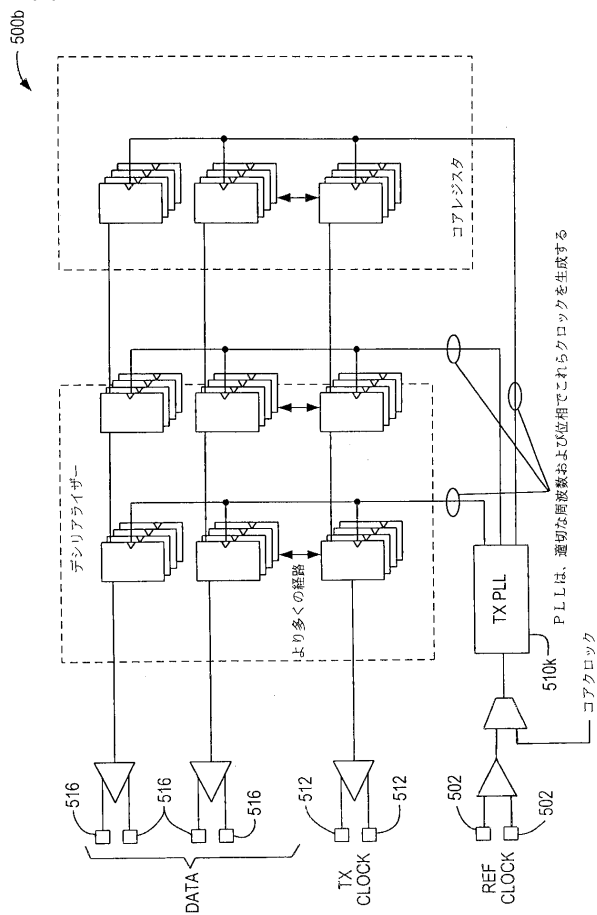
【 図 4 】



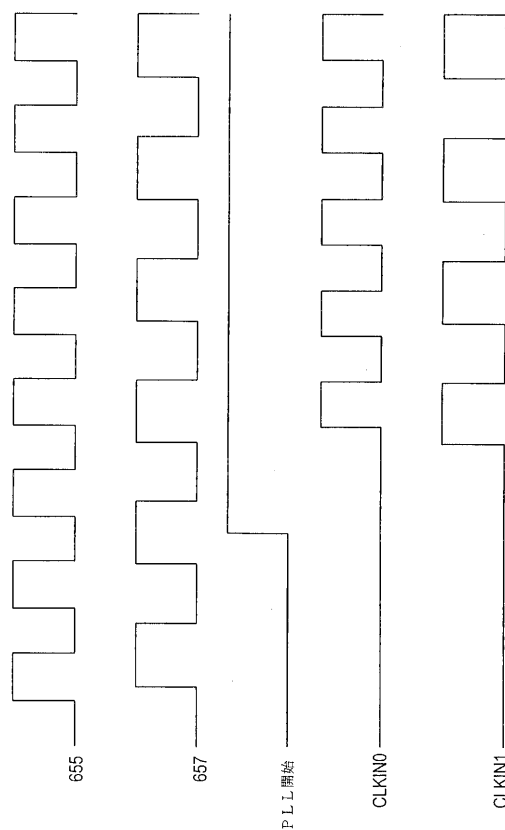
【 図 5 】



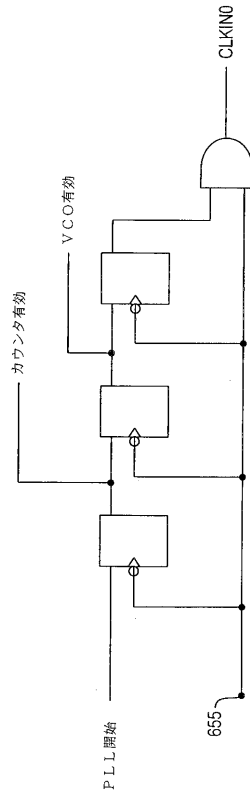
【 図 5 b 】



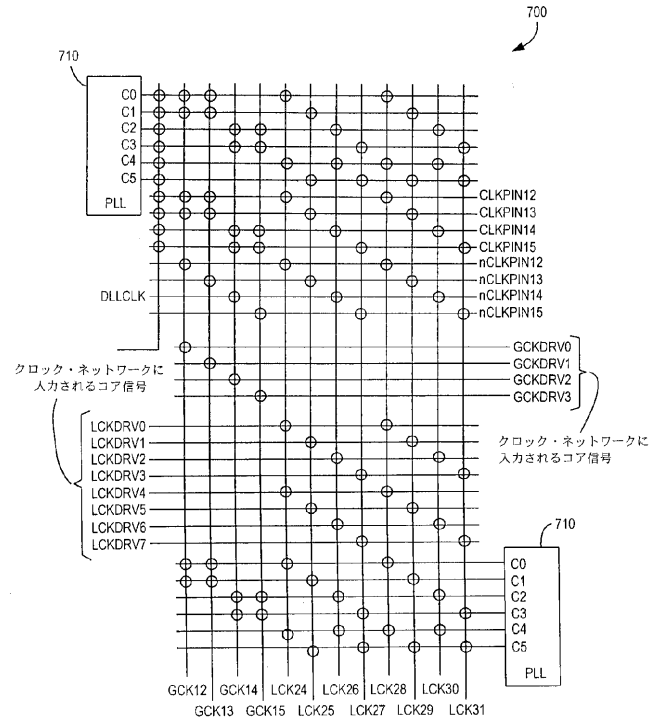
【 図 6 a 】



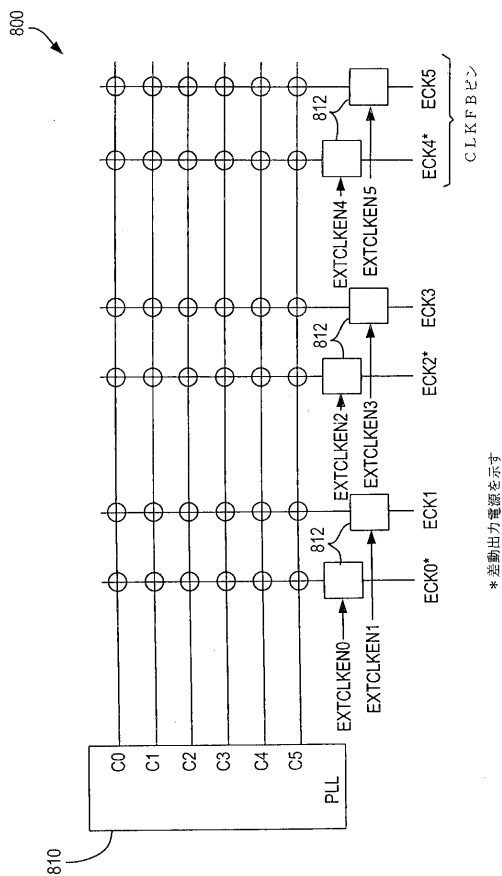
【図 6 b】



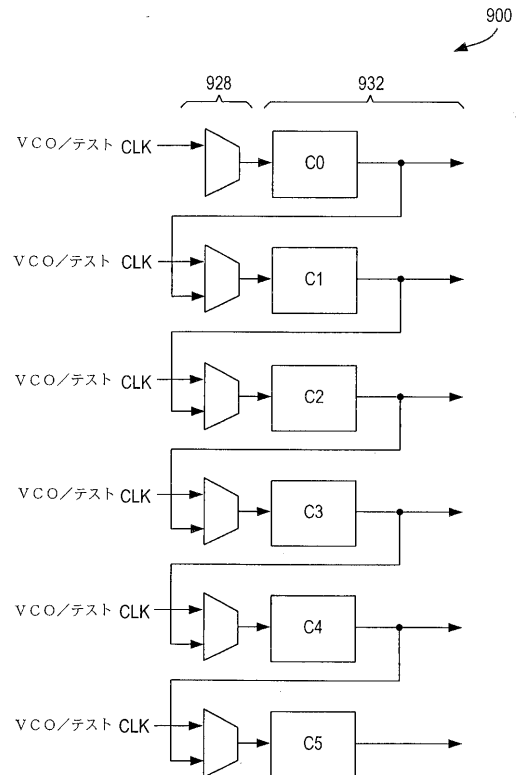
【図 7】



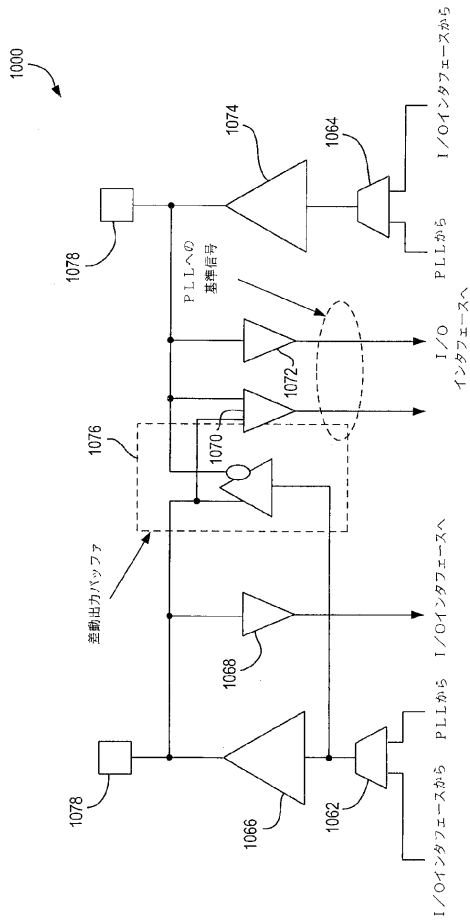
【図 8】



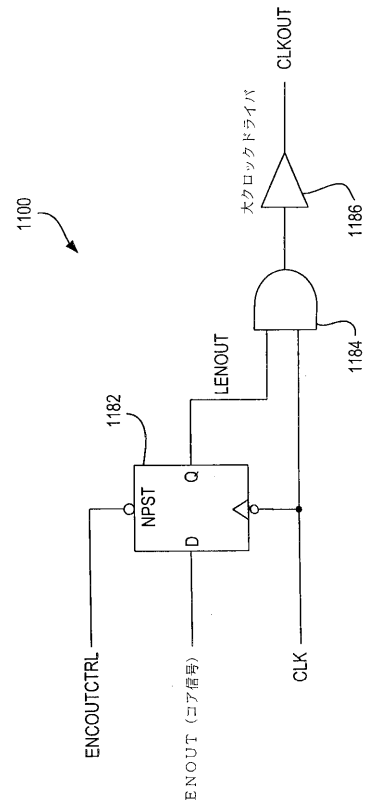
【図 9】



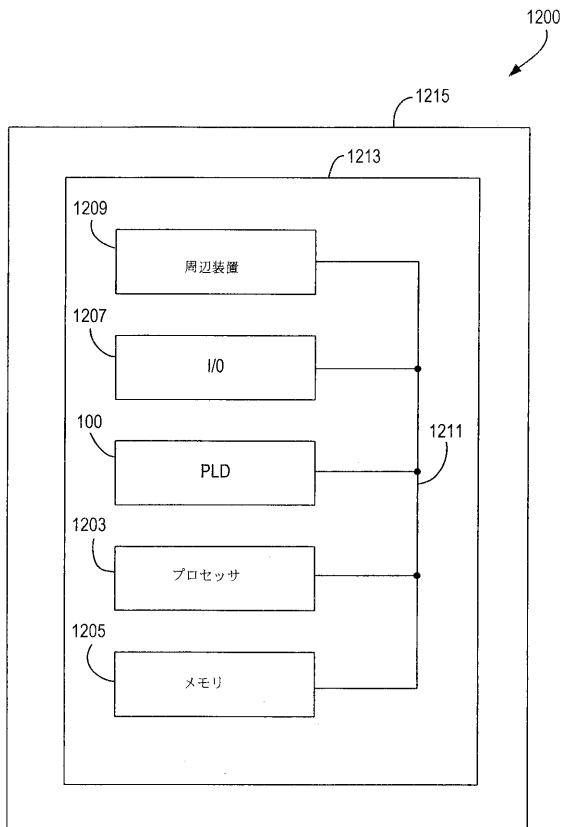
【図 10】



【図 11】



【図 12】



フロントページの続き

- (72)発明者 ワンリ チャン
アメリカ合衆国、カリフォルニア 9 5 0 7 0、サラトガ、プロスペクト ロード 2 0 8 5 6
- (72)発明者 カン ウェイ ライ
アメリカ合衆国、カリフォルニア 9 5 0 3 5、ミルピタス、リンウッド テラス 2 2 8 0
- (72)発明者 ミアン ズィー スミス
アメリカ合衆国、カリフォルニア 9 4 0 2 2、ロス アルトス、ロス ニノス ウェイ 6 6 9
- (72)発明者 リチャード チャン
アメリカ合衆国、ニュー ジャージー 0 7 0 0 3、ブルームフィールド、モーリー レーン 6
2

F ターム(参考) 5B079 BA01 BC03 CC14 DD03 DD08
5J042 BA11 CA20 DA01
5J106 AA04 CC01 CC24 CC41 CC52 CC58 DD10 DD11 DD34 DD38
FF07 GG19 KK37

【外国語明細書】

Title of Invention

HIGHLY CONFIGURABLE PLL ARCHITECTURE
FOR PROGRAMMABLE LOGIC

Background of the Invention

This invention relates to programmable logic integrated circuit devices, and more particularly to configurable phase-locked loop (PLL) circuitry for programmable logic devices.

Programmable logic integrated circuit devices are well known and often include large numbers of programmable logic blocks, memory blocks, and programmable interconnection resources. Logic blocks are programmable by a user to perform various logic functions desired by the user. Memory blocks may be used by the user to store and subsequently output data. Interconnection resources are programmable by the user to make any of a wide range of connections between inputs of the programmable logic device and inputs of the logic and memory blocks, between outputs of the logic and memory blocks and outputs of the device, and between outputs and inputs of the logic and memory blocks. Although each logic block is typically able to perform only a relatively small logic task, such interconnections allow the programmable logic device to perform extremely complex logic functions.

Providing PLL circuitry on programmable logic devices is also well known. PLL circuitry produces an output signal that is continually adjusted to maintain a constant frequency and phase relationship with an input reference signal (the PLL circuitry thus "locks" onto that frequency and phase relationship). PLL circuitry may be used to counteract clock signal propagation delay on the programmable logic device, convert from one clock signal frequency (e.g., an input clock signal frequency) to another different clock signal frequency (e.g., to be output by the device), and more generally to provide one or more external clock signals, internal global clock signals, or internal local/regional clock signals.

The configurability of known PLL circuitry, however, is typically limited. For example, the frequency range of output signals produced by known PLL circuitry may be too narrow for many applications in which a programmable logic device could be used. Furthermore, the number and configurability of PLL outputs may be too limited. For example, known PLL circuitry may not have enough outputs available for connection to I/O pins for off-chip clocking applications. Moreover, known PLL circuitry may not have enough outputs available for connection to on-chip global or local clocking networks. Thus, the configurability of known PLL circuitry on programmable logic devices may limit the number of designs that can be implemented on the device and thus the number of applications in which a programmable logic device could otherwise be used.

In view of the foregoing, it would be desirable to be able to provide highly configurable PLL circuitry in order to increase the number of designs and applications in which programmable logic devices can be used.

Summary of the Invention

In accordance with the invention, programmable logic devices are provided with highly configurable phase-locked loop (PLL) circuitry. PLL circuitry of the invention outputs multiple signals of which each can be programmably connected to any or all of the following: one or more I/O pins for use as an external (e.g., off-chip) clock, one or more internal (e.g., on-chip) global clock networks, one or more internal local/regional clock networks, and combinations thereof. The PLL circuitry performs phase-shifting with respect to an input reference signal such that each output signal can have a different phase if desired. Furthermore, the frequency of each output signal can be individually programmed. In other embodiments of the invention, PLL outputs can be programmably cascaded in selectable numbers of stages to provide output signal frequency ranges that are orders of magnitude wide. In still other embodiments of the invention, PLL circuitry can receive multiple input signals (e.g., from off-chip and/or on-chip sources) from which a reference signal can be programmably selected.

Methods of providing such clock signal outputs are also provided in accordance with the invention.

Advantageously, PLL circuitry and methods of the invention can be used to implement a wide range of designs including, for example, frequency synthesizers and zero delay buffers. This notably increases the number of designs and applications in which a programmable logic device can be used.

The above and other advantages of the invention will be apparent upon consideration of the following detailed description, taken in conjunction with the accompanying drawings, in which like reference characters refer to like parts throughout.

Detailed Description of the Invention

FIG. 1 shows an illustrative programmable logic integrated circuit device (PLD) 100 in accordance with the invention. PLD 100 has one or more clock signal input pins 102 for receiving one or more clock signals from circuitry external to the device. PLD 100 also includes a plurality of input/output ("I/O") pins 104 for receiving data and/or control signals from external circuitry. (For convenience herein, all data and control signals other than clock signals will be referred to simply as data signals.) The data signals from pins 104 may be applied to I/O registers 106 for temporary storage and output by those registers. An input clock signal applied to a pin 102 may be applied to I/O registers 106 to control the operation (in particular, the timing) of those registers. The data signals output by registers 106 are applied to programmable logic 108 of PLD 100. (As an alternative to using registers 106, data from pins 104 may be applied more directly to logic 108

(i.e., without first being input to registers 106).) Programmable logic 108 may also receive an input clock signal from a pin 102 and generally performs at least some operations on the input data from pins 104 and/or registers 106 at a rate determined by the frequency of a received clock signal. In other words, some or all of the data applied to pins 104 may be synchronized with a clock signal received from a pin 102, and programmable logic 108 may partially process that data in synchronism with that clock signal.

Multiple input clock signals applied to pins 102 may be applied to phase-locked loop ("PLL") circuitry 110 in accordance with the invention. PLL circuitry 110 may also receive an internal clock signal from programmable logic 108, which may have been generated on PLD 100 and/or derived from another clock signal received from one of clock pins 102. PLL circuitry 110 programmably selects one of the input clock signals for use as an input reference signal and provides multiple modified clock output signals which have desired frequency relationships to the input reference signal. For example, the frequencies of the modified clock output signals produced by PLL circuitry 110 may be higher and/or lower than the input reference signal frequency. The modified clock signals produced by PLL circuitry 110 advantageously may be programmably applied to any or all of clock signal output pins 112, programmable logic 108, and I/O registers 114.

Programmable logic 108 can be configured to perform at least some data processing at one or more rates determined by the one or more modified clock signals produced by PLL circuitry 110. For example, programmable logic 108 may perform some data processing in synchronism with a modified clock signal produced by PLL circuitry 110. Output data

signals from programmable logic 108 may be applied to I/O pins 116, possibly via I/O registers 114, which may register those data signals on their way to pins 116 at possibly another modified clock signal rate. Furthermore, PLD 100 may output data via pins 116 at a modified clock signal frequency that may or may not be the same as, and/or in synchronism with, any of the modified clock signals applied to output clock pins 112.

Note that in other embodiments of the invention (see, e.g., FIG. 10 and its accompanying description below), pins 102 and 112 may be dynamically used as either clock or data I/O pins.

Although FIG. 1 may appear to show fixed interconnections among the various circuit elements, note that on a programmable logic device such as PLD 100 there is typically a high degree of programmability and therefore signal routing flexibility in the interconnection resources that are provided. This programmability of interconnection resources, which is well known in the art, is not shown to avoid unnecessarily complicating the FIGS. Thus not all of the interconnections shown in FIG. 1 (or in any of the subsequently described FIGS.) may be present in all uses of PLD 100, and/or other interconnections not shown in FIG. 1 (or other FIGS.) may be present in some uses of PLD 100. Those skilled in the art will also appreciate that the circuit elements and interconnection resources shown in FIG. 1 may be only a part of more extensive circuit element and interconnection resources provided on PLD 100. Examples of programmable logic devices in which the invention can be implemented are found in Cliff et al. U.S. Patent No. 5,689,195; Cliff et al. U.S. Patent No. 5,909,126; and

Jefferson et al. U.S. Patent No. 6,215,326; all of which are hereby incorporated by reference herein in their entireties.

FIG. 2 shows an embodiment of PLL circuitry in accordance with the invention. PLL circuitry 210 receives an input reference signal via input 218 (unlike PLL circuitry 110, only one input signal is received in this embodiment). That input signal is applied to prescale frequency divider 220. Divider 220 divides the frequency of the input reference signal by a factor N , which is preferably a programmable parameter of PLD 100 stored in, for example, a programmable function control element of PLD 100. The output of divider 220 is applied as a driving clock signal to one input of phase/frequency detector (PFD) circuitry 222. PFD circuitry 222, which can be conventional, also receives the output signal of feedback frequency divider 224. PFD circuitry 222 produces an output signal which is indicative of the phase/frequency difference between the two signals applied to it. (A more complete depiction of PFD circuitry 222 is shown in FIG. 3 and described below). The output signal of PFD circuitry 222 is applied as a control signal to voltage controlled oscillator (VCO) 226. VCO 226 produces k_1 output signals (where K_1 is an integer), each of which is phase-shifted by preferably an increasing multiple of $360^\circ/k_1$. In one embodiment, for example, VCO 226 may output six signals (i.e., $k_1 = 6$), wherein the output signals are each preferably phase-shifted with respect to the input reference signal at 60° intervals (e.g., 60° , 120° , 180° , 240° , 300° , and 360°). In another embodiment, for example, eight signals may be output (resulting in 45° phase shift increments). The output signals of VCO 226 are applied to multiplexer circuitry 228 and feedback multiplexer 230.

Multiplexer 230 feeds one of the VCO 226 output signals to feedback frequency divider 224. The particular VCO 226 output signal fed to divider 224 can be fixed by design, programmed by a user, or rotated or alternated among the VCO 226 output signals by control logic that either is fixed by design or programmed by a user. Divider 224 divides the frequency of the signal applied to it by factor M to produce the above-mentioned second (feedback) input to PFD circuitry 222. Factor M is preferably a programmable parameter of PLD 100 stored in, for example, a programmable function control element of PLD 100.

Multiplexer circuitry 228 receives all k1 VCO 226 output signals and programmably selects which of those signals to feed to post-scale frequency-divider circuitry 232. Divider circuitry 232 preferably includes multiple counter/frequency-divider circuits, which in the embodiment shown in FIG. 2 is six. Note that the number of individual counter or frequency-divider circuits does not have to equal the number of VCO output signals. Multiplexer circuitry 228 is preferably programmable by a user, but may alternatively be fixed to output, for example, each VCO output signal to a respective one of the individual frequency-divider circuits, assuming the number of divider circuits equals the number of VCO output signals. Each individual divider circuit divides the frequency of the signal applied to it by its corresponding factor $C_0 - C_{n1}$ (where n1 is an integer and in FIG. 2 equals five). Each of factors $C_0 - C_{n1}$ is preferably an independently programmable parameter stored in, for example, one or more programmable function control elements of PLD 100. Thus, each of factors $C_0 - C_{n1}$ may be different, the same, or combinations thereof.

--

The resulting output signals of post-scale frequency-divider circuitry 232 are applied to multiplexers 234, 236, and 238. Multiplexers 234, 236, and 238 are each dynamically programmably controlled to output any one of their inputs to any one of their outputs. Multiplexer 234 couples selected signals to up to k_2 clock I/O pins (CLKOUT; e.g., pins 112 of FIG. 1). Constant k_2 is an integer typically less than or equal to k_1 . For example, if k_1 is equal to eight, k_2 may be equal to six. Multiplexer 236 couples selected signals to up to k_3 global clock (GCLK) networks. Constant k_3 is also an integer typically less than or equal to k_1 . Thus, for example, if k_1 is equal to eight, k_3 may be equal to four. Lastly, multiplexer 238 couples selected signals to up to k_4 local clock (LCLK) networks. Constant k_4 is likewise an integer typically less than or equal to k_1 . For example, if k_1 is equal to eight, k_4 may also be equal to eight. Moreover, the eight may be two groups of the same four signals for use in two local regions designed to have the same clocking.

FIG. 2a shows an embodiment of a dynamically configurable multiplexer that can be used for each of multiplexers 234, 236, and 238 in accordance with the invention. Multiplexer 235 includes a group 237 of inputs which are dynamically selectable by a user. Advantageously, multiplexer 235 allows any one of a PLL output, clock pin, or core signal, for example, to be selectably driven onto, for example, a global (gclk) or local (lclk) clock network. Signals CR_GCLKMUXCTRL and CR_GCLKMUXSEL are programming bits used to either configure multiplexer 235 to be dynamically reconfigurable or fixed (i.e., not dynamically reconfigurable). An embodiment of enablement circuitry 239 is shown in FIG. 11 and described further below.

Advantageously, PLL circuitry 210 provides a high degree of configurability. For example, by appropriately programming multiplexer circuitry 228 and divider circuitry 232, the six modified clock signals produced by circuitry 232 can have different phases and different frequencies, different phases and the same frequencies, the same phase and different frequencies, or combinations thereof. Moreover, each of the six modified clock signals can be programmably routed where needed. None are limited or partitioned to only particular circuits, I/O pins, or uses.

FIG. 3 shows an embodiment of phase/frequency detector (PFD) circuitry 222. PFD circuitry 222 typically includes a phase/frequency detector circuit 323, which receives the input and feedback clock signals. Detector circuit 323 produces "up" or "down" output signal pulses depending on whether the phase of the input clock signal leads or lags the phase of the feedback clock signal. The width of the "up" or "down" signal pulses is typically controlled by detector circuit 323 to be proportional to the phase difference between the input and feedback clock signals. The "up" or "down" signals are fed to charge pump circuit 325, which provides a transfer function of those signals to an output signal voltage at a level between the power supply voltage of PLD 100 and ground. The "up" and "down" signals switch an internal current source to deliver a charge to move the charge pump output signal voltage up or down during each clock cycle. The output signal of charge pump circuit 325 is applied to low-pass filter circuit 327, which smoothes the signal for application as a control signal to an associated VCO (e.g., VCO 226). In sum, when the phase of the input clock signal leads the phase of the feedback clock signal, an "up" signal is generated by detector

circuit 323. This results in an increase in the frequency of the feedback clock signal. Conversely, when the phase of the input clock signal lags the phase of the feedback clock signal, detector circuit 323 produces a "down" signal, which causes a decrease in the frequency of the feedback clock signal.

FIG. 4 shows another embodiment of PLL circuitry in accordance with the invention. PLL circuitry 410 includes prescale frequency divider 420, phase/frequency detector (PFD) circuitry 422, voltage controlled oscillator (VCO) 426, multiplexer circuitry 428, feedback multiplexer 430, post-scale frequency-divider circuitry 432, and multiplexers 434, 436, and 438. These elements operate similarly, if not identically, to the corresponding elements of PLL circuitry 210. Note that the number of outputs shown in FIG. 4 for VCO 426 (8 outputs), multiplexer circuitry 428 (6 outputs), multiplexer 434 (6 outputs), multiplexer 436 (4 outputs), and multiplexer 438 (8 outputs) are merely illustrative and that these elements may be configured or replaced with other elements to have more or less outputs.

PLL circuitry 410 advantageously has enhanced input signal selection and synchronization capability. PLL circuitry 410 includes multiplexers 440, 442, and 448, synchronizing circuit 446, switchover circuit 450, and AND gate 452. Multiplexers 440 and 442 both receive multiple input signals from a number of clock input pins (which in this embodiment is four; note that other numbers of input signals from clock pins may be used). These clock input pins are preferably closely located and available as a matched reference to PLL circuitry 410. Any of these pins may be used for I/O delay compensation and clock network delay compensation. These pins may be used, for example, by memory

interfaces, such as for RLDRAM (reduced latency dynamic random access memory).

Multiplexers 440 and 442 both also receive a core input clock signal, which may be an internal clock signal originating from any clock pin on the chip or it may be generated by another PLL on the chip. Advantageously, this input, if selected, allows the PLL reference clock signal to come from another PLL on the chip via, e.g., PLL cascading. A single reference clock can therefore be used to drive multiple PLLs, rather than having separate clocks (typically requiring respectively separate I/O clock pins) drive respective PLLs. This feature is particularly useful for multiple PCI interfaces, multiple memory interfaces, and those interfaces adhering to known source synchronous protocols where multiple transmit channels using a common reference clock are required.

FIG. 5 shows an embodiment of a PLD in accordance with the invention in which a core clock signal is used to drive multiple PLL circuitries adhering to a source synchronous protocol. PLD 500 includes core clock network 554 and PLL circuitries 510a-h, which are each preferably LVDS PLL circuitries. LVDS (low voltage differential signaling) is a signaling protocol employing very low voltages and differential signaling, which involves the transmission of pairs of signals that propagate in parallel. Each signal is usually a logical complement of the other. That is, when one signal is at a high voltage (e.g., a logical 1), the other is at a low voltage (e.g., a logical 0), and vice versa. LVDS PLL circuitries 510a-d operate in transmit mode (TX), while LVDS PLL circuitries 510e-h operate in receive mode (RX). (Note that PLL circuitries 510a-h can each operate in either or both

modes in accordance with the invention). RX PLL circuitries 510e-h receive external clock signals from clock pins 502 and generate modified clock signals that can be used on-chip, off-chip, or both. TX PLL circuitries 510a-d each receive a core clock signal that can enter clock network 554 at node 556. This core clock signal may be driven by any clock pin or by any general purpose or LVDS PLL circuitry output. This core clock signal can advantageously serve as the input reference signal to LVDS PLL circuitries 510a-d, which then generate modified clock signals that can be used on-chip, off-chip or both.

FIG. 5a further illustrates PLL circuitry operating in receive mode. PLL circuitry 510j receives an external clock from clock pins 502. This external clock has its edge in a particular phase relationship with data being received at I/O pins 504. PLL circuitry 510j generates several clocks. One is a high speed clock at output 558 used for registers 506, which are closest to the I/O pins. A second clock at output 560 is at a lower speed. It is equal to the high speed clock frequency divided by a deserialization factor. A common deserialization factor is 8, resulting in a clock frequency $1/8$ the frequency of the clock at output 558. This second clock is routed to a second set of registers. A third clock at output 562 typically has the same frequency as the second clock and is routed to registers in programmable logic 508. Multiple registers are used for each data channel, and the number of registers preferably equals the deserialization factor. PLL circuitry 510j advantageously establishes and maintains the phase relationship and frequency of clocks at outputs 558, 560, and 562 with respect to the external clock. Note that in receive mode, PLL circuitry 510j uses only the reference clock sent with the

data. Thus, individual PLL circuitry is used for each interface, because each interface can have a different phase of frequency relationship.

FIG. 5b further illustrates PLL circuitry operating in transmit mode. In transmit mode, the source synchronous channel sends out both data (at I/O pins 516) and a TX clock (at clock pins 512). PLL circuitry 510k can therefore receive a reference clock from any pin or internally generated core clock because no phase relationship is required between this reference clock and the TX data and clock. If multiple channels are required, a single core clock advantageously can be used to drive multiple TX PLL circuitries, as shown in FIG. 5.

Returning to FIG. 4, multiplexers 440 and 442 are programmable preferably by a user to select two of the multiple input signals to feed to synchronizing circuit 446. Synchronizing circuit 446 ensures that the start-up of PLL circuitry 410 occurs in a synchronous manner. In particular, circuit 446 is intended to prevent glitches on the reference clock signal, which could result in erroneous timing for PLL circuitry 410.

FIG. 6 shows an embodiment of a synchronizing circuit in accordance with the invention. Synchronizing circuit 646 includes latches 647 and 649 and AND gates 651 and 653. Latch 647 receives at input 655 the input signal selected by multiplexer 440, while latch 649 receives at input 657 the input signal selected by multiplexer 442. A PLL start signal enables the reference clock on the falling edge to ensure that adequate time is allowed before the next rising edge of the clock. Corresponding waveforms are shown in FIG. 6a.

Additional registers could be inserted to delay the enabling of the reference clock to allow portions of the PLL circuitry to be enabled before the two output signals, CLKIN0 and CLKIN1, begin toggling. This alternative embodiment is illustrated in FIG. 6b, where the PLL start signal is used to generate a staged start-up sequence that first enables the counters/frequency dividers and then the VCO.

Returning to FIG. 4, the two synchronizing circuit outputs are fed to multiplexer 448 and switchover circuit 450. Multiplexer 448 is programmable by a user and accordingly outputs one of the two signals selected by the user to serve as the input reference signal. The selected input reference signal is fed to AND gate 452, which also receives an input signal from switchover circuit 450. In normal operating mode, switchover circuit 450 allows the selected reference signal to propagate through AND gate 452 to prescale frequency divider 420. Switchover circuit 450 monitors the two output signals received from synchronizing circuit 446. If the selected clock signal stops running for some reason, switchover circuit 450 will automatically cause the other output signal from synchronizing circuit 446 to be used as the input reference signal. This feature can be used for clock redundancy or for a dual clock domain application. Moreover, switchover circuit 450 can be preferably manually controlled based on a user control signal. This allows a user, for example, to switch between two input reference signals of different frequencies.

PLL circuitry 410 further has enhanced feedback capability and includes feedback frequency divider 424, spread spectrum counter 458, and multiplexer 460. Multiplexer 460 is programmable and receives an output signal from multiplexer 430 and an external feedback signal. By

programming multiplexer 460 to output the external feedback signal, an external clock signal can be aligned with the input reference clock signal. This advantageously allows a user to remove clock delay and skew between devices/chips. Spread spectrum counter 458 helps prevent corrupted data and intermittent system errors that can be caused by radiated noise from high frequency clock signals. Spread spectrum counter 458, which is coupled to frequency dividers 420 and 424, accomplishes this by modulating clock frequencies over a small range.

PLL circuitries 210 and 410 are both advantageously fully programmable both at power up and during user mode (i.e., dynamically), thus providing a high degree of flexibility. Programmable parameters include coarse and fine phase shifting, counter values (i.e., frequency divisors), and duty cycle. As mentioned previously, each counter/frequency divider circuit of frequency-divider circuitries 232 and 432 can be connected to several different output sources including global clock networks, local clock networks, and external clock buffers. By providing these flexible multiplexing regions on the divider circuit outputs, a user can advantageously configure their system in a very flexible manner. PLL circuitries 210 and 410 can thus be used to generate multiple internal clock references as well as provide off-chip reference clocks. Advantageously, a single frequency divider circuit can be used to generate both an internal reference clock and an external clock reference. Other advantages include being able to dynamically switch to any of the multiple input reference signals (in PLL circuitry 410) and to any of the global or local clocks. Allowing a user to dynamically configure PLL circuitry of the

invention avoids having to reprogram an entire PLD, which advantageously reduces overall system cost.

FIG. 7 shows an example of a clock multiplexer pattern that can be used with PLL circuitries of the invention. Pattern 700 includes two general purpose PLL circuitries 710, which may be, for example, either PLL circuitry 210 or 410. Each vertical line can be thought of as a single multiplexer with each circle representing a signal that can connect to the multiplexer. CLKPIN# represents standard clock pins, while nCLKPIN# represent additional clock pins available when the input clock is not a differential signal. The GCKDRV# (global clock driver) and LCKDRV# (local clock driver) signals provide a way for generic logic to drive onto clock networks without having to first drive out via an I/O pin and then back into the clock network via another I/O pin. These multiplexer connections can be used for signals that have a high fanout.

FIG. 8 shows an example of a multiplexer pattern for external clock outputs that can be used with PLL circuitries of the invention. Pattern 800 includes output pins 812 and general purpose PLL circuitry 810, which may be, for example, either PLL circuitry 210 or 410. Any output signal from PLL circuitry 810 can be routed to any output pin 812. The extclken# (external clock enable) signals advantageously allow a user to dynamically enable and disable clock pins synchronously. This can be used to implement a system power-down capability to reduce power consumption. Note that the even numbered outputs (i.e., ECK0, ECK2, ...) can be used with their adjacent odd numbered outputs (i.e., ECK1, ECK3, ..) for differential signaling.

FIG. 9 shows an alternative arrangement to multiplexer circuitries 228/428 and frequency-divider

circuitries 232/432. Cascaded PLL output stage 900 advantageously allows PLL circuitries of the invention to programmably divide down signal frequencies by orders of magnitude. The output of any of the first $n-1$ frequency dividers 932 (where n is the total number of frequency dividers) can be programmably selected by the appropriate multiplexer of multiplexer circuitry 928 to be the input of the next frequency divider 932. Thus, for example, the output of frequency divider C0 can be used as an on-chip local clock and as an input to frequency divider C1. Moreover, the programmable cascading does not need to begin with the output of frequency divider C0, nor does it need to continue to the n th frequency divider (which in this embodiment is divider C5). For example, the output of divider C2 can be cascaded to divider C3, whose output can be cascaded to divider C4, while the outputs of dividers C0, C1, and C5 can be used independently. Note that the VCO/test clk input to each frequency divider represents the multiple VCO output signals.

FIG. 10 shows an embodiment of configurable clock buffer circuitry in accordance with the invention. Advantageously, clock buffer circuitry 1000 supports generic I/O functionality as well as I/O clock functions and both input and output capability. Buffer circuitry 1000 includes multiplexers 1062 and 1064; buffer/drivers 1066, 1068, 1070, 1072, and 1074; and differential buffer 1076. Buffer circuitry 1000 is coupled to I/O-clock pins 1078 and can be configured to allow pins 1078 to be driven by PLL circuitry (thus making them clock pins) or to be driven by an I/O interface (thus making them generic I/O pins). Buffer circuitry 1000 can further be configured to allow one of pins 1078 to be used as a PLL external feedback pin (thus

becoming a delay compensation buffer). When buffer circuitry 1000 is configured bidirectionally (allowing both input and output), PLL circuitry can be configured as a zero delay buffer. This is preferable to known methods of using delay cells because only the buffers being compensated out are used in this configuration.

Preferably, all clock sources (global clock, local clocks, and external clocks) associated with PLDs of the invention can be synchronously enabled and disabled. This allows users to dynamically shut down and turn on various portions of their design for power management. FIG. 11 shows synchronous PLL enablement circuitry in accordance with the invention. Enablement circuitry 1100 includes latch 1182, AND gate 1184, and clock driver 1186. Signal ENOUT is a core signal under user control used to dynamically control enabling and disabling of clocks. Signal ENOUTCTRL is a programming bit that allows the clock to always be enabled if a user does not use the disable feature. NPST is the register preset, which is active low, meaning that a low voltage signal (e.g., a logical 0 signal) at that input causes the output to go high.

Note that while multiplexers have been shown throughout the FIGS., they may be alternatively replaced with other types of programmable logic connectors (PLCs). For example, PLCs can be a relatively simple programmable connector such as a switch or a plurality of switches for connecting any one of several inputs to an output. Alternatively, each PLC can be a somewhat more complex element which is capable of performing logic (e.g., by logically combining several of its inputs) as well as making a connection. In the latter case, for example, each PLC can be product term logic, implementing functions such as AND,

NAND, OR, or NOR. Examples of components suitable for implementing PLCs are EPROMs, EEPROMs, pass transistors, transmission gates, antifuses, laser fuses, metal optional links, etc.

Further note that PLDs having PLL circuitry of the invention are not limited to any one technology, but advantageously can be implemented in various technologies.

As mentioned above, PLCs (e.g., multiplexers) and divider circuits of the invention are programmable, and their programmable parameters may be stored in various types of programmable, function control elements ("FCEs") (although with certain implementations (e.g., fuses and metal optional links) separate FCE devices are not required.) FCEs can be implemented in any of several different ways. For example, FCEs can be SRAMs, DRAMs, first-in first-out ("FIFO") memories, EPROMs, EEPROMs, function control registers (e.g., as in Wahlstrom U.S. patent 3,473,160), ferro-electric memories, fuses, antifuses, or the like. The FCEs that control the PLCs and divider circuits of the invention are preferably programmed in the same way and at the same time that programmable logic 108 in FIG. 1 is programmed.

Although the circuitry of the invention has many possible applications, one illustrative use is shown in FIG. 12. Data processing system 1200 includes programmable logic device 100, which is an integrated circuit, and may be an integrated circuit chip, that includes PLL circuitry in accordance with the invention. PLD 100 may be field programmable, mask programmable, or programmable in any other way. It may be one-time-only programmable, or it may be reprogrammable. System 1200 may also include one or more of the following components: a processor 1203; memory 1205; I/O circuitry 1207; and peripheral devices 1209. These

components are coupled together by a system bus 1211 and are populated on a circuit board 1213, which is contained in an end-user system 1215. Communication among the various components shown in FIG. 12, and/or with external circuitry, may be of any known type to any desired extent.

System 1200 can be used in a wide variety of applications, such as computer networking, data networking, instrumentation, video processing, digital signal processing, or any other application where the advantage of using programmable or reprogrammable logic is desirable. PLD 100 can be used to perform a variety of different logic functions. For example, PLD 100 can be configured as a processor or controller that works in cooperation with processor 1203. PLD 100 may also be used as an arbiter for arbitrating access to a shared resource in system 1200. In yet another example, PLD 100 can be configured as an interface between processor 1203 and one of the other components in system 1200. Note that system 1200 is only exemplary and in no way should be construed to limit the true scope and spirit of the invention.

Thus it is seen that highly configurable PLL circuitry outputting multiple signals having programmable phases and frequencies for programmable use as external or internal clocks is provided. One skilled in the art will appreciate that the invention can be practiced by other than the described embodiments, which are presented for purposes of illustration and not of limitation, and the invention is limited only by the claims which follow.

Brief Description of Drawings

FIG. 1 is a simplified block diagram of an illustrative embodiment of representative portions of a programmable logic integrated circuit device according to the invention;

FIG. 2 is a simplified block diagram of a first embodiment of PLL circuitry according to the invention;

FIG. 2a is a simplified block diagram of an embodiment of a dynamically configurable multiplexer according to the invention;

FIG. 3 is a more detailed, but still simplified block diagram of a typical portion of the PLL circuitry of FIG. 2;

FIG. 4 is a simplified block diagram of another embodiment of PLL circuitry according to the invention;

FIGS. 5, 5a, and 5b are simplified block diagrams illustrating programmable logic integrated circuit devices employing PLLs configured in transmit and receive modes according to the invention;

FIG. 6 is a simplified block diagram of a synchronizing circuit for PLL circuitry according to the invention;

FIG. 6a is a timing diagram of signals from FIG. 6;

FIG. 6b is a simplified block diagram of an alternative portion of the synchronizing circuit of FIG. 6 according to the invention;

FIG. 7 is a simplified block diagram of a clock multiplexing pattern according to the invention;

FIG. 8 is a simplified block diagram of an external clock multiplexing pattern according to the invention;

FIG. 9 is a simplified block diagram of a cascaded portion of PLL circuitry according to the invention;

FIG. 10 is a simplified block diagram of configurable clock buffer circuitry according to the invention;

FIG. 11 is a simplified block diagram of PLL enablement circuitry according to the invention; and

FIG. 12 is a simplified block diagram of an illustrative system employing the invention.

1. A method of concurrently generating a plurality of clock signals derived from a reference signal, said method comprising:

receiving said reference signal;

producing a plurality of signals each having a frequency and a different phase;

dividing said frequency of each of said produced signals concurrently in accordance with programmable selections of frequency divisors to produce output signals each having a frequency and phase; and

multiplexing said output signals in accordance with programmable selections such that each clock signal is usable as an off-chip clock signal, an on-chip clock signal, or both.

2. The method of claim 1 wherein said frequency of each of said output signals is different than or the same as one or more of the other of said output signals.

3. The method of claim 1 wherein said multiplexing comprises programmably coupling one of said output signals to an output pin for use as an off-chip clock signal.

4. The method of claim 1 wherein said multiplexing comprises programmably coupling one of said output signals to a global clock network for use as an on-chip global clock signal, said global clock network being on the same integrated circuit chip on which said producing and said dividing are performed.

5. The method of claim 1 wherein said multiplexing comprises programmably coupling one of said output signals to a clock network for use as an on-chip local clock signal, said clock network coupled to only a portion of circuits on an integrated circuit chip, said integrated circuit chip being the same on which said producing and said dividing are performed.

6. The method of claim 1 further comprising:
receiving a plurality of input signals;
synchronizing said plurality of input signals with an enable signal; and
selecting one of said plurality of input signals to be said reference signal.

7. The method of claim 5 wherein said receiving comprises:
generating one of said plurality of input signals on an integrated circuit chip on which said producing and said dividing are performed; and
receiving from another integrated circuit chip via an input pin another one of said plurality of input signals.

8. A method of providing a plurality of clock signals concurrently, said method comprising:
programming a first divisor into a first frequency divider that receives a reference signal;
programming a plurality of divisors into a respective plurality of frequency dividers that receive

substantially concurrently a signal processed by said first frequency divider; and

programming at least one multiplexer to couple one of a plurality of output signals received from said plurality of frequency dividers to any one of an integrated circuit output pin, a global clock network, or a local clock network.

9. The method of claim 8 further comprising after said programming a plurality of divisors:

programming the output of one of said plurality of frequency dividers to be fed into another one of said plurality of frequency dividers.

10. The method of claim 9 further comprising repeating said programming the output at least once.

11. A method of converting an input clock signal to a plurality of output clock signals, said method comprising:

modifying said input clock signal having an input frequency to produce a first signal having a first frequency;

phase-shifting said first signal to produce a plurality of second signals each having a phase and said first frequency, each of said second signals having a phase different than the phase of the others of said second signals;

modifying each of said second signals substantially concurrently to produce an output signal having a phase and an output frequency, each of said output signals having an individually selectable output frequency; and

selectably coupling any one of said output signals to an integrated circuit chip output pin;

selectably coupling any one of said output signals to a global clock network, said global clock network providing clock signals to all clockable circuits on an integrated circuit chip; and

selectably coupling any one of said output signals to at least one local clock network, said local clock network providing clock signals to only a portion of clockable circuits on said integrated circuit chip.

12. A method of providing multiple clock signals based on a reference signal, said method comprising:

generating a first plurality of clock signals in response to receiving said reference signal; each of said plurality of clock signals having a different phase;

generating concurrently a second plurality of clock signals each having a phase and a selectable frequency; and

making each of said second plurality of clock signals available for a same plurality of clocking applications.

13. The method of claim 12 wherein said clocking applications include off-chip clocking, on-chip global clocking, on-chip local clocking, frequency synthesizing, and zero delay buffering,

14. A circuit on a programmable logic device operative to output a plurality of clock signals having programmable phases and frequencies, said circuit comprising:

first frequency-divider circuitry operative to receive an input signal;

phase/frequency detector circuitry coupled to receive the output of said frequency divider and having a second input;

a voltage-controlled oscillator (VCO) coupled to receive the output of said phase/frequency detector circuitry and operative to output a plurality of signals each having a different phase;

feedback frequency-divider circuitry coupled to receive said plurality of VCO output signals and operative to output a frequency-divided signal to said second input of said phase/frequency detector;

first multiplexing circuitry coupled to receive said plurality of VCO output signals and operative to output a plurality of signals selected from said plurality of VCO output signals;

a plurality of frequency dividers each coupled to said multiplexing circuit to receive one of said output signals from said first multiplexing circuitry and operative to output a frequency-divided signal; and

second multiplexing circuitry coupled to receive each of said frequency-divided signals from said plurality of frequency dividers, said second multiplexing circuitry operative to programmably output each received frequency-divided signal to any one of a plurality of signal conductors coupled to said second multiplexing circuitry.

15. The circuit of claim 14 wherein said plurality of signal conductors are coupled to clock output pins, a global clock network, and at least one local clock network.

16. The circuit of claim 14 further comprising third multiplexer circuitry coupled to receive a plurality of input signals and operative to programmably output one of said signals to said first frequency-divider circuitry.

17. The circuit of claim 16 wherein said third multiplexer circuitry comprises a synchronization circuit coupled to receive an enable signal and a selectable two of said plurality of input signals, said synchronization circuit comprising two latches clocked by said enable signal, each latch coupled to receive a respective one of said selectable two signals and operative to output a synchronized signal.

18. The circuit of claim 17 further comprising switchover circuitry coupled to receive said two synchronized signals from said two latches and operative to automatically output the other of said two synchronized signals should one of said two synchronized signals not be received.

19. The circuit of claim 14 wherein said feedback frequency-divider circuitry comprises a multiplexer and a programmable frequency-divider circuit, said multiplexer coupled to receive said plurality of VCO output signals and operative to output one of said VCO output signals to said frequency-divider circuit, said frequency-divider circuit operative to output a frequency-divided signal to said second input of said phase/frequency detector.

20. The circuit of claim 14 wherein said circuit is a low voltage differential signaling (LVDS) phase-locked loop circuit.

21. The circuit of claim 14 wherein said circuit is a general purpose phase-locked loop circuit.

22. An integrated circuit chip comprising the circuit of claim 14.

23. A programmable logic device comprising the circuit of claim 14.

24. A printed circuit board comprising the circuit of claim 14 mounted on said printed circuit board.

25. The printed circuit board of claim 24 further comprising a memory mounted on said printed circuit board.

26. The printed circuit board of claim 24 further comprising processing circuitry mounted on said printed circuit board.

27. A system comprising:
a processor;
a memory coupled to said processor; and
the circuit of claim 14 coupled to at least one of said processor and said memory.

28. A digital processing system comprising:
a processor;
a memory;
a programmable logic device comprising the circuit of claim 13;
input/output circuitry; and

a system bus coupling said processor, said memory, said programmable logic device, and said input/output circuitry.

29. A phase-locked loop circuit comprising:

means for phase-shifting a received signal to produce a plurality of phase-shifted signals, each phase-shifted signal having a frequency and being shifted by a different amount;

means for modifying the frequency of at least a subplurality of said phase-shifted signals; and

means for selectively applying each of said frequency-modified signals to any one of several clocking networks.

30. The phase-locked loop circuit of claim 29 wherein said clocking networks include an off-chip network and an on-chip network, said chip comprising the phase-locked loop circuit of claim 29.

Abstract

A programmable logic device includes configurable phase-locked loop (PLL) circuitry that outputs multiple clock signals having programmable phases and frequencies. Each output signal is programmably selectable for use as an external clock, internal global clock, internal local clock, or combinations thereof. The PLL circuitry has programmable frequency dividing, including programmable cascaded frequency dividing, and programmable output signal multiplexing that provide a high degree of clock design flexibility.

Representative Drawing

Fig. 1

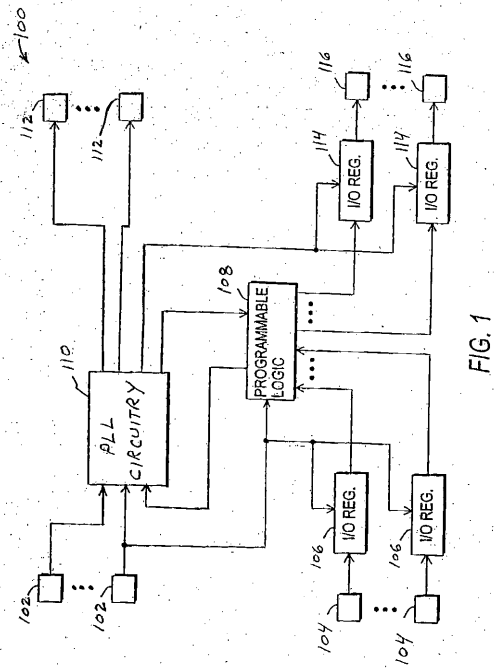


FIG. 1

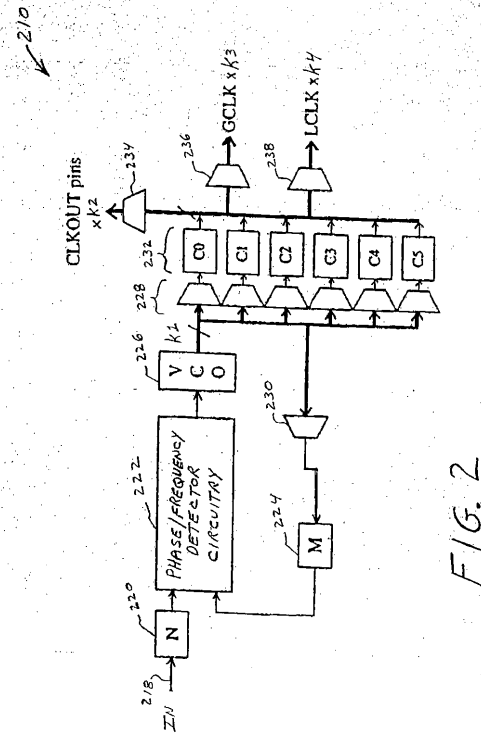


FIG. 2

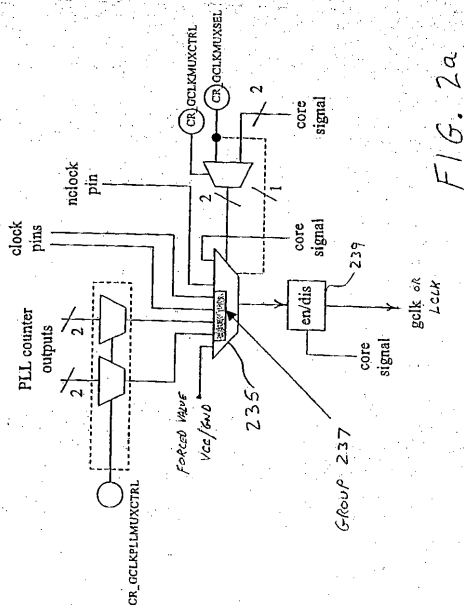


FIG. 2a

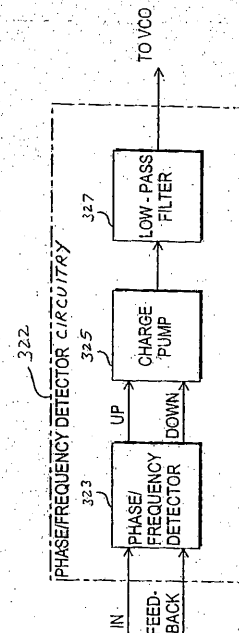


FIG. 3

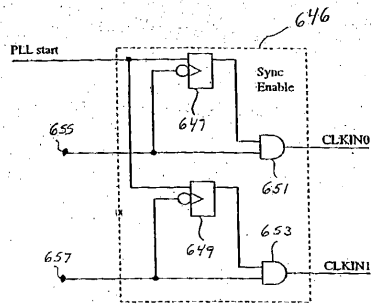


FIG. 6

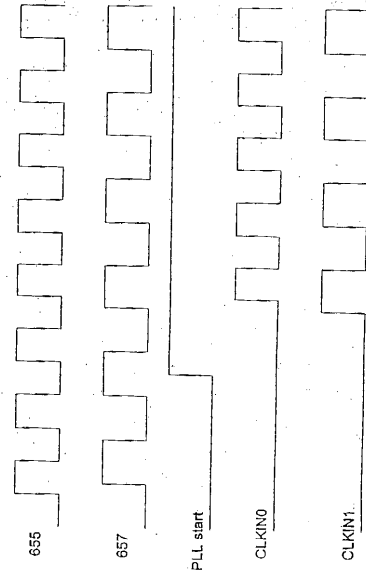


FIG. 6a

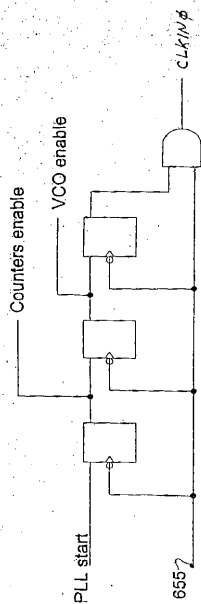


FIG. 6b

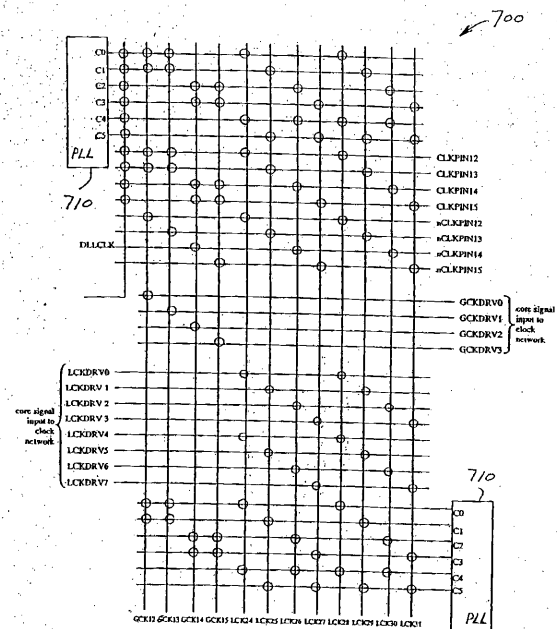
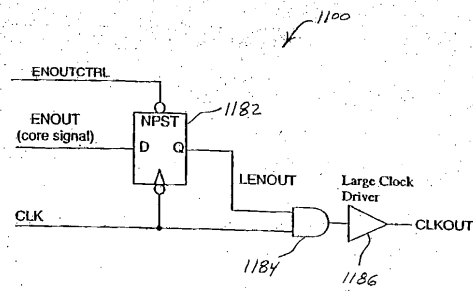
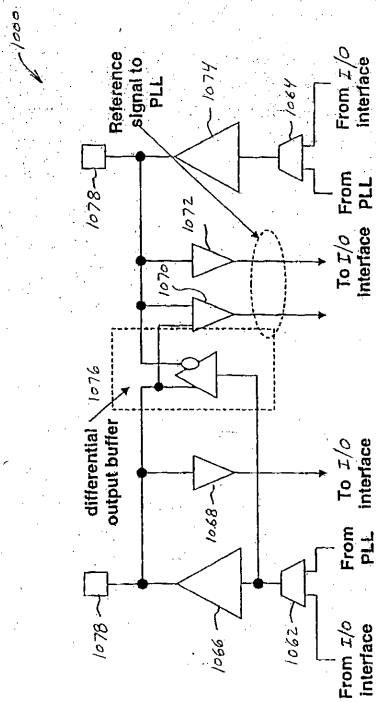
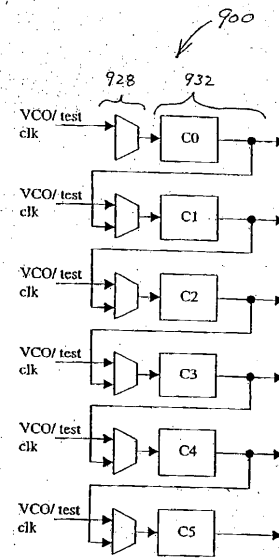
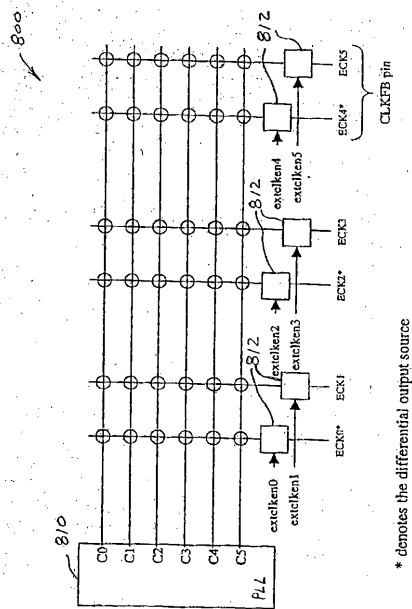


FIG. 7



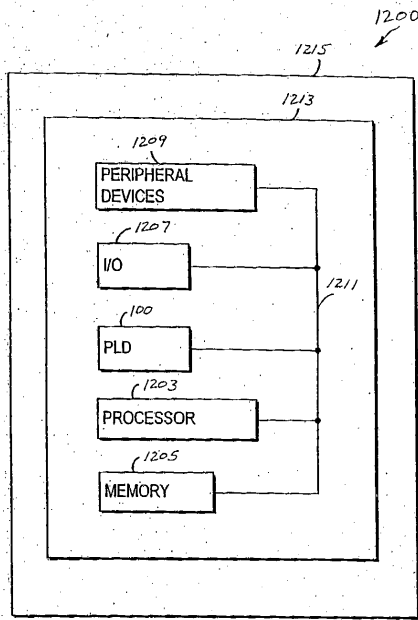


FIG. 12