



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2012년11월27일  
 (11) 등록번호 10-1205543  
 (24) 등록일자 2012년11월21일

(51) 국제특허분류(Int. Cl.)  
*G02F 1/133* (2006.01)  
 (21) 출원번호 10-2006-0016376  
 (22) 출원일자 2006년02월20일  
 심사청구일자 2011년01월20일  
 (65) 공개번호 10-2007-0083102  
 (43) 공개일자 2007년08월23일  
 (56) 선행기술조사문헌

JP2005250300 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**삼성디스플레이 주식회사**  
 경기도 용인시 기흥구 삼성2로 95 (농서동)  
 (72) 발명자  
**안보영**  
 경기도 수원시 영통구 영통로102번길 19, 201호  
**문승빈**  
 서울특별시 금천구 시흥대로48길 12 (시흥동)  
 (74) 대리인  
**박영우**

전체 청구항 수 : 총 7 항

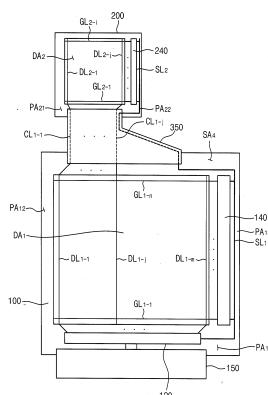
심사관 : 황은택

(54) 발명의 명칭 표시 장치 및 이의 구동 방법

**(57) 요 약**

제1 표시패널과 제2 표시패널의 구동신호를 공유하기 위한 표시 장치 및 이의 구동 방법이 개시된다. 표시 장치는 제1 표시패널, 제1 게이트 구동부, 제2 표시패널 및 제2 게이트 구동부를 포함한다. 제1 표시패널은 제1 게이트 배선들이 형성된 제1 표시영역과 제1 표시영역을 둘러싸는 제1 주변영역으로 이루어진다. 제1 게이트 구동부는 제1 주변영역에 형성되어 제1 클럭신호 또는 제2 클럭신호에 응답하여 제1 게이트 신호들을 제1 게이트 배선들에 출력한다. 제2 표시패널은 제1 표시패널과 전기적으로 연결되고, 제2 게이트 배선들이 형성된 제2 표시영역과 제2 표시영역을 둘러싸는 제2 주변영역으로 이루어진다. 제2 게이트 구동부는 제2 주변영역에 형성되어, 제1 클럭신호 또는 제2 클럭신호에 응답하여 제2 게이트 신호들을 제2 게이트 배선들에 출력한다. 이에 따라, 제1 및 제2 게이트 구동부가 제1 클럭신호 또는 제2 클럭신호를 공유함으로써 신호수 및 신호 배선수를 줄일 수 있다.

**대 표 도 - 도1**



## 특허청구의 범위

### 청구항 1

제1 게이트 배선들이 형성된 제1 표시영역과 상기 제1 표시영역을 둘러싸는 제1 주변영역으로 이루어진 제1 표시 패널;

상기 제1 주변영역에 형성되어, 제1 클럭신호 또는 제2 클럭신호에 응답하여 제1 게이트 신호들을 상기 제1 게이트 배선들에 출력하는 제1 게이트 구동부;

상기 제1 표시패널과 전기적으로 연결되고, 제2 게이트 배선들이 형성된 제2 표시영역과 상기 제2 표시영역을 둘러싸는 제2 주변영역으로 이루어진 제2 표시 패널;

상기 제2 주변영역에 형성되어, 상기 제1 클럭신호 또는 제2 클럭신호에 응답하여 제2 게이트 신호들을 상기 제2 게이트 배선들에 출력하는 제2 게이트 구동부; 및

상기 제1 클럭신호 및 제2 클럭신호를 출력하는 구동부를 포함하고,

상기 구동부는 상기 제1 게이트 구동부에 제1 수직개시신호를 출력하고, 제1 소정 시간 이후 상기 제2 게이트 구동부에 제2 수직개시신호를 출력하는 것을 특징으로 하는 표시 장치.

### 청구항 2

제1항에 있어서, 상기 제1 주변영역에는 상기 제1 및 제2 클럭신호를 전달하는 제1 신호배선부가 형성되고,

상기 제2 주변영역에는 상기 제1 신호배선부와 전기적으로 연결된 제2 신호배선부가 형성된 것을 특징으로 하는 표시 장치.

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

삭제

### 청구항 6

삭제

### 청구항 7

제1항에 있어서, 상기 구동부는 상기 제1 소정 시간 이후 상기 제1 게이트 구동부에 상기 제2 수직개시신호를 출력하며, 제2 소정 시간 이후 상기 제2 게이트 구동부에 제3 수직개시신호를 출력하는 것을 특징으로 하는 표시 장치.

### 청구항 8

삭제

### 청구항 9

삭제

### 청구항 10

삭제

### 청구항 11

삭제

### 청구항 12

제1 게이트 배선들과 상기 제1 게이트 배선들에 제1 게이트 신호들을 출력하는 제1 게이트 구동부가 형성된 제1 표시 패널 및 제2 게이트 배선들과 상기 제2 게이트 배선들에 제2 게이트 신호들을 출력하는 제2 게이트 구동부가 형성된 제2 표시 패널을 포함하는 표시 장치의 구동 방법에서,

제1 클럭신호 또는 제2 클럭신호에 응답하여 상기 제1 게이트 배선들에 상기 제1 게이트 신호들을 출력하는 단계; 및

상기 제1 클럭신호 또는 제2 클럭신호에 응답하여 상기 제2 게이트 배선들에 상기 제2 게이트 신호들을 출력하는 단계를 포함하고,

상기 제1 게이트 신호들을 출력하는 단계는

제1 수직개시신호가 입력됨에 따라서 순차적으로 상기 제1 게이트 신호들을 출력하는 것을 특징으로 하는 표시 장치의 구동 방법.

### 청구항 13

삭제

### 청구항 14

제12항에 있어서, 상기 제2 게이트 신호들을 출력하는 단계는

제2 수직개시신호가 입력됨에 따라서 순차적으로 상기 제2 게이트신호들을 출력하는 것을 특징으로 하는 표시 장치의 구동 방법.

### 청구항 15

제12항에 있어서, 상기 제1 게이트 신호들을 출력하는 단계는

상기 제1 수직개시신호로부터 제1 소정 시간 이후 제2 수직개시신호가 입력됨에 따라서 상기 제1 게이트 신호들의 출력을 정지하는 단계를 더 포함하는 것을 특징으로 하는 표시 장치의 구동 방법.

### 청구항 16

제15항에 있어서, 상기 제2 게이트 신호들을 출력하는 단계는

상기 제2 수직개시신호가 입력됨에 따라서 순차적으로 상기 제2 게이트 신호들을 출력하는 단계; 및

상기 제2 수직개시신호로부터 제2 소정 시간 이후 제3 수직개시신호가 입력됨에 따라서 상기 제2 게이트 신호들의 출력을 정지하는 단계를 포함하는 표시 장치의 구동 방법.

### 청구항 17

삭제

### 청구항 18

삭제

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

[0014] 본 발명은 표시 장치 및 이의 구동 방법에 관한 것으로, 보다 상세하게는 제1 표시패널과 제2 표시패널의 구동

신호를 공유하기 위한 표시 장치 및 이의 구동 방법에 관한 것이다.

[0015] 일반적으로 중소형 액정표시장치는 액정표시패널의 개수에 따라서 일반적인 풀더형과 듀얼 풀더형 액정표시장치로 각각 분류된다. 상기 듀얼 풀더형은 메인 영상을 표시하는 메인 액정표시패널과, 부가 영상을 표시하는 서브 액정표시패널을 갖는다. 상기 부가 영상은 예컨대, 시간, 날짜 및 수신 감도 등의 부가 정보이다.

[0016] 상기 액정표시장치는 상기 메인 액정표시패널은 구동하기 위한 메인 구동신호를 상기 메인 액정표시패널에 제공하고, 상기 서브 액정표시패널을 구동하기 위한 서브 구동신호를 상기 서브 액정표시패널에 제공한다.

[0017] 이에 따라서, 상기 메인 액정표시패널에는 메인 구동신호를 전달하는 신호배선들이 형성되며, 또한, 서브 액정표시패널에 서브 구동신호를 전달하기 위한 신호배선이 별도로 형성된다. 상기 메인 액정표시패널은 영상을 표시하는 표시영역 외에 상기 표시영역을 둘러싸는 주변 영역에 형성되는 신호배선의 개수가 많음에 따라서 상기 중소형 액정표시장치의 네로우 베젤 구현이 어려운 단점이 있다.

### **발명이 이루고자 하는 기술적 과제**

[0018] 이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 제1 표시패널과 제2 표시패널의 구동신호를 공유하기 위한 표시 장치를 제공하는 것이다.

[0019] 본 발명의 다른 목적은 상기 표시 장치의 구동 방법을 제공하는 것이다.

### **발명의 구성 및 작용**

[0020] 상기한 본 발명의 목적을 실현하기 위한 실시예에 따른 표시 장치는 제1 표시 패널, 제1 케이트 구동부, 제2 표시 패널 및 제2 케이트 구동부를 포함한다. 상기 제1 표시 패널은 제1 케이트 배선들이 형성된 제1 표시영역과 상기 제1 표시영역을 둘러싸는 제1 주변영역으로 이루어진다. 상기 제1 케이트 구동부는 상기 제1 주변영역에 형성되어, 제1 클럭신호 또는 제2 클럭신호에 응답하여 제1 케이트 신호들을 상기 제1 케이트 배선들에 출력한다. 상기 제2 표시 패널은 상기 제1 표시패널과 전기적으로 연결되고, 제2 케이트 배선들이 형성된 제2 표시영역과 상기 제2 표시영역을 둘러싸는 제2 주변영역으로 이루어진다. 상기 제2 케이트 구동부는 상기 제2 주변영역에 형성되어, 상기 제1 클럭신호 또는 제2 클럭신호에 응답하여 제2 케이트 신호들을 상기 제2 케이트 배선들에 출력한다.

[0021] 상기한 본 발명의 다른 목적을 실현하기 위한 실시예에 따른 제1 케이트 배선들과 상기 제1 케이트 배선들에 제1 케이트 신호들을 출력하는 제1 케이트 구동부가 형성된 제1 표시 패널 및 제2 케이트 배선들과 상기 제2 케이트 배선들에 제2 케이트 신호들을 출력하는 제2 케이트 구동부가 형성된 제2 표시 패널을 포함하는 표시 장치의 구동 방법은 제1 클럭신호 또는 제2 클럭신호에 응답하여 상기 제1 케이트 배선들에 상기 제1 케이트 신호들을 출력하고, 상기 제1 클럭신호 또는 제2 클럭신호에 응답하여 상기 제2 케이트 배선들에 상기 제2 케이트 신호들을 출력한다.

[0022] 이러한 표시 장치 및 이의 구동 방법에 의하면, 제1 및 제2 케이트 구동부가 제1 클럭신호 또는 제2 클럭신호를 공유함으로써 신호수 및 신호 배선수를 줄일 수 있다.

[0023] 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

[0024] <표시 장치의 실시예 1>

[0025] 도 1은 본 발명의 제1 실시예에 따른 표시 장치의 평면도이다.

[0026] 도 1을 참조하면, 표시 장치는 메인 화상을 표시하는 제1 표시패널(100)과 외부기기와 상기 제1 표시패널(100)을 전기적으로 연결하는 제1 연성회로기판(150)과, 서브 화상을 표시하는 제2 표시패널(200)과 상기 제1 표시패널(100)과 제2 표시패널(200)을 전기적으로 연결하는 제2 연성회로기판(250)을 포함한다.

[0027] 상기 제1 표시패널(100)은 제1 어레이 기판(미도시), 제1 칼라필터기판(미도시), 구동부(120) 및 제1 케이트 구동부(140)를 포함한다. 상기 제1 표시패널(100)은 화상이 표시되는 제1 표시영역(DA1)과 상기 제1 표시영역(DA1)을 둘러싸는 제1 내지 제4 주변영역(PA11 ~ PA14)으로 이루어진다. 상기 제1 표시영역(DA1)에는 n개의 케이트 배선들(GL1\_1 ~ GL1\_n) 및 상기 케이트 배선들(GL1\_1 ~ GL1\_n)과 교차하는 m개의 소스 배선들(DL1-1 ~ DL1-m)이 형성된다.

[0028] 상기 구동부(120)는 상기 제1 주변영역(PA11)에 실장되는 단일 칩으로, 제1 연성회로기판(150)을 통해 외부기기

로부터 데이터신호와 제어신호가 입력된다. 상기 구동부(120)는 제1 표시패널(100)과 제2 표시패널(200)을 구동하는 구동신호들을 출력한다. 상기 구동신호들은 데이터신호, 제1 게이트제어신호, 제2 게이트 제어신호, 공유 제어신호 및 게이트전압을 포함한다.

[0029] 상기 제1 게이트 구동부(140)는 상기 제2 주변영역(PA12)에 접적되는 접적회로로서, 서로 종속적으로 연결된 복수의 스테이지들을 포함한다. 상기 제1 게이트 구동부(140)는 상기 구동부(120)로부터 제공되는 제1 게이트제어신호, 공유제어신호 및 게이트전압에 기초하여 상기 게이트 배선들(GL<sub>1</sub>\_1 ~ GL<sub>1</sub>\_n)에 게이트신호들을 출력한다.

[0030] 상기 제1 게이트제어신호는 상기 제1 표시패널(100)의 구동방식에 따라서 제1 수직개시신호(STV1) 및 제2 수직개시신호(STV2)를 포함한다. 예컨대, 상기 제1 표시패널(100)이 한 방향으로 화상을 표시하는 경우 상기 제1 게이트제어신호는 제1 게이트 구동부(140)의 첫 번째 스테이지에 입력되는 제1 수직개시신호(STV1)이다. 상기 제1 표시패널(100)이 양 방향으로 화상을 표시하는 경우, 상기 제1 게이트제어신호는 제1 게이트 구동부(140)의 첫 번째 및 마지막 스테이지에 각각 입력되는 제1 수직개시신호(STV1) 및 제2 수직개시신호(STV2)를 포함한다.

[0031] 상기 공유제어신호는 제1 클럭신호(CK), 제2 클럭신호(CKB)로서, 상기 제1 및 제2 게이트 구동부(140, 240)에 인가된다. 상기 공유제어신호는 상기 제1 및 제2 표시패널(100, 200)의 주변영역(PA13, PA22)에 형성된 제1 및 제2 신호배선부(SL1, SL2)를 통해 상기 제1 및 제2 게이트 구동부(140, 240)에 인가된다. 상기 제1 및 제2 신호배선부(SL1, SL2) 각각은 상기 제1 클럭신호(CK)가 전달되는 제1 신호배선, 상기 제2 클럭신호(CKB)가 전달되는 제2 신호배선을 포함한다.

[0032] 상기 게이트전압(VG)은 상기 제1 및 제2 게이트 구동부(140, 240)의 회로 특성에 따라서 하이전압(VG<sub>H</sub>) 및 로우전압(VG<sub>L</sub>)을 포함한다.

[0033] 상기 제2 표시패널(200)은 제2 어레이 기판(미도시), 제2 칼라필터기판(미도시) 및 제2 게이트 구동부(240)를 포함한다. 상기 제2 표시패널(200)은 화상이 표시되는 제2 표시영역(DA2)과 상기 제2 표시영역(DA2)의 주변에 형성된 제1 및 제2 주변영역(PA21, PA22)으로 이루어진다. 상기 제2 표시영역(DA2)에는 i개의 게이트 배선들(GL<sub>2</sub>\_1 ~ GL<sub>2</sub>\_i) 및 상기 게이트 배선들(GL<sub>2</sub>\_1 ~ GL<sub>2</sub>\_i)과 교차하는 j개의 소스 배선들(DL<sub>2</sub>\_1 ~ DL<sub>2</sub>\_j)이 형성된다. 여기서, i 및 n은 2 이상의 자연수이고, i는 n보다는 작거나 같은 수이다. 또한, j 및 m은 2 이상의 자연수이고, j는 m보다는 작거나 같은 수이다.

[0034] 상기 제2 게이트 구동부(240)는 상기 제2 주변영역(PA22)에 접적되는 접적회로로서, 서로 종속적으로 연결된 복수의 스테이지들을 포함한다. 상기 구동부(120)로부터 제공되는 상기 제2 게이트제어신호(STV3, STV4), 공유제어신호(CK, CKB) 및 게이트 전압(VG)에 기초하여 상기 게이트 배선들(GL<sub>2</sub>\_1 ~ GL<sub>2</sub>\_i)에 게이트신호들을 출력한다.

[0035] 상기 제2 게이트제어신호(STV3, STV4)는 상기 제1 표시패널(100)의 구동방식에 따라서 다르다. 예컨대, 상기 제1 표시패널(100)이 한 방향으로 화상을 표시하는 경우 상기 제2 게이트제어신호는 제2 게이트 구동부(240)의 첫 번째 스테이지에 입력되는 제3 수직개시신호(STV3)이다. 상기 제1 표시패널(100)의 양 방향으로 화상을 표시하는 경우, 상기 제2 게이트제어신호는 제2 게이트 구동부(240)의 첫 번째 및 마지막 스테이지에 각각 입력되는 제3 수직개시신호(STV3) 및 제4 수직개시신호(STV4)를 포함한다.

[0036] 상기 제2 연성회로기판(250)은 상기 제1 표시패널(100)과 상기 제2 표시패널(200)을 전기적으로 연결한다. 상기 제2 연성회로기판(250)의 일 단부는 제1 표시패널(100)의 제4 주변영역(PA14)에 전기적으로 접촉되고, 다른 단부는 상기 제2 표시패널(200)의 제1 주변영역(PA21)에 전기적으로 접촉된다.

[0037] 상기 제2 연성회로기판(250)은 j개의 제1 연결배선부(CL<sub>1</sub>\_1 ~ CL<sub>1</sub>\_j)가 형성되고, 상기 제1 연결배선부(CL<sub>1</sub>\_1 ~ CL<sub>1</sub>\_j)는 상기 제1 표시패널(100)의 j개의 소스 배선들(DL<sub>1</sub>\_1 ~ DL<sub>1</sub>\_j)과 상기 제2 표시패널(200)의 j개의 소스 배선들(DL<sub>2</sub>\_1 ~ DL<sub>2</sub>\_j)을 전기적으로 연결한다.

[0038] 또한, 상기 제2 연성회로기판(250)에는 상기 제1 표시패널(100)에 형성된 제1 신호배선부(SL1)와 상기 제2 표시패널(200)에 형성된 제2 신호배선부(SL2)를 연결하는 제2 연결배선부(CL2)가 형성된다. 상기 제1 및 제2 신호배선부(SL1, SL2)은 상기 공유제어신호(CK, CKB)를 전달한다.

[0039] 도시되지는 않았으나, 상기 제1 표시패널(100)에는 제1 게이트제어신호 및 게이트 전압이 전달되는 배선들이 형성되고, 상기 제1 표시패널(100), 제2 연성회로기판(250) 및 제2 표시패널(200)에는 제2 게이트제어신호 및 게이트 전압이 전달되는 배선들이 형성된다.

- [0040] 도 2는 도 1의 구동부에 대한 상세한 블록도이다.
- [0041] 도 1 및 도 2를 참조하면, 구동부는 제어부(121), 메모리(123), 전압발생부(125), 게이트 제어부(127) 및 소스 구동부(129)를 포함한다.
- [0042] 상기 제어부(121)는 외부로부터 데이터신호(DATA)와 제어신호(CONTL)를 입력받는다. 상기 제어신호(CONTL)는 수평동기신호, 수평동기신호, 메인클럭신호, 데이터인에이블신호 등을 포함한다.
- [0043] 상기 제어부(121)는 상기 제어신호(CONTL)에 기초하여 상기 데이터신호(DATA)를 상기 메모리(123)에 저장한다. 상기 제어부(121)는 상기 게이트 제어부(121)에 제1 제어신호(121a), 즉, 제1 게이트제어신호(STV1, STV2), 제2 게이트제어신호(STV3, STV4) 및 공유제어신호(CK, CKB)를 출력한다. 상기 제어부(121)는 상기 소스 구동부(129)에 제2 제어신호(121b), 즉, 수평시작신호, 로드 신호, 반전 신호등의 소스 제어신호를 출력하고, 상기 메모리(123)에 저장된 데이터신호(DATA)를 읽어서 출력한다. 상기 제어부(121)는 상기 전압발생부(125)에 제3 제어신호(121c), 즉, 메인클럭신호, 반전신호 등을 출력한다.
- [0044] 상기 전압발생부(125)는 외부로부터 인가된 외부전원을 이용하여 상기 구동전압들을 생성한다. 상기 구동전압들은 게이트 전압(VG)(125a), 감마기준전압(VREF)(125b), 공통전압(VCOM)(125c) 등을 포함한다. 상기 게이트전압(VG)(125a)은 상기 게이트 제어부(127)에 인가되고, 상기 감마기준전압(VREF)(125b)은 상기 소스 구동부(129)에 인가되고, 상기 공통전압(VCOM)(125c)은 상기 제1 및 제2 표시패널(100, 200)에 각각 인가된다.
- [0045] 상기 게이트 제어부(127)는 상기 제1 게이트제어신호, 제2 게이트제어신호, 공유제어신호 및 게이트 전압을 상기 제1 및 제2 게이트 구동부(140, 240)에 각각 출력한다.
- [0046] 상기 소스 구동부(129)는 상기 감마기준전압(VREF)에 기초하여 상기 메모리(123)로부터 독출된 데이터신호(DATA)를 아날로그의 형태의 데이터전압(D1\_1,..,D1\_j,..,D1\_m)으로 변환하여 출력한다. 즉, 상기 제1 표시패널(100)에 대응하는 제1 데이터전압은 m개의 소스 배선들(D1\_1,..,D1\_m)에 출력되고, 상기 제2 표시패널(200)에 대응하는 제2 데이터전압은 j개의 소스 배선들((D1\_1,..,D1\_j))에 출력한다.
- [0047] <게이트 구동부의 실시예 1>
- [0048] 도 3은 본 발명의 제1 실시예에 따른 제1 및 제2 게이트 구동부에 대한 블록도이다.
- [0049] 도 1 내지 도 3을 참조하면, 제1 게이트 구동부(140)는 순방향으로 게이트신호들(G1\_1,..,G1\_n)을 순차적으로 출력하는 동작모드를 갖는다.
- [0050] 상기 제1 게이트 구동부(140)는 n개의 게이트 배선들(GL1\_1,..,GL1\_n)에 대응하는 n개의 스테이지들(SC1\_1 ~ SC1\_n) 및 하나의 더미스테이지(SC1\_d)로 이루어지며, 상기 복수의 스테이지들(SC1\_1 ~ SC1\_d)은 종속적으로 연결된다.
- [0051] 각 스테이지는 제1 입력단자(IN1), 출력단자(OUT), 제2 입력단자(IN2), 제1 클럭단자(CK1), 제2 클럭단자(CK2) 및 전원단자(VG)를 포함한다. 첫 번째 스테이지(SC1\_1)의 제1 입력단자(IN1)에는 상기 제1 게이트 구동부(140)의 동작을 개시하는 제1 게이트제어신호인, 제1 수직개시신호(STV1)가 입력된다. 첫 번째 스테이지를 제외한 나머지 스테이지들의 제1 입력단자(IN1)에는 이전 스테이지의 출력신호가 입력되고, 제2 입력단자(IN2)에는 다음 스테이지의 출력신호가 입력된다. 각 스테이지의 출력단자(OUT)는 게이트 배선들(GL1 ~ GLn)에 연결된다.
- [0052] 상기 복수의 스테이지들(SC1\_1 ~ SC1\_n)의 제1 및 제2 클럭단자(CK1, CK2)에는 제1 및 제2 클럭신호(CK, CKB)가 각각 입력된다. 상기 제1 클럭신호(CK)와 제2 클럭신호(CKB)는 서로 반대되는 위상을 갖는다. 구체적으로, 홀수번째 스테이지는 제1 클럭단자(CK1)에 입력된 제1 클럭신호(CK)에 응답하여 게이트신호를 출력하고, 짝수번째 스테이지는 제2 클럭단자(CK2)에 입력된 제2 클럭신호(CKB)에 응답하여 게이트신호를 출력한다.
- [0053] 상기 제2 게이트 구동부(240)는 i개의 게이트 배선들(GL2\_1,..,GL2\_i)에 대응하는 i개의 스테이지들(SC2\_1 ~ SC2\_i) 및 하나의 더미스테이지(SC2\_d)로 이루어지며, 상기 복수의 스테이지들(SC2\_1 ~ SC2\_d)은 종속적으로 연결된다.
- [0054] 상기 스테이지들(SC2\_1 ~ SC2\_d)은 제1 입력단자(IN1), 출력단자(OUT), 제2 입력단자(IN2), 제1 클럭단자(CK1), 제2 클럭단자(CK2) 및 전원단자(VG)를 포함한다. 첫 번째 스테이지(SC2\_1)의 제1 입력단자(IN1)에는 상기 제2 게이트 구동부(240)의 동작을 개시하는 제2 게이트제어신호인, 제3 수직개시신호(STV3)가 입력되고, 나머지 스테이지들의 제1 입력단자(IN1)에는 이전 스테이지의 출력신호가 입력되며, 제2 입력단자(IN2)에는 다음

스테이지의 출력신호가 입력된다.

[0055] 상기 복수의 스테이지들(SC2\_1 ~ SC2\_d)의 상기 제1 및 제2 클럭단자(CK1, CK2)에는 상기 제1 게이트 구동부(140)에 인가된 상기 제1 및 제2 클럭신호(CK, CKB)가 각각 입력된다.

[0056] <게이트 구동부의 실시예 2>

[0057] 도 4는 본 발명의 제2 실시예에 따른 제1 및 제2 게이트 구동부에 대한 블록도이다.

[0058] 도 2 및 도 4를 참조하면, 상기 제1 게이트 구동부(140)는 상기 구동부(120)의 제어에 따라서 순방향으로 게이트신호들(G1\_1, ..., G1\_n)을 순차적으로 출력하거나, 또는 역방향으로 게이트신호들(G1\_n, ..., G1\_1)를 순차적으로 출력하는 양방향 동작모드를 갖는다.

[0059] 구체적으로, 상기 제1 게이트 구동부(140)는 서로 종속적으로 연결된 n개의 게이트 배선들에 대응하는 n개의 스테이지들(SC1\_1 ~ SC1\_n)로 이루어진다. 각 스테이지는 제1 입력단자(IN1), 출력단자(OUT), 제2 입력단자(IN2), 제1 클럭단자(CK1), 제2 클럭단자(CK2) 및 전원단자(VG)를 포함한다.

[0060] 상기 제1 게이트 구동부(140)에는 제1 게이트제어신호인, 제1 및 제2 수직개시신호(STV1, STV2)가 입력된다. 상기 제2 수직개시신호(STV2)는 상기 제1 수직개시신호(STV1) 보다  $n \times 1H$ (H는 수평구간) 지연된 신호이다.

[0061] 예컨대, 상기 제1 게이트 구동부(140)가 순방향 동작모드인 경우, 상기 제1 수직개시신호(STV1)는 첫 번째 스테이지(SC1-1)의 제1 입력단자(IN1)에 입력되고, 상기 제2 수직개시신호(STV2)는 마지막 스테이지(SC1\_n)의 제2 입력단자(IN2)에 각각 입력된다.

[0062] 반면, 상기 제1 게이트 구동부(140)가 역방향 동작모드인 경우, 상기 제1 수직개시신호(STV1)는 마지막 스테이지의 제2 입력단자(IN2)에 입력되고, 상기 제2 수직개시신호(STV2)는 첫 번째 스테이지의 제1 입력단자(IN1)에 입력된다.

[0063] 한편, 첫 번째 및 마지막 스테이지를 제외한 나머지 스테이지들은 제1 입력단자(IN1)에는 이전 스테이지의 출력신호가 입력되고, 제2 입력단자(IN2)에는 다음 스테이지의 출력신호가 입력된다.

[0064] 상기 복수의 스테이지들(SC1\_1 ~ SC1\_n)의 제1 및 제2 클럭단자(CK1, CK2)에는 제1 및 제2 클럭신호(CK, CKB)가 각각 입력된다.

[0065] 상기 제2 게이트 구동부(240)는 서로 종속적으로 연결된 i개의 게이트 배선들에 대응하는 i개의 스테이지들(SC2\_1 ~ SC2\_i)로 이루어진다. 각 스테이지는 제1 입력단자(IN1), 출력단자(OUT), 제2 입력단자(IN2), 제1 클럭단자(CK1), 제2 클럭단자(CK2) 및 전원단자(VG)를 포함한다.

[0066] 상기 제2 게이트 구동부(240)는 제2 게이트제어신호인 제3 및 제4 수직개시신호(STV3, STV4)가 입력된다. 상기 제4 수직개시신호(STV4)는 상기 제3 수직개시신호(STV3) 보다  $i \times 1H$ (H는 수평구간) 지연된 신호이다. 상기 제3 수직개시신호(STV3)는 첫 번째 스테이지(SC2\_1)의 제1 입력단자(IN1)에 입력되고, 상기 제4 수직개시신호(STV4)는 마지막 스테이지(SC2\_i)의 제2 입력단자(IN2)에 입력된다.

[0067] 바람직하게는 도시된 바와 같이, 상기 제2 수직개시신호(STV2)와 제3 수직개시신호(STV3)는 동일한 신호로 구현한다. 즉, 상기 제1 게이트 구동부(140)의 마지막 스테이지와 상기 제2 게이트 구동부(240)의 첫 번째 스테이지에 동일한 수직개시신호, 예컨대 제2 수직개시신호(STV2)(또는 제3 수직개시신호(STV3))를 입력시킨다. 이에 의해 상기 제1 게이트 구동부(140)의 마지막 게이트신호가 출력됨과 동시에 상기 제2 게이트 구동부(240)는 동작을 개시한다.

[0068] 물론, 상기 제3 수직개시신호(STV3)는 상기 제2 수직개시신호(STV2) 보다 소정시간 지연된 신호로 구현하여 상기 제1 게이트 구동부(140)의 마지막 스테이지와 상기 제2 게이트 구동부(240)의 첫 번째 스테이지에 각각 입력할 수도 있다.

[0069] 상기 스테이지들(SC2\_1 ~ SC2\_i)의 상기 제1 및 제2 클럭단자(CK1, CK2)에는 상기 제1 게이트 구동부(140)에 입력된 제1 및 제2 클럭신호(CK, CKB)가 입력된다.

[0070] <구동 방식의 실시예 1>

[0071] 도 5는 본 발명의 제1 실시예에 따른 제1 및 제2 게이트 구동부의 구동방식을 설명하기 위한 타이밍도이다.

[0072] 도 2, 도 4 및 도 5를 참조하면, 상기 게이트 제어부(127)는 공유제어신호(CK, CKB) 및 게이트전압(VG)을 제1

및 제2 게이트 구동부(140, 240)에 출력하고, 백-포치(Back Porch), 미들-포치(Middle Porch) 및 프론트-포치(Front Porch) 구간에 대응하여 제1 및 제2 게이트제어신호를 상기 제1 및 제2 게이트 구동부(140, 240)에 출력한다.

[0073] 구체적으로, 상기 게이트 제어부(127)는 상기 백-포치 구간(BP)에 상기 제1 게이트 구동부(140)에 제1 수직개시 신호(STV1)를 출력한다. 상기 제1 게이트 구동부(140)는 상기 제1 수직개시신호(STV1)가 입력됨에 따라서 동작을 개시하여 제1 표시패널(100)의 게이트 배선들(GL1\_1, ..., GL1\_n)에 게이트신호들(G1\_1, ..., G1\_n)을 순차적으로 출력한다.

[0074] 이후, 상기 게이트 제어부(127)는 상기 미들-포치 구간(MP)에 제2 수직개신신호(STV2)를 상기 제1 및 제2 게이트 구동부(140, 240)에 출력한다. 이때, 상기 게이트 제어부(127)는 상기 제2 수직개시신호(STV2)의 펄스 폭(또는 MP) 만큼 상기 제1 및 제2 클럭신호(CK, CKB)를 지연시켜 출력한다. 상기 제2 수직개시신호(STV2)의 펄스 폭(또는 MP)은  $k \times 1H$  구간으로 다양하게 설정될 수 있다. 여기서, k는 1 이상의 자연수이다.

[0075] 이에 따라, 상기 제1 게이트 구동부(140)는 상기 제2 수직개시신호(STV2)에 응답하여 구동을 정지하고, 상기 제2 게이트 구동부(240)는 제2 수직개시신호(STV2)에 응답하여 구동을 개시한다. 상기 제2 게이트 구동부(240)는 제2 표시패널(200)의 게이트 배선들(GL2\_1, ..., GL2\_i)에 게이트신호들(G2\_1, ..., G2\_i)을 순차적으로 출력한다.

[0076] 이후, 상기 게이트 제어부(127)는 상기 프론트-포치 구간(FP)에 제4 수직개시신호(STV4)를 상기 제2 게이트 구동부(240)에 출력하고, 이에 따라 상기 제2 게이트 구동부(240)는 상기 제4 수직개시신호(STV4)에 응답하여 동작을 정지한다.

[0077] 이와 같이, 상기 제1 및 제2 게이트 구동부(140, 240)는 제1 및 제2 클럭신호(CK, CKB)를 공유하여 구동한다. 이에 따라 제1 표시패널(100)의 주변영역에 형성되는 신호배선들의 개수가 줄어 표시 장치의 네로우 베젤 구현을 용이하게 한다.

[0078] 이상에서 설명된 제1 실시예에 따른 구동 방식에 의해서는 먼저, 제1 게이트 구동부(140)가 구동되고, 이어서 제2 게이트 구동부(240)를 구동되는 것을 설명하고 있다.

[0079] <구동 방식의 실시예 2>

[0080] 도 6은 본 발명의 제2 실시예에 따른 제1 및 제2 게이트 구동부의 구동방식을 설명하기 위한 타이밍도이다.

[0081] 도 6을 참조하면, 제2 게이트 구동부(240)를 구동시킨 후, 이어서 제1 게이트 구동부(140)를 구동시킨다.

[0082] 구체적으로, 상기 게이트 제어부(127)는 상기 백-포치 구간(BP)에 상기 제2 게이트 구동부(240)에 제4 수직개시 신호(STV4)를 출력한다. 상기 제2 게이트 구동부(240)는 상기 제4 수직개시신호(STV4)가 입력됨에 따라서 게이트신호들(G2\_1, ..., G2\_i)을 순차적으로 출력한다.

[0083] 이후, 상기 게이트 제어부(127)는 상기 미들-포치 구간(MP)에 제2 수직개신신호(STV2)를 상기 제1 및 제2 게이트 구동부(140, 240)에 출력한다. 이때, 상기 게이트 제어부(127)는 상기 제2 수직개시신호(STV2)의 펄스 폭(또는 MP) 만큼 상기 제1 및 제2 클럭신호(CK, CKB)를 지연시켜 출력한다.

[0084] 이에 따라, 상기 제2 게이트 구동부(240)는 상기 제2 수직개시신호(STV2)에 응답하여 구동을 정지하고, 상기 제1 게이트 구동부(140)는 제2 수직개시신호(STV2)에 응답하여 구동을 개시한다. 상기 제1 게이트 구동부(140)는 게이트신호들(G1\_1, ..., G1\_n)을 순차적으로 출력한다.

[0085] 이후, 상기 게이트 제어부(127)는 상기 프론트-포치 구간(FP)에 제1 수직개시신호(STV1)를 상기 제1 게이트 구동부(140)에 출력하고, 이에 따라 상기 제1 게이트 구동부(140)는 동작을 정지한다.

[0086] <표시 장치의 실시예 2>

[0087] 도 7은 본 발명의 제2 실시예에 따른 표시 장치의 평면도이다.

[0088] 도 7을 참조하면, 표시 장치는 제1 표시패널(400)과 외부기기와 상기 제1 표시패널(400)을 전기적으로 연결하는 제1 연성회로기판(450)과, 제2 표시패널(500)과 상기 제1 표시패널(400)과 제2 표시패널(500)을 전기적으로 연결하는 제2 연성회로기판(550)을 포함한다.

[0089] 상기 제1 표시패널(400)은 제1 표시영역(DA1)과, 제1 표시영역(DA1)을 둘러싸는 제1 및 제2 주변영역(PA11, PA12)으로 이루어진다. 상기 제1 표시영역(DA1)에는 n개의 게이트 배선들(GL1\_1 ~ GL1\_n) 및 상기 게이트 배선

들(GL1\_1 ~ GL1\_n)과 교차하는 m개의 소스 배선들(DL1\_1 ~ DL1\_m)이 형성된다.

[0090] 상기 제1 주변영역(PA11)에는 제1 게이트 구동부(420)가 집적되고 상기 제1 게이트 구동부(420)에 제1 및 제2 클럭신호(CK1, CKB1)를 전달하는 제1 신호배선부(SL1)가 형성된다. 상기 제1 주변영역(PA11)과 마주하는 제2 주변영역(PA12)에는 제2 게이트 구동부(440)가 집적되고, 제3 및 제4 클럭신호(CK2, CKB2)를 전달하는 제2 신호배선부(SL2)가 형성된다. 상기 제1 게이트 구동부(420)는 홀수번째 게이트 배선들에 게이트신호를 출력하며, 상기 제2 게이트 구동부(440)는 짹수번째 게이트 배선들에 게이트신호를 출력한다.

[0091] 상기 제2 표시패널(500)은 제2 표시영역(DA2)과, 제2 표시영역(DA2)을 둘러싸는 제1 및 제2 주변영역(PA21, PA22)으로 이루어진다. 상기 제2 표시영역(DA2)에는 i개의 게이트 배선들(GL2\_1 ~ GL2\_i) 및 상기 게이트 배선들(GL2\_1 ~ GL2\_i)과 교차하는 j개의 소스 배선들(DL2\_1 ~ DL2\_j)이 형성된다.

[0092] 상기 제1 주변영역(PA21)에는 제3 게이트 구동부(520)가 집적되고 상기 제3 게이트 구동부(520)에 상기 제1 및 제2 클럭신호(CK1, CKB1)를 전달하는 제3 신호배선부(SL3)가 형성된다. 상기 제1 주변영역(PA21)과 마주하는 제2 주변영역(PA22)에는 제2 게이트 구동부(540)가 집적되고, 상기 제3 및 제4 클럭신호(CK2, CKB2)를 전달하는 제2 신호배선부(SL4)가 형성된다. 상기 제3 게이트 구동부(520)는 홀수번째 게이트 배선들에 게이트신호를 출력하며, 상기 제4 게이트 구동부(540)는 짹수번째 게이트 배선들에 게이트신호를 출력한다.

[0093] 상기 제2 연성회로기판(550)에는 j개의 제1 연결배선부(CL1\_1 ~ CL1\_j)가 형성되고, 상기 제1 연결배선부(CL1\_1 ~ CL1\_j)는 상기 제1 표시패널(400)의 j개의 소스 배선들(DL1\_1 ~ DL1\_j)과 상기 제2 표시패널(500)의 j개의 소스 배선들(DL2\_1 ~ DL2\_j)을 전기적으로 연결한다.

[0094] 또한, 상기 제2 연성회로기판(550)에는 제2 연결배선부(CL2) 및 제3 연결배선부(CL3)가 형성된다. 상기 제2 연결배선부(CL2)는 상기 제1 표시패널(400)에 형성된 제1 신호배선부(SL1)와 상기 제2 표시패널(500)에 형성된 제3 신호배선부(SL3)를 연결한다. 상기 제3 연결배선부(CL3)는 상기 제1 표시패널(400)에 형성된 제2 신호배선부(SL2)와 상기 제2 표시패널(500)에 형성된 제4 신호배선부(SL4)를 연결한다.

[0095] 상기와 같이, 상기 제3 게이트 구동부(520)에 제공되는 제1 및 제2 클럭신호(CK1, CKB1)를 상기 제1 게이트 구동부(420)와 공유하고, 상기 제4 게이트 구동부(540)에 제공되는 제3 및 제4 클럭신호(CK2, CKB2)를 상기 제2 게이트 구동부(520)와 공유한다. 이에 따라, 상기 제1 표시패널(400)의 제1 및 제2 주변영역(PA11, PA12)에 형성되는 신호배선들의 개수를 줄여 표시 장치의 네로우 베젤 구현을 용이하게 한다.

[0096] 상기 제1 및 제3 게이트 구동부(420, 520)의 구성 및 동작은 도 3 내지 도 6에서 설명된 상기 제1 및 제2 게이트 구동부(140, 240)와 동일하므로 상세한 설명은 생략한다. 또한, 상기 제2 및 제4 게이트 구동부(440, 540)의 구성 및 동작 역시, 도 3 내지 도 6에서 설명된 상기 제1 및 제2 게이트 구동부(140, 240)와 동일하므로 상세한 설명은 생략한다.

### 발명의 효과

[0097] 이상에서 설명한 바와 같이, 본 발명에 따르면 제1 표시패널과 제2 표시패널을 구비한 표시 장치에서, 제2 표시 패널의 게이트 구동부에 제공되는 클럭신호를 상기 제1 표시패널의 게이트 구동부에 제공되는 클럭신호와 공유함으로써 신호수 및 신호 배선수를 줄일 수 있다. 이에 따라서, 제1 표시패널의 주변영역을 좁게 형성 가능함에 따라 상기 표시 장치의 네로우 베젤 구현을 용이하게 할 수 있다.

[0098] 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특히 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### 도면의 간단한 설명

[0001] 도 1은 본 발명의 제1 실시예에 따른 표시 장치의 평면도이다.

[0002] 도 2는 도 1의 구동부에 대한 상세한 블록도이다.

[0003] 도 3은 본 발명의 제1 실시예에 따른 제1 및 제2 게이트 구동부에 대한 블록도이다.

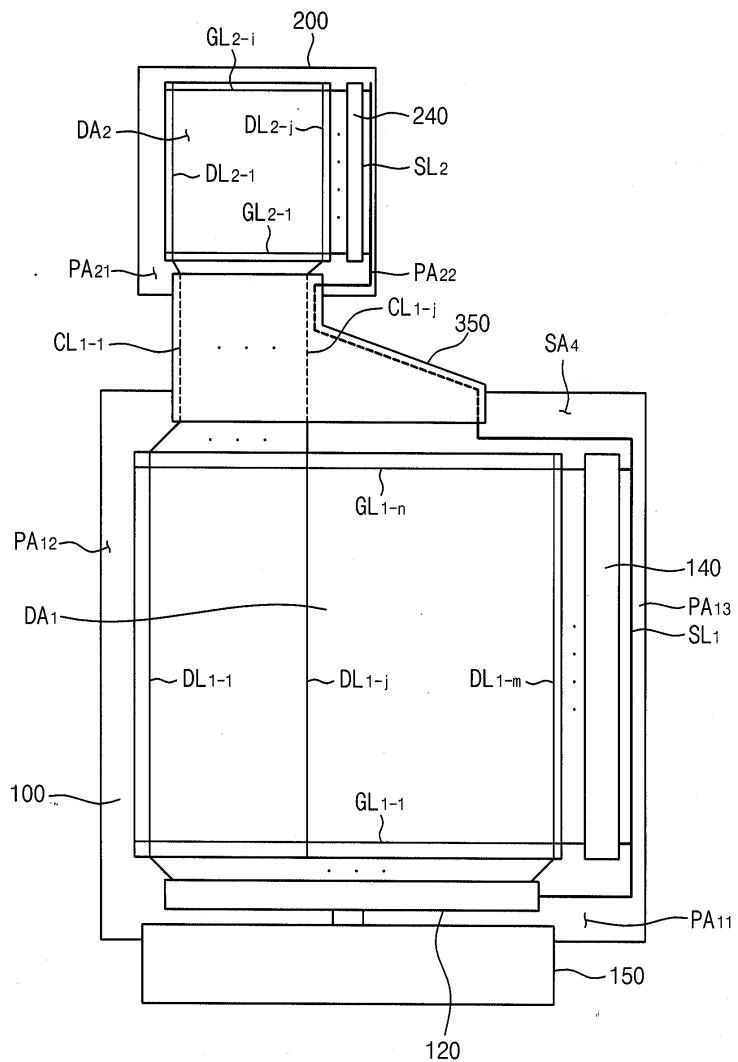
[0004] 도 4는 본 발명의 제2 실시예에 따른 제1 및 제2 게이트 구동부에 대한 블록도이다.

[0005] 도 5는 본 발명의 제1 실시예에 따른 제1 및 제2 게이트 구동부의 구동방식을 설명하기 위한 타이밍도이다.

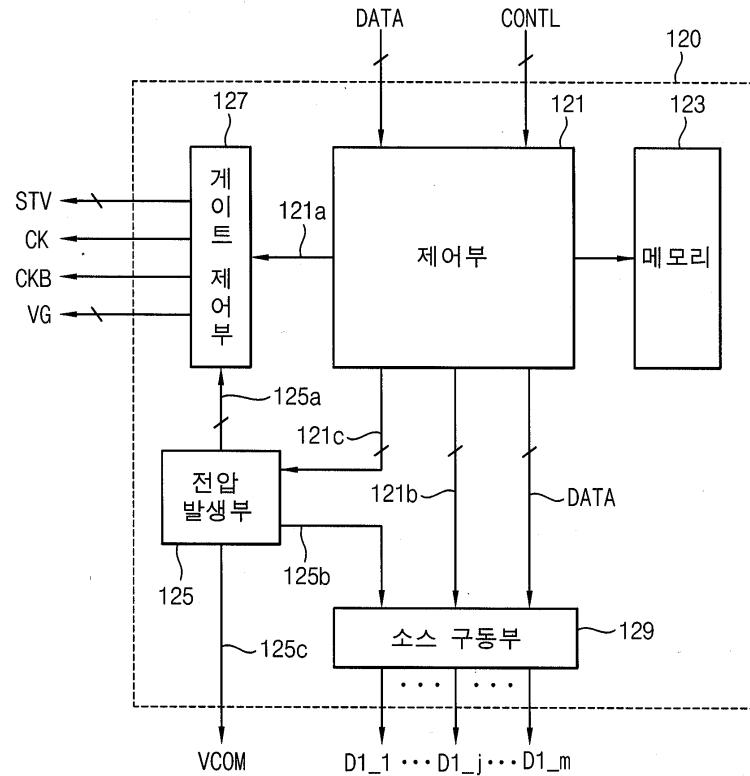
- [0006] 도 6은 본 발명의 제2 실시예에 따른 제1 및 제2 게이트 구동부의 구동방식을 설명하기 위한 타이밍도이다.
- [0007] 도 7은 본 발명의 제2 실시예에 따른 표시 장치의 평면도이다.
- [0008] <도면의 주요부분에 대한 부호의 설명>
- |                         |                  |
|-------------------------|------------------|
| [0009] 100 : 제1 표시패널    | 120 : 구동부        |
| [0010] 121 : 제어부        | 127 : 게이트 제어부    |
| [0011] 140 : 제1 게이트 구동부 | 150 : 제1 연성회로기판  |
| [0012] 200 : 제2 표시패널    | 240 : 제2 게이트 구동부 |
| [0013] 250 : 제2 연성회로기판  |                  |

### 도면

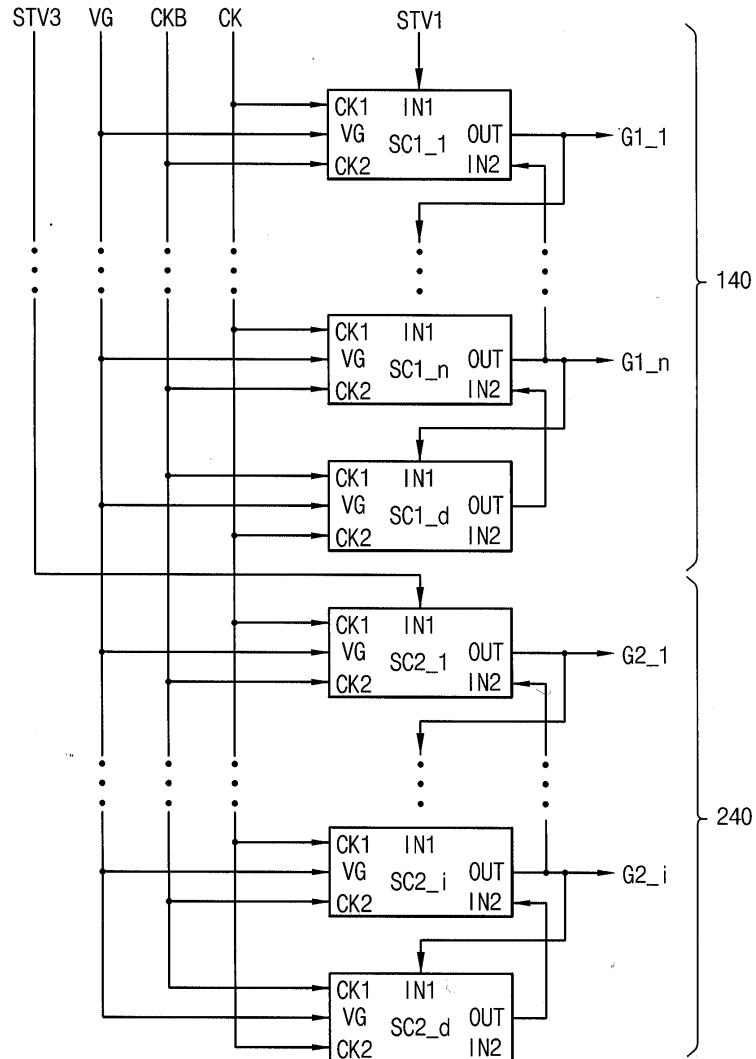
#### 도면1



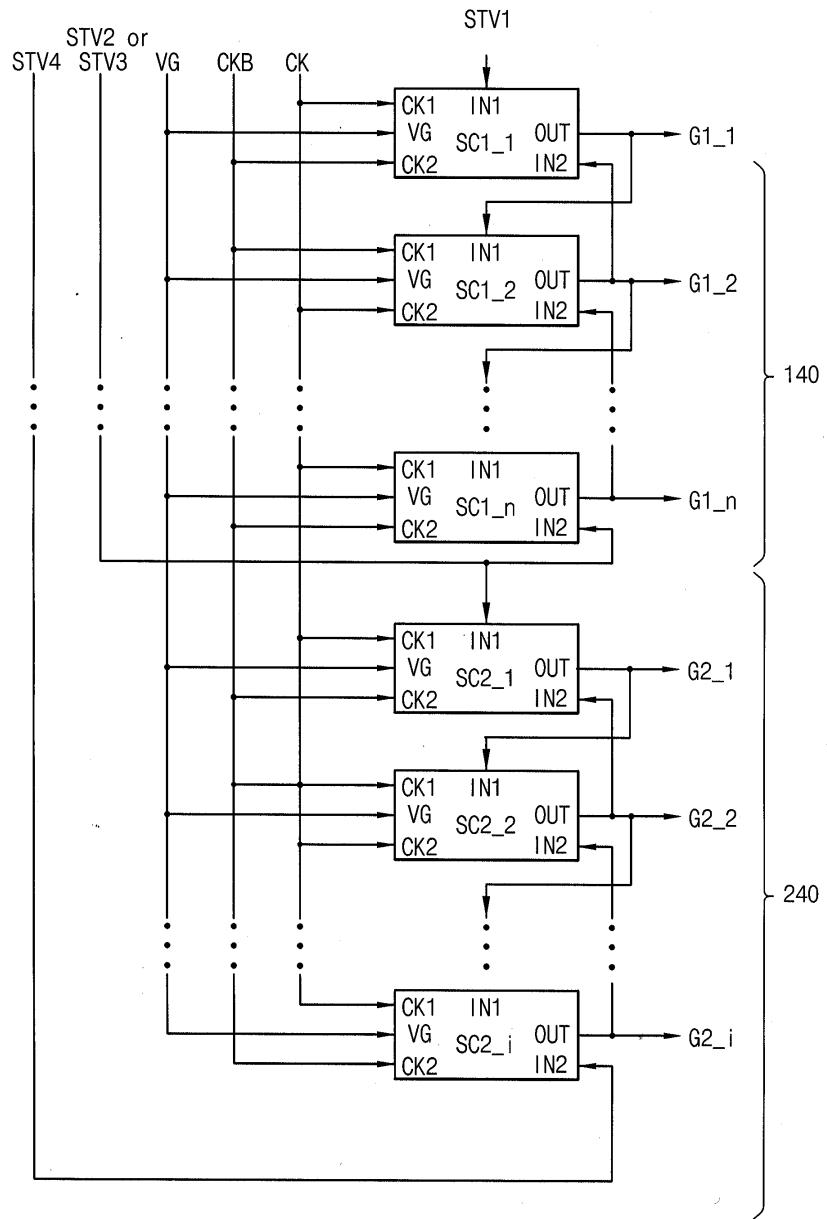
## 도면2



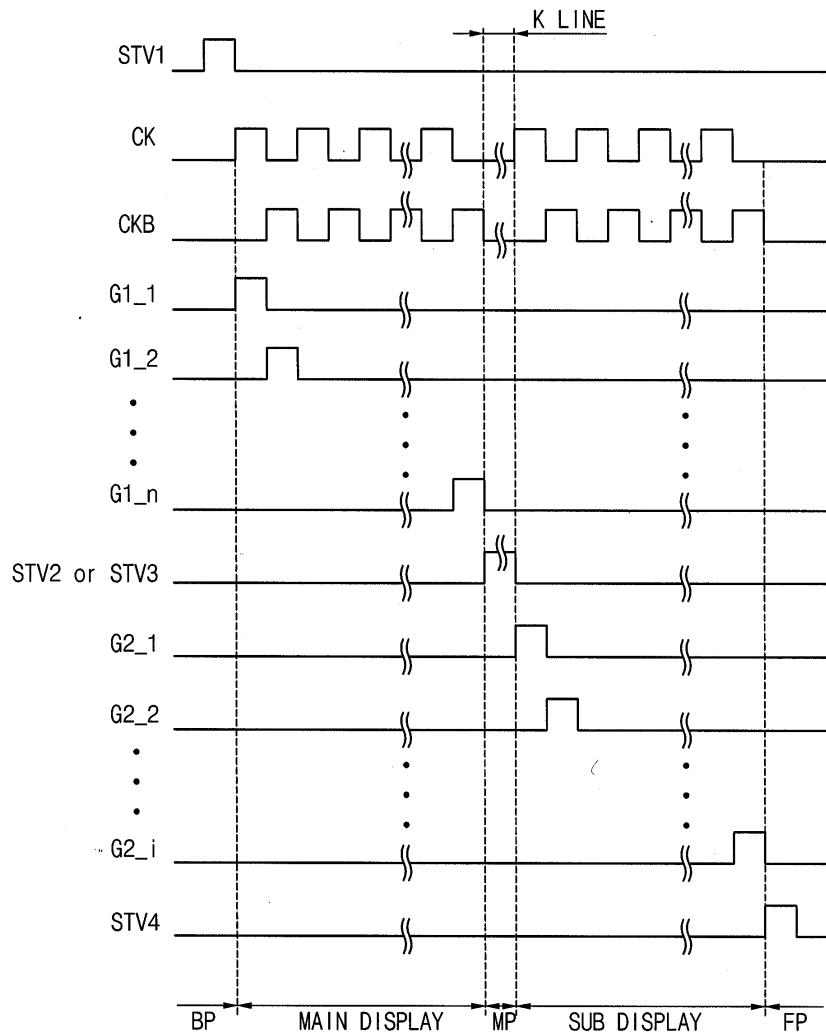
## 도면3



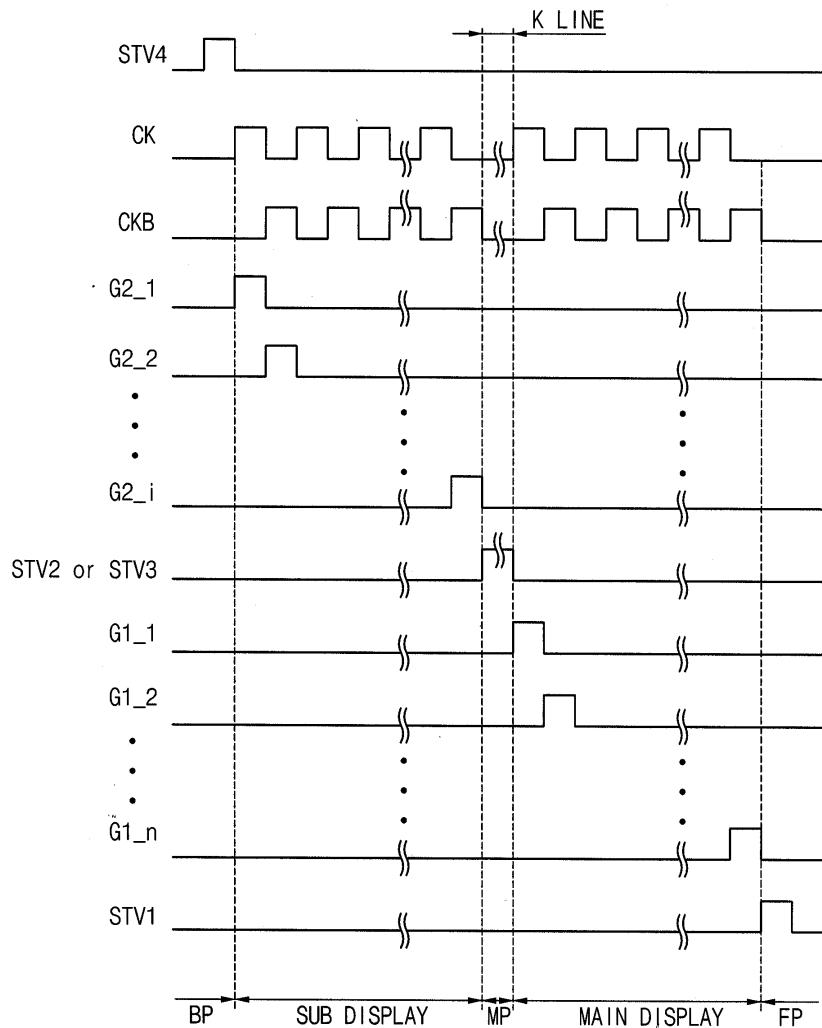
## 도면4



## 도면5



## 도면6



## 도면7

