(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 114551402 A
(43)申请公布日 2022.05.27

(21)申请号 202111375948.1

(22)申请日 2021.11.19

(30)优先权数据
102020130617.2 2020.11.19 DE

(71)申请人 英飞凌科技股份有限公司
地址 德国瑙伊比贝尔格市

(72)发明人 T·迈尔 M·格鲁贝尔 T·沙夫

(74)专利代理机构 永新专利商标代理有限公司 72002
专利代理师 周家新

(51)Int.Cl.
H01L 23/538(2006.01)
H01L 23/495(2006.01)
H01L 23/482(2006.01)
H01L 23/31(2006.01)
H01L 25/16(2006.01)
H01L 21/56(2006.01)

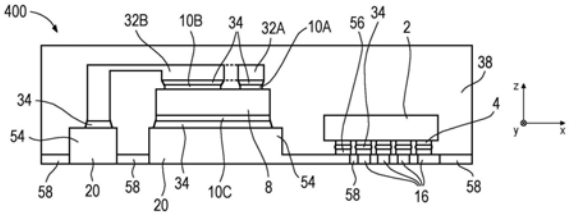
权利要求书3页 说明书10页 附图9页

(54)发明名称

包括不同厚度的电再分布层的半导体封装体及其制造方法

(57)摘要

一种半导体封装体包括:非功率芯片,所述非功率芯片包括布置在非功率芯片的第一主表面处的第一电接触部。所述半导体封装体还包括功率芯片,所述功率芯片包括布置在功率芯片的第二主表面处的第二电接触部。半导体封装体还包括第一电再分布层,其中,第一电再分布层被配置为在第一电接触部与半导体封装体的第一外部电接触部之间提供电耦合。所述半导体封装体还包括第二电再分布层,其中,第二电再分布层被配置为在第二电接触部与半导体封装体的第二外部电接触部之间提供电耦合。当在垂直于第一主表面和第二主表面中的至少一个的第一方向上测量时,第一电再分布层的至少一个区段的最大厚度小于第二电再分布层的最大厚度。



CN 114551402 A

1.一种半导体封装体,包括:

非功率芯片(2),其包括布置在非功率芯片(2)的第一主表面处的第一电接触部(4);

功率芯片(8),其包括布置在功率芯片(8)的第二主表面处的第二电接触部(10);

第一电再分布层(14),其中,第一电再分布层(14)被配置为在第一电接触部(4)与半导体封装体的第一外部电接触部(16)之间提供电耦合;和

第二电再分布层(18),其中,第二电再分布层(18)被配置为在第二电接触部(10)与半导体封装体的第二外部电接触部(20)之间提供电耦合,

其中,第二电再分布层(18)包括以下中的一个:引线框架(50)的引线、结构化的金属片(52)的基座(54)、导电柱(70),

其中,当在垂直于第一主表面和第二主表面中的至少一个的第一方向上测量时,第一电再分布层(14)的至少一个区段的最大厚度小于第二电再分布层(18)的最大厚度。

2.根据权利要求1所述的半导体封装体,其中,当在第一方向上观察时,第一电再分布层(14)的所述区段被布置在非功率芯片(2)的覆盖区中。

3.根据权利要求1或2所述的半导体封装体,其中,第一电再分布层(14)的最大厚度在2微米至40微米的范围内。

4.根据前述权利要求中任一项所述的半导体封装体,其中,第二电再分布层(18)的最大厚度在150微米到2000微米的范围内。

5.根据前述权利要求中任一项所述的半导体封装体,其中,非功率芯片(2)包括逻辑芯片、存储器芯片、传感器芯片中的至少一种。

6.根据前述权利要求中任一项所述的半导体封装体,其中,所述第一外部电接触部(16)和第二外部电接触部(20)被布置在所述半导体封装体的相同的外周表面处。

7.根据前述权利要求中任一项所述的半导体封装体,其中:

第一电再分布层(14)的至少所述区段被配置为在平行于非功率芯片(2)的第一主表面的第二方向上载送电流,并且

第二电再分布层(18)被配置为在第一方向上载送电流。

8.根据前述权利要求中任一项所述的半导体封装体,其中:

非功率芯片(2)的操作基于水平电流流动,并且

功率芯片(8)的操作基于垂直电流流动。

9.根据前述权利要求中任一项所述的半导体封装体,所述半导体封装体还包括:

包封材料(38),其中,非功率芯片(2)和功率芯片(8)都包封在相同的包封材料(38)中。

10.一种用于制造半导体封装体的方法,其中,所述方法包括:

提供非功率芯片(2),所述非功率芯片(2)包括布置在非功率芯片(2)的第一主表面处的第一电接触部(4);

提供功率芯片(8),所述功率芯片(8)包括布置在功率芯片(8)的第二主表面处的第二电接触部(10);

形成第一电再分布层(14),其中,第一电再分布层(14)被配置为在第一电接触部(4)与半导体封装体的第一外部电接触部(16)之间提供电耦合;和

形成第二电再分布层(18),其中,第二电再分布层(18)被配置为在第二电接触部(10)与半导体封装体的第二外部电接触部(20)之间提供电耦合,

其中，当在垂直于第一主表面和第二主表面中的至少一个的第一方向上测量时，第一电再分布层(14)的至少一个区段的最大厚度小于第二电再分布层(18)的最大厚度，

其中，提供非功率芯片(2)和提供功率芯片(8)包括：

提供载体(30)；

将非功率芯片(2)和功率芯片(8)布置在载体(30)之上；

将非功率芯片(2)和功率芯片(8)包封在包封材料(38)中；和

移除载体(30)，其中，第一主表面、第二主表面和包封材料(38)的主表面形成共同的平坦表面。

11.根据权利要求10所述的方法，其中，形成所述第一电再分布层(14)和形成所述第二电再分布层(18)包括：

在共同的平坦表面之上布置至少一个第一金属层，其中，所述至少一个第一金属层电耦合到第一电接触部(4)；和

在共同的平坦表面之上布置至少一个第二金属层，其中，所述至少一个第二金属层电耦合到第二电接触部(10)，

其中，所述至少一个第一金属层和至少一个第二金属层以相同的方法操作同时布置。

12.根据权利要求11所述的方法，其中，形成所述第一电再分布层(14)和形成所述第二电再分布层(18)还包括：

将引线框架(48)电耦合到所述至少一个第一金属层和所述至少一个第二金属层。

13.一种用于制造半导体封装体的方法，其中，所述方法包括：

提供非功率芯片(2)，所述非功率芯片(2)包括布置在非功率芯片(2)的第一主表面处的第一电接触部(4)；

提供功率芯片(8)，所述功率芯片(8)包括布置在功率芯片(8)的第二主表面处的第二电接触部(10)；

形成第一电再分布层(14)，其中，第一电再分布层(14)被配置为在第一电接触部(4)与半导体封装体的第一外部电接触部(16)之间提供电耦合；和

形成第二电再分布层(18)，其中，第二电再分布层(18)被配置为在第二电接触部(10)与半导体封装体的第二外部电接触部(20)之间提供电耦合，

其中，当在垂直于第一主表面和第二主表面中的至少一个的第一方向上测量时，第一电再分布层(14)的至少一个区段的最大厚度小于第二电再分布层(18)的最大厚度；和

提供具有第一主表面和与第一主表面相反的第二主表面的金属片(52)，

其中，形成第二电再分布层(18)包括减材地结构化金属片(52)的第一主表面。

14.根据权利要求13所述的方法，其中，减材地结构化金属片(52)的第一主表面包括蚀刻金属片(52)的第一主表面。

15.根据权利要求13或14所述的方法，所述方法还包括：

将非功率芯片(2)和功率芯片(8)附接到金属片(52)的减材地结构化的第一主表面上，

其中，形成第一电再分布层(14)包括在附接非功率芯片(2)和功率芯片(8)之后减材地结构化金属片(52)的第二主表面。

16.根据权利要求13或14所述的方法，所述方法还包括：

将非功率芯片(2)和功率芯片(8)附接到金属片(52)的结构化的第一主表面上；和

从金属片(52)的第二主表面去除材料，

其中，形成第一电再分布层(14)包括在去除材料之后在金属片(52)的第二主表面之上增材地形成第一电再分布层(14)。

17.根据权利要求16所述的方法，其中，去除所述材料包括磨削和/或蚀刻所述第二主表面。

18.一种用于制造半导体封装体的方法，其中，所述方法包括：

提供非功率芯片(2)，所述非功率芯片(2)包括布置在非功率芯片(2)的第一主表面处的第一电接触部(4)；

提供功率芯片(8)，所述功率芯片(8)包括布置在功率芯片(8)的第二主表面处的第二电接触部(10)；

形成第一电再分布层(14)，其中，第一电再分布层(14)被配置为在第一电接触部(4)与半导体封装体的第一外部电接触部(16)之间提供电耦合；和

形成第二电再分布层(18)，其中，第二电再分布层(18)被配置为在第二电接触部(10)与半导体封装体的第二外部电接触部(20)之间提供电耦合，

其中，当在垂直于第一主表面和第二主表面中的至少一个的第一方向上测量时，第一电再分布层(14)的至少一个区段的最大厚度小于第二电再分布层(18)的最大厚度；和

提供包括金属涂层(68)的载体(66)，

其中，形成第一电再分布层(14)和第二电再分布层(18)包括减材地结构化金属涂层(68)。

19.根据权利要求18所述的方法，其中，

载体(66)包括铝和预浸材料中的至少一种，和/或

金属涂层(68)包括铜。

20.根据权利要求18或19所述的方法，其中，形成所述第二电再分布层(18)包括在减材地结构化的金属涂层(68)之上布置导电柱(70)。

包括不同厚度的电再分布层的半导体封装体及其制造方法

技术领域

[0001] 本公开涉及包括不同厚度的电再分布层的半导体封装体。此外，本公开涉及用于制造这种半导体封装体的方法。

背景技术

[0002] 半导体封装体可以包括不同类型的半导体芯片、例如逻辑芯片和功率芯片。在封装体中集成不同类型的半导体芯片的技术可能需要考虑各个芯片类型的特定属性。例如，逻辑芯片可能需要小的接触部、短互连结构和低电流，而功率芯片可能需要厚的金属以实现高电流和少量的互连结构。半导体封装体的制造商不断努力改进他们的产品及其制造方法。可能需要开发考虑到上述芯片要求的半导体封装体，从而与标准半导体封装体相比提供改进的电性能和热性能。此外，可能需要提供用于制造这种半导体封装体的有效方法。

[0003] 文献US2018/0130732 A1涉及一种具有多厚度导体层的电子封装体及其制造方法。

发明内容

[0004] 本公开的一方面涉及一种半导体封装体。所述半导体封装体包括非功率芯片，所述非功率芯片包括布置在非功率芯片的第一主表面处的第一电接触部。所述半导体封装体还包括功率芯片，所述功率芯片包括布置在功率芯片的第二主表面处的第二电接触部。所述半导体封装体还包括第一电再分布层，其中，第一电再分布层被配置为在第一电接触部与半导体封装体的第一外部电接触部之间提供电耦合。所述半导体封装体还包括第二电再分布层，其中，第二电再分布层被配置为在第二电接触部与半导体封装体的第二外部电接触部之间提供电耦合。第二电再分布层包括以下中的一个：引线框架的引线、结构化的金属片的基座、导电柱。当在垂直于第一主表面和第二主表面中的至少一个的第一方向上测量时，第一电再分布层的至少一个区段的最大厚度小于第二电再分布层的最大厚度。

[0005] 本公开的一方面涉及一种用于制造半导体封装体的方法。所述方法包括提供包括布置在非功率芯片的第一主表面处的第一电接触部的非功率芯片。所述方法还包括提供包括布置在功率芯片的第二主表面处的第二电接触部的功率芯片。所述方法还包括形成第一电再分布层，其中，第一电再分布层被配置为在第一电接触部与半导体封装体的第一外部电接触部之间提供电耦合。所述方法还包括形成第二电再分布层，其中，第二电再分布层被配置为在第二电接触部与半导体封装体的第二外部电接触部之间提供电耦合。当在垂直于第一主表面和第二主表面中的至少一个的第一方向上测量时，第一电再分布层的至少一个区段的最大厚度小于第二电再分布层的最大厚度。提供非功率芯片和提供功率芯片包括：提供载体；将非功率芯片和功率芯片布置在载体之上；将非功率芯片和功率芯片包封在包封材料中；移除载体，其中，第一主表面、第二主表面和包封材料的主表面形成共同的平坦表面。

[0006] 本公开的一方面涉及一种用于制造半导体封装体的方法。所述方法包括提供包括

布置在非功率芯片的第一主表面处的第一电接触部的非功率芯片。所述方法还包括提供包括布置在功率芯片的第二主表面处的第二电接触部的功率芯片。所述方法还包括形成第一电再分布层，其中，第一电再分布层被配置为在第一电接触部与半导体封装体的第一外部电接触部之间提供电耦合。所述方法还包括形成第二电再分布层，其中，第二电再分布层被配置为在第二电接触部与半导体封装体的第二外部电接触部之间提供电耦合。当在垂直于第一主表面和第二主表面中的至少一个的第一方向上测量时，第一电再分布层的至少一个区段的最大厚度小于第二电再分布层的最大厚度。所述方法还包括提供具有第一主表面和与第一主表面相反的第二主表面的金属片，其中，形成第二电再分布层包括减材地结构化金属片的第一主表面。

[0007] 本公开的一方面涉及一种用于制造半导体封装体的方法。所述方法包括提供包括布置在非功率芯片的第一主表面处的第一电接触部的非功率芯片。所述方法还包括提供包括布置在功率芯片的第二主表面处的第二电接触部的功率芯片。所述方法还包括形成第一电再分布层，其中，第一电再分布层被配置为在第一电接触部与半导体封装体的第一外部电接触部之间提供电耦合。所述方法还包括形成第二电再分布层，其中，第二电再分布层被配置为在第二电接触部与半导体封装体的第二外部电接触部之间提供电耦合。当在垂直于第一主表面和第二主表面中的至少一个的第一方向上测量时，第一电再分布层的至少一个区段的最大厚度小于第二电再分布层的最大厚度。所述方法还包括提供包括金属涂层的载体，其中，形成第一电再分布层和第二电再分布层包括减材地结构化金属涂层。

附图说明

[0008] 所包括的附图用以提供对多个方面的进一步理解。附图示出了多个方面并且与相应的描述一起用于解释多个方面的原理。其它方面和多个方面的许多预期优点将容易理解，因为它们通过参考以下详细描述而变得更好理解。附图的元件不一定相对于彼此成比例。相同或相似的附图标记可以表示对应的相同或相似部分。

[0009] 图1示意性地示出了根据本公开的半导体封装体的剖视侧视图。

[0010] 图2示出了根据本公开的用于制造半导体封装体的方法的流程图。

[0011] 图3A至3J示意性地示出了根据本公开的用于制造半导体封装体的方法的剖视侧视图。

[0012] 图4A至4E示意性地示出了根据本公开的用于制造半导体封装体的方法的剖视侧视图。

[0013] 图5A至5E示意性地示出了根据本公开的用于制造半导体封装体的方法的剖视侧视图。

[0014] 图6A至6F示意性地示出了根据本公开的用于制造半导体封装体的方法的剖视侧视图。

具体实施方式

[0015] 在下面的详细描述中，参考了附图，其中，通过图示的方式示出了可以实践本公开的特定方面。在这点上，可以参考所描述的图的取向来使用诸如“顶”、“底”、“前”、“后”等的方向术语。由于所描述的器件的部件可以以多个不同的取向定位，所以方向术语可以用于

说明的目的，而不是限制性的。在不脱离本公开的概念的情况下，可以利用其它方面并且可以进行结构或逻辑改变。

[0016] 图1的半导体封装体100以概略方式示出，以便定性地指定本公开的多个方面。半导体封装体100可以包括为了简单起见未示出的另外的方面。例如，可以通过结合根据本公开的其它半导体封装体和方法描述的任何方面来扩展半导体封装体100。

[0017] 半导体封装体100可以包括非功率芯片2以及功率芯片8，所述非功率芯片2包括布置在非功率芯片2的第一主表面6处的第一电接触部4，所述功率芯片8包括布置在功率芯片8的第二主表面12处的第二电接触部10。半导体封装体100还可以包括被配置为在非功率芯片2的第一电接触部4和半导体封装体100的第一外部电接触部16之间提供电耦合的第一电再分布层14以及被配置为在功率芯片8的第二电接触部10与半导体封装体100的第二外部电接触部20之间提供电耦合的第二电再分布层18。当在垂直于第一主表面6和第二主表面12中的至少一个的第一方向上(例如在z方向上)观察时，第一电再分布层14的至少一个区段的最大厚度t_1可以小于第二电再分布层18的最大厚度t_2。

[0018] 需要注意的是，在整个说明书中，术语“芯片”、“半导体芯片”、“裸片”、“半导体裸片”可以互换使用。一般而言，本文所述的半导体芯片可由元素半导体材料(例如Si)或宽带隙半导体材料或化合物半导体材料(例如SiC、GaN、SiGe、GaAs)制造。

[0019] 功率芯片8可以包括功率半导体部件。功率芯片可用于任何类型的功率应用，例如MOSFET(Metal Oxide Semiconductor Field Effect Transistors;金属氧化物半导体场效应晶体管)、半桥电路、包括栅极驱动器的功率模块等。例如，功率芯片可以包括或可以是功率器件、例如功率MOSFET、LV(低压)功率MOSFET、功率IGBT(Insulated Gate Bipolar Transistor;绝缘栅双极晶体管)、功率二极管、超结功率MOSFET等的一部分。在一个示例中，功率半导体部件可以用作开关或功率电子装置中的整流器。这种部件可以称为功率部件，或者当用于集成电路时，可称为功率集成电路。功率半导体元件可以例如具有超过约20V的电源电压。功率芯片可能需要厚金属(例如夹)以载送高电流、少量互连结构、良好的隔离特性和热处理。通常，功率芯片的电接触部可以经由导电夹被电接触。

[0020] 非功率芯片2可以是不属于功率芯片的任何种类的半导体芯片。例如，非功率芯片2可以包括传感器芯片、逻辑芯片、存储器芯片等中的至少一种。传感器芯片可以被配置为感测物理变量，例如压力、温度、湿度、加速度等。在一个示例中，传感器芯片可以是包括可以集成在芯片中的MEMS结构的MEMS(微机电系统)芯片。逻辑芯片可以被配置为能处理由传感器封装体100的其它电子部件提供的电信号。例如，逻辑芯片可以包括专用集成电路(ASIC)。附加地或替代地，逻辑芯片可以被配置为控制和/或驱动半导体封装体100的其它电子部件。在一个示例中，逻辑芯片可以被配置为能控制和/或驱动功率芯片8的集成电路。

[0021] 第一电再分布层14的最大厚度t_1可以在约2微米至约40微米、更特别地约2微米至约30微米、更特别地约2微米至约20微米、甚至更特别地约2微米至约10微米的范围内。第二电再分布层18的最大厚度t_2可以在约150微米至约2000微米、更特别地约150微米至约1500微米、更特别地约150微米至约1000微米、甚至更特别地约150微米至约500微米的范围内。

[0022] 外部电接触部16和20可以被布置在半导体封装体100的一个或多个外周表面处。在图1的示例中，第一外部电接触部16和第二外部电接触部20可以都布置在半导体封装体100的相同外周表面处。外部电接触部16和20中的一个或多个可以被配置为将半导体封装

体100电和机械耦合到外部部件、例如印刷电路板(未图示)。半导体封装体100的外部电接触部可以包括焊球、焊料库、导电柱、导电焊盘、接合焊盘等中的至少一种。

[0023] 虽然非功率芯片2和功率芯片8可以集成在相同的半导体封装体100中,但是电再分布层14和18的厚度和另外的特性可以不同。在下面描述的进一步示例中将变得更加明显的是,电再分布层14和18的不同制造方法和不同设计可以考虑不同类型的芯片2和8的特定技术特性。

[0024] 在垂直电流流动的情况下,功率芯片8可能需要高的载流能力、良好的热路径和两侧互连。另一方面,功率芯片8的互连间距可以相当大,不需要紧密的线间距。例如,功率芯片8的这些要求可以通过具有较大厚度t_2的第二电再分布层18来解决。稍后将变得显而易见的是,这些要求可以例如通过为功率芯片8的电接触部(例如源极和漏极)提供厚金属化块和夹设计来解决。

[0025] 非功率芯片2在第一电再分布层14中可能需要紧密的线和紧密的空间。此外,非功率芯片2可能需要紧密的焊盘间距以及处于封装体内部(例如不同芯片之间)和到外部的相对大量的连接。这些要求不一定能用功率芯片8所要求的粗再分布线来实现。非功率芯片2的要求可以通过基于增材、半增材或减材工艺技术提供相对较薄的第一再分布层14来解决。

[0026] 图2示出了根据本公开的用于制造半导体封装体的方法的流程图。例如,图2的方法可以用于制造图1的半导体封装体100。图2的方法以总体方式描述,以便定性地指定本公开的多个方面并且可以包括另外的方面。例如,可以通过结合根据本公开的其它示例描述的任何方面来扩展图2的方法。

[0027] 在步骤22处,可以提供包括布置在非功率芯片的第一主表面处的第一电接触部的非功率芯片。在步骤24,可以提供包括布置在功率芯片的第二主表面处的第二电接触部的功率芯片。在步骤26处,可以形成第一电再分布层,其中,第一电再分布层可以被配置为在第一电接触部和半导体封装体的第一外部电接触部之间提供电耦合。在步骤28处,可以形成第二电再分布层,其中,第二电再分布层可以被配置为在第二电接触部和半导体封装体的第二外部电接触部之间提供电耦合。当在垂直于第一主表面和第二主表面中的至少一个的第一方向上测量时,第一电再分布层的至少一个区段的最大厚度可以小于第二电再分布层的最大厚度。

[0028] 结合以下图3A至6F描述的方法可以看作是图2的方法的更详细版本。因此,结合图3A到6F所做的评论也可以适用于之前描述的图1和2的示例。结合图3A至6F讨论的各个方法操作的顺序是示例性的,而非限制性的。如果从技术角度来看是合理且可能的,则可以交换方法的操作。此外,应当注意,以下方法中的每一个都可以作为批处理来执行。换言之,可以针对任意数量的类似配置执行各个方法操作。

[0029] 图3A至3J示出了用于制造图3J中所示的半导体封装体300的方法。在图3A中,可以提供功率芯片8。功率芯片8可以包括布置在功率芯片8的顶表面上的第一电接触部10A和第二电接触部10B以及布置在功率芯片8的底表面上的第三电接触部10C。在图3A的示例中,功率芯片8可以包括或可以对应于功率晶体管、例如功率MOSFET。在这种情况下,第一电接触部10A可以是功率晶体管的栅极接触部,第二电接触部10B可以是功率晶体管的源极接触部,第三电接触部10C可以是功率晶体管的漏极接触部。功率芯片8可以具有垂直结构。换言

之，功率芯片8可以被制造为使得电流可以基本上在垂直于功率芯片8的主面的方向上、即在z方向上流动。垂直功率芯片的另外示例是功率HEMT、PMOS(P沟道金属氧化物半导体;P-Channel Metal Oxide semiconductor)、NMOS(N沟道金属氧化物半导体;N-Channel Metal Oxide semiconductor)等。在进一步的示例中，功率芯片8可以具有侧向结构。换言之，功率芯片8可以被制造为使得电流可以基本上在x-y平面中流动。

[0030] 在图3B中，功率芯片8的电接触部10A和10B可以相应地电耦合到电接触元件32A和32B。可以借助于基于焊接、烧结、扩散焊接、回流焊接等中的至少一种的连接材料34来提供电连接。在图3B的示例中，电接触元件32A、32B可以包括或可以对应于可以由金属和金属合金中的至少一种制成的导电夹。或者，连接到功率芯片8的栅极接触部的电接触元件32A可以包括导线。

[0031] 在图3C中，可以提供载体30。粘合剂层36可以布置在载体36的顶表面上。例如，粘合剂层36可以包括粘合箔或粘合带、例如Revalpha带。包括电接触元件32A和32B的功率芯片8可以布置在载体30上。另外，非功率芯片2可以放置在载体30的顶表面上。非功率芯片2可以具有侧向结构，即，非功率芯片2的操作可以基于侧向电流流动。非功率芯片2可以包括可以布置在非功率芯片2的底表面上的一个或多个电接触部4。在图3C的示例中，电接触部4可以包括铜柱和导电接触焊盘中的至少一个。

[0032] 在图3D中，非功率芯片2和功率芯片8可以被包封材料38包封。包封材料38可以包括层合材料、环氧树脂、被填充的环氧树脂、玻璃纤维填充环氧树脂、酰亚胺、热塑性塑料、热固性聚合物、聚合物共混物等中的至少一种。可以使用各种技术来用包封材料38包封布置在载体30上的部件，例如通过压缩成型、注射成型、粉末成型、液体成型、地图成型(map molding)、层合等中的至少一种。

[0033] 在图3E中，载体30和粘合剂层36可以被释放和去除。非功率芯片2、功率芯片8和包封材料38的底表面可以共面并形成共同的平坦表面。介电材料40可以布置在共同的平坦表面之上。介电材料40可以被结构化成使得芯片2和8的电接触部4和10C可以未被介电材料40覆盖。例如，可以基于光刻工艺来结构化介电材料40。

[0034] 在图3F中，种子层42可以被布置在该配置的底表面之上，例如借助于溅射操作。种子层42可以例如包括钛钨(TiW)和铜中的至少一种。特别地，种子层42可以基本上覆盖该配置的整个底表面。此外，结构化抗镀剂44可以布置在种子层42的多个部分之上。在一个示例中，抗镀剂44可以首先沉积在该配置的整个底表面之上并且随后被结构化。此处，可以部分地去除抗镀剂44，使得可以在电接触部4和10的位置处从抗镀剂44露出种子层42。

[0035] 在图3G中，金属层46可以布置在未被覆盖的种子层44的位置处，例如基于电镀技术。在一个示例中，金属层46可以仅包括一层例如铜。在进一步的示例中，金属层46可以包括形成金属堆叠物的多个金属层。金属层46在z方向上的厚度可以在约3微米至约12微米、更特别地约5微米至约10微米的范围内。金属层46的左侧的第一部分可以电耦合到功率芯片8的电接触部10，而金属层46的右侧的第二部分可以电耦合到非功率芯片2的电接触部4。

[0036] 在图3H中，抗镀剂44可以被释放和去除。

[0037] 在图3I中，包括一个或多个裸片焊盘以及一个或多个引线(或引脚)50的引线框架48(例如，半蚀刻的)可以电耦合到金属层46的第一和第二部分。例如，这种电连接可以通过焊接、胶合、烧结、扩散焊接等中的至少一种来建立。就此而言，可以在引线框架48和金属层

46之间形成连接材料34。需要注意的是图3I中所示的引线50的数量是示例性的并且可能特别地取决于要制造的半导体封装体的特定类型。

[0038] 在图3I的示例中，第一引线(由于选择的视图而不可见)可以经由金属层36和夹32A连接到功率芯片8的栅极接触部10A。此外，第二引线50B可以经由金属层36和夹32B连接到功率芯片8的源极接触部10B，第三引线50C可以经由金属层36连接到功率芯片8的漏极接触部10C。此外，第四引线50D和第五引线50E可以相应地连接到非功率芯片2的电接触部4。

[0039] 在图3J中，引线框架48的引线50之间的间隙可以填充有电绝缘填充材料58，其中，可以形成配置的基本上平坦的底表面。在一个示例中，间隙可以填充有可以随后从其背侧磨削的模制材料。在进一步的示例中，图3I的配置可以以释放箔(未示出)布置在载体(未示出)上并且可以执行模制工艺。之后，可以移除载体和释放箔。

[0040] 图3A-3J的方法可以对应于批处理。在进一步的操作(未示出)中，配置可以被分成多个半导体封装体300。图3J的半导体封装体300可以被看作是图1的半导体封装体100的更详细的版本。

[0041] 引线框架48的引线50可以形成要制造的半导体封装体的外部电接触部。返回参考图1，图3J的引线50可以对应于图1的外部电接触部16和20。引线50和金属层46的电连接到非功率芯片2的部分可以形成第一电再分布层。第一电再分布层可以被配置为在z方向上和x-y平面中载送电流。如结合图1所讨论的，第一电再分布层的至少一个区段可以具有最大厚度t_1。在图3J的示例中，当在z方向上观察时，所述区段可以布置在非功率芯片2的覆盖区中。

[0042] 以类似的方式，引线50和金属层46的电连接到功率芯片8的部分可以形成具有最大厚度t_2的第二电再分布层。第二电再分布层可以被配置为在z方向上载送电流。特别地，第二电再分布层可以被配置为仅在z方向上载送电流。

[0043] 图4A至4E示出了用于制造图4E中所示的半导体封装体400的方法。在图4A中，可以提供具有厚度t_3的金属片52。例如，金属片52可由铜和铜合金中的至少一种制成。金属片52的上表面可以减材地结构化，其中，可以形成一个或多个具有厚度t_4的基座54。比率t_4/t_3可以在约0.5至约0.9、更特别地约0.6至约0.8的范围内。例如，金属片52可以通过应用可以基于MPPL方法的蚀刻技术来结构化。此外，一个或多个接合焊盘56可以形成在结构化的金属片52的顶表面上。接合焊盘56可以由包括铜、镍、金等中的至少一种的金属制成。例如，接合焊盘56可以通过应用电镀、化学镀、喷墨、印刷等中的至少一种来形成。

[0044] 在图4B中，非功率芯片2和功率芯片8可以布置在减法地结构化的金属片52的顶表面上。功率芯片8的电接触部10A至10C可以经由夹32A、32B和连接材料34电连接到金属片52的基座54。功率芯片8、夹32A、32B和连接材料34可以类似于结合图3A-3J描述的类似部件。此外，非功率芯片2的电接触部4可以经由连接材料34机械和电连接到接合焊盘56。例如，这种连接可以基于倒装芯片技术和回流工艺来建立。

[0045] 在图4C中，非功率芯片2和功率芯片8可以被包封材料38包封。图4C的操作可以类似于图3D的操作。

[0046] 在图4D中，金属片52的底表面可以减材地结构化，其中，可以形成要制造的半导体封装体的外部电接触部16和20。由于金属片52的布置在非功率芯片2下方的部分可能已经在图4A的操作中被形成为相对较薄，因此可以提供用于电再分布的细间距、细线和细空间。

[0047] 在图4E中，结构化的底表面的间隙可以填充有电绝缘填充材料58，使得外部电接触部16和20可以彼此电绝缘。

[0048] 图4A-4E的方法可以对应于批处理。在进一步的操作(未示出)中，配置可以被分成多个半导体封装体400。图4E的半导体封装体400可以被视为图1的半导体封装体100的更详细的版本。

[0049] 金属片52的多个部分、接合焊盘56和连接到非功率芯片2的连接材料34可以形成第一电再分布层。以类似方式，基座54和连接到功率芯片8的连接材料34可以形成第二电再分布层。当在z方向上测量时，第二电再分布层的最大厚度可以大于第一电再分布层的最大厚度。

[0050] 图5A至5E示出了用于制造图5E中所示的半导体封装体500的方法。在图5A中，金属片52可以减材地结构化。图5A的操作可以类似于图4A的操作。

[0051] 图5B的操作可以至少部分地类似于图4B的操作。与图4B不同的是，非功率芯片2可以借助于非导电胶60机械地连接到结构化的金属片52的顶表面。例如，非功率芯片2的电接触部4可以包括铜柱和导电接触焊盘中的至少一种。

[0052] 在图5C中，非功率芯片2和功率芯片8可以被包封材料38包封。图5C的操作可以类似于图4C的操作。

[0053] 在图5D中，可以从金属片52的底表面去除材料。可以去除材料直到基座54和非功率芯片2的电接触部4暴露。例如，去除金属片52的背面材料可以包括磨削和蚀刻中的至少一种。

[0054] 在图5E中，通过沉积导电材料62和介电材料64，可以在配置的底表面上附加地形成电再分布结构。导电材料62的第一部分可以电连接到非功率芯片2的电接触部4，导电材料62的第二部分可以经由基座54电连接到功率芯片8。介电材料64可以被配置为使导电材料62的不同部分彼此电隔离。

[0055] 图5A-5E的方法可以对应于批处理。在进一步的操作(未示出)中，配置可以被分成多个半导体封装体500。图5E的半导体封装体500可以被视为图1的半导体封装体100的更详细版本。与前述示例类似，半导体封装体500可以包括在z方向上具有不同厚度的两个电再分布层。

[0056] 图6A至6F示出了用于制造图6F中所示的半导体封装体600的方法。在图6A中，可以提供载体66。例如，载体66可以由铝和预浸材料中的至少一种制成。载体66可以包括布置在载体66的顶表面之上的金属涂层68。金属涂层68可以例如包括铜和铜合金中的至少一种。金属涂层68在z方向上的厚度可以小于约14微米、更特别地小于约12微米、甚至更特别地小于约10微米。

[0057] 在图6B中，金属涂层68可以减材地结构化，例如借助于蚀刻工艺。金属涂层68的其余部分可以随后电耦合到非功率芯片和功率芯片的电接触部。

[0058] 在图6C中，导电柱70可以借助于连接材料34机械和电连接到结构化的金属涂层68的一个或多个部分。例如，导电柱70可以基于焊接、烧结、扩散焊接等中的至少一种附接。导电柱70在z方向上的厚度可以在约180微米至约220微米、更特别地约190微米至约210微米的范围内。

[0059] 在图6D中，功率芯片8可以附接到配置的顶表面。类似于图4B，功率芯片8的电接触

部可以经由夹32A、32B和连接材料34电连接到导电柱70。在图6D的示例中，功率芯片8的栅极接触部10A可以通过夹32A被电接触。在进一步的示例中，栅极接触部10A可以通过基于导线连接工艺的连接导线来被电接触。

[0060] 在图6E中，非功率芯片2可以附接到配置的顶表面。类似于图4B，非功率芯片2的多个电接触部4可以连接到结构化的金属涂层68的剩余部分。在图6E的示例中，电接触部4可以包括铜柱和导电接触焊盘中的至少一个。

[0061] 在图6F中，非功率芯片2和功率芯片8可以被包封材料38包封，例如类似于图3D的操作。之后，可以移除载体66。对于铝载体66的情况，可以通过执行对铜有选择性的蚀刻工艺来去除载体66。在移除载体66之后，包封材料38的底表面和结构化的金属涂层68的多个部分可以形成共同的平坦表面。在进一步的可选操作中，钝化材料(未示出)可以布置在配置的底表面之上。

[0062] 图6A-6F的方法可以对应于批处理。在进一步的操作(未示出)中，配置可以被分成多个半导体封装体600。图6F的半导体封装体600可以被视为图1的半导体封装体100的更详细的版本。与前述示例相似，制造的半导体封装体600可以包括在z方向上具有不同厚度的两个电再分布层。

[0063] 示例

[0064] 在下文中，将借助于示例来解释半导体封装体和用于制造半导体封装体的方法。

[0065] 示例1是一种半导体封装体，其包括：非功率芯片，其包括布置在非功率芯片的第一主表面处的第一电接触部；功率芯片，其包括布置在功率芯片的第二主表面处的第二电接触部；第一电再分布层，其中，第一电再分布层被配置为在第一电接触部与半导体封装体的第一外部电接触部之间提供电耦合；和第二电再分布层，其中，第二电再分布层被配置为在第二电接触部与半导体封装体的第二外部电接触部之间提供电耦合，其中，当在垂直于第一主表面和第二主表面中的至少一个的第一方向上测量时，第一电再分布层的至少一个区段的最大厚度小于第二电再分布层的最大厚度。

[0066] 示例2是根据示例1的半导体封装体，其中，当在第一方向上观察时，第一电再分布层的所述区段被布置在非功率芯片的覆盖区中。

[0067] 示例3是根据示例1或2的半导体封装体，其中，第一电再分布层的最大厚度在2微米至40微米的范围内。

[0068] 示例4是根据前述示例中任一个的半导体封装体，其中，第二电再分布层的最大厚度在150微米至2000微米的范围内。

[0069] 示例5是根据前述示例中任一个的半导体封装体，其中，非功率芯片包括逻辑芯片、存储器芯片、传感器芯片中的至少一种。

[0070] 示例6是根据前述示例中任一个的半导体封装体，其中，第一外部电接触部和第二外部电接触部被布置在半导体封装体的相同外周表面处。

[0071] 示例7是根据前述示例中任一个的半导体封装体，其中：第一电再分布层的所述至少一个区段被配置为在平行于非功率芯片的第一主表面的第二方向上载送电流，第二电再分布层被配置为在第一方向上载送电流。

[0072] 示例8是根据前述示例中任一个的半导体封装体，其中：非功率芯片的操作基于水平电流流动，功率芯片的操作基于垂直电流流动。

[0073] 示例9是根据前述示例中任一个的半导体封装体，所述半导体封装体还包括：包封材料，其中，非功率芯片和功率芯片都包封在相同的包封材料中。

[0074] 示例10是一种用于制造半导体封装体的方法，其中，所述方法包括：提供包括布置在非功率芯片的第一主表面处的第一电接触部的非功率芯片；提供包括布置在功率芯片的第二主表面处的第二电接触部的功率芯片；形成第一电再分布层，其中，第一电再分布层被配置为在第一电接触部与半导体封装体的第一外部电接触部之间提供电耦合；和形成第二电再分布层，其中，第二电再分布层被配置为在第二电接触部与半导体封装体的第二外部电接触部之间提供电耦合，其中，当在垂直于第一主表面和第二主表面中的至少一个的第一方向测量时，第一电再分布层的至少一个区段的最大厚度小于第二电再分布层的最大厚度。

[0075] 示例11是根据示例10的方法，其中，提供非功率芯片和提供功率芯片包括：提供载体；将非功率芯片和功率芯片布置在载体之上；将非功率芯片和功率芯片包封在包封材料中；移除载体，其中，第一主表面、第二主表面和包封材料的主表面形成共同的平坦表面。

[0076] 示例12是根据示例11的方法，其中，形成第一电再分布层和形成第二电再分布层包括：在共同的平坦表面之上布置至少一个第一金属层，其中，所述至少一个第一金属层电耦合到第一电接触部；和在共同的平坦表面之上布置至少一个第二金属层，其中，所述至少一个第二金属层电耦合到第二电接触部，其中，所述至少一个第一金属层和至少一个第二金属层以相同的方法操作同时布置。

[0077] 示例13是根据示例12的方法，其中，形成第一电再分布层和形成第二电再分布层还包括：将引线框架电耦合到所述至少一个第一金属层和所述至少一个第二金属层。

[0078] 示例14是根据示例10的方法，所述方法还包括：提供具有第一主表面和与第一主表面相反的第二主表面的金属片，其中，形成第二电再分布层包括减材地结构化金属片的第一主表面。

[0079] 示例15是根据示例14的方法，其中，减材地结构化金属片的第一主表面包括蚀刻金属片的第一主表面。

[0080] 示例16是根据示例14或15的方法，所述方法还包括：将非功率芯片和功率芯片附接到金属片的减材地结构化的第一主表面上，其中，形成第一电再分布层包括在附接非功率芯片与功率芯片之后减材地结构化金属片的第二主表面。

[0081] 示例17是根据示例14或15的方法，所述方法还包括：将非功率芯片和功率芯片附接到金属片的结构化的第一主表面；和从金属片的第二主表面去除材料，其中，形成第一电再分布层包括在去除材料之后在金属片的第二主表面之上增材地形成第一电再分布层。

[0082] 示例18是根据示例17的方法，其中，去除材料包括磨削和/或蚀刻第二主表面。

[0083] 示例19是根据示例10的方法，所述方法还包括：提供包括金属涂层的载体，其中，形成第一电再分布层和第二电再分布层包括减材地结构化金属涂层。

[0084] 示例20是根据示例19的方法，其中，载体包括铝和预浸料材料中的至少一种，和/或金属涂层包括铜。

[0085] 示例21是根据示例19或20的方法，其中，形成第二电再分布层包括在减材地结构化的金属涂层之上布置导电柱。

[0086] 如本说明书中所采用的，术语“连接”、“耦合”、“电连接”和/或“电耦合”不一定意

味着元件必须直接连接或耦合在一起。可以在“连接”、“耦合”、“电连接”或“电耦合”的元件之间提供居间元件。

[0087] 此外，关于例如在物体的表面“之上”形成或定位材料层中使用的词语“之上”在本文中可以用于表示材料层可以直接定位(例如，形成、沉积等)在所述表面上，例如与所述表面直接接触。关于例如在表面“之上”形成或定位材料层中使用的词语“之上”在本文中也可以用于表示材料层可以间接定位(例如，形成、沉积等)在所述表面上而有例如一个或多个附加层布置在所述表面和材料层之间。

[0088] 此外，就在详细说明或权利要求中使用的术语“具有”、“包含”、“包括”、“带有”或其变体而言，这些术语旨在以类似于术语“含有”的方式表示包括。即，如本文所使用，术语“具有”、“包含”、“包括”、“带有”、“含有”等是开放式术语，表示存在所述元件或特征，但不排除附加的元件或特征。冠词“一个”、“一种”和“所述”旨在包括复数和单数，除非上下文另有明确说明。

[0089] 此外，本文使用的词语“示例性”表示用作示例、实例或说明。本文描述为“示例性”的任何方面或设计不一定被解释为优于其它方面或设计。相反，示例性一词的使用旨在以具体的方式呈现概念。本申请中使用的术语“或”旨在表示包含的“或”而不是排他的“或”。也就是说，除非另有说明或从上下文中清楚，否则“X采用A或B”旨在表示任何自然包容性排列。也就是说，如果X采用A;X采用B;或X采用A和B，则在上述任何一种情况下都满足“X采用A或B”。此外，除非另有说明或从上下文明确指向单数形式，否则本申请和所附权利要求中使用的冠词“一个”和“一种”通常可被解释为表示“一个或多个”。此外，A和B等中的至少一个通常表示A或B或者A和B两者。

[0090] 本文描述了器件和用于制造器件的方法。与所描述的器件相关的评论也适用于相应的方法，反之亦然。例如，如果描述了器件的特定部件，则用于制造所述器件的相应方法可以包括以合适的方式提供所述部件的操作，即使这种操作没有在附图中明确描述或示出。

[0091] 尽管已经结合一个或多个实施方式示出和描述了本公开，但是本领域技术人员将至少部分地基于对本说明书和附图的阅读和理解而想到等效的改变和修改。特别是关于由上述部件(例如，元件、资源等)执行的各种功能，除非另有说明，否则用于描述这些部件的术语旨在对应于执行所描述的部件的特定功能(例如，在功能上等效)的任何部件，即使在结构上与在此处示出的本公开的示例性实施方式中执行所述功能的所公开的结构不等效。此外，虽然本公开的特定特征可能仅结合若干实施方式中的一个而被公开，但是当对于任何给定或特定应用可能是期望的和有利的时，这种特征可以与其它实施方式的一个或多个其它特征组合。

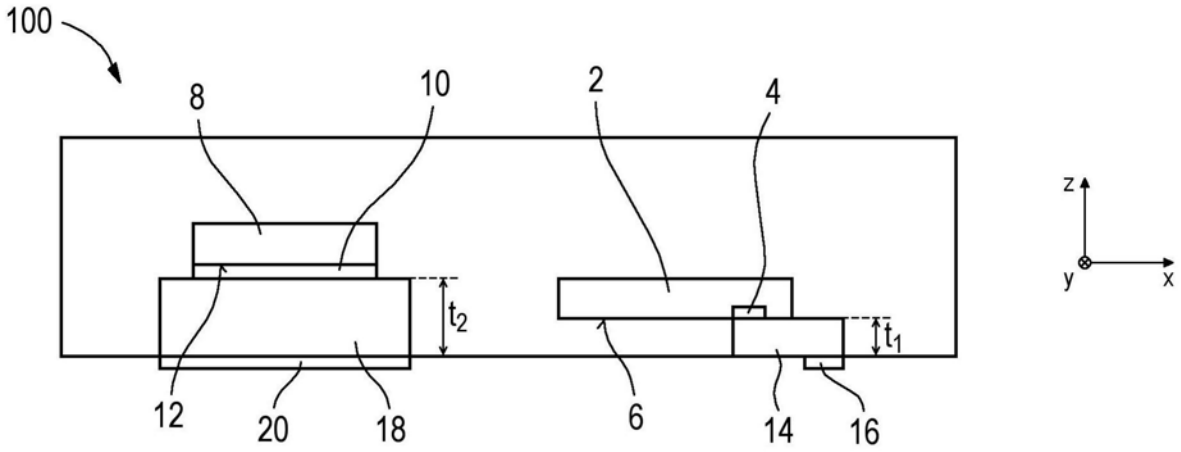

100
8
10
2
4
t_2
t_1
12
20
18
6
14
16
z
y
x

图1

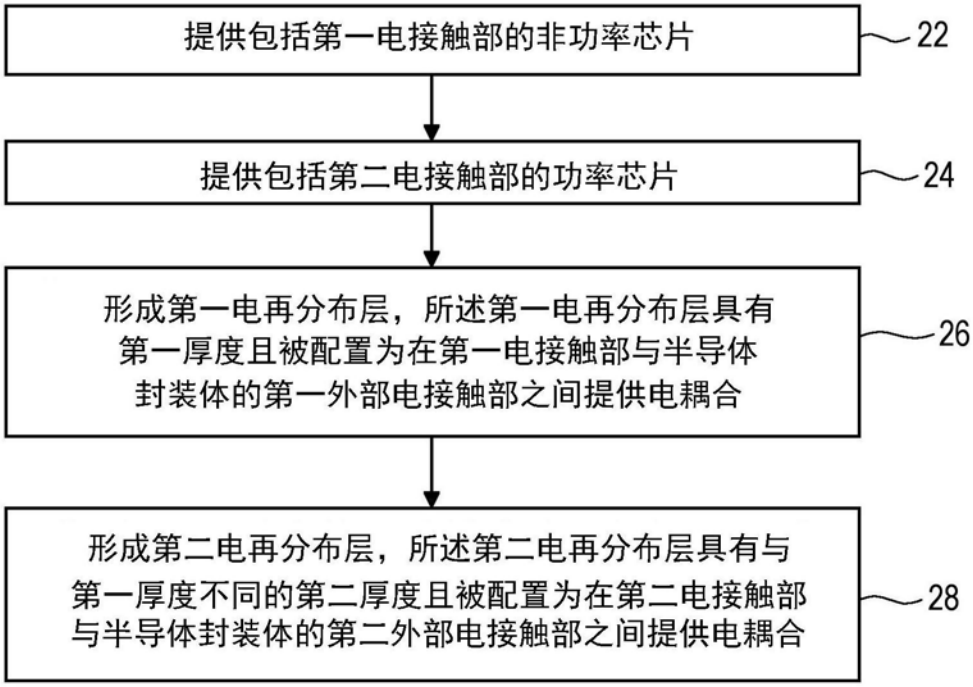

提供包括第一电接触部的非功率芯片
22
提供包括第二电接触部的功率芯片
24
形成第一电再分布层，所述第一电再分布层具有第一厚度且被配置为在第一电接触部与半导体封装体的第一外部电接触部之间提供电耦合
26
形成第二电再分布层，所述第二电再分布层具有与第一厚度不同的第二厚度且被配置为在第二电接触部与半导体封装体的第二外部电接触部之间提供电耦合
28

图2


10A
10B
10C
8
z
y
x

图3A

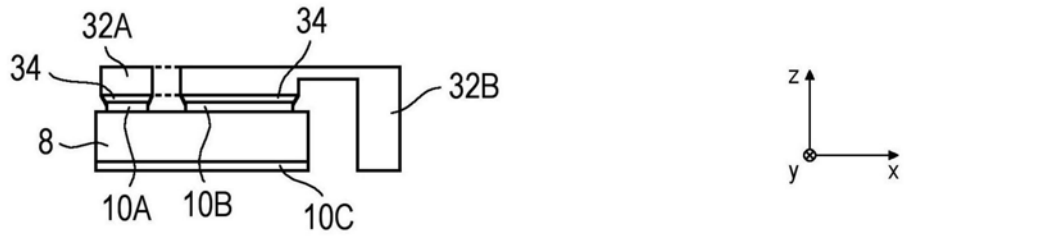


图3B

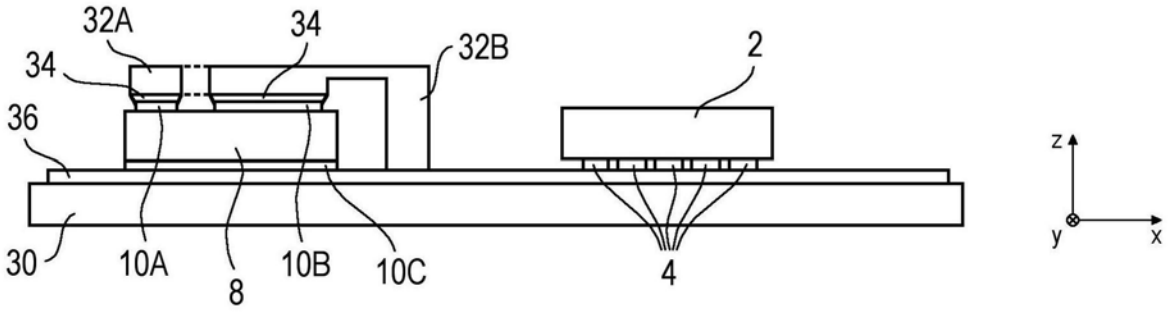


图3C

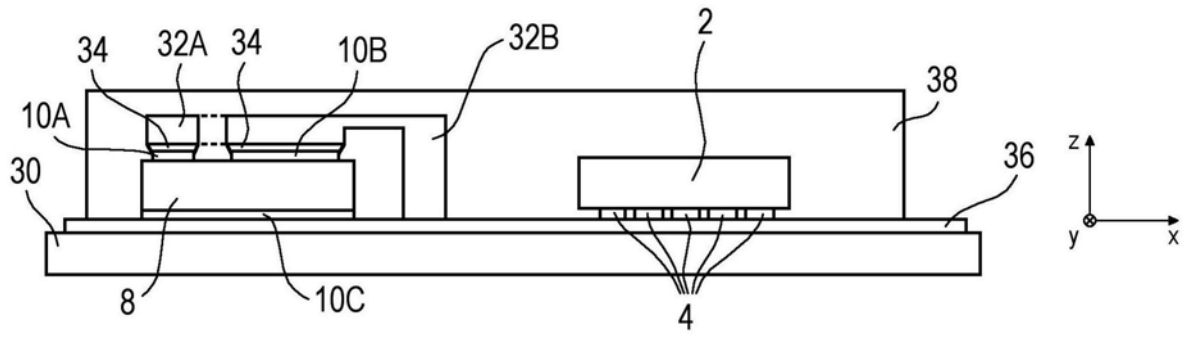


图3D

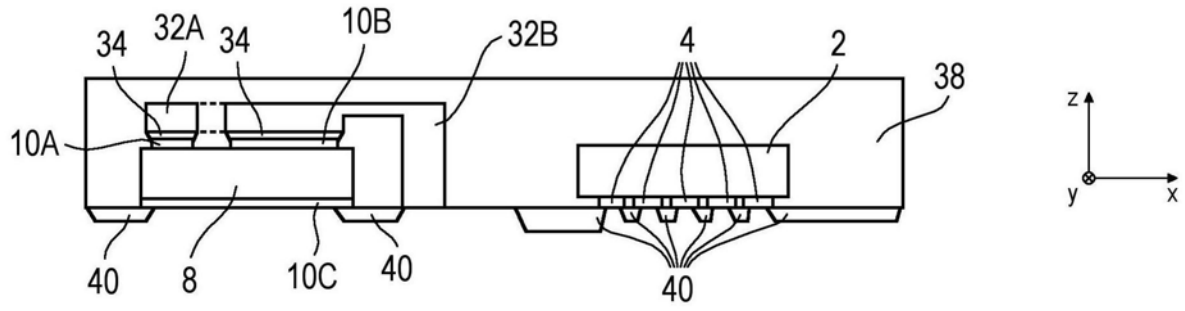


图3E

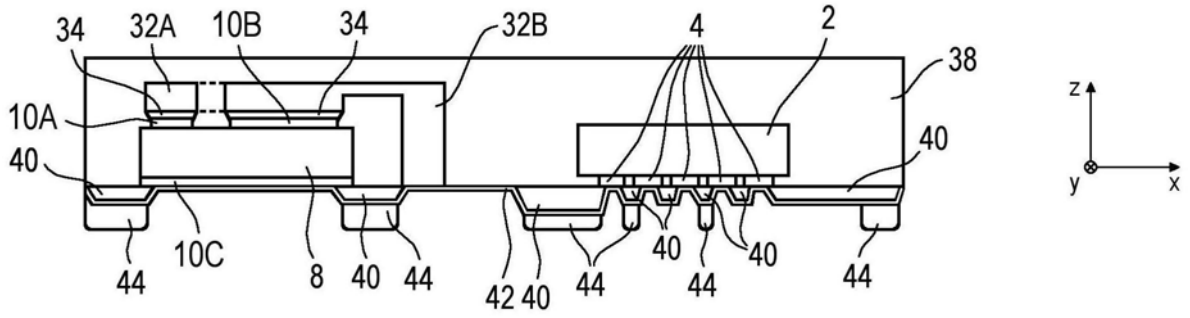

34
32A
10B
34
32B
4
2
38
10A
40
40
10C
8
40
44
42
40
44
40
44
40
44
z
y
x

图3F

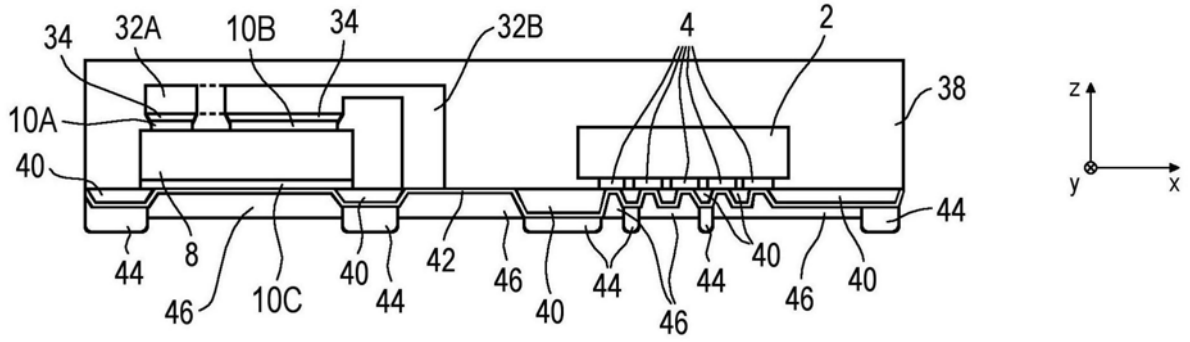

34
32A
10B
34
32B
4
2
38
10A
40
44
8
46
10C
40
44
42
46
40
44
46
44
40
46
40
z
y
x

图3G

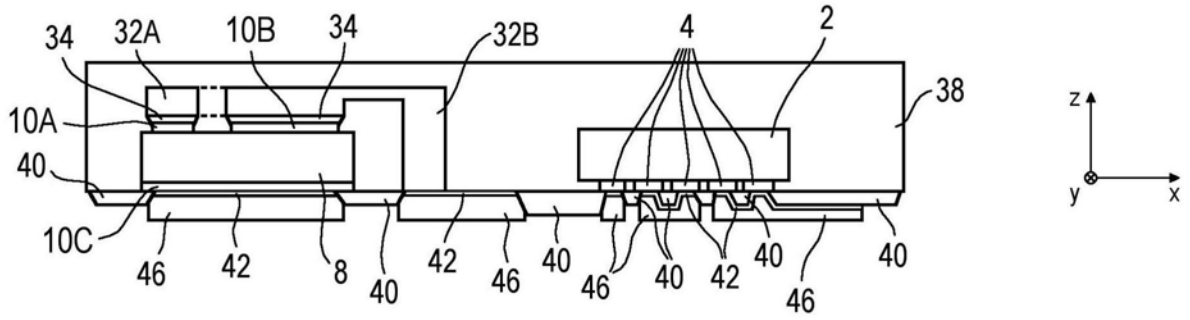

34
32A
10B
34
32B
4
2
38
10A
40
10C
46
42
8
40
42
46
40
46
40
42
40
46
40
z
y
x

图3H

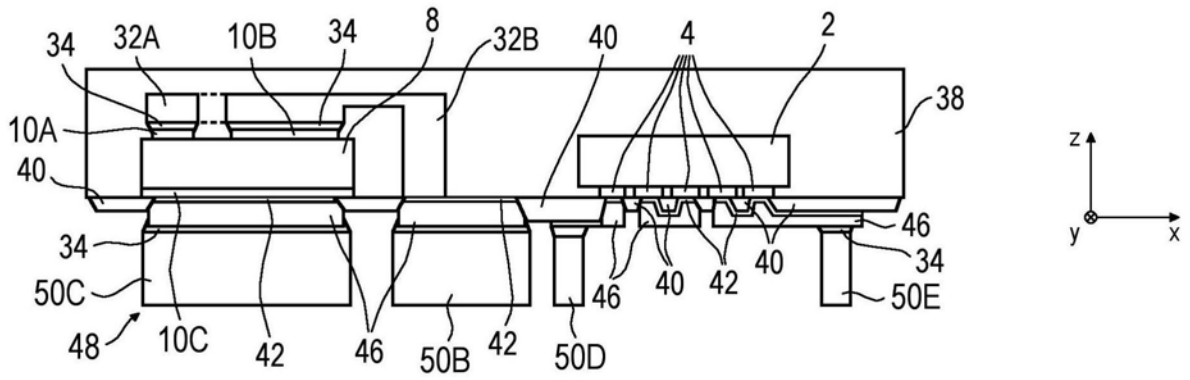

34
32A
10B
34
8
32B
40
4
2
38
10A
40
34
50C
48
10C
42
46
50B
42
50D
46
40
42
40
46
34
50E
z
y
x

图3I

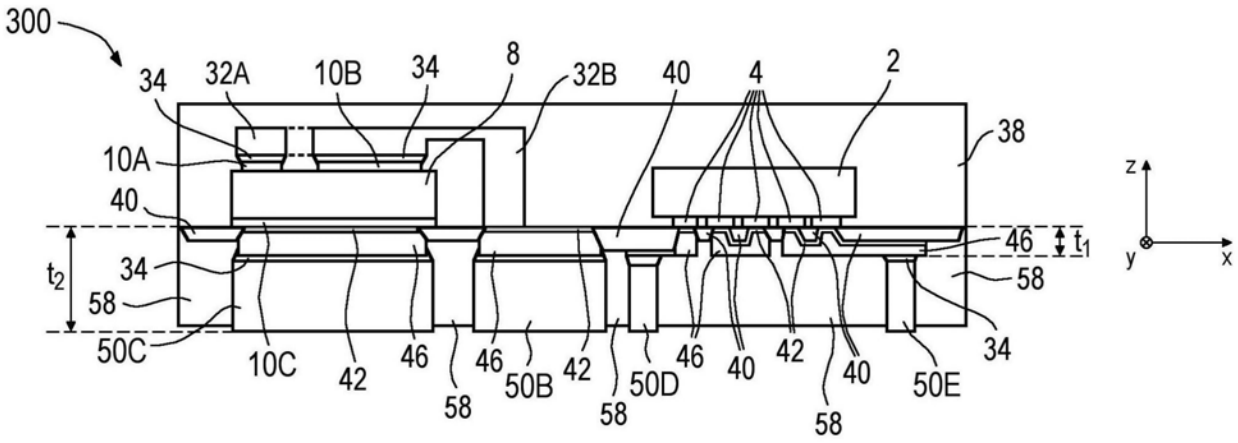

300
34
32A
10B
34
8
32B
40
4
2
38
10A
40
t_2
34
58
50C
10C
42
46
58
46
50B
42
58
50D
46
40
42
58
40
50E
34
46
t_1
58
z
y
x

图3J

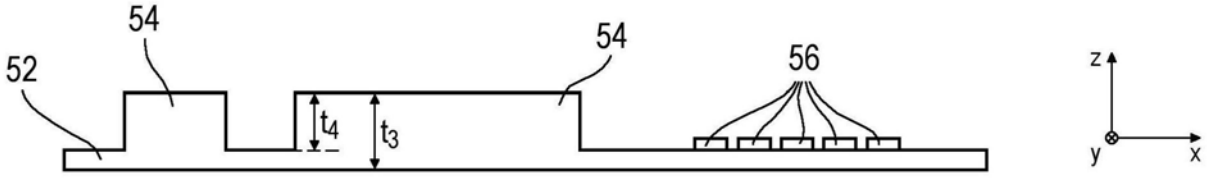

54
52
54
56
t_4
t_3
z
y
x

图4A

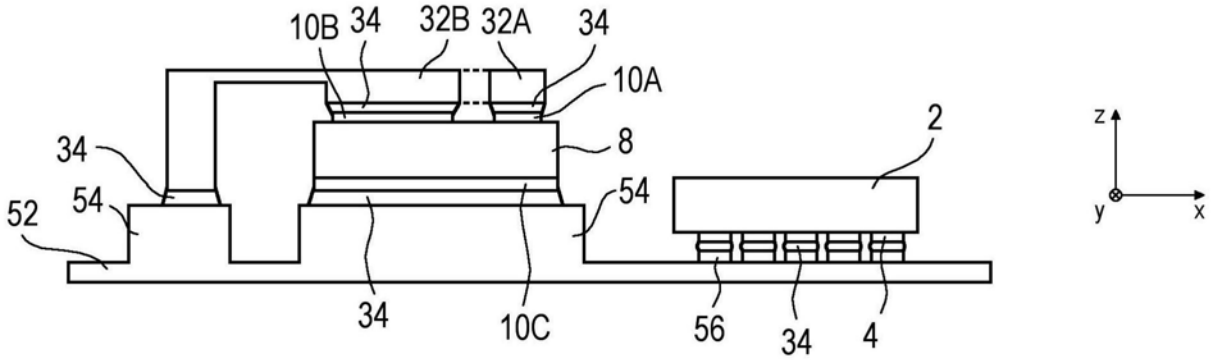

10B
34
32B
32A
34
10A
2
8
34
54
52
54
34
10C
56
34
4
z
y
x

图4B

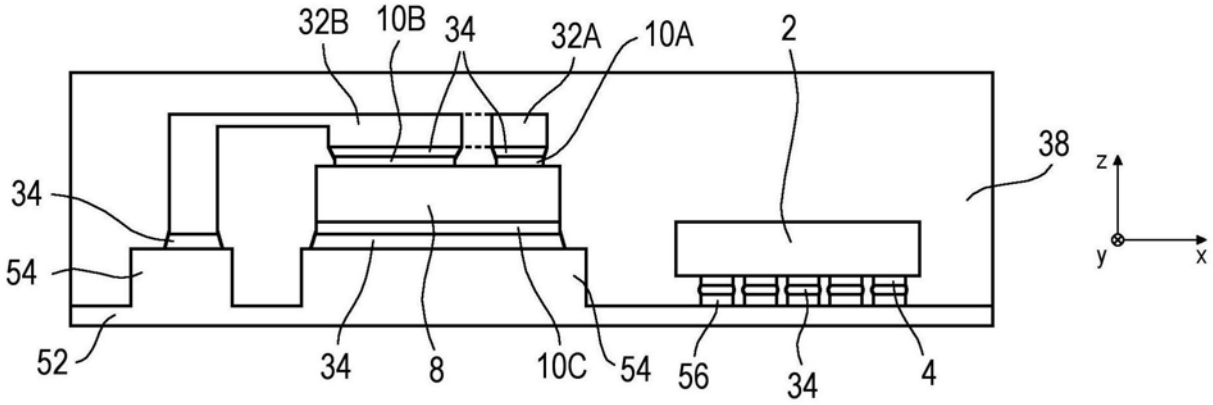

32B
10B
34
32A
10A
2
38
34
54
52
34
8
10C
54
56
34
4
z
y
x

图4C

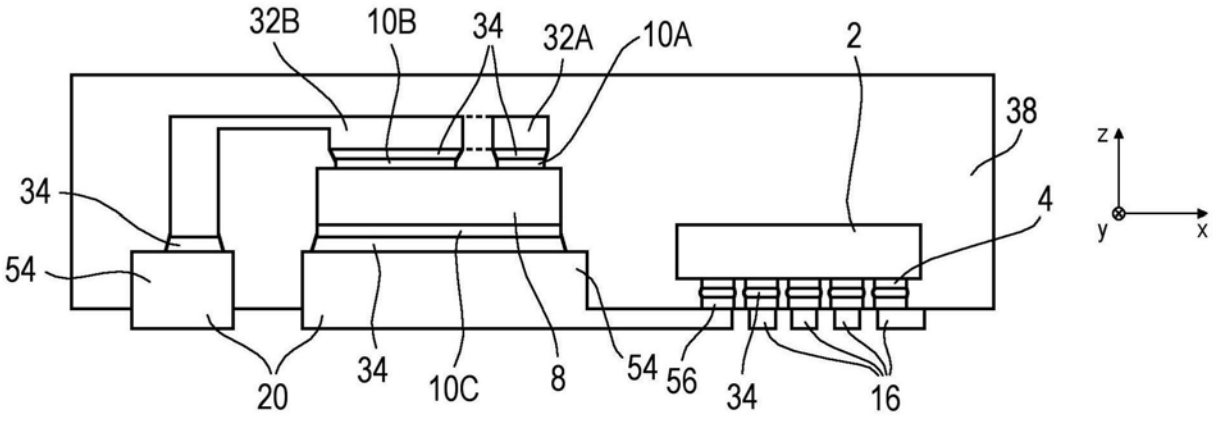

32B
10B
34
32A
10A
2
38
4
34
54
20
34
10C
8
54
56
34
16
z
y
x

图4D

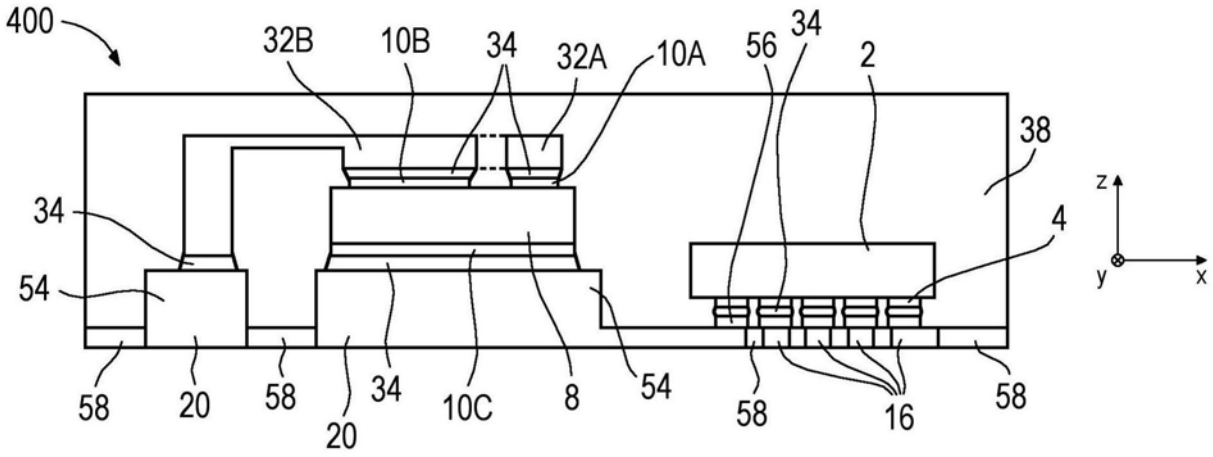

400
32B
10B
34
32A
10A
56
34
2
38
34
4
54
z
y
x
58
20
58
20
34
10C
8
54
58
16
58

图4E

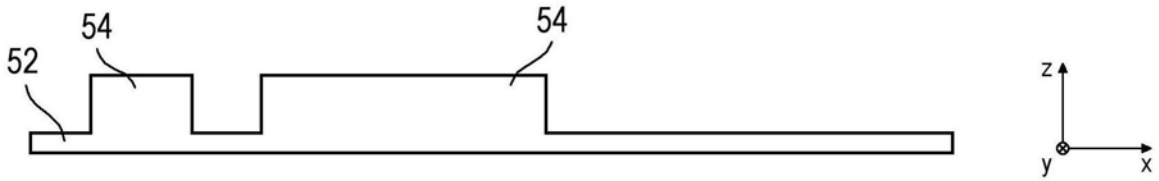

54
52
54
z
y
x

图5A

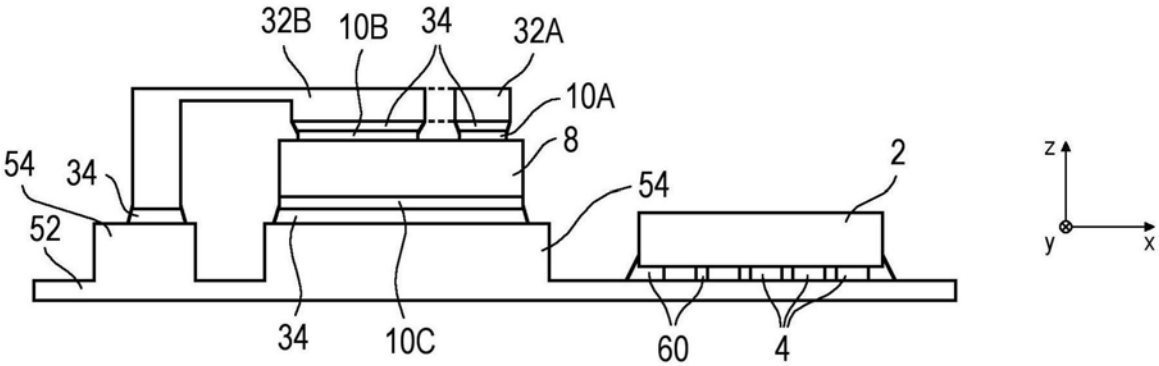

32B
10B
34
32A
10A
8
54
34
52
2
54
z
y
x
34
10C
60
4

图5B

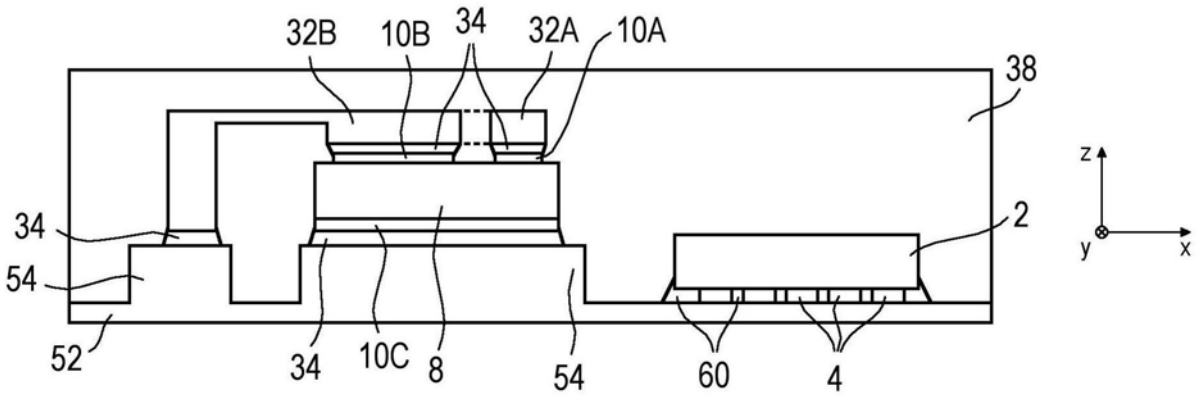

32B
10B
34
32A
10A
38
2
34
54
52
34
10C
8
54
60
4
z
y
x

图5C

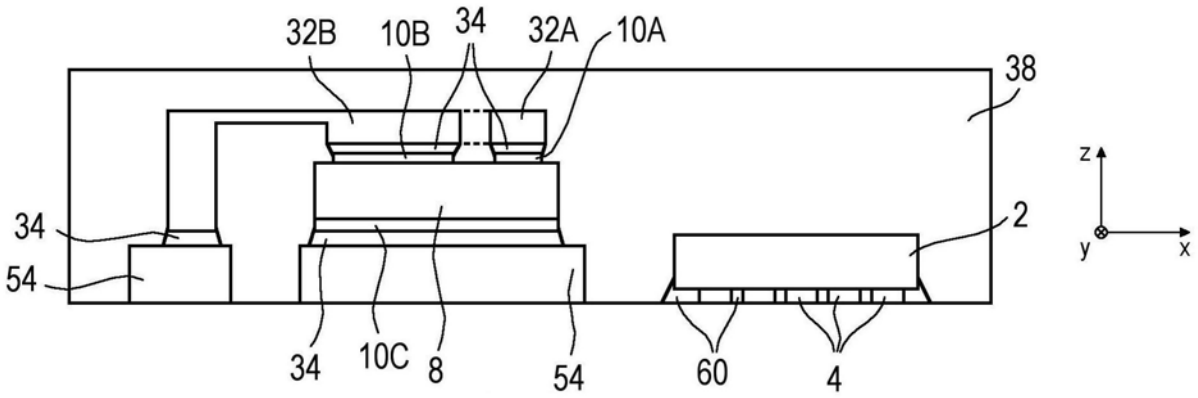

32B
10B
34
32A
10A
38
2
34
54
34
10C
8
54
60
4
z
y
x

图5D

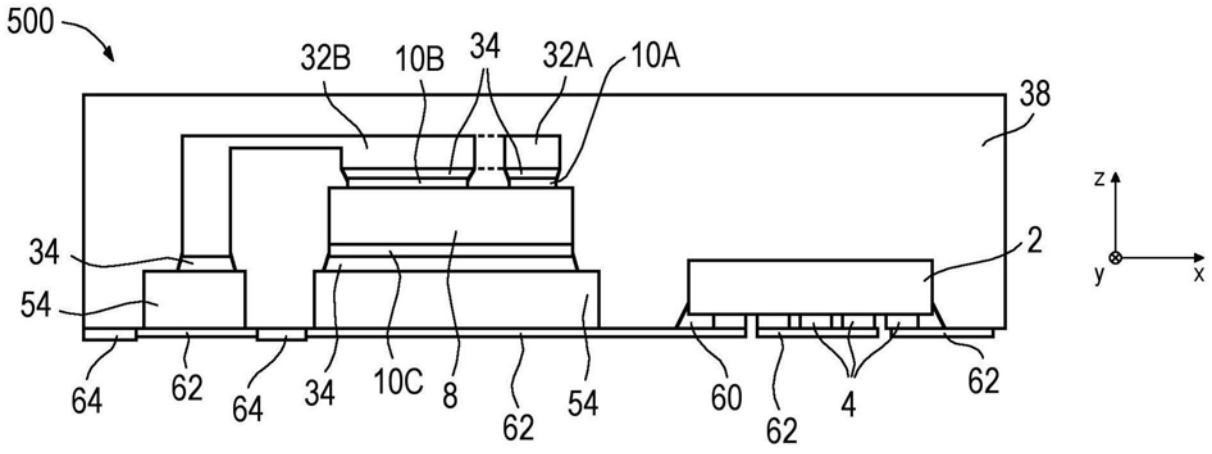

500
32B
10B
34
32A
10A
38
2
34
54
64
62
64
34
10C
8
62
54
60
62
4
62
z
y
x

图5E

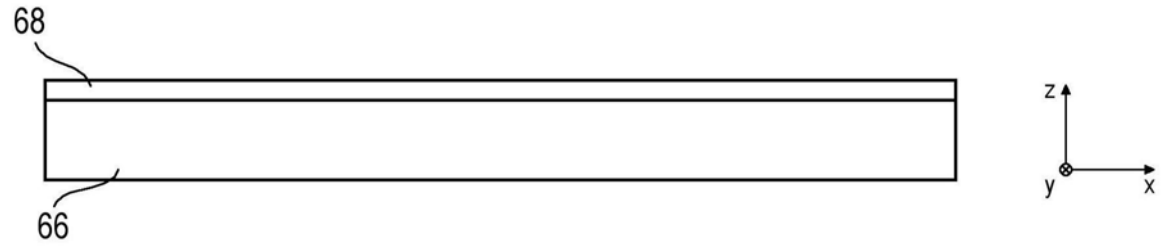


图6A

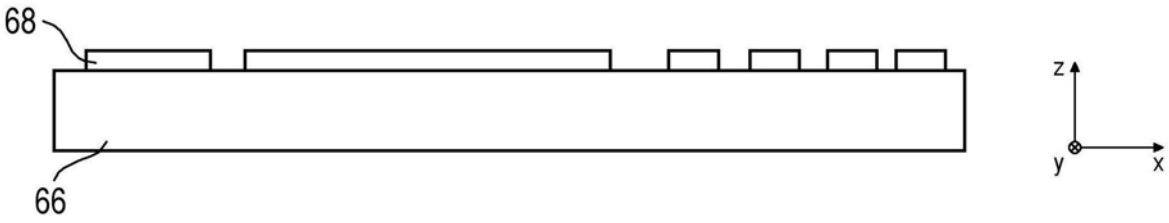


图6B

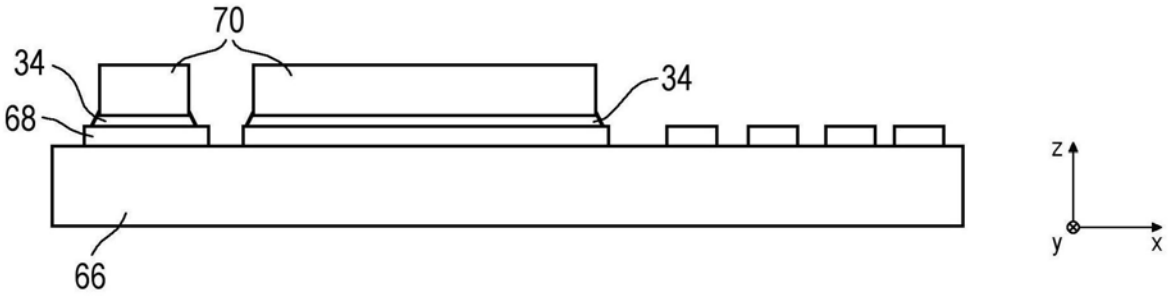


图6C

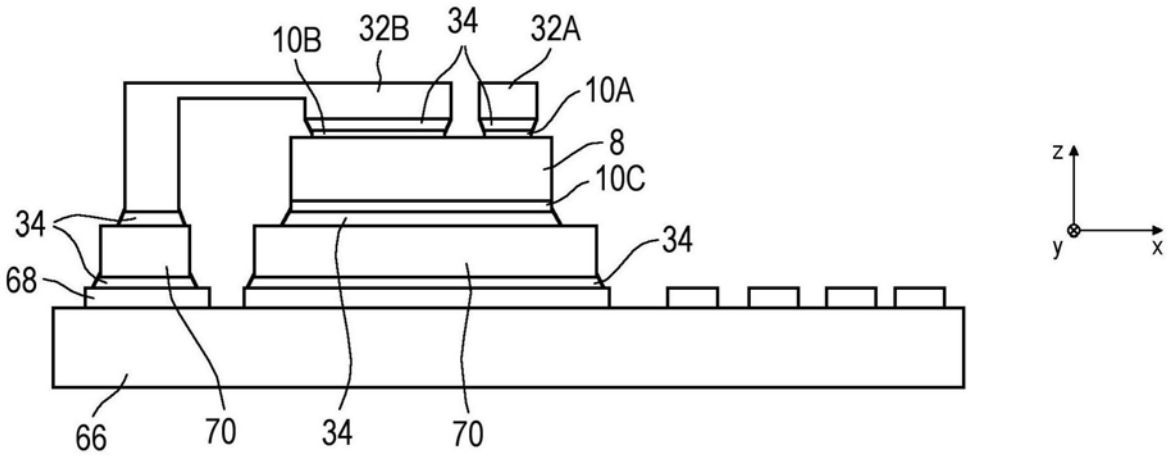


图6D

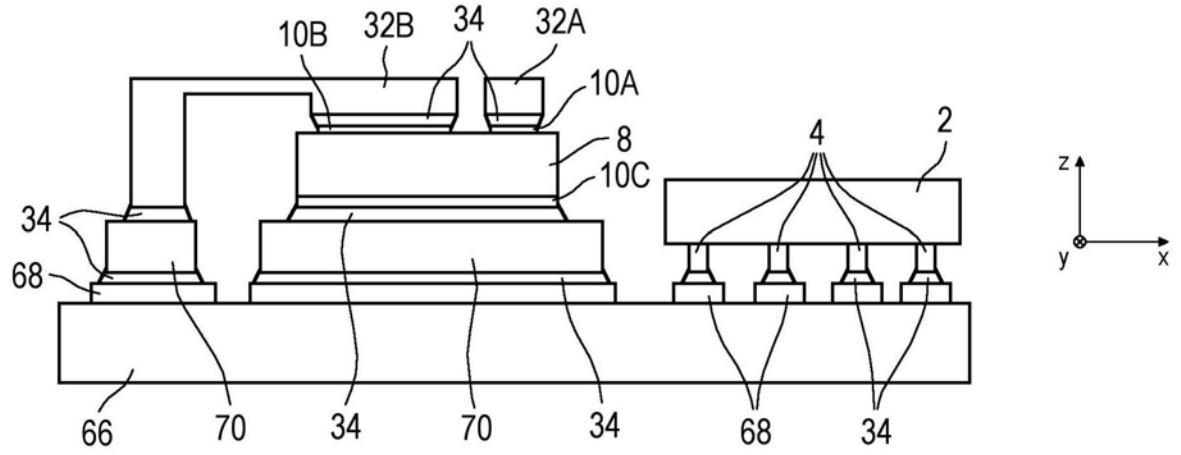

10B
32B
34
32A
10A
8
10C
4
2
34
68
66
70
34
70
34
68
34
z
y
x

图6E

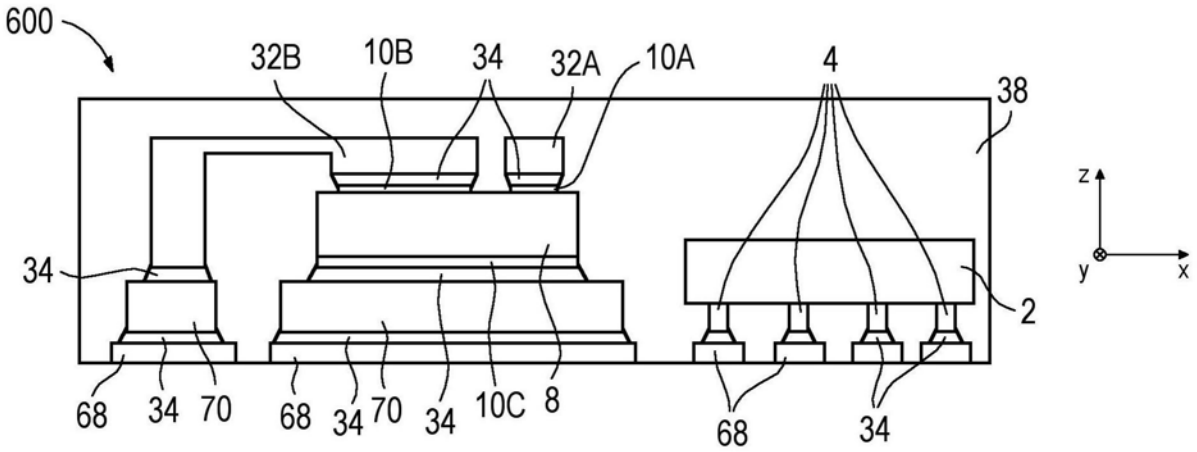

600
32B
10B
34
32A
10A
4
38
34
2
68
34
70
68
34
70
34
10C
8
68
34
z
y
x

图6F