

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H01L 27/02	(45) 공고일자 1999년06월 15일	(11) 등록번호 10-0200060	(24) 등록일자 1999년03월 09일
(21) 출원번호 10-1991-0015899	(65) 공개번호 특1992-0007170	(43) 공개일자 1992년04월 28일	
(22) 출원일자 1991년09월 12일	(30) 우선권주장 581,761 1990년09월 13일 미국(US)	(73) 특허권자 내셔널 세미컨덕터 코포레이션 클라크 3세 존 엠 미국 캘리포니아주 95051 산타 클라라, 2990 세미컨덕터 드라이브 크란티브이 안앤드	
(72) 발명자 미합중국 캘리포니아 94087 서니베일 1233 반딕애비뉴 마이클이 토마스 미합중국 캘리포니아 쿠퍼티노 20718 가든크레스트코트 목돈상, 목영동, 목선영	(74) 대리인 목돈상, 목영동, 목선영		

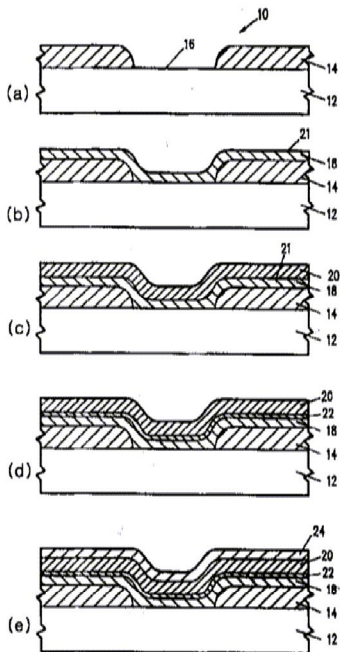
심사관 : 민병준

(54) 높은 캐패시턴스 값을 지니는 탄탈 산화물 캐패시터

요약

집적회로에 사용하기 위한 박막 캐패시터는 상기 집적회로의 실리콘 기판상에 배치된 하부 플레이트 (plate) 를 포함한다. 상기 하부 플레이트는 실리콘을 상기 실리콘 기판으로부터 상기 하부 플레이트 및 상부 플레이트 사이에 배치되어 있는 유전체 재료층내로 이동시키지 못하게하는 도전 재료의 장벽층을 포함한다. 상기 장벽층일부는 예컨대, 유전체층에 대하여 대칭적인 직렬 캐패시터를 생성시키는 고온 산화처리에 의하여 소모되거나 유전체 재료내로 이동될 수 있다. 장벽층 재료의 산화물층은 상기 장벽층의 상부면을 소모시킴으로써 상기 장벽층 및 상기 유전체층 사이에 형성된다. 상기 캐패시터는 적어도 실리콘 기판 일부상에 장벽층을 형성하고, 상기 장벽층의 상부 표면에 상기 유전체층을 형성하며, 상기 장벽층의 상부 표면을 산화시키고, 상기 유전체층의 상부 표면에 전기 도전 재료층을 형성함으로써 제조된다.

대표도



명세서

[발명의 명칭]

높은 캐패시턴스 값을 지니는 탄탈 산화물 캐패시터

[도면의 간단한 설명]

제1도는 본 발명에 따라 실리콘 기판상에 박막 캐패시터를 제조하기 위한 바람직한 방법의 제조단계를 개략적으로 나타낸 단면도.

[발명의 상세한 설명]

[발명의 분야]

본 발명은 집적회로 구성부품 및 그와같은 구성부품을 제조하는 방법에 관한것으로 특히, 집적회로 캐패시터 및 그러한 캐패시터를 제조하는 방법에 관한것이다.

[선행기술의 설명]

집적회로 기술은 MOS 및 바이폴라 집적회로 모두에서 단위 면적당 높은 캐패시터 값을 지니는 캐패시터에 대한 필요성이 더욱 요구되는 관점으로 발전하고 있다. 예를들면, 모스 D 램 (MOS D - RAM) 에서는, 4메가 비트를 얻기위하여 저장용 캐패시터가 대략  $6.0\text{fF}/\mu\text{m}^2$  의 단위 캐패시턴스를 지니며 대략 3.5 V 에서 동작할 필요성이 있는 것으로 소개되어있다. 그 반면에, 바이폴라 회로도 역시 속도 및 유연한 에러면역성을 유지하기 위해서 뿐만 아니라 셀면적을 감소시키기 위하여 스위치드 로드 메모리 셀 (switched load memory cell)에 대해 높은 캐패시턴스를 지니는 캐패시터를 필요로 한다.

미리 생각하건대, 장래 집적회로의 추세는 보다 높은 측면 집적도 및 3 차원 회로에 가까워질 것이라는 것도 분명하다. 그러나, 가까운 장래에는, 3차원회로 용도로써 대부분의 수동 구성 부품, 즉 캐패시터 및 레지스터는 능동 트랜지스터의 성능을 유지하기 위하여 능동 트랜지스터 용으로 사용되는 실리콘 기판 레벨상에 위치할 것이다. 따라서, 상기 수동 구성부품은 필요에 따라 박막 데포지션 기술에 의하여 제조된다.

높은 캐패시턴스값을 지니는 캐패시터를 형성하기 위하여는 높은 유전율을 지니는 유전체를 사용하는 것이 필요하다. 기존에는, 이와같은 요건이 박막 기술의 용도에는 적합하지 않았는데, 그 이유는 유전체막의 두께가  $500\text{Å}$  이하로 감소됨에 따라 유전율이 점차로 강하되기 때문이다. 예를들면, 오산화 탄탈 ( $\text{Ta}_2\text{O}_5$ ) 은 두꺼운 박막 형태에서 25 정도의매우 양호한 유전율을 지닌다. 그러나, 실리콘 집적 회로에 내재하는 캐패시터 유전체 재료의 두께는 50 내지  $500\text{Å}$  사이의 범위에 있는것이 바람직하다. 50 내지  $100\text{Å}$  정도의 두께에서는,  $\text{Ta}_2\text{O}_5$  의 유전율이 대략 6.0 에 이르기까지 강하된다.

이와같은 명백한 유전율의 강하는, 데포지트된 유전체를 형성하기 전에 기판에 존재하는 다른 매우 얇은 유전체 막을 구비하여 직렬 캐패시터를 형성하는 것에 기인한다고 생각된다. 이는, 기판 표면에 존재하는 얇은 자연 산화물을 지니는 아마도 청정한 실리콘 기판상에 반응상 형성되는 유전체 때문에 용이하게 생길 수 있다.  $\text{SiO}_2$  의 유전율이  $\text{Ta}_2\text{O}_5$  와 같은 재료보다 상당히 작기때문에, 하부에 높은 매우 얇은 산화물층은 측정된 캐패시턴스에 악영향을 줄 수 있다.

유전율값의 상당한 강하에 의하여 야기되는 문제점에 부가해서, 박막 캐패시터는 대략 1.0 메가 볼트/센티미터 (MV/cm) 를 초과하는 전계에서 캐패시터가 동작하는 요건을 형성한다. 그러한 높은 전계강도에서의 누설전류는 상당한 고려대상이 된다.

게다가, 주어진 기술에 있어서는, 높은 캐패시턴스값 및 낮은 누설 (또는 높은 동작전압) 의 필요성은 상기 기술에 절충 및 설계상의 관심사가 될 정도로 상호 대조된다.

박막 캐패시터와 연관된 또 다른 문제점은 대칭이 없다는 점이다. 대칭 캐패시터는 인가된 전압의 크기가 극성에 관계없이 캐패시턴스가 비교적 일정하게 유지되는 캐패시터이다. 대칭이 필요한 경우에는, 한계전압을 증가시키고 단위 면적당 캐패시턴스를 희생하는 재료의 누설전류를 감소시키기 위하여 유전체를 보다 두껍게 하는 것이 필요하였다. 이러한 딜레마는 박막 유전체가 실리콘상에 직접 형성되는 캐패시터에 보다 중요하게 된다.

[발명의 요약]

그러므로, 본 발명의 목적은 우수한 전기 특성을 지니는 박막 캐패시터를 제공하는 것이다.

본 발명의 다른 목적은 단위 면적당 높은 캐패시턴스 값을 지니는 박막 캐패시터를 제공하는 것이다.

본 발명의 또 다른 목적은 집적 회로동작에서 직면하는 것이 전형적인 전압에서 낮은 누설 전류를 지니는 박막 캐패시터를 제공하는 것이다.

본 발명의 또 다른 목적은 인가된 전압의 극성에 실질적으로 영향을 받지 않으며 높은 캐패시턴스를 지니는 박막 캐패시터를 제공하는 것이다.

이들 목적 및 다른 목적은 실리콘 기판을 지니는 집적회로를 제공함으로써 실현된다. 유전체 재료층은 상기 실리콘 기판상에 배치된다. 상기 유전체층 및 상기 실리콘 기판사이에는 전기 도전 재료층이 배치된다.

상기 전기 도전층 일부는, 특정 가스를 사용하여 전기 도전 재료를 반응상 변환시킴으로써 소모되어 유전체 재료층으로 변형된다. 바람직한 실시예에서는, 상기 전기 도전층은, 실리콘이 상기 기판으로부터 상기 유전체층내로 이동되지 않게하는 전기 도전 재료를 포함하는 장벽층을 형성한다. 상기 장벽층 일부는, 예컨대 데포지트된 유전체를 구비한 대칭 직렬 캐패시터를 생성하는 고온 산화처리에 의하여 소모되고 유전체 재료로 변형될 수 있다. 따라서, 장벽층 재료의 산화물을 포함하는 유전체층은 상기장벽층 일부를 소모함으로써 상기 전기 도전 장벽층 및 유전체층 사이에 형성된다. 상기 데포지트되어 변형된 유

전체의 두께는 전체의 캐패시턴스가 항상  $6\text{fF}/\mu\text{m}^2$  이상이 되도록 한 쌍으로 된 것이다.

상기 캐패시터는 적어도 실리콘 기판 일부상에 전기 도전층을 형성하고, 상기 전기 도전층의 상부 표면상에 제 1 유전체층을 형성하며, 특정 가스를 사용하여 적어도 전기 도전층의 상부 표면을 반응시키므로써 상기 제1유전체 및 상기 전기 도전층 사이에 제 2 유전체층을 형성하고, 상기 제 1 유전체층의 상부 표면상에 제 2 전기 도전재료층을 형성함으로써 제조된다. 바람직한 실시예에서는, 상기 캐패시터는 적어도 상기 실리콘 기판 일부상에 장벽층을 형성하고, 상기 장벽층의 일부 표면상에 제 1 유전체층을 형성하며, 상기 제 2 유전체층을 형성하기 위하여 상기 장벽층의 상부표면을 산화시키고, 상기 제 1 유전체층의 상부 표면상에 전기 도전재료층을 형성함으로써 제조된다.

[본 발명의 바람직한 실시예에 대한 상세한 설명]

본 발명의 특수형태가 도면으로 예시하기 위해 선택되었고 이하의 설명이 이와같은 본 발명의 형태를 예시할 목적으로 특정으로 기술되어 있지만, 이러한 설명은 첨부된 특허청구의 범위에 한정된 본 발명의 범위를 제한하기 위해 의도된 것은 아니다.

제1도, 특히 제1a도를 참조하면, 일반적으로 도면번호(10)로 지칭된 일부분의 집적회로 디바이스가 단면도로 개략적으로 도시되어 있다. 상기 집적회로 디바이스(10)는, 능동 디바이스가 형성되는 실리콘 기판(12)이 이 기판(12)상에 형성된 전기 절연 재료층, 예컨대 이산화 실리콘 층(14)을 지니게 하는 제조단계로 나타나있다. 접촉 윈도우(16)는 본 발명에 따른 박막 캐패시터가 형성될 영역으로서 상기 절연층(14)내에 개설된다.

전기 도전 재료층(18)은 상기 절연층(14)상부 및 상기 실리콘 기판(12)의 표면을 노출시키는 접촉 윈도우(16)내에 형성된다. 상기 전기 도전 재료층(18)은, 차후에 기술되는 바와 같이 특정 가스를 사용하여 반응상, 최소의 유전율 값을 지니는 유전체로 변환될 수 재료를 포함한다. 그에 대한 바람직한 실시예로는, 전기 도전 재료층(18)이 상기 절연층(14)상부 및 상기 실리콘 기판(12)의 표면을 노출시키는 접촉 윈도우(16)내에 형성되는 장벽층을 포함한다. 상기 장벽층(18)은 상기 기판(12)으로부터 실리콘을, 차후에 기술되는 상부에 높은 유전체층으로 이동시키지 못하게 하는 재료를 포함한다.

상기 장벽층은, 특정 가스를 사용하여 도체로부터, 예컨대 산화 처리 공정을 거쳐 유전체막으로 반응상 변환될 수 있는 특성을 지닌다. 상기 변환된 유전체는, 실제의 재료 트레이드 - 오프 (trade - off) 에 의해 현재 결정되는 데포지트된 유전체 (이후에 기술됨) 와 결합될 경우 최소의 유전율 값을 지닌다. 최초에는,  $\text{SiO}_2$  를 제외한 대부분의 재료에 대한 최대 한계 전계가  $5\text{ MV/cm}$  이하이며 결합 유전체의 최소 두께에 실제적인 제한을 두는 것이 전형적이다. 3.5 볼트에서 동작할 경우, 이러한 값은 70 옹스트롬이며 5 볼트에서는 그 값이 100 옹스트롬이다. 이와같은 조건 및,  $6\text{ fF}/\mu\text{m}^2$ , 또는  $6\text{ fF}/\mu\text{m}^2$  초과 단위 면적당 캐패시턴스가 필요하다는 사실에 기초하여,  $70\text{ \AA}$  의 최소 두께에 대한 직렬 유전율은 4.8 미만일 수 없으며  $100\text{ \AA}$  에 대하여는 6.8 이상이다.

바람직한 실시예에 있어서는, 장벽층 (18) 은 바람직하게는  $500\text{ \AA}$  의 두께로 데포지트된 탄탈질화물 (TaN) 을 포함한다. 본 발명의 캐패시터를 제조하는 바람직한 방법에 있어서는, TaN 장벽층 (18) 이 진성 Ta 타겟으로부터 재료를 스퍼터링하는데 사용되는  $1 : 3\text{N}_2 : \text{Ar}$  의 반응 분위기에서 형성된다. 누설전류를 최소값으로 유지하기 위하여는, 차후에 제공될 이유로해서 Ta 타겟이 99.999 % 를 초과하는 순도 (純度) 를 지니는 것이 바람직하다. 데포지트하는데 사용되는 전체 압력은  $1.5 \times 10^{-3}$  토르인 것이 바람직하다. 전형적인 데포지트 비율은 1 내지 3  $\text{ \AA}/\text{초}$  이다.

다음으로는, 높은 값의 유전율을 지니는 유전체 재료층(20)이 제3c도에 도시된 바와같이 장벽층(18)의 상부 표면(21)과 접촉하여 장벽층(18)상에 형성된다. 바람직한 실시예에서는, 상기 유전체층(20)이 스퍼터링 반응에 의하여 원래의 위치에 데포지트되는 오산화 탄탈( $\text{Ta}_2\text{O}_5$ )을 포함한다. 바람직한 실시예에선, 오산화 탄탈을 형성하기 위하여 전체  $\text{O}_2 : \text{Ar}$  비율이 1 : 2 인 것이 전형적이다. 또한, 바람직한 제조공정에 대한 전체 압력은 TaN 막과 유사한 데포지트 비율에 대하여  $1.5 \times 10^{-3}$  토르인 것이 전형적이다.  $\text{Ta}_2\text{O}_5$  유전층의 두께는 100 내지  $500\text{ \AA}$  사이의 범위에 있는 것이 바람직하다.

앞서 기술된 바와같이, 바람직한 실시예에서는 장벽층인 전기 도전 재료층(18)은 특정가스를 사용하여 반응상 유전체로 변환된다. 바람직한 실시예에서는, 이는 제1c도에 도시된 구조를 산소분위기에서 가열하여 제1d도에 도시된 바와같이 상기 장벽층(18)의 상부표면(21)에서 박막층(22)을 산화시킴으로써 이루어진다. 상기 장벽층 재료가 TaN인 바람직한 실시예에서는, 얇은 산화층은  $\text{TaO}_5$  이며 질소가 그러한 격자 내에서 방출된다. 이것이 바람직한 실시예를 위해 선택된 재료이지만, 특정가스, 바람직하게는 산소와 반응되는 경우 앞서 기술된 바와같이 4.8 의 최소 실제값 이상인 유전율 값을 지닌 비 도전 재료로 변형되는 전기 도전 재료가 사용될 수 있다. 상기 구조를 산소 분위기에서 가열하는 것이 개별적이거나 별개의 단계로서 이행될 수 있지만, 그러한 가열단계 및 상기 기술된 층의 순차적인 형성단계는 진공 상태를 파괴하지 않고서도 동일한 데포지션 챔버내에 준비되는 것이 바람직하다.

제1e도에 도시된 바와같이, 전기 도전 재료층, 바람직하게는 TaN 층(24)은 상기 유전체층(20) 층에 형성된다. 바람직한 실시예에서는, TaN층 (24)은  $500\text{ \AA}$  두께인 것이 전형적이며 앞서 기술된 진성 Ta 타겟으로부터 재료를 스퍼터링하는데 사용되는  $1 : 3\text{ N}_2 : \text{Ar}$  의 반응분위기에서 형성된다. 데포지트하기 위해 사용되는 전체 압력은 1 내지  $3\text{ \AA}/\text{초}$  의 전형적인 데포지트 비율에 대하여  $1.5 \times 10^{-3}$  토르인 것이

바람직하다.

유전체 막의 두께가 500 Å 이하로 감소됨에 따라 선행기술의 디바이스에 대한 유전율이 강해질 수 있는 이유가 몇가지 있다. 첫째로, 데포지트하고 산소 분위기에서 가열처리를 이행한 다음에는, 산소가 Ta<sub>2</sub>O<sub>5</sub>를 통해 확산하여 하부에 놓인 Si를, 보다 낮은 유전율을 지닌 SiO<sub>2</sub>로 변형시킬 수 있다. 이러한 직렬 캐패시터는 상대적인 유전율의 감소를 야기시킨다. 둘째로, 산소가 유전체막, 특히 Ta<sub>2</sub>O<sub>5</sub> 유전체막내에 부가적으로 합체되는 것은 산소분위기에서 가열처리를 사용하는 경우 제조공정의 특성을 변경시키는 것이 가능하지만 가망성은 없다. 산소가 없는 분위기에서 생기는 세번째 데카니즘은 가열처리 동안이나 가열 처리후에 SiO가 Ta<sub>2</sub>O<sub>5</sub> 내로 합체될 수 있다는 것이다. 이러한 합체는 유전율을 효과적으로 감소시킬 수 있다. 전자의 문제가 처리과정동안 산소분위기의 사용을 회피함으로써 해결될 수 있지만, 후자의 문제는 그렇게 쉽게는 해결될 수 없다.

본 발명에 따르면, 그러한 문제는 실리콘 기판 및 캐패시터 유전체층 사이에 장벽층을 배치시킴으로써 해결된다. 높은 유전율을 얻기 위하여 유전체층이 탄탈산화물을 포함하는 부분에, 상기 장벽층은 상기 기술된 바와같이 탄탈질화물로 형성되는 것이 바람직하다. 탄탈질화물이 상기 장벽층에 대하여 바람직한 재료이지만, 티타늄 질화물과 같은 다른 재료도 적합하다.

장벽층에 적합한 재료로 선택되는 특성은 상기 재료가 도체이거나 축소(縮退) 반도체이며 절연용 유전체층으로 변형되어야 한다는 점이다. 변형되기전 장벽재료의 최대 저항율은 1 오옴 - cm를 초과하여서는 안된다. 둘째로, 형성된 유전체는 한계 대상을 기초로 하면 앞서 기술된 바와같이 4.8 이상인 유전율을 지녀야 한다. 탄탈 산화물 유전체 재료와 연관지어 사용되는 경우에 장벽층 재료로서 탄탈 질화물을 사용하는 것은 탄탈 질화물 및 탄탈산화물이 동일한 스퍼터링 체계에서 원래의 위치로 이행될 수 있다는 잇점을 지닌다. 또 다른 잇점은 양호한 전기 도체인 탄탈 질화물이 선행기술의 MOS 캐패시터와는 달리 전압에 영향을 받지않는 특징을 본 발명의 캐패시터에 제공한다는 점이다.

상기 기술된 바람직한 실시예에서는, 상부 플레이트(plate) 층(24)이 탄탈 질화물이다. 장벽층(18)에 대하여는, 탄탈 질화물 상부 플레이트 층이 탄탈 산화물 유전체 재료를 지니는 캐패시터용으로 바람직한데, 그 이유는 유전체 및 상부 플레이트층의 반응 데포지션도 동일한 스퍼터링 체계에서 본래의 위치로 이행될 수 있기 때문이다. 탄탈 질화물이 상부 플레이트층(24)에 대하여 바람직한 재료이지만, 티타늄/텅스텐도 적합하다. 상부 도체는 덜 엄격한 요건을 지니고 1 오옴 - cm 이하의 금속이나 축소 반도체일 수 있다. 또한, 상부 도체는, 열처리후에 6fF/um<sup>2</sup> 이하로 전체 캐패시턴스를 열화(劣化)시킬 정도로, 하부에 놓인 유전체를 실질적으로 변형시키지 않는다 라는 조건을 만족시켜야 한다.

상기에 지적된 바와같이, 높은 캐패시턴스의 박막 캐패시터를 제조하는데 있어 고려해야할 또 다른 문제점은 누설전류이다. 본 발명의 박막 캐패시터에 대한 바람직한 실시예에 있어 누설 전류량은 탄탈 타겟 재료에 내재하는 불순물량에 비례한다. 특히, 몰리브덴 및 텅스텐은 또한 도전 상태에 있으며 누설의 근원으로서 여기는 산화물을 지닌다. 따라서, 상기 산화물은 유전체층으로 부터 제거될 필요성이 있다. 이는 상기 기술된 매우 순수한 탄탈 타겟을 사용함으로써 이루어진다.

상기 기술된 바와같이 본 제조공정의 바람직한 실시예를 사용하는 경우에는, 박막 캐패시터는 대략 200 Å 및 100 Å 각각의 유전체층을 지니면서 10 내지 18 fF/um<sup>2</sup> 사이의 캐패시턴스/단위면적값으로 제조되었다. 이러한 값은 유사한 두께의 이산화실리콘 유전체층을 지니는 캐패시터보다 3 내지 4배 큰 것이 전형적이다. 이러한 값은 유사한 두께의 이산화 실리콘 유전체층을 지니는 캐패시터보다 3 내지 4 배 큰 것이 전형적이다. 이러한 값은 열(thermal) 이산화 실리콘에 대하여 대략 유전율이 4인 대신에 상대적인 유전율이 20 내지 25에 해당한다. 현재 박막 캐패시터의 누설전류는 높지만, 즉, 1.0 × 10<sup>-3</sup> amp/cm<sup>2</sup> 정도인 것이 전형적이지만, 아마도 특수한 디바이스 용도에 허용될 수 있다. 상기 기술된 매우 순수한 탄탈 타겟을 사용하므로써, 매우 낮은 누설전류, 즉 대략 1.0MV/cm의 전계에서 1.0 - 10<sup>-3</sup> amp/cm<sup>2</sup> 정도의 누설전류, 큰 유전율, 및 5.0 MV/cm 정도의 절연 강도를 지니는 유전체가 제조될 수 있다.

본 발명의 특성을 설명하기 위하여 기술되고 예시된 부분의 배치, 재료 및 세부사항의 여러변경은 특허 청구의 범위에 기술된 바와같이 본 발명의 원리 및 범프하지않고서도 본 기술에 통상의 기식을 지닌 자에 의하여 행해질 수 있다는 것을 이해할 것이다.

**(57) 청구의 범위**

**청구항 1**

실리콘 기판을 지니는 집적회로에 대하여, a) 상기 실리콘 기판상에 배치된 제 1 유전체 재료층, b) 상기 유전체층 및 상기 실리콘 기판사이에 배치되어 있는 제 1 전기 도전 재료층으로서, 특정 가스를 사용하여 상기 유전체 재료층과 함께 미리결정된 직렬 유전율을 지니는 전기 절연용 유전체재료로 반응상 변환될 수 있는 재료를 포함하는 제 1 전기 도전재료층, c) 상기 제 1 유전체층 및 상기 제 1 전기 도전 재료층 사이에 배치되어 있으며 상기 반응상 변환된 전기 도전 재료를 준비하여 제 2 유전체 재료층, 막 d) 상기 제 1 유전 재료층상에 배치되어 있는 제 2전기 도전재료층을 포함하는 박막 커피층을 포함하는 박막 캐패시터.

**도면**

도면1

